

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3556652号
(P3556652)

(45) 発行日 平成16年8月18日(2004.8.18)

(24) 登録日 平成16年5月21日(2004.5.21)

(51) Int. Cl.⁷

H02M 3/155

F I

H02M 3/155

U

H02M 3/155

H

請求項の数 16 (全 19 頁)

(21) 出願番号	特願2002-283437 (P2002-283437)	(73) 特許権者	390020248 日本テキサス・インスツルメンツ株式会社 東京都新宿区西新宿六丁目24番1号
(22) 出願日	平成14年9月27日(2002.9.27)	(74) 代理人	100094053 弁理士 佐藤 隆久
(65) 公開番号	特開2004-120940 (P2004-120940A)	(72) 発明者	野川 正司 大阪府大阪市北区天満橋1丁目8番30号 OAPオフィスタワービル26階 日本 テキサス・インスツルメンツ株式会社内
(43) 公開日	平成16年4月15日(2004.4.15)	(72) 発明者	立石 哲夫 大阪府大阪市北区天満橋1丁目8番30号 OAPオフィスタワービル26階 日本 テキサス・インスツルメンツ株式会社内
審査請求日	平成14年9月27日(2002.9.27)	審査官	櫻田 正紀

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

一方の端子が第1のスイッチング素子を介して電圧入力端子に接続され、第2のスイッチング素子を介して基準電位に接続され、他方の端子が第3のスイッチング素子を介して電圧出力端子に接続され、第4のスイッチング素子を介して基準電位に接続されているインダクタンス素子と、

上記電圧入力端子に印加される入力電圧を監視し、上記入力電圧が所定の基準値よりも高いときには上記第1のスイッチング素子と上記第2のスイッチング素子とを周期的にオン/オフさせ、上記入力電圧が所定の基準値以下のときには上記第1のスイッチング素子をオン状態に保持すると共に、上記第2のスイッチング素子をオフ状態に保持するための第1の制御信号を出力するフィードフォワード制御回路と、

上記電圧出力端子から出力される電圧に応じて、上記第3のスイッチング素子と上記第4のスイッチング素子とを周期的にオン/オフさせ、上記出力電圧が所望の電圧値になるように上記第3のスイッチング素子がオンする期間の比率を制御するための第2の制御信号を出力するフィードバック制御回路と、

を有するDC-DCコンバータ。

【請求項2】

上記フィードフォワード制御回路は、上記入力電圧を所定の分圧比で分圧した電圧に所定の基準電圧を加えた直流電圧を発生する第1の電圧発生回路を有する

請求項1に記載のDC-DCコンバータ。

10

20

【請求項 3】

上記フィードフォワード制御回路は、上記第 1 の電圧発生回路によって出力される上記直流電圧と所定の周期を有する三角波とを比較し、当該比較結果に応じて、上記第 1 のスイッチング素子と上記第 2 のスイッチング素子とを制御する上記第 1 の制御信号を出力する第 1 の比較回路を有する、
請求項 1 に記載の DC - DC コンバータ。

【請求項 4】

上記フィードバック制御回路は、上記出力電圧を所定の分圧比で分圧した電圧に所定の基準電圧を加えた直流電圧を発生する第 1 の電圧発生回路を有する、
請求項 1、2、または 3 に記載の DC - DC コンバータ。

10

【請求項 5】

上記フィードバック制御回路は、上記第 2 の電圧発生回路によって出力される上記直流電圧と所定の周期を有する三角波とを比較し、当該比較結果に応じて、上記第 3 のスイッチング素子と上記第 4 のスイッチング素子とを制御する上記第 2 の制御信号を出力する比較回路を有する、
請求項 4 に記載の DC - DC コンバータ。

【請求項 6】

上記第 1 のスイッチング素子と上記第 2 のスイッチング素子及び上記第 3 のスイッチング素子と上記第 4 のスイッチング素子とが周期的にオン/オフする期間において、上記第 1 の制御信号と上記第 2 の制御信号とが非同相のパルス信号である
請求項 1、2、3、4 または 5 に記載の DC-DC コンバータ。

20

【請求項 7】

一方の端子が第 1 のスイッチング素子を介して電圧入力端子に接続され、第 2 のスイッチング素子を介して基準電位に接続され、他方の端子が第 3 のスイッチング素子を介して電圧出力端子に接続され、第 4 のスイッチング素子を介して基準電位に接続されているインダクタンス素子と、

上記電圧入力端子に印加される入力電圧を監視し、上記入力電圧が所定の基準値よりも高いときには上記第 3 のスイッチング素子をオン状態に保持すると共に上記第 4 のスイッチング素子をオフ状態に保持し、上記入力電圧が所定の基準値以下のときには上記第 3 のスイッチング素子と上記第 4 のスイッチング素子とを周期的にオン/オフさせるための第 1

30

の制御信号を出力するフィードフォワード制御回路と、
上記電圧出力端子から出力される電圧に応じて、上記第 1 のスイッチング素子と上記第 2 のスイッチング素子とを周期的にオン/オフさせ、上記出力電圧が所望の電圧値になるように上記第 1 のスイッチング素子がオンする期間の比率を制御するための第 2 の制御信号を出力するフィードバック制御回路と、
を有する、DC - DC コンバータ。

【請求項 8】

上記フィードフォワード制御回路は、上記入力電圧を所定の分圧比で分圧した電圧に所定の基準電圧を加えた直流電圧を発生する第 1 の電圧発生回路を有する
請求項 7 に記載の DC - DC コンバータ。

40

【請求項 9】

上記フィードフォワード制御回路は、上記第 1 の電圧発生回路によって出力される上記直流電圧と所定の周期を有する三角波とを比較し、当該比較結果に応じて、上記第 3 のスイッチング素子と上記第 4 のスイッチング素子とを制御する上記第 1 の制御信号を出力する第 1 の比較回路を有する
請求項 8 に記載の DC - DC コンバータ。

【請求項 10】

上記フィードバック制御回路は、上記出力電圧を所定の分圧比で分圧した電圧に所定の基準電圧を加えた直流電圧を発生する第 2 の電圧発生回路を有する
請求項 7、8 または 9 に記載の DC - DC コンバータ。

50

【請求項 1 1】

上記フィードバック制御回路は、上記第 2 の電圧発生回路によって出力される上記直流電圧と所定の周期を有する三角波とを比較し、当該比較結果に応じて、上記第 1 のスイッチング素子と上記第 2 のスイッチング素子とを制御する上記第 2 の制御信号を出力する比較回路を有する

請求項 1 0 に記載の DC - DC コンバータ。

【請求項 1 2】

上記第 1 のスイッチング素子と上記第 2 のスイッチング素子及び上記第 3 のスイッチング素子と上記第 4 のスイッチング素子とが周期的にオン / オフする期間において、上記第 1 の制御信号と上記第 2 の制御信号とが非同相のパルス信号である

10

請求項 7、8、9、1 0 または 1 1 に記載の DC - DC コンバータ。

【請求項 1 3】

電圧入力端子とインダクタンス素子の一方の端子との間に接続された第 1 のスイッチング素子と、

基準電位と上記インダクタンス素子の一方の端子との間に接続された第 2 のスイッチング素子と、

電圧出力端子と上記インダクタンス素子の他方の端子との間に接続された第 3 のスイッチング素子と、

上記基準電位と上記インダクタンス素子の他方の端子との間に接続された第 4 のスイッチング素子と、

20

上記電圧入力端子に印加される電圧に応じて上記第 1 のスイッチング素子と上記第 2 のスイッチング素子又は上記第 3 のスイッチング素子と上記第 4 のスイッチング素子とを実質的に相補的にオン・オフ制御する第 1 の制御回路と、

上記電圧出力端子に現われる電圧に応じて上記第 3 のスイッチング素子と上記第 4 のスイッチング素子又は上記第 1 のスイッチング素子と上記第 2 のスイッチング素子とを実質的に相補的にオン・オフ制御する第 2 の制御回路と、

を有し、

上記第 1 の制御回路は、

上記電圧入力端子に印加される電圧が所定の電圧よりも大きい場合には、上記第 1 のスイッチング素子と上記第 2 のスイッチング素子とを相補的にオン・オフ制御し、又は上記第 3 のスイッチング素子を常にオン状態に維持すると共に上記第 4 のスイッチング素子を常にオフ状態に維持し、

30

上記電圧入力端子に印加される電圧が所定の電圧よりも小さい場合には、上記第 1 のスイッチング素子を常にオン状態に維持すると共に上記第 2 のスイッチング素子を常にオフ状態に維持する、又は上記第 3 のスイッチング素子と上記第 4 のスイッチング素子とを相補的にオン・オフ制御する、

DC - DC コンバータ。

【請求項 1 4】

上記第 1 の制御回路が、

上記電圧入力端子に印加される電圧に応じた第 1 の制御電圧を供給する入力電圧監視回路と、

40

上記第 1 の制御電圧と所定の周波数の交流信号とを比較して当該比較結果に応じた第 1 の制御信号を上記第 1 及び第 2 のスイッチング素子又は上記第 3 及び第 4 のスイッチング素子に供給する第 1 のパルス幅変調回路と

を有し、

上記第 2 の制御回路が、

上記電圧出力端子に現われる電圧に応じた第 2 の制御電圧を供給する誤差信号検出回路と、

上記第 2 の制御電圧と所定の周波数の交流信号とを比較して当該比較結果に応じた第 2 の制御信号を上記第 3 及び第 4 のスイッチング素子又は上記第 1 及び第 2 のスイッチング素

50

子に供給する第 2 のパルス幅変調回路と
を有する

請求項 13 に記載の DC - DC コンバータ。

【請求項 15】

上記電圧入力端子に印加される電圧の電圧変動範囲の最大値が上記電圧出力端子に現われる電圧よりも高く、

上記電圧変動範囲の最小値が上記電圧出力端子に現われる電圧よりも低い、

請求項 13 又は 14 に記載の DC - DC コンバータ。

【請求項 16】

上記第 1 の制御回路が上記第 1 及び第 2 のスイッチング素子を制御し、

上記第 2 の制御回路が上記第 3 及び第 4 のスイッチング素子を制御する

請求項 13、14 又は 15 に記載の DC - DC コンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源電圧より所望の直流電圧を供給する DC - DC コンバータ、特に入力電圧の変動に依存せず常に一定の出力電圧を供給可能な DC - DC コンバータに関するものである。

【0002】

【従来の技術】

DC - DC コンバータとして利用されているスイッチングレギュレータには入力電圧より高い電圧を供給する昇圧型、入力電圧より低い電圧を供給する降圧型、さらに入力電圧の変動に依存せず一定の電圧を供給する昇降圧型がある。昇降圧型のスイッチングレギュレータとして、いわゆる Hブリッジ型が一般的に知られている。

【0003】

Hブリッジ型スイッチングレギュレータは、磁気エネルギーを蓄積するインダクタンス素子と、電源電圧よりインダクタンス素子への電流供給を制御するスイッチング素子、及びインダクタンス素子から負荷側への電流出力を制御するスイッチング素子などから構成されている。それぞれのスイッチング素子がオン/オフするタイミングを制御することによって、インダクタンス素子に蓄積される磁気エネルギー及び負荷に出力される電気エネルギーの量を適宜制御することができる。このため、負荷に所望の直流電圧を供給することが可能である。

【0004】

【特許文献 1】

米国特許第 6087816 号明細書

【特許文献 2】

米国特許第 6215286 号明細書

【0005】

【発明が解決しようとする課題】

ところで、上述した Hブリッジ型スイッチングレギュレータからなる従来の昇降圧型 DC - DC コンバータでは、インダクタンス素子における磁気エネルギーの蓄積と放出のタイミングが完全に分離しているため、インダクタンス素子に大きな電流が流れる。このため、スイッチング素子、インダクタンス素子などの抵抗成分によって発生する電力損失が大きくなり、電圧変換の効率が低くなってしまふ。

【0006】

DC - DC コンバータの電圧変換効率を向上させるために、特許文献 1 及び特許文献 2 では、昇降圧動作を分割する動作方式が提案されている。即ち、スイッチングレギュレータの動作を電源電圧からインダクタンス素子にエネルギーを蓄積する動作と、インダクタンス素子に蓄積された磁気エネルギーを電流として負荷側に出力する動作とに分割する。このように、昇降圧の動作を昇圧と降圧の 2 つの動作モードに分割して動作させることによ

10

20

30

40

50

って、入力側または出力側がそれぞれ100%デューティで接続されるために、インダクタンス素子の電流が小さくなり、効率の改善が図れる。

電池によって駆動される携帯型電子機器、例えば、携帯型小型コンピュータ、携帯電話など、電池による稼働時間を長くするために、低消費電力が重要な課題である。これらの電子機器に安定した駆動電圧を供給するDC-DCコンバータに対して、更なる効率の改善が求められている。

【0007】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、電力の供給に伴って電源電圧が変動する入力電圧から、安定した出力電圧を供給することができ、かつ電圧変換効率を高く維持できるDC-DCコンバータを提供することにある。

10

【0008】

【課題を解決するための手段】

上記目的を達成するため、本発明のDC-DCコンバータは、一方の端子が第1のスイッチング素子を介して電圧入力端子に接続され、第2のスイッチング素子を介して基準電位に接続され、他方の端子が第3のスイッチング素子を介して電圧出力端子に接続され、第4のスイッチング素子を介して基準電位に接続されているインダクタンス素子と、上記電圧入力端子に印加される入力電圧を監視し、上記入力電圧が所定の基準値よりも高いときには上記第1のスイッチング素子と上記第2のスイッチング素子とを周期的にオン/オフさせ、上記入力電圧が所定の基準値以下のときには上記第1のスイッチング素子をオン状態に保持すると共に上記第2のスイッチング素子をオフ状態に保持するための第1の制御信号を出力するフィードフォワード制御回路と、上記電圧出力端子から出力される電圧に応じて、上記第3のスイッチング素子と上記第4のスイッチング素子を周期的にオン/オフさせ、上記出力電圧が所望の電圧値になるように上記第3のスイッチング素子がオンする期間の比率を制御するための第2の制御信号を出力するフィードバック制御回路とを有する。

20

【0009】

また、本発明のDC-DCコンバータは、一方の端子が第1のスイッチング素子を介して電圧入力端子に接続され、第2のスイッチング素子を介して基準電位に接続され、他方の端子が第3のスイッチング素子を介して電圧出力端子に接続され、第4のスイッチング素子を介して基準電位に接続されているインダクタンス素子と、上記電圧入力端子に印加される入力電圧を監視し、上記入力電圧が所定の基準値よりも高いときには上記第3のスイッチング素子をオン状態に保持すると共に上記第4のスイッチング素子をオフ状態に保持し、上記入力電圧が所定の基準値以下のときには上記第3のスイッチング素子と上記第4のスイッチング素子とを周期的にオン/オフさせるための第1の制御信号を出力するフィードフォワード制御回路と、上記電圧出力端子から出力される電圧に応じて、上記第1のスイッチング素子と上記第2のスイッチング素子を周期的にオン/オフさせ、上記出力電圧が所望の電圧値になるように上記第1のスイッチング素子がオンする期間の比率を制御するための第2の制御信号を出力するフィードバック制御回路とを有する。

30

【0010】

また、本発明では、好適には、上記第1と第2のスイッチング素子及び上記第3と第4のスイッチング素子が周期的にオン/オフする期間において、上記第1の制御信号と上記第2の制御信号とが非同相のパルス信号である。

40

【0011】

【発明の実施の形態】

図1は、本発明に係るDC-DCコンバータの基本的な構成を示す回路図である。図示のように、本発明のDC-DCコンバータは、いわゆるHブリッジ型スイッチングレギュレータの構成を有している。Hブリッジ型スイッチングレギュレータは、図示のように、インダクタンス素子L（以下、インダクタLと表記する）、及びインダクタLの両方の端子にそれぞれ接続されている4つのスイッチング素子を含む。スイッチング素子は、例えば、MOSトランジスタによって構成されている。また、MOSトランジスタのほか

50

、バイポーラトランジスタによって構成することもできる。

【0012】

図1に示す構成例では、スイッチング素子M1とM3は、pMOSトランジスタからなり、スイッチング素子M2とM4はnMOSトランジスタからなる。図示のように、スイッチングM1は電源電圧 V_{in} の供給側とインダクタLの一方の端子 T_x との間に接続され、スイッチング素子M2は、インダクタLの端子 T_x と接地電位との間に接続されている。

【0013】

インダクタLの他方の端子 T_y にスイッチング素子M3とM4が接続されている。図示のように、スイッチング素子M3はインダクタLの端子 T_y と電圧出力端子との間に接続され、スイッチング素子M4はインダクタLの端子 T_y と接地電位との間に接続されている。

10

スイッチング素子M1～M4は、図示しない制御回路から供給される制御信号 S_i 及び S_o により制御される。

【0014】

本発明のDC-DCコンバータに供給される電源電圧 V_{in} は、ある範囲で変動する電源電圧、例えば、充電可能な2次電池の出力電圧である。2次電池は一例として例えば、リチウムイオン電池の場合、満充電時の出力電圧が4.2Vに達し、負荷に電力を供給するにつれて出力電圧が低下し、例えば3.0Vまで低下する。

【0015】

このようにある範囲で変化する電源電圧 V_{in} から、ほぼ一定の電圧 V_{out} 、例えば、3.3Vの電圧を出力するために、昇圧及び降圧両方の機能を備えるDC-DCコンバータを用いることが必要となる。

20

【0016】

図2は、電池によって供給される電源電圧 V_{in} の変化を示すグラフである。図示のように、満充電の状態から、電池の供給電圧が3.3Vまでの間、出力電圧 V_{out} が供給される電源電圧 V_{in} より低いので、DC-DCコンバータは降圧モードで動作する必要がある。一方、電池の供給電圧が3.3Vより低くなった場合、出力電圧 V_{out} が電源電圧 V_{in} より高くなるので、DC-DCコンバータは昇圧モードで動作する必要がある。

30

【0017】

次に、図1を参照しつつ、本発明のDC-DCコンバータにおいて、降圧及び昇圧動作時のスイッチング制御について説明する。

まず、降圧動作を行う場合、通常、制御信号 S_o をローレベルに保持することで、トランジスタM3をオン状態に保持し、トランジスタM4をオフ状態に保持する。そして、出力電圧 V_{out} またはそれを分圧した電圧を所望の基準電圧と比較し、当該比較の結果に応じてトランジスタM1とM2をスイッチングするように制御を行う。ここで、トランジスタM1とM2を切り換える周期を T_i とし、周期 T_i のうちトランジスタM1がオンしている時間を t_{on1} とすると、トランジスタM1がオンする期間の比率 D_i は、 $D_i = t_{on1} / T_i$ で計算される。安定状態においては、次式が成り立つ。

40

【0018】

【数1】

$$V_{out} = V_{in} \cdot D_i \quad \dots (1)$$

【0019】

D_i が0～1の範囲に制限されるため、出力電圧 V_{out} は入力電圧 V_{in} を超えることはなく、スイッチングレギュレータは降圧動作を行う。

【0020】

次に、昇圧動作を行う場合、制御信号 S_i をローレベルに保持することで、トランジスタM1をオン状態に保持し、トランジスタM2をオフ状態に保持する。そして、出力電圧 V_{out} または入力電圧 V_{in} に従って、トランジスタM3とM4を制御する。

50

【0021】

ここで、トランジスタM3とM4を切り換える周期をT。とし、周期T。のうちトランジスタM3がオンしている時間を t_{on3} とすると、トランジスタM3がオンする期間の比率 D_o は、 $D_o = t_{on3} / T_o$ で計算される。安定状態においては、次式が成り立つ。

【0022】

【数2】

$$V_{in} = V_{out} \cdot D_o \quad \dots (2)$$

【0023】

D_o が0～1の範囲に制限されるため、出力電圧 V_{out} はからはず入力電圧 V_{in} を上回る。即ち、スイッチングレギュレータは昇圧動作を行う。 10

【0024】

また、 D_i と D_o をともに制御し、昇降圧動作を行うことも可能である。この場合、安定状態では次式が成り立つ。

【0025】

【数3】

$$V_{in} \cdot D_i = V_{out} \cdot D_o \quad \dots (3)$$

【0026】

4つのスイッチング素子M1～M4を常に制御して昇降圧動作を行う場合、昇圧/降圧を別けて行う場合に較べて、スイッチングロスが増加するなど損失が生じるため、昇圧/降圧を別々で行うように制御を行った方が好適である。 20

【0027】

図3及び図4は、本発明に係るDC-DCコンバータにおけるフィードバック及びフィードフォワード制御について説明するためのブロック図である。

【0028】

図3に示すDC-DCコンバータは、昇圧と昇降圧動作を切り替えて一定の出力電圧 V_{out} を供給するための回路である。

図3に示すブロック図において、フィードフォワード制御回路10は、入力電圧 V_{in} に応じて、トランジスタM1がオンする期間の比率 D_i を制御する制御信号 S_i を生成する。制御信号 S_i に応じて、トランジスタM1とM2がオンまたはオフ状態に制御される。 30

【0029】

なお、以下の説明において、トランジスタM1とM2を制御する制御信号 S_i 及びトランジスタM3とM4を制御する制御信号 S_o をデューティ制御信号と称する。

【0030】

フィードバック制御回路20は、出力電圧 V_{out} に応じて、トランジスタM3がオンする期間の比率 D_o を制御するデューティ制御信号 S_o を生成する。デューティ制御信号 S_o に応じて、トランジスタM3とM4がオンまたはオフ状態に制御される。

【0031】

図4に示すDC-DCコンバータは、降圧と昇降圧動作を切り替えて一定の出力電圧 V_{out} を供給するための回路である。 40

図4に示すブロック図においては、図3に示す構成に較べて、フィードバック制御回路20'は、トランジスタM1とM2を制御するデューティ制御信号 S_i を出力し、フィードフォワード制御回路10'は、トランジスタM3とM4を制御するデューティ制御信号 S_o を出力する点において異なる。

【0032】

図4に示すように、フィードバック制御回路20'は、出力電圧 V_{out} に応じて、トランジスタM1がオンする期間の比率 D_i を制御するデューティ制御信号 S_i を出力し、トランジスタM1とM2を制御する。

一方、フィードフォワード制御回路10'は、入力電圧 V_{in} に応じて、トランジスタM 50

3 がオンする期間の比率 D 。 を制御するデューティ制御信号 S 。 を出力し、トランジスタ $M3$ と $M4$ を制御する。

【0033】

上述したように、本発明の DC - DC コンバータは、入力電圧 V_{in} 及び出力電圧 V_{out} の両方をモニタし、その結果に従ってスイッチング素子 $M1 \sim M4$ を切り換える。これによって入力電圧 V_{in} の変動にかかわらず、ほぼ安定した電圧 V_{out} を負荷に供給することができる。

【0034】

次に、具体的な回路例を用いて、本発明に係るの DC - DC コンバータの実施形態について説明する。

10

【0035】

第1実施形態

図5は本発明に係る DC - DC コンバータの第1の実施形態を示す回路図である。

図示のように、本実施形態の DC - DC コンバータは、pMOS トランジスタ $M1$ 、 $M3$ 、nMOS トランジスタ $M2$ 、 $M4$ 及びインダクタ L からなる Hブリッジ、入力電圧監視回路 12、フィードフォワードパルス幅変調回路 14、誤差信号検出回路 22、フィードバックパルス幅変調回路 24 及び出力電圧 V_{out} を平滑化するキャパシタ C 。 によって構成されている。

【0036】

入力電圧監視回路 12 とフィードフォワードパルス幅変調回路 14 からなる回路は、図3 20 に示すフィードフォワード制御回路 10 に対応する。誤差信号検出回路 22 とフィードバックパルス幅変調回路 24 からなる回路は、図3 に示すフィードバック制御回路 20 に対応する。

フィードフォワード制御回路 10 は、デューティ制御信号 S_i を生成し、トランジスタ $M1$ と $M2$ のゲートに供給し、フィードバック制御回路 20 は、デューティ制御信号 S 。 を生成し、トランジスタ $M3$ と $M4$ のゲートに供給する。

【0037】

フィードフォワード制御回路 10 において、入力電圧監視回路 12 は、入力電圧 V_{in} を分圧する抵抗素子 $R3$ と $R4$ 、基準電圧 V_{ref} を供給する定電圧源、抵抗素子 $R5$ 及び演算増幅器（以下、オペアンプと表記する） $A2$ によって構成されている。

30

【0038】

入力電圧監視回路 12 によって、入力電圧 V_{in} 、抵抗素子 $R3$ と $R4$ の抵抗値によって決まった分圧比、及び基準電圧 V_{ref} に応じた直流電圧 V_a が出力される。

【0039】

フィードフォワードパルス幅変調回路 14 は、図5に示すように、三角波発振器 30 とコンパレータ $C2$ とによって構成されている。

コンパレータ $C2$ は、入力電圧監視回路 12 から出力される直流電圧 V_a と三角波発振器 30 から出力される三角波 V_{tr} とを比較し、デューティ制御信号 S_i を出力する。

【0040】

コンパレータ $C2$ の正の入力端子 (+) に、三角波 V_{tr} が入力され、負の入力端子 (-) には、直流電圧 V_a が入力される。このため、三角波 V_{tr} が直流電圧 V_a よりレベルが高いとき、コンパレータ $C2$ からハイレベルのデューティ制御信号 S_i が出力され、逆に三角波 V_{tr} が直流電圧 V_a よりレベルが低いとき、コンパレータ $C2$ からローレベルのデューティ制御信号 S_i が出力される。

40

即ち、フィードフォワードパルス幅変調回路 14 によって、入力電圧 V_{in} に応じてパルス幅が変調されたデューティ制御信号 S_i が生成される。

【0041】

デューティ制御信号 S_i がトランジスタ $M1$ と $M2$ のゲートに入力されるので、デューティ制御信号 S_i がハイレベルとき、トランジスタ $M1$ がオフし、トランジスタ $M2$ がオンする。逆にデューティ制御信号 S_i がローレベルのとき、トランジスタ $M1$ がオン

50

し、トランジスタM2がオフする。

【0042】

上述したように、フィードフォワード制御回路10によって、入力電圧 V_{in} に応じてパルス幅が変調されたデューティ制御信号 S_i が生成され、当該デューティ制御信号 S_i に応じて、トランジスタM1とM2が制御される。即ち、トランジスタM1のオンする期間の比率 D_i が入力電圧 V_{in} に従って制御される。

【0043】

フィードバック制御回路20において、誤差信号検出回路22は、出力電圧 V_{out} を分圧する抵抗素子R1とR2、基準電圧 V_{ref} を供給する定電圧源、電流出力型増幅器A1、及び抵抗素子 R_c 、キャパシタ C_c によって構成されている。

10

電流出力型増幅器A1は、入力電圧に応じて出力電流値が制御される、いわゆる g_m アンプである。なお、本実施形態のDC-DCコンバータにおいて、誤差信号検出回路22には、 g_m アンプの代わりに通常の電圧出力型演算増幅器を用いてもよい。

【0044】

g_m アンプA1の出力側に、抵抗素子 R_c とキャパシタ C_c とを直列接続してなるフィルタが設けられている。当該フィルタは、出力電圧 V_{out} に含まれているリップル成分を抑制し、安定した分圧電圧 V_b を出力するとともに、フィードバックループに生じる位相歪みを補正する。

【0045】

誤差信号検出回路22によって、出力電圧 V_{out} 、抵抗素子R1とR2の抵抗値によって決まった分圧比、及び基準電圧 V_{ref} に応じた直流電圧 V_b が出力される。

20

【0046】

フィードバックパルス幅変調回路24は、図5に示すように、三角波発振器30とコンパレータC1とによって構成されている。即ち、フィードバックパルス幅変調回路24とフィードフォワードパルス幅変調回路14は、三角波発振器30を共用する。ただし、コンパレータC1とC2に供給される三角波 V_{tr} は、異なる極性の入力端子に入力される。

【0047】

コンパレータC1の負の入力端子(-)に三角波 V_{tr} が入力され、正の入力端子(+)には直流電圧 V_b が入力される。このため、三角波 V_{tr} が直流電圧 V_b よりレベルが低いとき、コンパレータC1からハイレベルのデューティ制御信号 S_o が出力され、逆に三角波 V_{tr} が直流電圧 V_b よりレベルが高いとき、コンパレータC1からローレベルのデューティ制御信号 S_o が出力される。

30

【0048】

このように、コンパレータC1は、誤差信号検出回路22によって出力される直流電圧 V_b と三角波発振器30によって出力される三角波 V_{tr} とを比較し、出力電圧 V_{out} に応じてパルス幅が変調されたデューティ制御信号 S_o を出力する。

【0049】

デューティ制御信号 S_o がトランジスタM3とM4のゲートに入力されるので、デューティ制御信号 S_o がハイレベルとき、トランジスタM3がオフし、トランジスタM4がオンする。逆にデューティ制御信号 S_o がローレベルのとき、トランジスタM3がオンし、トランジスタM4がオフする。

40

【0050】

上述したように、フィードバック制御回路20によって、出力電圧 V_{out} に応じてパルス幅が変調されたデューティ制御信号 S_o が生成され、当該デューティ制御信号 S_o に応じて、トランジスタM3とM4が制御される。即ち、トランジスタM3のオンする期間の比率 D_o が出力電圧 V_{out} に従って制御される。

【0051】

本実施形態のDC-DCコンバータにおいて、フィードバック制御回路20は、出力電圧 V_{out} をモニタし、当該出力電圧 V_{out} が所望の値となるように、トランジスタM3とM4のゲートに印加するデューティ制御信号 S_o を制御する。一方、フィードフ

50

ォワード制御回路10は、入力電圧 V_{in} をモニタし、フィードバック制御回路20からのデューティ制御信号 S_o によって制御されるトランジスタM3がオンする期間の比率 D_o が適切な値に収まるように制御を行う。

【0052】

具体的には、入力電圧 V_{in} が所望の出力電圧 V_{out} よりも低く昇圧動作を行う必要がある場合、トランジスタM1を常にオンするようにデューティ制御信号 S_i を制御する。一方、入力電圧 V_{in} と出力電圧 V_{out} との差が小さく、または入力電圧 V_{in} が出力電圧 V_{out} よりも高い場合、トランジスタM3がオンする期間の比率 D_o が0から1までの範囲になるように、即ち $0 < D_o < 1$ となるように、デューティ制御信号 S_i を制御し、トランジスタM1がオンする期間の比率 D_i を制御する。

10

【0053】

また、本実施形態のDC-DCコンバータにおいて、昇降圧動作を行うとき、デューティ制御信号 S_i とデューティ制御信号 S_o が互いに逆相となる。これは、フィードフォワードパルス幅変調回路14において三角波 V_{tr} がコンパレータC2の正の入力端子入力され、フィードバックパルス幅変調回路24において三角波 V_{tr} がコンパレータC1の負の入力端子に入力されるからである。このようにデューティ制御信号 S_i と S_o とが逆相となるように制御することによって、例えば、入力電圧 V_{in} と出力電圧 V_{out} がほぼ等しくなると、 D_i と D_o がほぼ等しくなったときでもDC-DCコンバータの過渡特性の低下を避けることができる。

【0054】

なお、本発明では、デューティ制御信号 S_i と S_o とを逆相とする以外に、位相をずらすことも可能である。デューティ制御信号 S_i と S_o が同相になると、入力電圧 V_{in} と出力電圧 V_{out} が接近するとき、DC-DCコンバータの応答特性が低下するが、これを回避できるように、デューティ制御信号 S_i と S_o に適宜位相差を付ければよい。

20

【0055】

次に、本実施形態のDC-DCコンバータについて、詳細の回路例を用いて説明する。

【0056】

図6は、図5に示す本実施形態のDC-DCコンバータに対して、分圧用抵抗素子、基準電圧 V_{ref} などのパラメータを例示したものである。

30

図示のように、入力電圧 V_{in} は負荷側に電力を供給するにつれて電圧が低下し、その電圧は1~4Vの範囲内にある。例えば、入力電圧 V_{in} が充電電池で供給される場合、満充電のとき入力電圧 V_{in} がもっとも高く、例えば4Vとなり、電力の供給につれて電池の出力電圧が低下し、例えば1Vまで下がる。

出力電圧 V_{out} は、3Vである。即ち、本例のDC-DCコンバータは、1~4Vの範囲内で変化する入力電圧 V_{in} から3Vの出力電圧 V_{out} を供給するための回路である。

【0057】

入力電圧監視回路12において、入力電圧 V_{in} を分圧する抵抗素子R3とR4の抵抗値は、それぞれ16Rと1.92Rである。また、オペアンプA2の反転入力端子と出力端子間に接続されている抵抗素子R5の抵抗値は3Rである。なお、ここでRは任意の単位である。

40

【0058】

誤差信号検出回路22において、出力電圧 V_{out} を分圧する抵抗素子R1とR2の抵抗値は、それぞれ4R'とR'である。ここで、R'も任意の単位である。また、入力電圧監視回路12と誤差信号検出回路22の基準電圧 V_{ref} は、ともに0.6Vである。

【0059】

三角波発振器30によって出力される三角波 V_{tr} の振幅は、例えば、0.6V~1.2Vである。

50

【0060】

上述した構成を有する本例のDC-DCコンバータにおいて、フィードバック制御回路20は、通常の昇圧回路に用いられるものとほぼ同じ構成を有し、出力電圧 V_{out} を1/5に分圧した電圧と0.6Vの基準電圧 V_{ref} とを比較し、当該比較の結果に基づいて、出力電圧 V_{out} が所望の3Vに保たれるようにデューティ制御信号 S_o を出力する。

【0061】

フィードフォワード制御回路10において、入力電圧 V_{in} の分圧電圧と基準電圧 V_{ref} から作られた直流電圧 V_a と三角波 V_{tr} とを比較することで、パルス幅変調されたデューティ制御信号 S_i が生成される。

10

【0062】

この回路では、入力電圧 V_{in} が2.4V以下のとき、オペアンプA2の出力電圧 V_a が1.2Vより高くなる。一方の三角波 V_{tr} の最大振幅は1.2Vとなるので、入力電圧 V_{in} が2.4V以下のときコンパレータC2から出力されるデューティ制御信号 S_i がローレベルに固定される。このため、トランジスタM1がオン状態に固定される。即ち、 $D_i = 1$ となる。

【0063】

入力電圧 V_{in} が2.4Vより高いとき、オペアンプA2の出力電圧 V_a が1.2V以下となる。このとき、コンパレータC2から出力されるデューティ制御信号 S_i のパルス幅が入力電圧 V_{in} によって変調され、 D_i は0~1の間に制御される。このときの D_i 及び D_o は、図6に示す回路パラメータ及び式(3)に従って、それぞれ次式によって与えられる。

20

【0064】

【数4】

$$D_i = 1.75 - V_{in} / 3.2 \quad \dots (4)$$

【0065】

【数5】

$$D_o = (1.75 - V_{in} / 3.2) V_{in} / V_{out}$$

... (5)

【0066】

図7は、式(4)及び式(5)をに従って、入力電圧 V_{in} に対して D_i 及び D_o をそれぞれプロットしたグラフである。

30

【0067】

図7に示すように、入力電圧 V_{in} が1~2.4Vの間にあるとき、 D_i が1に固定され、従って D_o は V_{in} に対して線型に変化する。入力電圧 V_{in} が2.4~4Vの間にあるとき、式(4)に示すように、 D_i が入力電圧 V_{in} の一次関数となる。このとき、式(5)に示すように、 D_o が入力電圧 V_{in} の2次関数となる。

【0068】

図8及び図9は、図5または図6に示す本実施形態のDC-DCコンバータにおけるインダクタLの端子電圧 V_x 、 V_y 及び電流 I_L を示す波形図である。以下、図8及び図9を参照しつつ、本実施形態のDC-DCコンバータの動作を説明する。

40

【0069】

図8及び図9において、入力電圧 V_{in} の最大値は4.0Vであり、所望の出力電圧 V_{out} は、3.0Vである。

図8は入力電圧 V_{in} が1.5V、出力電圧 V_{out} 3.0Vのとき、インダクタLの端子電圧 V_x 、 V_y 及び電流 I_L の波形を示す。そして、図9は入力電圧 V_{in} が4.0V、出力電圧 V_{out} 3.0Vのとき、インダクタLの端子電圧 V_x 、 V_y 及び電流 I_L の波形を示している。

【0070】

図6に示すDC-DCコンバータにおいて、入力電圧 V_{in} が2.4V以下のとき、 D_i

50

が1に固定され、DC-DCコンバータが昇圧動作を行う。入力電圧 V_{in} が2.4Vを上回ったとき、DC-DCコンバータは昇降圧の動作を行う。

【0071】

図8において、入力電圧 V_{in} が1.5Vであるので、DC-DCコンバータが昇圧動作が行う。このとき、トランジスタM1がオン状態に固定され、トランジスタM2がオフ状態に固定される。トランジスタM3とM4は出力電圧 V_{out} に応じてパルス幅変調されるデューティ制御信号 S_o によって制御される。このとき、出力電圧 V_{out} が所望の3Vに保たれるように、トランジスタM3がオンする期間の比率 D_o が制御される。図7のグラフにより、入力電圧 V_{in} が1.5Vのとき、 D_i が1となり、 D_o がほぼ0.5となる。

10

【0072】

図8(a)に示すように、インダクタLの一端の電圧 V_x は入力電圧 V_{in} に保持されている。同図(b)に示すように、トランジスタM3のオン/オフに従って、インダクタLの他端の電圧 V_y は出力電圧 V_{out} または接地電位に保持される。さらに、同図(c)に示すように、インダクタLの両端の電圧差に応じて電流 I_L が決まる。

【0073】

インダクタLの入力端の電圧 V_x が入力電圧 V_{in} に保持され、インダクタLの出力端の電圧 V_y が出力電圧 V_{out} に保持されている間、インダクタLの入力端の電圧 V_x が出力端の電圧 V_y より低く、インダクタLの電流 I_L が低下していく。一方、インダクタLの出力端の電圧 V_y が接地電位に保持されているとき、インダクタLの両端の電位差が入力電圧 V_{in} に等しくなり、このため入力電圧 V_{in} によりインダクタLに磁気エネルギーが蓄積され、電流 I_L が上昇する。

20

【0074】

このように、図6に示すDC-DCコンバータにおいて、入力電圧 V_{in} が1.5Vのとき、 D_i が1となり、 D_o がほぼ0.5となるようにフィードフォワード制御回路10及びフィードバック制御回路20がそれぞれ制御が行われる。これによって、DC-DCコンバータが昇圧動作を行い、出力電圧 V_{out} が所望の3Vに保たれる。

【0075】

次に、入力電圧 V_{in} が4VのときのDC-DCコンバータの動作を説明する。入力電圧 V_{in} が4Vのとき、DC-DCコンバータは昇降圧の動作を行う。図9は、このときインダクタLの端子電圧 V_x 、 V_y 及び電流 I_L の波形をそれぞれ示している。

30

【0076】

図7のグラフに示すように、入力電圧 V_{in} が4Vのとき、 D_i が0.5となり、 D_o が約0.66となるように制御される。

図9(a)に示すように、インダクタLの一方の端子の電圧 V_x は、交互に入力電圧 V_{in} と接地電位に保持される。端子電圧 V_x が入力電圧 V_{in} に保持されている期間の比率がほぼ0.5となる。

図9(b)に示すように、インダクタLの他方の端子の電圧 V_y が、交互に出力電圧 V_{out} と接地電位に保持される。端子電圧 V_y が出力電圧 V_{out} に保持されている期間の比率がほぼ0.66となる。

40

【0077】

このように、図6に示すDC-DCコンバータにおいて、入力電圧 V_{in} が4Vのとき、 D_i が0.5となり、 D_o がほぼ0.66となるようにフィードフォワード制御回路10及びフィードバック制御回路20がそれぞれ制御を行なう。これによって、DC-DCコンバータは昇降圧動作を行い、出力電圧 V_{out} が所望の3Vに保たれる。

【0078】

以上説明したように、本実施形態のDC-DCコンバータによれば、入力電圧 V_{in} がある一定の範囲で変化する場合、入力電圧 V_{in} に応じてフィードフォワード制御が行われ、インダクタLに入力電圧 V_{in} を印加する期間の比率 D_i が制御され、また、出力電圧 V_{out} に応じてフィードバック制御が行われ、インダクタLから負荷に電流を出力

50

する期間の比率 D_o が制御される。これによって、DC-DCコンバータは入力電圧 V_{in} に従って、昇圧または昇降圧動作を適宜切り替えて、出力電圧 V_{out} を所望の電圧値に保持する。

【0079】

第2実施形態

図10は本発明に係るDC-DCコンバータの第2の実施形態を示す回路図である。

図示のように、本実施形態のDC-DCコンバータは、図5に示す本発明の第1の実施形態とほぼ同じ構成を有する。ただし、本実施形態のDC-DCコンバータにおいて、入力電圧監視回路12aは、上記第1の実施形態の対応する部分と異なる。

【0080】

図示のように、本実施形態において、入力電圧監視回路12aは、入力電圧 V_{in} を分圧する分圧用抵抗素子 R_3 、 R_4 、基準電圧 V_{ref} を供給する定電圧源及び基準電圧 V_{ref} を分圧電圧に加えるための抵抗素子 R_5 によって構成されている。

【0081】

このように構成されている入力電圧監視回路12aにより、入力電圧 V_{in} 及び基準電圧 V_{ref} 、並びに分圧用抵抗素子 R_3 と R_4 の抵抗値に応じた直流電圧 V_a が生成される。

【0082】

入力電圧監視回路12aで生成された直流電圧 V_a がフィードフォワードパルス幅変調回路14aに出力される。フィードフォワードパルス幅変調回路14aにおいて、直流電圧 V_a が三角波発振器30によって発生された三角波 V_{tr} と比較され、比較結果に応じてデューティ制御信号 S_i が出力される。デューティ制御信号 S_i に応じて、トランジスタ M_1 がオンする期間の比率 D_i が制御される。

【0083】

また、本実施形態において、フィードフォワードパルス幅変調回路14a及びフィードバックパルス幅変調回路24aでは、コンパレータ C_1 または C_2 に三角波 V_{tr} と比較信号（直流電圧） V_a または V_b の入力端子の極性が図5に示す第1の実施形態と異なる。図10に示すように、フィードフォワードパルス幅変調回路14aにおいて、コンパレータ C_1 の正の入力端子に入力電圧監視回路12aからの比較信号 V_a が入力され、負の入力端子に三角波 V_{tr} が入力される。これは、本実施形態の入力電圧監視回路12aにおいて、入力電圧 V_{in} と同じ方向に変化する比較信号 V_a を出力することからである。

【0084】

入力電圧監視回路12aによって出力される比較信号 V_a は、入力電圧 V_{in} が上昇するとその電圧も上昇し、逆に入力電圧 V_{in} が低下するとその電圧も低下する。即ち、比較信号 V_a が入力電圧 V_{in} と同じ方向に変化する。

このため、入力電圧 V_{in} が所定の電圧よりも低いとき、フィードフォワードパルス幅変調回路14aでは、例えば比較信号 V_a のレベルが三角波 V_{tr} よりも低く、コンパレータ C_2 から出力されるデューティ制御信号 S_i がローレベルに保持される。これによって、トランジスタ M_1 がオン状態に保たれ、DC-DCコンバータは、昇圧動作を行う。

【0085】

入力電圧 V_{in} が上記所定の電圧よりも高くなると、フィードフォワードパルス幅変調回路14aから、入力電圧 V_{in} によってパルス幅が変調されたデューティ制御信号 S_i が出力される。これに応じてトランジスタ M_1 がオンする期間の比率 D_i が制御される。これに応じて、フィードバックパルス幅変調回路24aによって出力電圧 V_{out} が所望の値に保たれるようにデューティ制御信号 S_o が生成される。このとき、DC-DCコンバータが昇降圧動作を行い、所望の出力電圧 V_{out} を負荷に供給する。

【0086】

本実施形態のDC-DCコンバータにおいて、コンパレータ C_1 と C_2 との三角波 V_{tr}

10

20

30

40

50

の入力端子の極性が逆になるため、フィードフォワードパルス幅変調回路14a及びフィードバックパルス幅変調回路24aから出力されるパルス幅変調されたデューティ制御信号 S_i と S_o が互いに逆相となる。このため、入力電圧 V_{in} と出力電圧 V_{out} がほぼ等しくなって、 D_i と D_o がほぼ一致する場合、DC-DCコンバータの過渡特性の低下を回避することができる。

【0087】

上述したように、本実施形態のDC-DCコンバータによれば、入力電圧 V_{in} を分圧して、比較用直流電圧 V_a を発生する入力電圧監視回路12aは、分圧用抵抗素子R3、R4、基準電圧 V_{ref} を供給する定電圧源及び抵抗素子R5によって構成される。このため、第1の実施形態で用いられる入力電圧監視回路12に較べて、オペアンプA2を要せず、回路の構成を簡素化できる。

10

【0088】

第3実施形態

図11は本発明に係るDC-DCコンバータの第3の実施形態を示す回路図である。

図11に示すように、本実施形態のDC-DCコンバータにおいて、フィードフォワード制御回路10bを構成する入力電圧監視回路12及びフィードフォワードパルス幅変調回路14は、図5に示す本発明の第1の実施形態の対応する回路と同じ構成を有する。また、フィードバック制御回路20bを構成する誤差信号検出回路22及びフィードバックパルス幅変調回路24も、図5に示す本発明の第1の実施形態の対応する回路と同じ構成を有する。

20

【0089】

ただし、本実施形態のDC-DCコンバータにおいて、フィードフォワード制御回路10bによって、トランジスタM3とM4を制御するデューティ制御信号 S_o を出力し、フィードバック制御回路20bによって、トランジスタM1とM2を制御するデューティ制御信号 S_i を出力する点では、図5に示す第1の実施形態と異なる。

【0090】

即ち、本実施形態のDC-DCコンバータは、図4に示す本発明のDC-DCコンバータを具現化した構成例である。フィードフォワード制御回路10bは、図4におけるフィードフォワード制御回路10'に対応し、フィードバック制御回路20bは、図4におけるフィードバック制御回路20'に対応する。

30

【0091】

図11のように構成された本実施形態のDC-DCコンバータは、フィードフォワード制御回路10bによって、デューティ制御信号 S_o が生成され、当該デューティ制御信号 S_o がトランジスタM3とM4のゲートに印加される。また、フィードバック制御回路20bによって、デューティ制御信号 S_i が生成され、当該デューティ制御信号 S_i がトランジスタM1とM2のゲートに印加される。

【0092】

上述した構成を有する本実施形態のDC-DCコンバータにおいては、フィードフォワード制御回路10bは、入力電圧 V_{in} をモニタし、それに応じてデューティ制御信号 S_o を生成し、トランジスタM3及びM4を制御する。一方、フィードバック制御回路20bは、出力電圧 V_{out} をモニタし、それに応じてデューティ制御信号 S_i を生成し、トランジスタM1及びM2を制御する。

40

【0093】

このように構成された本実施形態のDC-DCコンバータは入力電圧 V_{in} に従って、降圧または昇降圧動作を切り替える。入力電圧監視回路12では、オペアンプA2は反転増幅回路として動作する。このため、入力電圧 V_{in} が所定の電圧より高いとき、入力電圧監視回路12から出力される比較電圧 V_a のレベルが三角波 V_{tr} より低く、コンパレータC2から出力されるデューティ制御信号 S_o がローレベルに保持される。このため、トランジスタM3がオン状態に固定される。即ち、 D_o が1に保たれる。このとき、DC-DCコンバータは降圧動作を行う。フィードバック制御回路20bにより、出力電

50

圧 V_{out} に応じてデューティ制御信号 S_i が出力され、出力電圧 V_{out} が所望の電圧となるようにトランジスタ M_1 が制御される。

【0094】

一方、入力電圧 V_{in} が所定の電圧より低くなると、入力電圧監視回路 12 から出力される比較電圧 V_a のレベルが所定値より高く、この場合入力電圧 V_{in} に応じてパルス幅が変調されるデューティ制御信号 S_o が出力される。これによりトランジスタ M_3 のオンする期間の比率が制御され、DC-DCコンバータは昇降圧動作を行う。このとき、出力電圧 V_{out} が所望の電圧となるようにトランジスタ M_1 がフィードバック制御回路 20b から出力されるデューティ制御信号 S_i によって制御される。

【0095】

また、本実施形態の DC-DCコンバータにおいて、図 11 に示すようにフィードフォワードパルス幅変調回路 14 とフィードバックパルス幅変調回路 24 のコンパレータ C_2 と C_1 との三角波 V_{tr} の入力端子の極性が逆になるので、デューティ制御信号 S_o と S_i が互い逆相となる。このため、入力電圧 V_{in} と出力電圧 V_{out} がほぼ等しく、 D_i と D_o がほぼ一致するとき DC-DCコンバータの過渡特性の低下を回避できる。

【0096】

以上説明したように、本実施形態によれば、フィードバック制御回路 20b により出力電圧 V_{out} をモニタし、それに応じてデューティ制御信号 S_i を出力してトランジスタ M_1 のオンする期間の比率 D_i を制御する。また、フィードフォワード制御回路 10b により入力電圧 V_{in} をモニタし、それに応じてデューティ制御信号 S_o を出力してトランジスタ M_3 のオンする期間の比率 D_o を制御する。入力電圧 V_{in} が所定の値より高いとき、 D_o が 1 となるようにデューティ制御信号 S_o が制御され、DC-DCコンバータが降圧動作を行い、それ以外のとき DC-DCコンバータが昇降圧動作を行う。これによって出力電圧 V_{out} が所望の電圧となるように制御される。

【0097】

【発明の効果】

以上説明したように、本発明の DC-DCコンバータによれば、入力及び出力電圧に応じて、Hブリッジ型スイッチングレギュレータのスイッチング素子が制御され、昇圧、降圧または昇降圧動作を行うことによって、ある範囲で変動する入力電圧に対して、所望の出力電圧を負荷に供給することができる。

また、本発明によれば、入力電圧からインダクタに電流を供給するタイミングとインダクタから負荷に電流を出力するタイミングをずらすことによって、入出力電圧が接近したときの応答性を改善することができる利点がある。

【図面の簡単な説明】

【図 1】本発明に係る DC-DCコンバータの基本的な構成を示す図である。

【図 2】入力電圧と出力電圧のレベルを示すグラフである。

【図 3】本発明に係る DC-DCコンバータの一構成例を示すブロック図である。

【図 4】本発明に係る DC-DCコンバータの他の構成例を示すブロック図である。

【図 5】本発明に係る DC-DCコンバータの第 1 の実施形態を示す回路図である。

【図 6】本発明の第 1 の実施形態の DC-DCコンバータの一構成例を示す回路図である。

【図 7】DC-DCコンバータの Hブリッジを構成するスイッチング素子のオンする期間の比率と入力電圧との関係を示す図である。

【図 8】DC-DCコンバータが昇圧動作時の波形を示す図である。

【図 9】DC-DCコンバータが昇降圧動作時の波形を示す図である。

【図 10】本発明に係る DC-DCコンバータの第 2 の実施形態を示す回路図である。

【図 11】本発明に係る DC-DCコンバータの第 3 の実施形態を示す回路図である。

【符号の説明】

10, 10', 10a ... フィードフォワード制御回路、

10

20

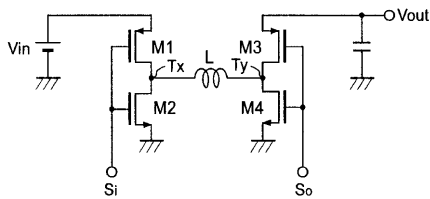
30

40

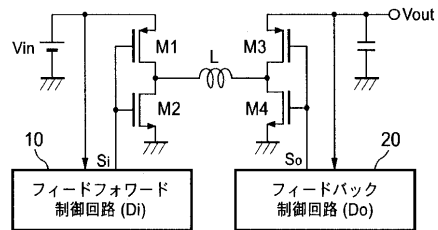
50

- 1 2 , 1 2 a ... 入力電圧監視回路、
 - 1 4 ... フィードフォワードパルス幅変調回路、
 - 2 0 , 2 0 ' , 2 0 a ... フィードバック制御回路、
 - 2 2 ... 誤差信号検出回路、 2 4 ... フィードバックパルス幅変調回路、
- $V_{i n}$... 入力電圧、 $V_{o u t}$... 出力電圧。

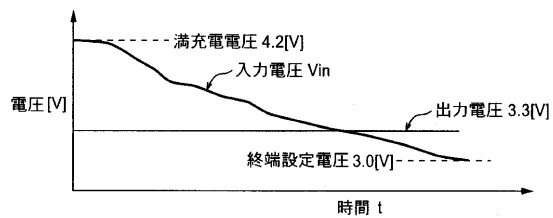
【 図 1 】



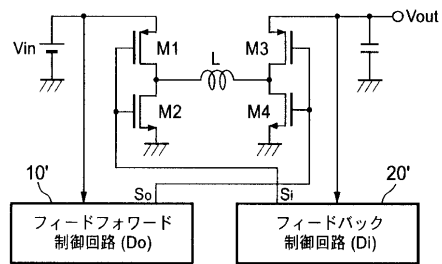
【 図 3 】



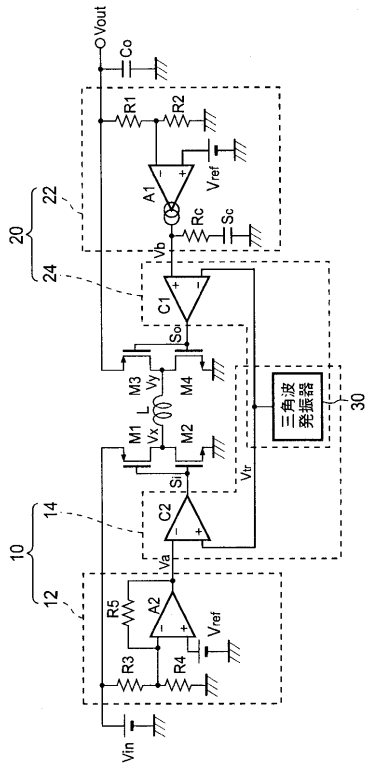
【 図 2 】



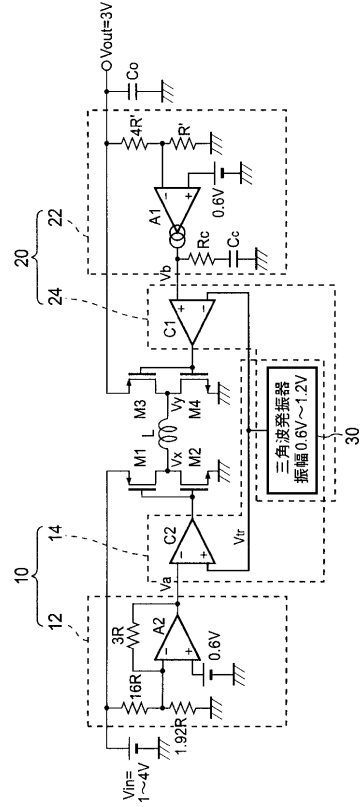
【 図 4 】



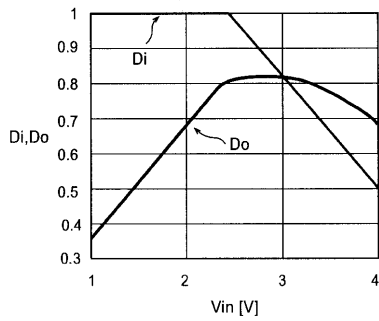
【 図 5 】



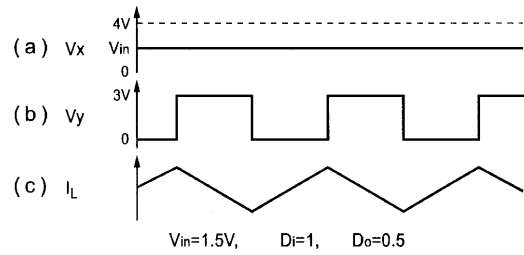
【 図 6 】



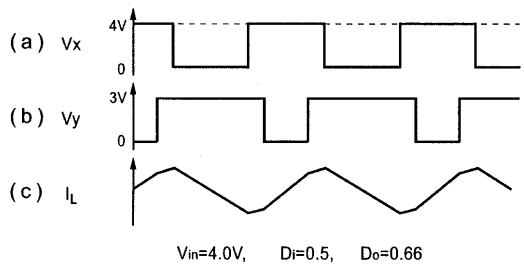
【 図 7 】



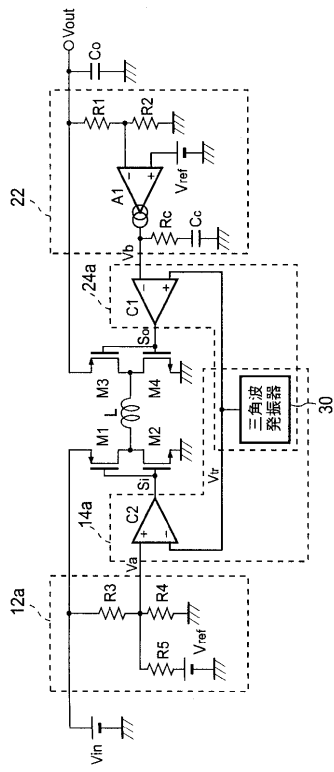
【 図 8 】



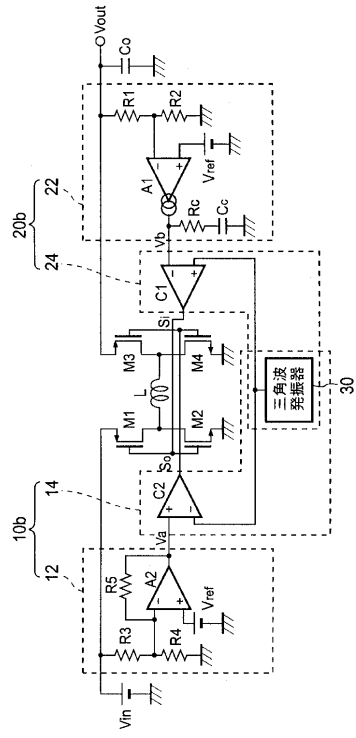
【 図 9 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(56)参考文献 特開2002-238250(JP,A)
特開2000-166223(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)
IPC第7版
H02M 3/00-3/44