



(12) 发明专利

(10) 授权公告号 CN 102834920 B

(45) 授权公告日 2015. 06. 10

(21) 申请号 201180016639. 3

(22) 申请日 2011. 01. 12

(30) 优先权数据

12/697, 235 2010. 01. 30 US

(85) PCT国际申请进入国家阶段日

2012. 09. 28

(86) PCT国际申请的申请数据

PCT/US2011/020916 2011. 01. 12

(87) PCT国际申请的公布数据

W02011/094059 EN 2011. 08. 04

(73) 专利权人 美国国家半导体公司

地址 美国加利福尼亚州

(72) 发明人 J·拉达尼

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

(51) Int. Cl.

H01L 29/78(2006. 01)

(56) 对比文件

CN 1989601 A, 2007. 06. 27, 说明书第1页第4段第1行至第13页第5段第7行, 说明书附图第1-3.

US 2007145390 A1, 2007. 06. 28, 说明书第42段、48段, 说明书附图1B.

CN 1557024 A, 2004. 12. 22, 说明书第3页第11-14行, 第6页第27行至第7页第2行.

US 2007287253 A1, 2007. 12. 13, 说明书第8段.

Maeda et al.. Systematic Study of Insulator Deposition Effect (Si₃N₄, SiO₂, AlN, and Al₂O₃) on Electrical Properties in AlGa_xN/GaN Heterostructures. 《Japanese Journal of Applied Physics》. 2007, 第46卷(第2期), 547-554.

审查员 许铁柱

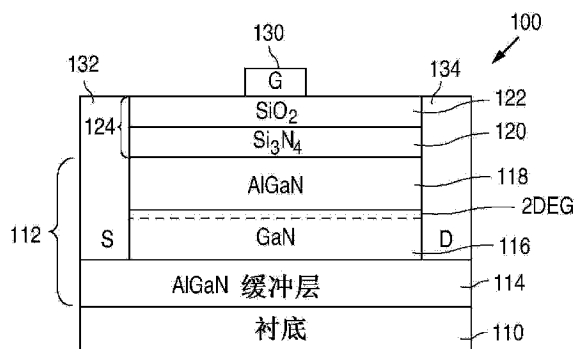
权利要求书2页 说明书5页 附图4页

(54) 发明名称

低泄漏 GaN MOSFET

(57) 摘要

通过在 AlGa_xN (或 InAlGa_xN) 势垒层(118) 上利用 SiO₂/Si₃N₄ 栅绝缘层(124) 来形成增强模式 GaN MOSFET (100)。SiO₂/Si₃N₄ 栅绝缘层(124) 的 Si₃N₄ 部分(120) 减少了栅绝缘层(124) 和势垒层(118) 之间的结处的界面态的形成, 同时 SiO₂/Si₃N₄ 栅绝缘层(124) 的 SiO₂ 部分(122) 减少了泄漏电流。



1. 一种形成晶体管的方法,其包括:

形成势垒层,所述势垒层包括 AlGa_N;

形成接触所述势垒层的 Si₃N₄层;

形成接触所述 Si₃N₄层的 SiO₂层;以及

形成接触所述 SiO₂层并位于所述 SiO₂层上的金属栅极,所述金属栅极具有底表面,所述底表面在水平面内接触所述 SiO₂区的顶表面,所述金属栅极与所述 Si₃N₄区间隔开,所述 SiO₂区中没有一部分位于所述水平面上方,

形成接触所述势垒层的间隔开的金属源极区和金属漏极区,

其中包括 AlGa_N 的所述势垒层低于厚度阈值,使得当基本为 0 伏的电压被施加到所述金属栅极区,并且所述金属栅极区和金属漏极区被不同偏置时,基本没有电子包括在包括 AlGa_N 的所述势垒层和包括 Ga_N 的所述沟道层之间的二维电子气区;以及

当超过所述晶体管的阈值电压的电压被施加到所述金属栅极区,并且所述金属源极区和所述金属栅极区被不同偏置时,电子在包括 AlGa_N 的所述势垒层和包括 Ga_N 的所述沟道层之间的二维电子气区中积累,并且所述电子从所述金属源极区流向所述金属漏极区;其中:

在反应器中外延生长所述势垒层;以及

在生长所述势垒层之后,在所述反应器中外延生长所述 Si₃N₄层,而不将所述势垒层从所述反应器中移除,其中通过氧化所述 Si₃N₄层的一部分,将所述 SiO₂层形成为接触所述 Si₃N₄层;

所述方法进一步包括形成接触所述势垒层的隔开的金属源极区和金属漏极区;在形成所述势垒层之前形成沟道层,所述沟道层包括 Ga_N,所述沟道层的顶表面接触所述势垒层的底表面,所述沟道层包括接触所述沟道层的所述顶表面的二维电子气,

所述方法进一步包括在形成所述 Si₃N₄层之前,选择性刻蚀所述势垒层,从而形成暴露区;以及在形成所述 Si₃N₄层之前形成势垒膜以接触所述暴露区,所述势垒膜包括 AlGa_N。

2. 根据权利要求 1 所述的方法,其中所述势垒层进一步包括铟。

3. 根据权利要求 1 所述的方法,其中所述 Si₃N₄层被形成为接触所述势垒膜并位于所述势垒膜上。

4. 根据权利要求 1 所述的方法,进一步包括在形成所述 Si₃N₄层之前,选择性刻蚀所述势垒层和所述沟道层,从而形成暴露区。

5. 根据权利要求 4 所述的方法,进一步包括在形成所述 Si₃N₄层之前形成势垒膜以接触所述暴露区,所述势垒膜包括 AlGa_N。

6. 根据权利要求 5 所述的方法,其中所述 Si₃N₄层被形成为接触所述势垒膜。

7. 根据权利要求 6 所述的方法,其中所述势垒层进一步包括铟,并且所述势垒膜进一步包括铟。

8. 一种增强型模式晶体管,其包括:

包括 Ga_N 的沟道层;

势垒层,所述势垒层包括接触所述沟道层的 AlGa_N;

Si₃N₄区,所述 Si₃N₄区接触所述势垒层;

SiO₂区,所述 SiO₂区具有顶表面,接触所述 Si₃N₄区并位于所述 Si₃N₄区上;以及

金属栅极,所述金属栅极具有底表面,所述底表面在水平面内接触所述 SiO_2 区的顶表面,并且所述金属栅极与所述 Si_3N_4 区间隔开,所述 SiO_2 区中没有一部分位于所述水平面上方;

接触所述势垒层的间隔开的金属源极区和金属漏极区;

接触所述势垒层并位于所述势垒层之下的沟道层,所述沟道层包括 GaN;

势垒膜,所述势垒膜接触所述 Si_3N_4 区并位于所述 Si_3N_4 区之下,所述势垒膜具有小于所述势垒层的最大厚度的厚度,所述势垒膜包括 AlGaN;

其中包括 AlGaN 的所述势垒层低于厚度阈值,使得当基本为 0 伏的电压被施加到所述金属栅极区,并且所述金属栅极区和金属漏极区被不同偏置时,基本没有电子包括在包括 AlGaN 的所述势垒层和包括 GaN 的所述沟道层之间的二维电子气区;以及

当超过所述增强型模式晶体管的阈值电压的电压被施加到所述金属栅极区,并且所述金属源极区和所述金属栅极区被不同偏置时,电子在包括 AlGaN 的所述势垒层和包括 GaN 的所述沟道层之间的二维电子气区中积累,并且所述电子从所述金属源极区流向所述金属漏极区。

9. 根据权利要求 8 所述的增强型模式晶体管,其中所述势垒层进一步包括铟。

10. 根据权利要求 8 所述的增强型模式晶体管,其中所述势垒层在横向上与所述 Si_3N_4 区相邻。

11. 根据权利要求 10 所述的增强型模式晶体管,其中所述势垒层进一步包括铟。

低泄漏 GaN MOSFET

技术领域

[0001] 本发明涉及 GaN MOSFET, 并更特别涉及具有低泄漏电流和改善的可靠性的增强模式 GaN MOSFET。

背景技术

[0002] GaN MOSFET 在本领域中众所周知, 并用于高功率、高频和高温应用。GaN MOSFET 通常基于 GaN 区(通常称为沟道层)和覆盖的 AlGaIn 区(通常称为势垒层)之间的异质结的形成。GaN 沟道层和 AlGaIn 势垒层具有不同的带隙, 该不同的带隙引起在 GaN 沟道层和 AlGaIn 势垒层之间的结处形成二维电子气(2DEG), 并向下延伸进入 GaN 沟道层。

[0003] 用作晶体管“沟道”的 2DEG 产生高浓度的电子, 这使常规形成的 GaN MOSFET 用作耗尽模式器件(当零伏施加到器件的栅极并且器件的源极区和漏极区被不同偏置时是常开的)。

[0004] 尽管对于耗尽模式 GaN MOSFET 存在应用, 但耗尽模式晶体管的常开状态需要在启动期间使用控制电路, 以确保晶体管内的源极到漏极传导不过早开始。另一方面, 增强模式 GaN MOSFET(当零伏施加到器件的栅极并且器件的源极区和漏极区被不同偏置时是常关的)不需要控制电路, 因为当零伏置于栅极上时, 晶体管在启动时是常关的。

[0005] 然而, 为了形成增强模式 GaN MOSFET, 必须使 AlGaIn 势垒层足够薄(例如几纳米厚), 使得当零伏施加到器件的栅极(并且器件的源极区和漏极区被不同偏置)时, 在 2DEG 区中基本上不存在电子, 并且当超过阈值电压的电压施加到器件的栅极(并且器件的源极区和漏极区被不同偏置)时, 电子在 2DEG 区中累积, 并且从源极区流动到漏极区。

[0006] 伴随降低 AlGaIn 势垒层的厚度的一个问题是, 高水平的泄漏电流会经过 AlGaIn 势垒层到栅极(其常规实现为肖特基接触)。该问题的一个解决方案是添加位于 AlGaIn 势垒层和栅极之间的栅绝缘层。

[0007] 当代的增强模式 GaN MOSFET 使用多种淀积的氧化物来形成栅绝缘层。这些淀积的氧化物包括 Al_2O_3 、 HfO_2 、 MgO 、 Gd_2O_3 、 Ga_2O_3 、 ScO_2 和 SiO_2 。所有这些氧化物中, SiO_2 具有 9eV 的带隙 E_g , 并且到 AlGaIn 的 ΔE_c 可以高达 2.5eV, 由此导致最低泄漏电流和高达 2.5 伏的阈值。

[0008] 伴随所有这些淀积的氧化物(包括 SiO_2) 的一个问题是这些淀积的氧化物具有高密度的界面态(例如大于 $4 \times 10^{11}/\text{cm}^2$), 其在栅绝缘层和 AlGaIn 势垒层之间的结处导致大量陷阱点(trapping sites)。大量陷阱点导致栅绝缘层的击穿, 这进而降低了 GaN 器件的长期可靠性。因此, 需要具有低泄漏电流的增强模式 GaN MOSFET。

发明内容

[0009] 本发明的增强模式 GaN MOSFET 在 AlGaIn (或 InAlGaIn) 势垒层上利用 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 栅绝缘层。 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 栅绝缘层的 Si_3N_4 部分显著减少了栅绝缘层和势垒层之间的结处的界面态的形成, 同时 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 栅绝缘层的 SiO_2 部分显著减少了泄漏电流。

[0010] 本发明的 GaN MOSFET 包括势垒层,该势垒层包括 AlGaN。本发明的 GaN MOSFET 还包括接触势垒层的 Si_3N_4 层。本发明的 GaNMOSFET 进一步包括接触并位于 Si_3N_4 层上的 SiO_2 层,以及接触 SiO_2 层并位于 SiO_2 层和 Si_3N_4 层上的金属栅极。

[0011] 形成本发明的 GaN MOSFET 的方法包括形成势垒层,该势垒层包括 AlGaN。该方法还包括形成接触势垒层的 Si_3N_4 层。该方法进一步包括形成接触 Si_3N_4 层的 SiO_2 层,以及形成接触并位于 SiO_2 层上的金属栅极。

附图说明

[0012] 图 1-4 是一系列剖面图,其根据本发明图解形成增强模式 GaNMOSFET 100 的方法的例子。

[0013] 图 5-9 是一系列剖面图,其根据本发明的替换实施例图解形成增强模式 GaN MOSFET 500 的方法的例子。

[0014] 图 10 是根据本发明图解泄漏电流的能带图。

具体实施方式

[0015] 如下面更详细描述,本发明在 AlGaN 势垒层(或可选的,在 InAlGaN 势垒层)上形成 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 栅绝缘层,这显著减少了栅绝缘层和势垒层之间的结处的界面态的形成。减少界面态的密度显著减少了陷阱点的数目,这进而改善了 GaN 器件的长期稳定性。

[0016] 图 1-4 示出一系列剖面图,其根据本发明图解形成增强模式 GaNMOSFET 100 的方法的例子。如在图 1 中示出的,本发明的方法利用常规形成的半导体衬底 110。衬底 110 可以实现为绝缘衬底,或用高电阻材料实现,例如硅(例如 $\langle 111 \rangle$)、蓝宝石或碳化硅。如在图 1 中示出的,本发明的方法开始于在衬底 110 上形成外延层 112。外延层 112 (其在金属有机化学气相淀积(MOCVD)反应器中使用常规工艺形成)包括未掺杂的 AlGaN 缓冲层 114、未掺杂的 GaN 沟道层 116 以及未掺杂或 n 掺杂的 AlGaN 势垒层 118 (或可选的,未掺杂或 n 掺杂的 InAlGaN 势垒层 118)。AlGaN 缓冲层 114 进而包括具有不同铝组成的多个未掺杂的 AlGaN 层,其用来减轻应力。

[0017] 如在图 2 中示出的,根据本发明,在外延层 112 形成之后,使用 SiH_4 和 NH_3 ,直接在与 AlGaN 势垒层 118 相同的 MOCVD 反应器中在 AlGaN 势垒层 118 上外延生长 Si_3N_4 层 120。换句话说,在生长 AlGaN 层 118 之后外延生长 Si_3N_4 层 120,而不将具有 AlGaN 层 118 的结构从 MOCVD 反应器中移除。

[0018] Si_3N_4 层 120 优选生长到具有约 10-100nm 的厚度,其中具体厚度取决于应用。 SiN 和 AlGaN 共享相同的阴离子,因此在 Si_3N_4 层 120 和 AlGaN 势垒层 118 之间产生过渡层,该过渡层具有非常低密度的界面态,例如预期小于 $1 \times 10^{11}/\text{cm}^2$ 。

[0019] 如在图 3 中示出的,在生长 Si_3N_4 层 120 之后,用蒸汽/湿快速热氧化工艺氧化一部分 Si_3N_4 层 120,从而形成位于剩余 Si_3N_4 层 120 上的 SiO_2 层 122。在本发明中, Si_3N_4 和 SiO_2 层的组合形成晶体管的栅绝缘层 124,栅绝缘层 124 具有例如 64Å 厚的 Si_3N_4 层和 128Å 厚的 SiO_2 层。 Si_3N_4 层 120 的氧化在 Si_3N_4 层 120 和 SiO_2 层 122 之间产生过渡层,该过渡层也具有非常低密度的界面态。

[0020] 如在图 4 中示出的,在形成 SiO_2 层 122 之后,该方法通过以下步骤完成 GaN MOSFET

100 的形成:以常规方式(例如使用钛铝接触)形成金属栅极区 130、金属源极区 132 和金属漏极区 134,之后常规地形成覆盖的钝化层。金属栅极区 130 被形成为接触栅绝缘层 124 的 SiO_2 层 122。金属源极区 132 和金属漏极区 134 被形成为与 GaN 沟道层 116 和 AlGaIn 势垒层 118 欧姆接触。

[0021] 如上面提到的,势垒层的 AlGaIn 和沟道层的 GaN 具有不同的带隙,并常规形成为引起位于 AlGaIn 势垒层和 GaN 沟道层之间的结处的并向下延伸进入 GaN 沟道层的二维电子气(2DEG)。

[0022] 如上面进一步提到的,用作晶体管“沟道”的 2DEG 产生高浓度电子,这使常规形成的 GaN MOSFET 是耗尽模式器件(当零伏施加到器件的栅极并且器件的源极区和漏极区被不同偏置时是常开的)。

[0023] 因此,为了将图 4 中示出的 GaN MOSFET 100 形成为增强模式器件(当零伏施加到金属栅极区 130 并且金属源极区 132 和金属漏极区 134 被不同偏置时是常关的),必须使 AlGaIn 势垒层 118 足够薄(例如几纳米厚),使得当零伏施加到金属栅极区 130 (并且金属源极区 132 和金属漏极区 134 被不同偏置)时,在 2DEG 区中基本上不存在电子,并且当超过阈值电压的电压施加到金属栅极区 130 (并且金属源极区 132 和金属漏极区 134 被不同偏置)时,电子在 2DEG 区中累积,并且从金属源极区 132 流动到金属漏极区 134。

[0024] 图 5-9 示出一系列剖面图,其根据本发明的替换实施例图解形成增强模式 GaN MOSFET 500 的方法的例子。如在图 5 中示出的,本发明的替换方法也利用常规形成的半导体衬底 510。与衬底 110 相同,衬底 510 也可以实现为绝缘衬底,或用高电阻材料实现,例如硅(例如 <111>)、蓝宝石或碳化硅。

[0025] 如在图 5 中进一步示出的,本发明的替换方法开始于以与形成外延层 112 相同的方式(在 MOCVD 反应器中使用常规工艺)在衬底 510 上形成外延层 512。因此,外延层 512 包括未掺杂的 AlGaIn 缓冲层 514、未掺杂的 GaN 沟道层 516 以及未掺杂或 n 掺杂的 AlGaIn 势垒层 518(或可选的,未掺杂或 n 掺杂的 InAlGaIn 势垒层 518)。AlGaIn 缓冲层 514 进而包括具有不同铝组成的多个未掺杂的 AlGaIn 层,其用来减轻应力。

[0026] 然而,不同于 GaN MOSFET 100,AlGaIn 势垒层 518 被形成为具有常规(耗尽模式)厚度,并因此引起位于 AlGaIn 势垒层 518 和 GaN 沟道层 516 之间的结处的并向下延伸进入 GaN 沟道层 516 的二维电子气(2DEG)的形成。位于 AlGaIn 势垒层 518 和 GaN 沟道层 516 之间的结处的 2DEG 产生高浓度电子。

[0027] 如在图 6 中示出的,根据本发明,在形成外延层 512 之后,在 AlGaIn 势垒层 518 的顶表面上形成掩模 520 (例如 SiO_2 层)并对其进行图形化。一旦形成掩模 520,就干法刻蚀由掩模 520 暴露的区域。干法刻蚀可以停止于位于 GaN 沟道层 516 的顶表面处的 2DEG 的最低水平面之上、之处或之下(图 6 图解干法刻蚀刚好停止于 2DEG 的最低水平面之下)。

[0028] 如在图 6 中进一步示出的,干法刻蚀产生具有暴露区 524 的中间 MOSFET 结构 522。在干法刻蚀之后,中间 MOSFET 结构 522 接下来在 MOCVD 反应器中在 H_2 和 NH_3 中烘烤,从而修复由于干法刻蚀引起的对晶格的损伤。换句话说,在干法刻蚀之后烘烤中间 MOSFET 结构 522,而不将中间 MOSFET 结构 522 从 MOCVD 反应器中移除。

[0029] 如在图 7 中示出的,在烘烤中间 MOSFET 结构 522 之后,在暴露区 524 上外延生长薄的未掺杂或 n 掺杂的 AlGaIn 势垒膜 526(或可选的,薄的未掺杂或 n 掺杂的 InAlGaIn 势垒

膜 526)。薄 AlGaIn 势垒膜 526 的顶表面可以位于 2DEG 的最低水平面之上、之处或之下(图 7 图解 AlGaIn 势垒膜 526 的顶表面位于 2DEG 的最低水平面)。薄 AlGaIn 势垒膜 526 具有小于 AlGaIn 势垒层 518 最大厚度的厚度。

[0030] 一旦生长了薄 AlGaIn 势垒膜 526,就使用 SiH_4 和 NH_3 ,直接在与薄 AlGaIn 势垒膜 526 相同的 MOCVD 反应器中在薄 AlGaIn 势垒膜 526 上外延生长 Si_3N_4 层 530。换句话说,在生长薄 AlGaIn 势垒膜 526 之后外延生长 Si_3N_4 层 530,而不将具有薄 AlGaIn 势垒膜 526 的结构从 MOCVD 反应器中移除(如在图 7 中示出的, Si_3N_4 层 530 也生长在 AlGaIn 层 518 的侧壁上以及 SiO_2 掩模 520)。

[0031] Si_3N_4 层 530 优选生长到在薄 AlGaIn 势垒膜 526 上具有约 10–100nm 的厚度,其中具体厚度取决于应用。与前面相同,该工艺在 Si_3N_4 层 530 和薄 AlGaIn 势垒膜 526 之间产生过渡层,该过渡层具有非常低密度的界面态,例如预期小于 $1 \times 10^{11}/\text{cm}^2$ 。

[0032] 如在图 8 中示出的,在生长 Si_3N_4 层 530 之后,用蒸汽 / 湿法快速热氧化工艺氧化一部分的 Si_3N_4 层 530,从而形成位于 Si_3N_4 区 534 上的 SiO_2 区 532, Si_3N_4 区 53 进而位于薄 AlGaIn 势垒膜 526 上。如在图 8 中进一步示出的,AlGaIn 势垒层 518 在横向上与 Si_3N_4 区 534 相邻。(氧化工艺也将位于 SiO_2 掩模 520 上的 Si_3N_4 层 530 氧化,由此增加了 SiO_2 掩模 520 的厚度)

[0033] 在本发明中, Si_3N_4 区 524 和 SiO_2 区 532 的组合形成位于薄 AlGaIn 势垒膜 526 上的栅绝缘层 536,栅绝缘层 536 具有例如 $64\text{\AA}$ 厚的 Si_3N_4 区和 $128\text{\AA}$ 厚的 SiO_2 区。与前面相同, Si_3N_4 层 530 的氧化在 Si_3N_4 区 534 和 SiO_2 区 532 之间产生过渡层,该过渡层也具有非常低密度的界面态。

[0034] 如在图 9 中示出的,在形成 SiO_2 区 532 之后,该方法通过以下步骤完成 GaN MOSFET 500 的形成:以常规方式(例如使用钛铝接触)形成金属栅极区 540、金属源极区 542 和金属漏极区 544,之后常规形成覆盖的钝化层。金属栅极区 540 被形成为接触栅绝缘层 536 的 SiO_2 层 532。金属源极区 542 和金属漏极区 544 被形成为与 GaN 沟道层 516 和 AlGaIn 势垒层 518 欧姆接触。

[0035] 因此,通过以下步骤将图 9 中示出的 GaN MOSFET 500 形成为增强模式器件(当零伏施加到金属栅极区 540 并且金属源极区 542 和金属漏极区 544 被不同偏置时是常关的):使 AlGaIn 势垒层 118 形成得足够薄(例如几纳米厚),使得当零伏施加到金属栅极区 540 (并且金属源极区 542 和金属漏极区 544 被不同偏置)时,基本上没有电子直接在栅绝缘层 536 和金属栅极区 540 下累积,并且当超过阈值电压的电压施加到金属栅极区 540 (并且金属源极区 542 和金属漏极区 544 被不同偏置)时,电子直接在栅绝缘层 536 和金属栅极区 540 下累积,并且从金属源极区 542 流动到金属漏极区 544。

[0036] 本发明的一个优点是, $\text{SiO}_2/\text{Si}_3\text{N}_4$ 栅绝缘层的 Si_3N_4 部分显著减少了栅绝缘层和 AlGaIn 势垒层(或可选的, InAlGaIn 势垒层)之间的结处的界面态的形成。显著减少电子会被捕获的点的数目显著改善了 GaN 器件的长期稳定性。

[0037] 本发明的其他优点是,通过利用 SiO_2 作为 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 栅绝缘层的盖帽层,本发明具有最小泄漏电流和高达 2.5 伏的阈值电压(即, SiO_2 具有 9eV 的带隙 E_g , 并且到 AlGaIn 的 ΔE_c 可以高达 2.5eV)。

[0038] 图 10 示出根据本发明图解泄漏电流的能带图。如在图 10 中示出的,带阶(band

lineup) 示出, 由于低密度的界面态和 SiO_2 的宽带隙, 在栅氧化物中具有受限的隧道效应。另外, 在阈值电压 V_t 大于 2V 的情况下, 从 SiO_2 到 AlGaIn 的有效 ΔE_c 大于 2eV。

[0039] 应理解, 上面描述是本发明的例子, 并且在此描述的本发明的各种替换可以用于实施本发明。因此, 意图是, 下面权利要求限定本发明的范围, 由此这些权利要求和它们等效物内的结构和方法被覆盖。



图 1



图 2



图 3

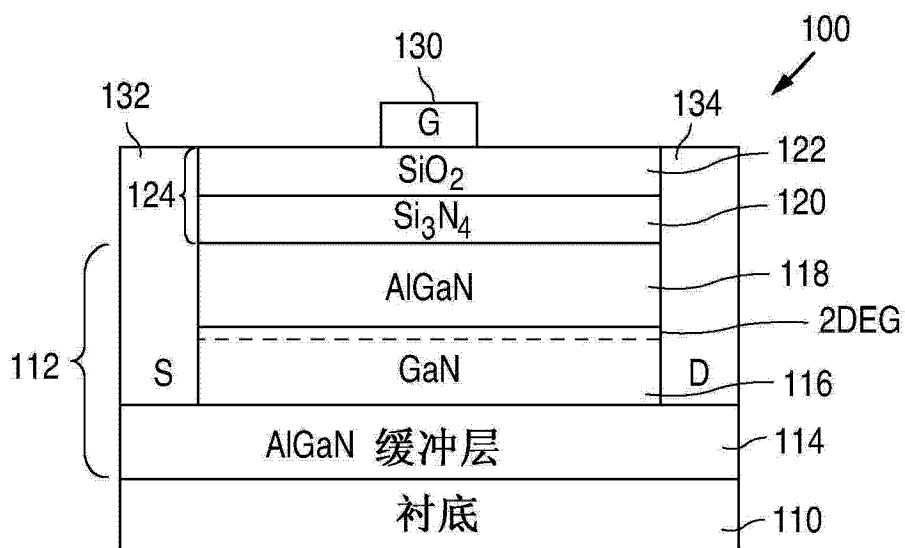


图 4



图 5

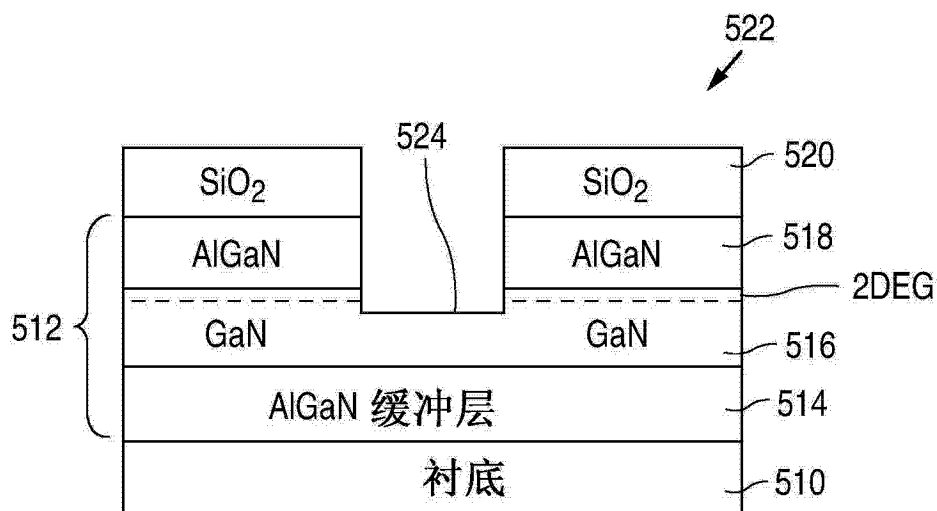


图 6

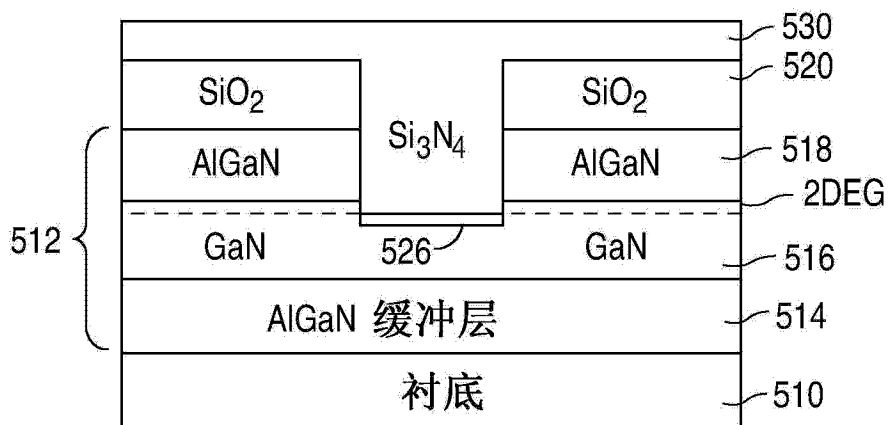


图 7

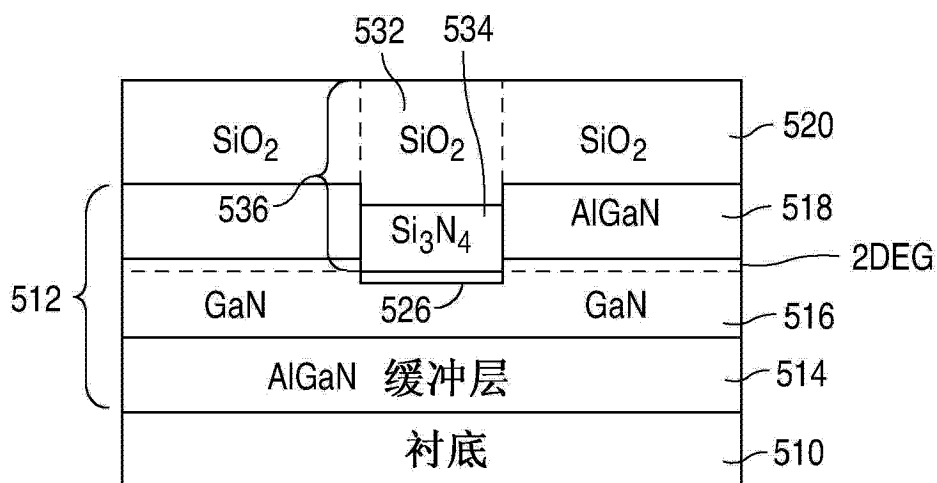


图 8

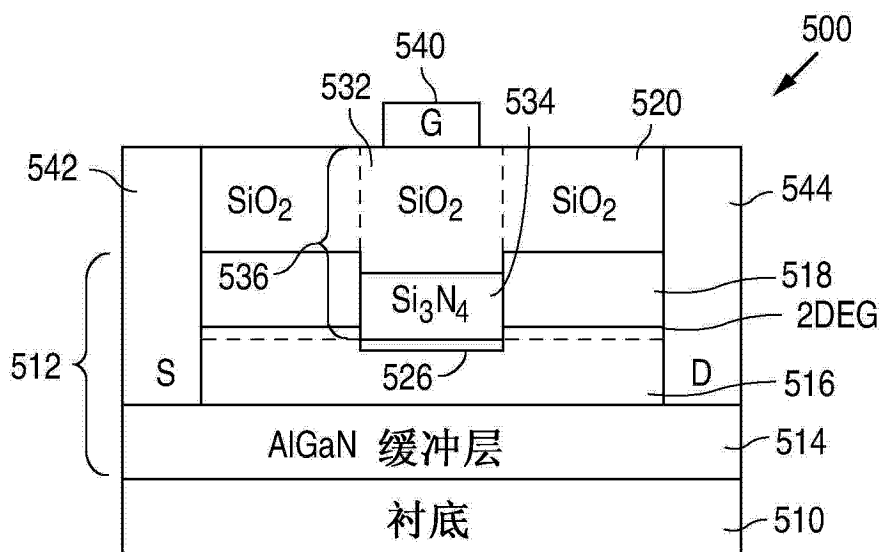


图 9

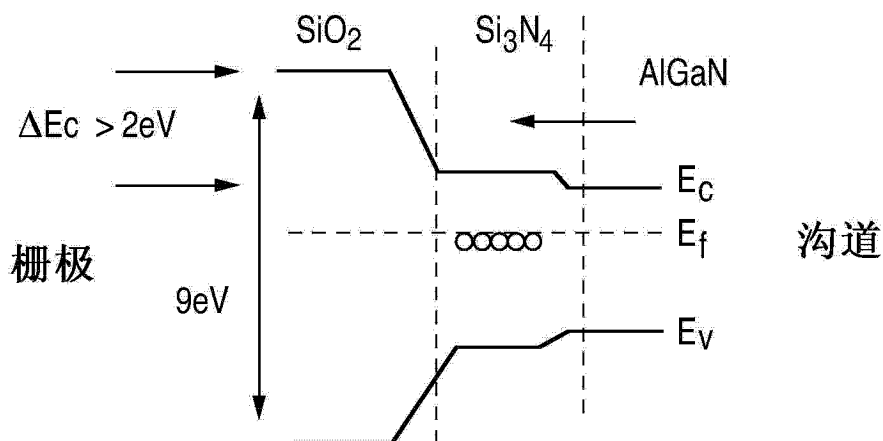


图 10