

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2017年4月6日(06.04.2017)



(10) 国際公開番号  
WO 2017/056297 A1

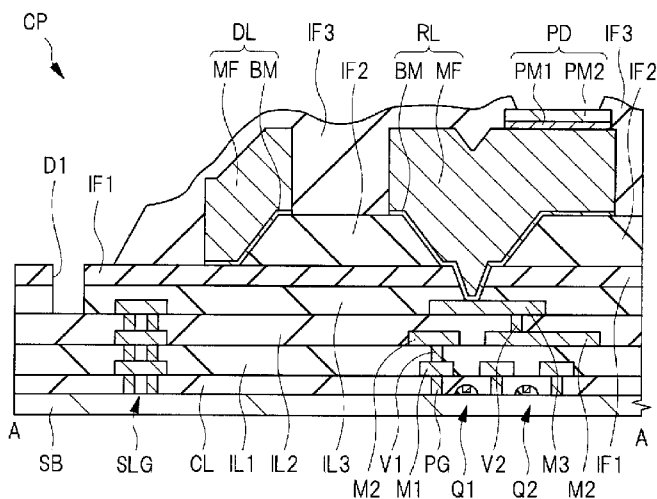
- (51) 国際特許分類:  
H01L 21/3205 (2006.01) H01L 23/522 (2006.01)  
H01L 21/768 (2006.01)
- (21) 国際出願番号: PCT/JP2015/077970
- (22) 国際出願日: 2015年10月1日(01.10.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ルネサスエレクトロニクス株式会社  
(RENESAS ELECTRONICS CORPORATION)  
[JP/JP]; 〒1350061 東京都江東区豊洲三丁目2番  
24号 Tokyo (JP).
- (72) 発明者: 松本 雅弘(MATSUMOTO, Masahiro); 〒  
3128504 茨城県ひたちなか市堀口751番地  
ルネサスセミコンダクタマニュファクチュア  
リング株式会社内 Ibaraki (JP). 一之瀬 一仁  
(ICHINOSE, Kazuhito); 〒3128504 茨城県ひたち  
なか市堀口751番地 ルネサスセミコンダク  
タマニュファクチュアリング株式会社内 Ibaraki  
(JP). 矢島 明(YAJIMA, Akira); 〒3128504 茨城県  
ひたちなか市堀口751番地 ルネサスセミコ
- ンダクタマニュファクチュアリング株式会社内  
Ibaraki (JP).
- (74) 代理人: 特許業務法人筒井国際特許事務所  
(TSUTSUI & ASSOCIATES); 〒1600022 東京都新宿  
区新宿2丁目3番10号 新宿御苑ビル3階  
Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,  
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,  
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,  
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,  
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,  
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー  
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー  
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,  
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法

図 2



(57) Abstract: The present invention prevents deterioration of rewiring due to reaction of the rewiring with water, ions, and the like, said reaction being caused by exposure of the rewiring from an upper layer insulating film. As a means for the prevention, disclosed is a semiconductor device, in which a plurality of wiring layers are formed on an element forming region, and which has rewiring connected to a pad electrode, i.e., the topmost wiring layer. A dummy pattern is disposed in a region closer to a scribe region than the rewiring.

(57) 要約: 再配線が上層絶縁膜から露出することで、再配線が水分またはイオンなどと反応すること起因して、再配線が劣化することを防ぐ。その手段として、素子形成領域上に形成された複数の配線層を形成し、最上層の配線層であるパッド電極に接続する再配線を有する半導体装置において、再配線よりスクライブ領域に近い領域にダミーパターンを配置する。



WO 2017/056297 A1

MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:  
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 國際調查報告 (條約第 21 條(3))  
KM, ML, MR, NE, SN, TD, TG).

## 明 細 書

発明の名称：半導体装置およびその製造方法

### 技術分野

[0001] 本発明は、半導体装置およびその製造方法に関し、例えば、再配線を有する半導体装置の製造に利用できるものである。

### 背景技術

[0002] 近年、半導体装置の高速化および小型化などの要求から、半導体基板上の積層配線層の最上部の第1パッドの上に形成された、再配線と呼ばれる配線層が用いられている。再配線は、例えばめっき法により形成された厚いCu（銅）膜により構成され、配線抵抗が低いため、高速処理用途またはアナログ素子に用いられる。再配線の上面には第2パッド電極が形成され、再配線は、第2パッド電極に接続されたボンディングワイヤ、または、はんだボールを介して、プリント基板などに対し電氣的に接続される。

[0003] 特許文献1（特開2010-278040号公報）、特許文献2（特開2012-221984号公報）および特許文献3（特開2009-88002号公報）には、積層配線層上に再配線を形成することが記載されている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2010-278040号公報

特許文献2：特開2012-221984号公報

特許文献3：特開2009-88002号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] 回路を構成する再配線を水分などから保護するため、再配線は、再配線の上に形成するポリイミドなどからなる絶縁膜により覆う必要がある。しかし、スクライブラインの上面とチップ端部の再配線の上面との間の段差に起因して、チップ端部では、塗布法により形成される当該絶縁膜の膜厚が薄くなる

。このため、チップ端部に形成された再配線の一部が当該絶縁膜から露出しやすくなり、半導体装置の信頼性が低下する問題が生じる。また、この問題を回避するために再配線をチップ端部から離間して配置すると、半導体チップの微細化が困難となる。これにより、チップ面積が増加し、ウェハ1枚当りの取得チップ数が減る問題が生じる。すなわち、製造コストが増加する問題が生じる。

[0006] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

### 課題を解決するための手段

[0007] 本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0008] 一実施の形態である半導体装置およびその製造方法は、素子形成領域と素子形成領域を取り囲むスクライブ領域を有する半導体基板を含む。また、素子形成領域上に形成された複数の配線層と、複数の配線層の最上層に形成されたパッド電極とを含む。また、パッド電極上に形成され、且つ、第1開口部を有する第1絶縁膜と、第1絶縁膜上に形成され、且つ、第2開口部を有する第2絶縁膜とを含む。また、第2絶縁膜上に形成され、且つ、第1および第2開口部を介してパッド電極と電気的に接続する再配線を含む。また、第2絶縁膜上であって、且つ、再配線よりスクライブ領域に近い領域に配置されたダミーパターンを含む。また、再配線上に第3開口部を有し、且つ、再配線上とダミーパターン上に形成された第3絶縁膜を含むものである。

### 発明の効果

[0009] 一実施の形態によれば、半導体装置の信頼性を向上させることができる。特に、再配線が上層絶縁膜から露出することに起因する配線の劣化を防ぐことができる。

[0010] 他の一実施の形態によれば、半導体装置を微細化することができ、半導体装置の製造コストを抑制することができる。

### 図面の簡単な説明

- [0011] [図1]実施の形態1である半導体装置の平面図である。
- [図2]実施の形態1である半導体装置の断面図である。
- [図3]実施の形態1である半導体装置の基板上に搭載した構造の断面図である。
- [図4]実施の形態1である半導体装置の製造工程中の断面図である。
- [図5]図4に続く半導体装置の製造工程中の断面図である。
- [図6]図5に続く半導体装置の製造工程中の断面図である。
- [図7]図6に続く半導体装置の製造工程中の断面図である。
- [図8]図7に続く半導体装置の製造工程中の断面図である。
- [図9]図8に続く半導体装置の製造工程中の断面図である。
- [図10]図9に続く半導体装置の製造工程中の断面図である。
- [図11]図10に続く半導体装置の製造工程中の断面図である。
- [図12]図11に続く半導体装置の製造工程中の平面図である。
- [図13]図11に続く半導体装置の製造工程中の断面図である。
- [図14]図13に続く半導体装置の製造工程中の断面図である。
- [図15]図14に続く半導体装置の製造工程中の断面図である。
- [図16]実施の形態1の変形例1である半導体装置の断面図である。
- [図17]実施の形態1の変形例2である半導体装置の平面図である。
- [図18]実施の形態2である半導体装置の平面図である。
- [図19]実施の形態2である半導体装置の基板上に搭載した構造の断面図である。
- [図20]実施の形態3である半導体装置の断面図である。
- [図21]実施の形態4である半導体装置の断面図である。
- [図22]実施の形態4である半導体装置の断面図である。
- [図23]比較例である半導体装置の断面図である。
- [図24]比較例である半導体装置の断面図である。

### 発明を実施するための形態

- [0012] 以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を

説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

[0013] (実施の形態1)

本実施の形態および以下の実施の形態の半導体装置は、再配線を備えた半導体装置である。

[0014] <半導体装置の構造について>

本実施の形態の構造について、図1～図3を用いて説明する。図1は、本実施の形態の半導体装置である半導体チップの平面レイアウトである。図2は、図1のA-A線における断面図であり、本実施の形態の半導体装置である半導体チップの端部を示す断面図である。図3は、本実施の形態の半導体装置である半導体チップを基板上に搭載した構造を示す断面図である。図1では、再配線上に形成された上層絶縁膜1F3（図2参照）の図示を省略している。なお、本願では、プリント基板（配線基板）またはリードフレームの一部であるダイパッドなど、チップを搭載する板を単に基板と呼ぶ場合がある。

[0015] 図1に示すように、本実施の形態の半導体チップCPは、平面視において矩形の形状を有している。半導体チップCPの上部には第1パッド電極（配線）M3が形成されている。この第1パッド電極M3に接続するように再配線（RDL: Redistribution Layer）RLが複数形成されており、各再配線RLの上面の一部の上には、第2パッド電極（ボンディングパッド）PDが形成されている。第2パッド電極PDは、ここでは再配線RLの上面に接して形成された金属膜からなる。再配線RLは第2パッド電極PDに覆われた上面の一部を除き上層絶縁膜1F3（図示しない）により覆われている。第2パッド電極PDの上面は上層絶縁膜1F3から露出している。

[0016] なお、本実施の形態では、第3配線層に形成され、且つ、再配線RLに接続する配線M3を第1パッド電極M3と称し、再配線RLの上部に形成された下地金属膜PDを第2パッド電極PDと称することもある。

[0017] 半導体チップCPの中央部には、平面視において矩形の形状を有する下層絶縁膜IF2が形成されており、半導体チップCPの外周部の上面には、耐湿性の高い絶縁膜IF1が下層絶縁膜IF2から露出している。つまり、平面視において、環状の絶縁膜IF1に囲まれるように、下層絶縁膜IF2が形成されている。下層絶縁膜IF2は、図2に示すように、絶縁膜IF1上に形成されており、下層絶縁膜IF2の直上には、再配線RLおよびダミー再配線DLが形成されている。ダミー再配線DLは、平面視において、下層絶縁膜IF2の端部の上面と、下層絶縁膜IF2を囲う絶縁膜IF1の上面とを覆う金属膜である。

[0018] 図1に示すように、本実施の形態において、ダミー再配線（ダミーパターン）DLは、複数の再配線RLを囲むように、半導体チップCPの外周部（周縁部、端部）に沿って環状に形成されている。つまり、ダミー再配線DLは、半導体チップCPを構成する半導体基板（図示しない）の外周部（周縁部、端部）に沿って環状に形成されている。平面視において、絶縁膜IF1はダミー再配線DLの外側に位置し、下層絶縁膜IF2はダミー再配線DLの内側に位置している。ダミー再配線DLは、平面視における絶縁膜IF1と下層絶縁膜IF2との境界を覆うように、下層絶縁膜IF2と、下層絶縁膜IF2から露出する絶縁膜IF1とに重なって形成されている。

[0019] また、平面視において、ダミー再配線DLの外側の絶縁膜IF1の表面には、溝D1が形成されている。溝D1は、絶縁膜IF1の開口部であり、平面視において、ダミー再配線DLの外側に環状に形成されている。再配線RLは、図1において破線で示すビアを介して、下層絶縁膜IF2および絶縁膜IF1からなる積層膜の下に形成された配線M3（図2参照）に接続されている。これに対し、ダミー再配線DLはいずれの配線にも接続されていない。

[0020] 図2に示すように、半導体チップCPは半導体基板SBを有している。半導体基板SBの主面近傍には、当該主面上に形成されたゲート電極と、当該主面に形成されたソース・ドレイン領域とを有するMISFET（Metal Ins

ulator Semiconductor Field Effect Transistor) Q 1、Q 2 が形成されている。また、図示はしていないが、半導体基板 S B の主面近傍には、ダイオード、バイポーラトランジスタ、容量素子、抵抗素子などの半導体素子が形成されていてもよい。

[0021] 半導体基板 S B は例えば高抵抗な単結晶シリコンからなる。半導体基板 S B 上には、上記ゲート電極を覆う層間絶縁膜 C L が形成されている。層間絶縁膜 C L は例えば酸化シリコンからなる。層間絶縁膜 C L 上には、配線 M 1 と、配線 M 1 を覆う層間絶縁膜 I L 1 とが形成されている。層間絶縁膜 I L 1 は例えば酸化シリコンからなり、配線 M 1 は、例えば主に C u (銅) からなる。配線 M 1 は、層間絶縁膜 C L を貫通するコンタクトプラグ P G を介して M I S F E T Q 1、Q 2 に電氣的に接続されている。

[0022] 層間絶縁膜 I L 1 上には、配線 M 2 と、配線 M 2 を覆う層間絶縁膜 I L 2 とが形成されている。層間絶縁膜 I L 2 は例えば酸化シリコンからなり、配線 M 2 は、例えば主に C u (銅) からなる。配線 M 2 は、層間絶縁膜 I L 1 を貫通するビア V 1 を介して配線 M 1 に電氣的に接続されている。層間絶縁膜 I L 1、配線 M 1 およびビア V 1 は、第 1 配線層を構成している。

[0023] 層間絶縁膜 I L 2 上には、配線 M 3 と、配線 M 3 を覆う層間絶縁膜 I L 3 とが形成されている。層間絶縁膜 I L 3 は例えば酸化シリコンからなり、配線 M 3 は、例えば主に C u (銅) または A l (アルミ) からなる。配線 M 3 は、層間絶縁膜 I L 2 を貫通するビア V 2 を介して配線 M 2 に電氣的に接続されている。層間絶縁膜 I L 2、配線 M 2 およびビア V 2 は、第 2 配線層を構成しており、層間絶縁膜 I L 3、および配線 M 3 は、第 3 配線層を構成している。第 1 ~ 第 3 配線層は、半導体基板 S B 上に形成された積層配線層を構成している。

[0024] なお、本実施の形態では、第 1 ~ 第 3 配線層のうち最上層に形成され、且つ、再配線 R L と接続する配線 M 3 は、第 1 パッド電極 M 3 と称することもある。

[0025] また、半導体チップ C P の外周部 (端部) 近傍の半導体基板 S B の主面上



には、配線M1～M3、コンタクトプラグPG、ビアV1およびV2を含むシールリングSLGが形成されている。シールリングSLGは、半導体基板SBの主面に対して垂直な方向に順に積層されたコンタクトプラグPG、配線M1、ビアV1、配線M2、ビアV2および配線M3により構成されており、平面視において、半導体チップCPの外周に沿って環状に形成されている。

[0026] シールリングSLGは、半導体ウェハ（半導体基板SB）のスクライブ領域（スクライブライン）をダイシングすることで、個片化された複数の半導体チップCPを形成する際に、ダイシングによって半導体チップCPの端部に生じた亀裂が半導体チップCPの端部近傍よりも中央部に近い領域に延伸することを防ぐために設けられたものである。したがって、半導体チップCP内において、シールリングSLGよりも外側には回路を構成する素子および配線などは配置されていない。シールリングSLGは半導体基板SBに接続されているが、半導体チップCP内の回路を構成してはいない。

[0027] なお、シールリングSLGは配線M1～M3を含まず、コンタクトプラグPG、ビアV1およびV2のみによって構成されていてもよい。シールリングSLGは平面視において環状に形成されるため、シールリングSLGを構成するコンタクトプラグPG、ビアV1およびV2は、半導体基板SBの主面に沿って延在する壁状に形成される。

[0028] 層間絶縁膜IL3上には、耐湿性の高い材料（例えば窒化シリコン）からなる絶縁膜IF1が形成されており、絶縁膜IF1上には下層絶縁膜IF2が形成されている。半導体チップCPの外周部近傍において、絶縁膜IF1の上面は下層絶縁膜IF2から露出している。また、下層絶縁膜IF2の直上には、ダミー再配線DLの一部と、再配線RLとが形成されている。言い換えれば、ダミー再配線DLは、その一部が、半導体チップCPの端部、つまり半導体基板SBの端部と、再配線RLとの間の下層絶縁膜IF2の直上に形成されている。

[0029] ダミー再配線DLの他の一部は、下層絶縁膜IF2から露出した絶縁膜I

F 1 の直上に形成されている。つまり、ダミー再配線 D L は、下層絶縁膜 I F 2 から露出する絶縁膜 I F 1 の直上の領域から、下層絶縁膜 I F 2 の直上の領域に亘って形成されている。再配線 R L およびダミー再配線 D L は、半導体基板 S B 上に形成された配線のうち、最上層の配線である。

[0030] 再配線 R L およびダミー再配線 D L は、絶縁膜 I F 1 上および下層絶縁膜 I F 2 上に順に形成されたバリア金属膜 B M および主導体膜 M F からなる。主導体膜 M F は例えば C u (銅) からなる金属膜である。バリア金属膜 B M は、例えば T i (チタン)、T i N (窒化チタン)、C r (クロム)、または T a (タンタル) を含む導体膜であり、バリア金属膜 B M 上の主導体膜 M F を構成する銅が絶縁膜 I F 1 中に拡散することを防ぐ役割を有する。

[0031] 下層絶縁膜 I F 2 は例えばポリイミドなどの有機絶縁膜からなる。絶縁膜 I F 1 および下層絶縁膜 I F 2 からなる積層膜は、再配線 R L の直下において開口しており、その開口部内には、再配線 R L の一部が埋め込まれている。また、当該開口部の底部では、再配線 R L と、積層配線層内の最上層配線である配線 M 3 の上面とが接続されている。再配線 R L に接続された配線 M 3 は、ビア V 1、V 2、配線 M 1、M 2 およびコンタクトプラグ P G を介して、半導体基板 S B の主面近傍に形成された半導体素子 (例えば M I S F E T Q 1、Q 2) に電氣的に接続されている。つまり、再配線 R L は回路を構成している。

[0032] これに対し、ダミー再配線 D L は配線 M 1 ~ M 3 などに電氣的に接続されておらず、半導体チップ C P 内の回路を構成していない。つまり、ダミー再配線 D L は、擬似的な配線である。ただし、ダミー再配線 D L はシールリング S L G を構成する配線 M 3 に接続されていてもよい。この場合でも、ダミー再配線 D L は回路を構成しない。

[0033] 半導体チップ C P の外周部近傍の絶縁膜 I F 1 の上面には、溝 D 1 が形成されている。ここでは、溝 D 1 は絶縁膜 I F 1 の上面から層間絶縁膜 I L 3 を貫通して層間絶縁膜 I L 2 の上面まで達している。なお、溝 D 1 はより深く形成されていてもよく、より浅く形成されていてもよい。溝 D 1 は、上記

ダイシング工程において、半導体チップCPの端部に生じた亀裂が半導体チップCPの外周部よりも中央部に近い領域に延伸することを防ぐために設けられている。なお、溝D1は形成されていなくてもよい。

[0034] 溝D1は、シールリングSLGよりも半導体チップCPの外周部に近い領域に形成されている。平面視において、下層絶縁膜IF2、再配線RLおよびダミー再配線DLは、いずれも溝D1およびシールリングSLGよりも半導体チップCPの中央部側に形成されている。したがって、溝D1は、下層絶縁膜IF2、再配線RLまたはダミー再配線DLに覆われていない。また、下層絶縁膜IF2は、シールリングSLGの直上の領域よりも、平面視における半導体チップCPの中央に近い箇所で終端している。ただし、ダミー再配線DLは、シールリングSLGの直上に形成されていてもよい。すなわち、ダミー再配線DLのスクライブ領域1B側の端部は、シールリングSLGの内側または直上に位置している。

[0035] 再配線RLの一部の上面上には、金属膜PM1およびPM2が順に積層されており、金属膜PM1およびPM2からなる積層膜は、第2パッド電極PDを構成している。金属膜PM1は、例えばNi（ニッケル）からなり、金属膜PM2は、例えばAu（金）若しくはパラジウム（Pd）またはそれらの合金からなる。第2パッド電極PDは、再配線RLの一部の上面を覆うように当該上面に接している。

[0036] 絶縁膜IF1、下層絶縁膜IF2、再配線RLおよびダミー再配線DLの上には、例えばポリイミドからなる上層絶縁膜IF3が形成されている。第2パッド電極PDから露出する部分の再配線RLの上面および側壁は、上層絶縁膜IF3により覆われている。また、ダミー再配線DLの側壁および上面は、全て上層絶縁膜IF3により覆われている。なお、図16を用いて後述するように、ダミー再配線DLの上面および側壁の一部が上層絶縁膜IF3から露出していても構わない。ただし、少なくとも、再配線RLと隣り合うダミー再配線DLの側壁であって、当該再配線RLの側壁と対向するダミー再配線DLの側壁は、下層絶縁膜IF2の直上において、上層絶縁膜IF

3により覆われている。

[0037] 上層絶縁膜 I F 3 の端部は、平面視において、溝 D 1 よりも内側に形成されており、溝 D 1 よりも外側には形成されていない。すなわち、上層絶縁膜 I F 3 は溝 D 1 を露出している。つまり、上層絶縁膜 I F 3 は、溝 D 1 よりも、平面視における半導体チップ C P の中央に近い箇所で終端している。ここでは、上層絶縁膜 I F 3 の一部は、シールリング S L G の直上に形成されている。

[0038] 半導体チップ C P において、溝 D 1 よりも外側、つまり半導体チップ C P の端部側に下層絶縁膜 I F 2、再配線 R L および上層絶縁膜 I F 3 を形成していない。これは、半導体装置の製造工程におけるダイシング工程で切削される領域（スクライプライン）に下層絶縁膜 I F 2 および再配線 R L が形成されている場合、ダイシング時に下層絶縁膜 I F 2 および再配線 R L がチップングクラックの起点となることから、そのような亀裂の発生を防ぐためである。

[0039] 上層絶縁膜 I F 3 は、回路を構成する再配線 R L を、水分などから保護する役割を有している。そのため、第 2 パッド電極 P D が形成された箇所を除き、上層絶縁膜 I F 3 は再配線 R L を覆っている。また、上層絶縁膜 I F 3 は、互いに隣り合う再配線 R L とダミー再配線 D L との間を埋め込んで形成されている。下層絶縁膜 I F 2 の端部をダミー再配線 D L および上層絶縁膜 I F 3 により覆っているのは、露光・現像により上層絶縁膜 I F 3 を加工する際に下層絶縁膜 I F 2 の端部が露出されると、現像液により下層絶縁膜 I F 2 の端部が溶解し、下層絶縁膜 I F 2 が剥離する虞があるためである。

[0040] 図 1 および図 2 を用いて説明したように、半導体チップ C P は、半導体基板 S B と、回路を構成する半導体素子である M I S F E T Q 1、Q 2 と、回路を構成する配線 M 1 ~ M 3 を含む積層配線層と、絶縁膜 I F 1 と、下層絶縁膜 I F 2 と、再配線 R L と、ダミー再配線 D L と、上層絶縁膜 I F 3 とを有している。本実施の形態の半導体装置の変形例としては、シールリング S L G または溝 D 2 が形成されていない構造も考えられる。

- [0041] 図3に、本実施の形態の半導体チップCPを基板PSBに搭載し、絶縁膜により封止した構造の断面図を示す。
- [0042] 再配線RLは、基本的に上層絶縁膜IF3で完全に覆われていることが好ましい。外観検査にて不良となる事に加え、上層絶縁膜IF3から再配線RLの一部が露出すると、モールド樹脂であるレジンからのハロゲンイオンまたは水分などが再配線RLまで早く到達する。その結果、再配線RLを構成する銅の酸化またはイオン化などが促進させられ、高温高湿に対する信頼性が低下し、車載向けなどの長期の製品寿命を保証する事が困難になる。
- [0043] 基板PSBは、例えばプリント基板である。基板PSBの上面には配線PWが形成されており、第2パッド電極PDと配線PWとは、外部接続端子により接続されている。本実施の形態では外部接続端子として、例えばボンディングワイヤまたははんだバンプを例示する。ここでは、第2パッド電極PDと配線PWとは、ボンディングワイヤBWにより電氣的に接続されている。つまり、ボンディングワイヤBWの一端は半導体チップCPの上面の第2パッド電極PDに接続され、他方の一端は、配線PWの上面に接続されている。半導体チップCP、配線PWおよびボンディングワイヤBWは、封止体（モールド樹脂）MDにより封止されており、露出していない。
- [0044] なお、図3では封止体MDは基板PSBの上面の一部を覆うように形成されているが、封止体MDが基板PSBの上面、側壁および下面を覆うように形成されていてもよい。この場合、一部のボンディングワイヤBWの一端は封止体MDの外側に露出していてもよい。
- [0045] また、半導体チップCPを搭載する基板PSBは、例えば金属板からなるダイパッドであってもよい。この場合、ボンディングワイヤBWの一端は半導体チップCPの上面の第2パッド電極PDに接続され、他方の一端は、一部が封止体から露出する金属板であるリードに対して、封止体MD内において接続される。
- [0046] また、半導体チップCPをフリップチップとして用い、基板PSBの上面に搭載（実装）する場合には、第2パッド電極PDの上面に接するはんだボ

ールを形成し、半導体チップCPの上下を逆さにして、当該はんだボールを基板PSBの上面の配線PWに接続することが考えられる。

[0047] ここで、図3に示す封止体MDは上層絶縁膜IF3に接しているが、再配線RLおよび下層絶縁膜IF2には接していない。ダミー再配線DLの一部が上層絶縁膜IF3から露出している場合には、封止体MDがダミー再配線DLの一部と接していてもよい。

[0048] 図2に示す再配線RLは、半導体チップにボンディングワイヤ、または、はんだボールなどを接続するための第2パッド電極を設ける位置を再配置する役割を有する配線である。半導体チップの構造一例として、ダミー再配線DL、再配線RL、下層絶縁膜IF2および上層絶縁膜IF3を設けず、絶縁膜IF1から露出する配線M3の上面を第2パッド電極として用い、当該第2パッド電極に例えばボンディングワイヤを接続することが考えられる。複数のボンディングワイヤを互い接触させず、適度に離間させて当該半導体チップの上面に接続する場合は、当該複数のボンディングワイヤのそれぞれの接続箇所である第2パッド電極が、互いが十分に離間していることが好ましい。

[0049] しかし、配線M3の上面の第2パッド電極を十分に離間させて配置することは、配線M3のレイアウトの設計上、困難である場合がある。そのような場合に、第2パッド電極の位置を再配置するために、再配線RLが用いられる。図1に示すように、再配線RLにより引き出された第2パッド電極PDは、平面視において行列状に配置されている。このように再配線RLを用いて第2パッド電極PDの位置を規則的に行列状に並べることにより、ボンディングワイヤの接続が容易となる。また、はんだボールを第2パッド電極PDに接続する場合には、再配線RLを用いて第2パッド電極PDの位置を規則的に並べることにより、半導体チップCPと、半導体チップCPの接続対象との接続強度を高めることができる。

[0050] なお、本実施の形態では、第2パッド電極PDとして、再配線RL上に形成された金属膜PM1、PM2からなる積層膜を用いているが、金属膜PM

1 を設けずに金属膜 P M 2 を直接再配線 R L の上面に接するように形成してもよい。また、金属膜 P M 1、P M 2 を形成せずに、再配線 R L の上面の一部を第 2 パッド電極として用い、当該上面の一部に直接ボンディングワイヤ、または、はんだボールなどを接着してもよい。

[0051] よって、図 2 に示す上層絶縁膜 I F 3 から露出する再配線 R L の上面または当該上面の直上には第 2 パッド電極が形成される。本願では、ボンディングワイヤなどとの接続抵抗の低減、および再配線 R L の保護などのために再配線 R L 上に設けられた金属膜 P M 1、P M 2 を第 2 パッド電極 P D と呼んでいるが、図 2 に示す上層絶縁膜 I F 3 から露出する再配線 R L の上面も、第 2 パッド電極を構成している。

[0052] 次に、本実施の形態の半導体装置の効果について、図 2 3 および図 2 4 に示す比較例を用いて説明する。図 2 3 および図 2 4 は、比較例の半導体装置である半導体チップの端部を示す断面図である。

[0053] 図 2 3 に示す比較例は、図 2 に示す半導体チップ C P と異なり、ダミー再配線 D L を有していない。つまり、再配線 R L と、下層絶縁膜 I F 2 の終端部との間の下層絶縁膜 I F 2 上に他の配線は形成されていない。このため、上層絶縁膜 I F 3 は、再配線 R L の側壁、下層絶縁膜 I F 2 の上面、下層絶縁膜 I F 2 の側壁、および絶縁膜 I F 1 の上面のそれぞれに対し、連続的に接して形成されている。

[0054] ここで、上層絶縁膜 I F 3 は、半導体装置の製造工程において塗布法により形成される膜からなる。塗布法においては、例えば回転するウェハの上方から、ウェハの主面に対して粘度の低いポリイミドを供給し、回転するウェハの遠心力により当該ポリイミドを流延させることで、当該ウェハの上面をポリイミドにより覆う。粘度の低い液状のポリイミドは再配線 R L 上において膜厚が薄くなる。これに対し、隣り合う再配線 R L 同士の間領域にはポリイミドからなる液体が溜まるため、当該領域におけるポリイミド膜の厚さは大きくなる。

[0055] 液状のポリイミドは、塗布後に焼結することで固まり、固まったポリイミ

ド膜からなる上層絶縁膜 I F 3 が形成される。ポリイミド膜の膜厚の大きさは、複数の再配線 R L と、それらの再配線 R L の一部の上面に密着して形成された第 2 パッド電極 P D を完全に覆うように設定される。ポリイミド膜の膜厚の制御は、例えば液状のポリイミドの粘性を制御することで行う。しかし、比較例の半導体装置では、平面視において、半導体チップ C P の端部に隣り合う再配線を上層絶縁膜 I F 3 で完全に覆うことは、以下の理由により困難である。

[0056] 図 23 に示すように、平面視において半導体チップ C P 内で最も外側に形成された再配線 R L と、半導体チップ C P の端部との間には他の配線は形成されていない。このため、半導体装置の製造工程において、当該再配線 R L よりも半導体チップ C P の端部側において液状のポリイミドが溜まる領域は存在しない。

[0057] また、ダイシング工程の際に半導体チップ C P 内へ亀裂が延伸することを防ぐため、溝 D 1 よりも半導体チップ C P の端部側には、下層絶縁膜 I F 2 および再配線 R L を形成していない。つまり、半導体装置の製造工程において、上記ポリイミドを塗布する工程の直前において、半導体素子形成領域の端部近傍およびスクライプ領域の上側の表面には、溝 D 1 および絶縁膜 I F 1 が露出している。

[0058] 液状のポリイミドは低い方へ流れやすいため、再配線 R L よりも半導体素子形成領域の端部側に塗布されたポリイミドは、絶縁膜 I F 1 の上面が露出しているスクライプ領域および導体チップの形成領域の端部側、つまり高さが低い領域に流れる。また、導体素子形成領域の端部の絶縁膜 I F 1 の上面には溝 D 1 も形成されているため、溝 D 1 内にもポリイミドが流れ込む。

[0059] これにより、ポリイミドは当該再配線 R L から半導体チップ C P の端部およびスクライプ領域に亘って薄く延びるように形成される。なお、半導体装置の製造工程では、ポリイミド膜をリソグラフィ法により一部除去した後、焼結により重合させ固定する。これにより、ポリイミド膜からなる上層絶縁膜 I F 3 は、溝 D 1 よりも、平面視における半導体チップ C P の中央に近い



箇所を終端する。

[0060] 比較例では、当該再配線 R L と、下層絶縁膜 I F 2 の終端部とが近い  
ため、再配線 R L および下層絶縁膜 I F 2 からなる積層膜の端部には、再配線 R L の上面の高さから絶縁膜 I F 1 の上面の高さまでの高低差を有する段差が形成されている。ここでいう段差とは、再配線 R L、下層絶縁膜 I F 2 および絶縁膜 I F 1 からなる積層膜の表面形状であって、再配線 R L の上面と、当該再配線 R L の側壁に隣接する領域の底面との間に生じた高低差を有する形状、またはその高低差を指す。また、溝 D 1 が当該再配線 R L の近傍に形成されている場合、当該段差の底部は、溝 D 1 の底面に位置する。

[0061] このような大きい段差が形成されている状態で、上層絶縁膜 I F 3 を形成するために液状のポリイミドを塗布すると、当該段差部近傍に供給されたポリイミドの大部分は段差の下部に流れ落ちる。このため、上記のような大きな段差の上部では、ポリイミドからなる上層絶縁膜 I F 3 の膜厚が小さくなる。すなわち、上層絶縁膜 I F 3 の膜厚は当該段差を構成する側壁の近傍で小さくなり、特に、当該膜厚は、当該側壁の上端近傍で顕著に小さくなる。なお、ここでいう膜厚とは、所定の膜の下地の面に対して垂直な方向における当該膜の厚さを指す。例えば、再配線 R L の側壁を覆う上層絶縁膜 I F 3 の膜厚とは、当該側壁に対して垂直な方向における上層絶縁膜 I F 3 の厚さを指す。

[0062] このように上層絶縁膜 I F 3 の膜厚が小さい領域では、再配線 R L の側壁のうち、溝 D 1 側、つまり半導体チップ C P の端部側の側壁の上部において、再配線 R L の一部が上層絶縁膜 I F 3 から露出しやすくなる。つまり、平面視における半導体チップ C P の端部の 1 辺と対向する再配線 R L の側壁と、当該再配線 R L の上面との境界の角部が、上層絶縁膜 I F 3 から露出する。

[0063] 回路を構成する再配線 R L の一部が、製造ばらつき、つまり製造工程における成膜または加工などの精度のばらつきに起因して上層絶縁膜 I F 3 から露出している場合、次のような問題が生じる。すなわち、上層絶縁膜 I F 3

から露出した箇所の再配線 R L は半導体チップ C P の外観不良の原因となる。

[0064] また、半導体チップ C P の被覆材料であるモールド樹脂と再配線 R L とが接触することになるため、モールド樹脂内のハロゲンイオンまたは水分などが再配線 R L まで早く到達する。これにより、再配線 R L を構成する C u (銅) の酸化とイオン化とが促進されることで、高温高湿の環境に対する半導体装置の信頼性が低下する。特に、車載向けの半導体チップ C P などは、長期の製品寿命を保証することが困難になる。

[0065] 上記の問題は、再配線の低抵抗化の要求から、今後再配線が厚膜化した場合に、さらに顕著になる。また、半導体装置を微細化するために再配線同士の間隔(配線ピッチ)が縮小し、上層絶縁膜の薄膜化が進んだ場合にも顕著となる。膜厚が大きい再配線同士の間隔が小さい場合、再配線同士の間を上層絶縁膜 I F 3 により完全に埋め込むためには、ポリイミドの粘性をより低下させる必要があるからである。

[0066] 再配線 R L が露出することを防止する方法として、再配線 R L の膜厚を小さく設定する方法、または、上層絶縁膜 I F 3 の膜厚を大きく設定する方法が考えられる。また、他の方法として、図 24 に示すように、下層絶縁膜 I F 2 を、再配線 R L よりも半導体チップ C P の端部側に大きく延ばすことで、半導体チップ C P 内の再配線 R L のうち最も外側に配置された再配線 R L と下層絶縁膜 I F 2 の終端部との間隔を大きくする方法が考えられる。すなわち、再配線 R L と下層絶縁膜 I F 2 の終端部とが離れていれば、再配線 R L の側壁近傍における段差が、再配線 R L の上面から下層絶縁膜 I F 2 の上面までの高さに小さくなるため、半導体チップ C P の端部近傍の上層絶縁膜 I F 3 の膜厚を安定化し、再配線 R L の側壁に接するポリイミド膜の薄膜化を防ぐことができる。

[0067] しかし、再配線 R L を薄膜化すると再配線 R L の抵抗値が著しく増大するため、当該薄膜化は、半導体装置の省電力化および高速化の妨げとなり、また、半導体装置が正常に動作しなくなる原因となる。この場合、半導体基板

S Bの主面に沿う方向において、半導体チップC Pの端部に最も近い再配線R Lから、シールリングS L Gの溝D 1側の端部までの領域（シールリング領域）の幅は、例えば34～49 $\mu$ mである。同方向におけるシールリングS L Gの幅は例えば4 $\mu$ mである。同方向において、半導体チップC Pの端部に最も近い再配線R Lから、溝D 1までの距離は、例えば50 $\mu$ mである。

- [0068] また、塗布形成するポリイミドを一定以上厚く塗布しようとする、膜厚均一性および埋め込み性が悪くなる。すなわち、ポリイミド膜を厚くするためには、ポリイミドの粘性を高める必要があるが、粘性の高いポリイミドを用いると、小さい間隔で隣り合う再配線R L同士の間を埋め込むこと、および、半導体ウェハの主面側の全面において均一な膜厚で上層絶縁膜I F 3を形成することが困難となる。
- [0069] また、図24に示すように、再配線R Lと下層絶縁膜I F 2の終端部との間隔を大きくする場合、半導体チップC Pの端部に再配線R Lと半導体チップC Pの端部との間に、再配線R Lを配置することができない大きな領域を設ける必要があるため、チップ面積が増大し、半導体装置の微細化が困難となり、ウェハ1枚当りの取得チップ数が減る問題が生じる。すなわち、製造コストが増える問題が生じる。
- [0070] したがって、図23および図24を用いて説明した比較例の半導体装置では、回路を構成する再配線R Lが上層絶縁膜I F 3から露出することを防ぎ、且つ、半導体装置の微細化を実現することが困難である。
- [0071] なお、上層絶縁膜I F 3を塗布法ではなく堆積法（例えばC V D（Chemical Vapor Deposition）法）などにより形成することで、再配線R Lが上層絶縁膜I F 3から露出することを防ぐことも考えられる。しかし、堆積法で形成される絶縁膜は塗布法で形成される膜に比べて硬度が高く、半導体チップC Pを覆う封止体（モールド樹脂）M D（図3参照）との密着性が低い。このため、上層絶縁膜I F 3を形成する方法として堆積法を採用することは、半導体装置の信頼性を確保する観点から実現が困難である。

- [0072] 上層絶縁膜の膜厚は、平面視において半導体チップ内の最も外側に位置する再配線のさらに外側において、比較例を用いて上述したように小さくなる。これに対し、半導体チップの端部近傍であっても、当該再配線と、当該再配線に隣り合う他の再配線との間に埋め込まれた上層絶縁膜の膜厚の大きさは、平面視における半導体チップの中央部の再配線同士の間の上層絶縁膜の膜厚の大きさと同等である。
- [0073] そこで、本実施の形態の半導体装置では、図1および図2に示すように、再配線RLと半導体チップCPの端部との間において、下層絶縁膜IF2の直上に、回路を構成しないダミー再配線DLを設けている。これにより、半導体チップCPの端部に近い再配線RLの段差の高低差は、再配線RLの上面と下層絶縁膜IF2の上面までの大きさとなり、図23の比較例に示す段差よりも小さくなる。また、互いに隣り合う再配線RLとダミー再配線DLの間では、形成時に液状の上層絶縁膜IF3が溜まるため、上層絶縁膜IF3の膜厚が大きくなる。つまり、段差部に形成される上層絶縁膜IF3の膜厚が大きくなる。
- [0074] したがって、再配線RLの側壁であって、半導体チップCPの端部側の側壁の上部の角部近傍において上層絶縁膜IF3の膜厚が小さくなることを防ぐことができる。よって、半導体チップCPの端部近傍の上層絶縁膜IF3の膜厚を安定化することができる。
- [0075] これにより、再配線RLの当該角部が上層絶縁膜IF3から露出することを防ぐことができる。つまり、第2パッド電極PDが形成された領域を除き、再配線RLを上層絶縁膜IF3により完全に被覆することができる。したがって、再配線RLの露出に起因する外観不良の発生、水分などによる再配線RLの劣化を防ぐことができる。本実施の形態のように、上層絶縁膜IF3の膜厚調整用の擬似的な配線としてダミー再配線DLを形成することで、半導体装置の信頼性を確保することができる。
- [0076] また、上記のようにダミー再配線DLを設ければ、図24に示す比較例のように、半導体チップCPの端部近傍に再配線RLを形成しない広い領域を

設けなくても、再配線 R L の上面の角部において上層絶縁膜 I F 3 の膜厚が小さくなることを防ぐことができるため、半導体チップ C P の面積の増大を防ぐことができる。すなわち、本実施の形態では、当該比較例において広範囲に設定していた再配線 R L の配置禁止領域を設ける必要がない。

[0077] この場合、半導体基板 S B の主面に沿う方向において、半導体チップ C P の端部に最も近い再配線 R L から、シールリング S L G の溝 D 1 側の端部までの領域（シールリング領域）の幅は、例えば 16 ~ 33  $\mu\text{m}$  である。つまり、例えば、同方向におけるダミー再配線 D L からシールリング S L G の溝 D 1 側の端部までの幅は 6  $\mu\text{m}$  であり、同方向におけるダミー再配線 D L の幅は 5 ~ 12  $\mu\text{m}$  であり、同方向におけるダミー再配線 D L と再配線 R L との間の距離は 5 ~ 15  $\mu\text{m}$  である。

[0078] よって、チップ面積を削減することができ、これにより半導体チップ C P の微細化が容易となるため、半導体装置の製造コストを抑制することができる。したがって、半導体装置の信頼性の向上および製造コストの抑制を両立することができる。

[0079] また、本実施の形態では、図 2 に示すように、ダミー再配線 D L は、下層絶縁膜 I F 2 の直上と、下層絶縁膜 I F 2 から露出する絶縁膜 I F 1 の直上との間に亘って形成されている。つまり、ダミー再配線 D L は、下層絶縁膜 I F 2 の上面および側壁並びに絶縁膜 I F 1 の上面を連続的に覆っている。

[0080] ここで、ダミー再配線 D L の一部は下層絶縁膜 I F 2 から露出する絶縁膜 I F 1 の直上に形成されているため、平面視においてダミー再配線 D L と下層絶縁膜 I F 2 とが重ならない領域において、ダミー再配線 D L の上面の高さと当該絶縁膜 I F 1 の上面の高さとの段差は、ダミー再配線 D L の膜厚の大きさと同等であり、図 23 を用いて説明した段差より小さい。したがって、ダミー再配線 D L は、半導体チップ C P の内部の再配線 R L（図示しない）と同様に、上層絶縁膜 I F 3 により完全に被覆される。

[0081] また、下層絶縁膜 I F 2 の側壁はテーパ形状となっており、斜めに形成されている。ダミー再配線 D L は下層絶縁膜 I F 2 の側壁を含む端部を覆い

、絶縁膜 I F 1 と下層絶縁膜 I F 2 とに跨がるように形成されている。つまり、ダミー再配線 D L は絶縁膜 I F 1 上において下層絶縁膜 I F 2 の端部からなる段差に乗り上げるように形成されている。このため、ダミー再配線 D L の上面にも段差が形成される。ただし、ダミー再配線 D L の上面の段差の高低差は下層絶縁膜 I F 2 の厚さと同等であり、且つ、下層絶縁膜 I F 2 端部のテーパ形状に沿って斜めに形成される為、上層絶縁膜 I F 3 から露出することはない。

[0082] ダミー再配線 D L が上層絶縁膜 I F 3 により完全に覆われていることにより、半導体チップ C P に対する外観検査時の画像認識精度が向上する効果を得ることができる。

[0083] <半導体装置の製造方法について>

本実施の形態の半導体装置の製造方法を、図 4 ～図 1 5 を参照して説明する。図 4 ～図 1 1 および図 1 3 ～図 1 5 は、本実施の形態の半導体装置の製造工程中の断面図である。図 1 2 は、本実施の形態の半導体装置の製造工程中の平面図である。図 4 ～図 1 1、図 1 3 および図 1 4 においては、各図の右側に素子形成領域 1 A を示し、左側にスクライブ領域 1 B を示している。素子形成領域 1 A は、後述するダイシング工程後に半導体チップとして残る領域であり、スクライブ領域 1 B は、ダイシング工程において、半導体基板 S B およびその直上の膜が切削されることで除去される領域である。

[0084] なお、ここでは積層配線層を 3 層の配線層により構成することについて説明するが、積層される配線層の数は 3 層より少なくても多くてもよい。また、本実施の形態の主な特徴は積層配線層よりも上の構造体およびその製造方法にあるため、半導体基板の主面近傍に形成する半導体素子の具体的な製造方法についての説明は省略する。

[0085] 半導体装置を製造工程においては、まず、図 1 に示すように、例えば 1 ～ 1 0  $\Omega$  c m の比抵抗を有する p 型の単結晶シリコン ( S i ) などからなる半導体基板 ( 半導体ウェハ ) S B を用意する。それから、半導体基板 S B の主面に、活性領域を規定する複数の素子分離領域を形成する ( 図示しない ) 。

素子分離領域は、例えば主に酸化シリコン膜からなる絶縁膜を、半導体基板S Bの主面の溝内に埋め込むことにより形成する。

[0086] 続いて、半導体基板S Bの主面に不純物を導入してウエル（図示しない）を形成した後、半導体基板S Bの主面上にゲート絶縁膜を介して形成されたゲート電極と、半導体基板S Bの主面に形成されたソース・ドレイン領域とを含むM I S F E T Q 1、Q 2を形成する。

[0087] 続いて、半導体基板S Bの主面全面上に、M I S F E T Q 1、Q 2を覆う層間絶縁膜C Lを形成した後、層間絶縁膜C Lの上表面を、CMP（Chemical Mechanical Polishing）法などを用いて研磨する。層間絶縁膜C Lは、例えば酸化シリコン膜からなり、例えばC V D法などを用いて形成することができる。その後、フォトリソグラフィ技術およびドライエッチング法を用いて、層間絶縁膜C Lを貫通する複数のコンタクトホールを形成する。その後、各コンタクトホール内を埋め込む金属膜（例えばW（タングステン）膜）からなるコンタクトプラグP Gを形成する。コンタクトプラグP GはM I S F E T Q 1またはQ 2などに接続される。

[0088] ここでは、素子形成領域1 Aの端部であって、スクライブ領域1 Bに近い領域において、後に形成されるシールリングを構成するコンタクトプラグP Gも形成する。当該コンタクトプラグP Gは層間絶縁膜C Lを貫通して半導体基板S Bの主面に接続される。

[0089] 続いて、コンタクトプラグP Gが埋め込まれた層間絶縁膜C L上に第1層目の配線M 1を含む第1配線層を形成する。配線M 1は、例えばスパッタリング法により層間絶縁膜C L上にA l（アルミ）膜を形成した後、当該A l膜をフォトリソグラフィ技術およびドライエッチング法を用いて加工することで形成することができる。配線M 1は、例えばC u（銅）膜により形成してもよい。また、配線M 1は、所謂ダマシン技術を用いて形成することもできる。複数の第1層目の配線M 1は、コンタクトプラグP Gの上表面に接続される。ここでは、素子形成領域1 Aの端部のコンタクトプラグP G上において、後に形成するシールリングを構成する配線M 1も形成する。なお、配線

M2およびM3についても同様である。

[0090] 続いて、層間絶縁膜CL上に、配線M1を覆うように、例えばCVD法を用いて層間絶縁膜IL1を形成した後、例えばCMP法により層間絶縁膜IL1の上面を平坦化する。その後、フォトリソグラフィ技術およびドライエッチング法を用いて層間絶縁膜IL1を開口することでビアホールを形成し、これにより当該ビアホールの底部に配線M1の上面を露出させる。その後、ビアホールを埋め込むビアV1を、例えばW（タングステン）膜などにより形成する。ビアV1は、配線M1の上面に接続されている。これにより、配線M1、層間絶縁膜IL1およびビアV1を含む第1配線層が形成される。

[0091] 続いて、第1配線層と同様の方法により、第1配線層上の第2配線層、および、第2配線層上の第3配線層を順に形成する。第3配線層を構成する配線M3は、層間絶縁膜IL2に形成されたビアホール内のビアV2を介して、配線M2に電氣的に接続されている。第2配線層を構成する配線M2は、ビアV1を介して、配線M1に電氣的に接続されている。ここでは配線M3はA1膜からなり、例えば酸化シリコン膜からなる層間絶縁膜IL3により覆われている。

[0092] また、配線M3上にはビアは形成されていない。また、素子形成領域1Aの端部には、コンタクトプラグPG、ビアV1、V2および配線M1～M3を含むシールリングSLGが形成されている。MISFETQ1またはQ2などの素子に電氣的に接続されたコンタクトプラグPG、ビアV1、V2および配線M1～M3は、回路を構成しているのに対し、シールリングSLGはMISFETQ1またはQ2などの素子に電氣的に接続されておらず、回路を構成していない。シールリングSLGは、平面視において矩形の形状を有する素子形成領域1Aの外周に沿って環状に形成されており、環状のレイアウトを有するシールリングSLGの内側に、回路を構成する配線および半導体素子が形成されている。

[0093] 続いて、層間絶縁膜IL3上に、例えばCVD法を用いて絶縁膜IF1を



形成する。絶縁膜 I F 1 は、例えば窒化シリコン膜からなり、酸化シリコン膜などに比べて高い耐湿性を有している。

[0094] また、詳細な図示は省略しているが、配線 M 3 は配線 M 1 および M 2 よりも厚い膜厚で形成されており、後述の再配線 R L よりも薄い膜厚で形成されている。前述のように配線 M 1 ~ M 3 を同じ材料で形成しても良いが、配線 M 1 および M 2 を銅配線で形成し、第 1 パッド電極となる配線 M 3 をアルミニウム配線で形成しても良い。

[0095] 次に、図 5 に示すように、フォトリソグラフィ技術およびドライエッチング法を用いて、絶縁膜 I F 1 および層間絶縁膜 I L 3 を開口する（第 1 開口部）。これにより、配線 M 3 の上面の一部を露出する。また、このエッチング工程では、半導体基板 S B の主面に沿う方向において、シールリング S L G よりも素子形成領域 1 A とスクライプ領域 1 B との境界に近い箇所の絶縁膜 I F 1 および層間絶縁膜 I L 3 を開口することで、溝 D 1 を形成する。溝 D 1 の底面では、層間絶縁膜 I L 2 の上面の一部が露出する。ただし、溝 D 1 の形成深さは、例えば層間絶縁膜 I L 3 の途中深さまでであってもよい。

[0096] 次に、図 6 に示すように、半導体基板 S B 上に感光性を有する膜（例えばポリイミド膜）を塗布法により形成したのち、下層絶縁膜 I F 2 に対し露光および現像を行うことで、下層絶縁膜 I F 2 をパターニングして開口部を形成する（第 2 開口部）。その後、当該膜を焼結法により固めることで、下層絶縁膜 I F 2 を形成する。その後、ここでは、層間絶縁膜 I L 3 および絶縁膜 I F 1 を貫通する第 1 開口部であって、回路を構成する配線 M 3 の上面を露出する開口部の直上の下層絶縁膜 I F 2 を除去することで、当該配線 M 3 の上面を露出する。すなわち、絶縁膜 I F 1 の第 1 開口部より口径の大きい第 2 開口部を絶縁膜 I F 2 に形成する。

[0097] また、ここでは、素子形成領域 1 A の端部およびスクライプ領域 1 B の下層絶縁膜 I F 2 を除去する。これにより、溝 D 1、シールリング S L G の直上の絶縁膜 I F 1、およびスクライプ領域 1 B の絶縁膜 I F 1 が下層絶縁膜 I F 2 から露出する。すなわち、平面視において環状のレイアウトを有する

シールリングSLGの内側にのみ下層絶縁膜IF2を残す。

[0098] 次に、図7に示すように、例えばスパッタリング法を用いて、半導体基板SB上にバリア金属膜BMおよびシード金属膜SMを順に形成する。バリア金属膜BMは例えばTi（チタン）、TiN（窒化チタン）、Cr（クロム）、またはTa（タンタル）を含む導体膜であり、シード金属膜SMは例えばCu（銅）からなる。バリア金属膜BMおよびシード金属膜SMからなる積層膜は、絶縁膜IF1、下層絶縁膜IF2および層間絶縁膜IL3の側壁、層間絶縁膜IL2の上面の一部、および、配線M3の上面の一部を覆っている。

[0099] 次に、図8に示すように、半導体基板SB上にフォトレジスト膜PR1を形成する。ここでは、露光・現像工程によりフォトレジスト膜PR1からなるパターンを形成する。フォトレジスト膜PR1は、スクライプ領域1Bの絶縁膜IF1の上表面と、素子形成領域1Aの端部の絶縁膜IF1を覆っている。つまり、素子形成領域1Aの端部において、フォトレジスト膜PR1は溝D1を覆っており、下層絶縁膜IF2の近傍の領域を除く領域において、下層絶縁膜IF2から露出する絶縁膜IF1の上表面を覆っている。ただし、フォトレジスト膜PR1は、配線M3の上表面、並びに配線M3を露出する開口部において露出する層間絶縁膜IL3、絶縁膜IF1および下層絶縁膜IF2のそれぞれの表面を露出している。

[0100] すなわち、フォトレジスト膜PR1は、下層絶縁膜IF2の上表面の一部を覆い、下層絶縁膜IF2の側壁を露出している。配線M3を露出する下層絶縁膜IF2の開口部から溝D1側に亘って形成された下層絶縁膜IF2の直上のシード金属膜SMは、フォトレジスト膜PR1により覆われている。

[0101] その後、軽くアッシングを行うことで、シード金属膜SMの上表面上に残ったフォトレジスト膜からなる小さい残渣を除去してもよい。

[0102] 次に、図9に示すように、めっき法により、フォトレジスト膜PR1から露出するシード金属膜SM上に主導体膜MFを形成する。主導体膜MFは例えばCu（銅）、Ni、Au、Ag、Pdまたはそれらの積層膜からなり、

配線M3よりも大きい膜厚を有している。主導體膜MFの膜厚は、例えば5～12 $\mu\text{m}$ である。フォトレジスト膜PR1によりシード金属膜が覆われた領域では、主導體膜MFは形成されない。これにより、配線M3の上面の一部を露出する開口部内は、バリア金属膜BM、シード金属膜SMおよび主導體膜MFにより完全に埋め込まれる。

[0103] また、スクライブ領域1B側の上層絶縁膜IF2の端部の側壁および上面は、配線M3を絶縁膜IF1などから露出する開口部内に埋め込まれた主導體膜MFとは分離した他の主導體膜MFにより覆われる。なお、主導體膜MFの膜厚は、フォトレジスト膜PR1の膜厚よりも小さい。

[0104] 次に、図10に示すように、半導体基板SB上およびフォトレジスト膜PR1上にフォトレジスト膜PR2を形成する。ここでは、露光・現像工程によりフォトレジスト膜PR2からなるパターンを形成する。フォトレジスト膜PR2は、配線M3を絶縁膜IF1などから露出する開口部内に埋め込まれた主導體膜MFの一部の上面を露出し、その他の領域を覆っている。したがって、スクライブ領域1B側の上層絶縁膜IF3の端部の側壁および上面を覆う主導體膜MFは、フォトレジスト膜PR2に覆われている。また、フォトレジスト膜PR1はフォトレジスト膜PR2により覆われている。

[0105] その後、軽くアッシングを行うことで、主導體膜MFの上面上に残ったフォトレジスト膜からなる小さい残渣を除去してもよい。

[0106] 次に、図11に示すように、めっき法により、フォトレジスト膜PR2から露出する主導體膜MFの上面上に、下地金属膜として金属膜PM1、PM2を順に形成する。金属膜PM1およびPM2からなる積層膜は、第2パッド電極PDを構成する。金属膜PM1は、例えばNi（ニッケル）からなり、例えば1.5 $\mu\text{m}$ の膜厚を有する。金属膜PM2は、例えばAu（金）からなり、例えば2 $\mu\text{m}$ の膜厚を有する。

[0107] 次に、図12および図13に示すように、フォトレジスト膜PR1、PR2を除去し、続いて主導體膜MFから露出するシード金属膜SMおよびバリア金属膜BMを除去する。その後、軽くアッシングを行うことにより、下層

絶縁膜 I F 2 の表面の一部を除去する。これにより、バリア金属膜 B M の除去工程などで下層絶縁膜 I F 2 の表面に生じたダメージを除去する。なお、図 1 3 ではシード金属膜 S M は主導体膜 M F と一体化しているものとして扱い、シード金属膜 S M の図示を省略している。

[0108] 図 1 3 に示すように、シード金属膜 S M およびバリア金属膜 B M を除去することで各主導体膜 M F は電氣的に分離される。これにより、配線 M 3 の上面に電氣的に接続されたバリア金属膜 B M、シード金属膜 S M (図示しない) および主導体膜 M F からなる積層膜は、再配線 R L を構成する。また、配線 M 3 に電氣的に接続されていないバリア金属膜 B M、シード金属膜 S M (図示しない) および主導体膜 M F からなる積層膜は、ダミー再配線 D L を構成している。再配線 R L およびダミー再配線 D L は互いに離間し、電氣的に接続されていない。また、再配線 R L は回路を構成し、ダミー再配線 D L は回路を構成していない。

[0109] 上記のように、再配線 R L およびダミー再配線 D L は、同じ成膜工程により形成されたバリア金属膜 B M および主導体膜 M F からなる。つまり、再配線 R L およびダミー再配線 D L は、分離しているが、互いに同層の膜であると言える。ここでいう同層の膜とは、同一工程で形成された膜を指す。したがって、1 つの膜を形成した後にその膜を複数に分離した場合、それらの複数の膜は互いに同層の膜である。

[0110] 図 1 2 に示すように、半導体基板 (半導体ウェハ) S B 上には、複数の素子形成領域 1 A が行列状に並んで存在し、隣り合う素子形成領域 1 A 同士の間にはスクライプ領域 (スクライプライン) 1 B が存在している。つまり、スクライプ領域 1 B は格子状に配置されている。平面視において、素子形成領域 1 A 内では、ダミー再配線 D L は複数の再配線 R L および半導体素子が形成された領域を囲むように矩形の環状構造を有している。

[0111] 図 1 3 に示すように、ダミー再配線 D L は、その一部が下層絶縁膜 I F 2 の直上に配置されている。ダミー再配線 D L の当該一部は、下層絶縁膜 I F 2 の直上において、再配線 R L と互いに隣り合っている。また、ダミー再配

線DLの他の一部は、下層絶縁膜IF2よりも素子形成領域1Aの端部側において下層絶縁膜IF2から露出する絶縁膜IF1の上面を覆っている。

[0112] ここでは、図8～図13を用いて説明したように、フォトレジスト膜PR1からなるレジストパターンを形成し、主導体膜MFを形成した後、フォトレジスト膜PR1を除去せずにフォトレジスト膜PR2を形成することで、フォトレジスト膜PR2によりフォトレジスト膜PR1を覆っている。

[0113] これに対し、図9を用いて説明した工程の後にフォトレジスト膜PR1を除去し、その後フォトレジスト膜PR2を塗布法により形成することが考えられる。しかし、この場合、低抵抗化を目的として大きい膜厚で形成された主導体膜MFの上面から主導体膜MFの横の下地表面までの段差が大きいため、新たなフォトレジスト膜PR2を塗布法により形成しようとする、主導体膜MFを完全に覆うことが困難となる。第2パッド電極PDの形成領域以外の箇所主導体膜MFが露出すると、露出箇所に金属膜PM1、PM2が形成されて、不良となる。

[0114] 上記のようにフォトレジスト膜PR2の形成前にフォトレジスト膜PR1を除去する場合、主導体膜MFの露出による当該不良の発生を防止するためには、フォトレジスト膜PR1の除去後に形成するフォトレジスト膜PR2を非常に厚く形成する必要がある。しかし、フォトレジスト膜PR1を除去する工程を行う場合、およびフォトレジスト膜PR2を非常に厚く形成する場合には、半導体装置の製造コストが増大する問題が生じる。

[0115] これに対し本実施の形態では、フォトレジスト膜PR1が主導体膜MFの端部の段差を埋めているため、レジストパターンから主導体膜MFが露出することを防ぐことができる。よって、不良の発生を防ぐことができるため、半導体装置の信頼性を向上することができ、さらに、半導体装置の製造工程における歩留まりを向上することができる。

[0116] また、フォトレジスト膜PR1が主導体膜MFの端部の段差を埋めているため、フォトレジスト膜PR2の膜厚を薄くすることができ、これにより半導体装置の製造コストを低減することができる。また、フォトレジスト膜P

R 1、P R 2を一回の工程で除去するため、レジストパターンの除去工程を低減することができ、これにより半導体装置の製造コストを低減することができる。

[0117] 次に、図14に示すように、半導体基板S Bの主面上、つまり、絶縁膜I F 1、下層絶縁膜I F 2、ダミー再配線D Lおよび再配線R Lの上に、塗布法を用いて、例えば感光性を有する液状のポリイミドを供給し、上層絶縁膜I F 3を形成する。

[0118] 次に、図15に示すように、露光・現像工程を行うことで、上層絶縁膜I F 3の一部を除去することで、絶縁膜I F 3に開口部を形成する（第3開口部）。その後、ポリイミドを焼結させ重合させ固定する。これにより第2パッド電極P Dの上面、絶縁膜I F 1の上面、溝D 1の側壁および溝D 1の底面を上層絶縁膜I F 3から露出させる。このとき、下層絶縁膜I F 2の端部はダミー再配線D Lおよび上層絶縁膜I F 3により覆われたままである。露光・現像により上層絶縁膜I F 3を加工する際に下層絶縁膜I F 2の端部が露出されると、現像液により下層絶縁膜I F 2の端部が溶解し、下層絶縁膜I F 2が剥離する虞があるためである。

[0119] 再配線R Lは、第2パッド電極P Dに覆われた上面の一部を除いて、上層絶縁膜I F 3に覆われている。また、ダミー再配線D Lは、その全体が上層絶縁膜I F 3に覆われている。再配線R Lと他の再配線R Lとの間、および、再配線R Lとダミー再配線D Lとの間のそれぞれにおける下層絶縁膜I F 2の上面は、上層絶縁膜I F 3により覆われている。また、ダミー再配線D Lの側壁であって、素子形成領域1 Aの端部側の側壁に隣接する領域の絶縁膜I F 1の上面は、上層絶縁膜I F 3により覆われている。ダミー再配線D Lの近傍の領域よりもスクライブ領域1 B側に位置する絶縁膜I F 1は、上層絶縁膜I F 3から露出している。

[0120] 次に、半導体ウェハをダイシングすることにより、複数の半導体チップC Pを得る。つまり、スクライブ領域1 Bの半導体基板S Bおよびその直上の積層膜をダイシングにより切削することで半導体基板S Bを個片化する。こ

のとき、ダイシング装置の精度などに起因して切削位置がずれても、溝D 1よりも素子形成領域1 Aの中心側の領域が切削されなければ問題は無い。つまり、溝D 1はダイシングにより除去される可能性がある。

[0121] このように、溝D 1は切削され得る部分であるため、溝D 1よりも内側（素子形成領域1 Aの中心側）のみに絶縁膜I F 1上の構造体である下層絶縁膜I F 2、各再配線および上層絶縁膜I F 3を形成し、溝D 1の直上にはそれらの構造体を形成しない。

[0122] 以上のようにして、本実施の形態の半導体装置である半導体チップCP（図1および図16参照）を製造する。以下では、本実施の形態の半導体装置の製造方法の効果について説明する。

[0123] 本実施の形態の半導体装置の製造方法を用いた場合、図1～図3を用いて説明した半導体装置の効果と同様の効果を得ることができる。すなわち、図23を用いて説明した比較例に比べ、本実施の形態では、図15に示すように、再配線RLと半導体チップCPの端部との間において、下層絶縁膜I F 2の直上に、回路を構成しないダミー再配線DLの一部を設けることにより、再配線RLの横の段差の高低差を小さくしている。これにより、再配線RLの側壁近傍に形成される上層絶縁膜I F 3の膜厚が大きくなるため、再配線RLの上面端部（角部）が上層絶縁膜I F 3から露出することを防ぐことができる。よって、半導体装置の信頼性を確保することができる。

[0124] また、ダミー再配線DLを設けることで、図24に示す比較例のように、再配線RLを形成しない広い領域を設ける必要がなくなる。したがって、チップ面積を削減することができるため、半導体装置の性能を向上させることができる。よって、半導体装置の信頼性および性能の向上を両立することができる。

[0125] また、下層絶縁膜I F 2の端部がダミー再配線DLにより覆われているため、上層絶縁膜I F 3の一部を現像工程により除去する際に、現像液が下層絶縁膜I F 2の端部を溶解し、下層絶縁膜I F 2が剥離することを防ぐことができる。

[0126] <変形例 1 について>

次に、本実施の形態の半導体装置の変形例 1 の断面図を図 1 6 に示す。図 1 6 は、図 2 と同様に、半導体チップの端部を示す断面図である。図 1 6 に示す半導体チップ CP は、図 2 を用いて説明した構造に比べ、ダミー再配線 DL の一部が上層絶縁膜 IF 3 から露出している点で相違がある。すなわち、ダミー再配線 DL の側壁であって、半導体チップ CP の端部側の側壁の上端部分が上層絶縁膜 IF 3 から露出している。

[0127] このようにダミー再配線 DL の一部が上層絶縁膜 IF 3 の一部から露出している場合であっても、ダミー再配線 DL は再配線 RL とは異なり回路を構成していないため、問題は生じない。つまり、ダミー再配線 DL は回路を構成していないため、ダミー再配線 DL が上層絶縁膜 IF 3 から露出していることによりダミー再配線 DL が酸化等しても、半導体装置の動作には影響がなく、半導体装置の信頼性が低下することはない。

[0128] また、半導体チップ CP 内の最外周の配線であるダミー再配線 DL を上層絶縁膜 IF 3 により完全に覆う必要がないため、上層絶縁膜 IF 3 の膜厚を大きくする必要がない。したがって、上層絶縁膜 IF 3 を形成する際に供給する液状のポリイミドの粘性を低く抑えることができる。よって、ポリイミド膜の塗布時の埋め込み性を向上させることができたため、半導体装置の信頼性を向上することができる。

[0129] <変形例 2 について>

次に、本実施の形態の半導体装置の変形例 2 の平面図を図 1 7 に示す。図 1 7 は、図 1 と同様に、半導体チップを示す平面図である。図 1 を用いて説明した半導体チップ CP では、ダミー再配線 DL が半導体チップ CP の周縁部に沿って環状に形成されているが、図 1 7 に示す変形例の半導体チップ CP は、ダミー再配線 DL が環状に形成されていない。

[0130] つまり、変形例の半導体チップ CP では、ダミー再配線 DL が半導体チップ CP の端部と、回路を構成する再配線 RL との間において、下層絶縁膜 IF 2 の直上にダミー再配線 DL を配置する点は、図 1 および図 2 を用いて説



明した構造と同じである。ただし、図17に示す変形例では、再配線RLと、当該再配線RLの近傍の半導体チップCPの端部との間のみダミー再配線DLが形成され、半導体チップCPの端部の近傍に再配線RLが配置されていない領域には、ダミー再配線DLは形成されていない。すなわち、実施の形態1のダミー配線DLは半導体チップCPの周縁部に沿って連続的に形成されていたが、この図17の変形例では不連続に形成されている。言い換えれば、ダミー再配線DLは、当該ダミー再配線DLの側壁と対向する再配線RLの側壁の端部であって、半導体基板の主面に沿う方向の端部の近傍で終端している。

[0131] このように、本変形例では、再配線RLが上層絶縁膜IF3（図2参照）から露出することを防ぐために必要な箇所のみダミー再配線DLを配置している。なお、図2では、下層絶縁膜IF2の端部の上面および側壁に接するダミー再配線DLが下層絶縁膜IF2を覆っているが、本変形例において、ダミー再配線DLが形成されていない領域では、上層絶縁膜IF3が下層絶縁膜IF2の端部の上面および側壁に接し、下層絶縁膜IF2の端部を覆っている。

[0132] 本変形例では、図1および図2を用いて説明した半導体装置と同様の効果が得られる。

[0133] ここで、再配線（ダミー再配線DLを含む）は、上層絶縁膜IF3を焼結させるために焼き締めを行う際に小さく縮むため、半導体ウェハの反りの原因となる問題がある。再配線は積層配線層内の配線より膜厚が大きいため、このような問題が顕著となる。これに対し、本変形例では、ダミー再配線DLの形成位置を、再配線RLと、当該再配線RLの近傍の半導体チップCPの端部との間に限定することで、図1に示すレイアウトに比べ、平面視における半導体チップCPの全体におけるダミー再配線DLの占有率を低減することを可能としている。これにより、再配線を広範囲に形成することに起因して半導体ウェハが反ることを防ぐことができる。よって、半導体装置の信頼性を向上させることができ、また、半導体装置の製造における歩留まりを向

上することができる。

[0134] また、半導体ウェハが反ること防ぐことにより、真空チャックなどを用いて半導体ウェハを固定して搬送する際に、半導体ウェハの反りに起因して半導体ウェハの固定が困難となり搬送異常が起きることを防ぐことができる。

[0135] (実施の形態2)

次に、実施の形態2の半導体装置について、図18および図19を用いて説明する。図18は、本実施の形態の半導体装置である半導体チップの端部を示す断面図である。および図19は、本実施の形態の半導体装置である半導体チップを基板上に搭載した構造を示す断面図である。

[0136] 図18に示すように、本実施の形態の半導体装置の構造は、上層絶縁膜1F3の形状、および、ダミー再配線DLから半導体チップCPの端部までの距離以外は、前記実施の形態1において図2を用いて説明した構造と同様である。すなわち、図18に示すように、本実施の形態の上層絶縁膜1F3は、ダミー再配線DLの側壁であって、半導体チップCPの端部側の側壁を露出している。また、ダミー再配線DLから半導体チップCPの端部までの距離は、ダミー再配線DLの一部の側壁を覆う上層絶縁膜1F3を形成していない分、縮小されている。

[0137] 前記実施の形態1の変形例1(図16参照)について説明したように、ダミー再配線DLの一部は上層絶縁膜1F3から露出していても問題はない。そこで、本実施の形態では、下層絶縁膜1F2から露出する絶縁膜1F1の直上において、ダミー再配線DLの側壁を上層絶縁膜1F3から露出させている。

[0138] これに対し、下層絶縁膜1F2の直上に位置するダミー再配線DLの側壁は、上層絶縁膜1F3により完全に覆われている。これは、互いに隣り合うダミー再配線DLと再配線RLとの間の上層絶縁膜1F3の膜厚を大きく保つことで再配線RLが上層絶縁膜1F3から露出すること防ぎ、且つ、ダミー再配線DLに覆われていない下層絶縁膜1F2を上層絶縁膜1F3により覆うためである。

[0139] 図17に示すように、ダミー再配線DLを半導体チップCPの端部近傍の一部の領域のみに配置する場合に、本実施の形態の構造を適用する場合には、ダミー再配線DLが形成されていない領域では、下層絶縁膜IF2に接する上層絶縁膜IF3が、下層絶縁膜IF2の端部の側壁および上面を覆う。なお、ここではダミー再配線DLの上面の一部も上層絶縁膜IF3から露出している。

[0140] 本実施の形態では、溝D1とダミー再配線DLとの間に上層絶縁膜IF3を形成しないため、ダミー再配線DLと溝D1または半導体チップCPの端部との間の距離を縮小することができる。つまり、前記実施の形態1と同様の効果を得ることができ、それに加えて、チップ面積を縮小することが可能である。

[0141] この場合、シールリングSLGとダミー再配線DLとは、平面視において重なるように配置することができる。つまり、ダミー再配線DLの溝D1側の側壁と、シールリングSLGの溝D1側の端部とを、平面視において重なる位置に配置することができる。したがって、半導体基板SBの主面に沿う方向において、半導体チップCPの端部に最も近い再配線RLから、シールリングSLGの溝D1側の端部までの領域（シールリング領域）の幅は、例えば10～27 $\mu\text{m}$ である。つまり、例えば、同方向におけるダミー再配線DLからシールリングSLGの溝D1側の端部までの幅はほぼ0 $\mu\text{m}$ であり、同方向におけるダミー再配線DLの幅は5～12 $\mu\text{m}$ であり、同方向におけるダミー再配線DLと再配線RLとの間の距離は5～15 $\mu\text{m}$ である。

[0142] 図19に示すように、本実施の形態の半導体チップCPを基板PSB上に搭載し、ボンディングを行ってから半導体チップCPを封止体MDにより覆う場合、封止体MDを構成する絶縁体であるモールド樹脂とダミー再配線DLの一部とが接触する。このため、封止体MD内のハロゲンまたは水分によりダミー再配線DLは酸化しやすいが、ダミー再配線DLは回路を構成していないため、半導体装置の信頼性は低下しない。

[0143] （実施の形態3）

次に、実施の形態3の半導体装置について、図20を用いて説明する。図20は、本実施の形態の半導体装置である半導体チップの端部を示す断面図である。

[0144] 図20に示すように、本実施の形態の半導体装置の構造は、ダミー再配線DLが下層絶縁膜IF2の直上にのみ形成されている点以外は、前記実施の形態1において図2を用いて説明した構造と同様である。すなわち、ダミー再配線DLの一部の側壁は全て下層絶縁膜IF2の直上に存在し、下層絶縁膜IF2から露出する絶縁膜IF1の直上には、ダミー再配線DLは形成されていない。言い換えれば、ダミー再配線DLは、下層絶縁膜IF2の終端部から離間している。

[0145] つまり、再配線RLと下層絶縁膜IF2の端部との間において、ダミー再配線DLの全体が形成されている。これにより、前記実施の形態1と同様の効果を得ることができる。ただし、前記実施の形態1とは異なり、下層絶縁膜IF2の端部がダミー再配線DLにより覆われていないため、上層絶縁膜IF3の一部を現像工程により除去する際に、下層絶縁膜IF2が露出した場合、現像液が下層絶縁膜IF2の端部を溶解すること防ぐことはできない。したがって、本実施の形態では、下層絶縁膜IF2の端部を露出しないように上層絶縁膜IF3を現像処理する必要がある。

[0146] ここで、ダミー再配線DLは下層絶縁膜IF2の端部近傍に配置されているため、ダミー再配線DLの側壁であって、半導体チップCPの端部側の側壁の近傍には大きな段差が形成されている。したがって、図23および図24を用いて説明した比較例と同様に、本実施の形態のダミー再配線DLの一部は製造ばらつきにより上層絶縁膜IF3から露出する可能性がある。しかし、ダミー再配線DLは回路を構成していないため、封止体MD（図3参照）と接触することで酸化が進んだとしても、半導体装置の信頼性は低下しない。

[0147] （実施の形態4）

次に、実施の形態4の半導体装置について、図21および図22を用いて

説明する。図 2 1 および図 2 2 は、本実施の形態の半導体装置である半導体チップの端部を示す断面図である。本実施の形態の半導体装置は、前記実施の形態 1 において説明した構造に比べ、ダミー再配線を含む配線（膜厚調整用再配線）の高さをより高くしたものである。すなわち、図 2 1 および図 2 2 に示すように、ここではダミー再配線 DL の上面に接する金属膜 PM 1 と、金属膜 PM 1 上に形成された金属膜 PM 2 とからなる積層膜を形成することで、膜厚調整用再配線の高さを高くしている。

[0148] ダミー再配線 DL の直上に形成された金属膜 PM 1、PM 2 からなる当該積層膜は、ダミーパッド電極 DP を構成する。ダミーパッド電極 DP は、回路を構成しない金属膜である。金属膜 PM 1 は、例えば Ni（ニッケル）からなり、金属膜 PM 2 は、酸化しにくい貴金属であって、例えば Au（金）若しくはパラジウム（Pd）またはそれらの合金からなる。

[0149] ダミーパッド電極 DP は、図 1 0 を用いて説明した工程において、後の工程でダミー再配線 DL となる主導体膜 MF の上面をフォトレジスト膜 PR 2 から露出させ、図 1 1 を用いて説明した工程において、第 2 パッド電極 PD と同時に形成する事ができる。つまり、第 2 パッド電極 PD を構成する金属膜 PM 1 と、ダミーパッド電極 DP を構成する金属膜 PM 1 とは、互いに同層の膜であり、第 2 パッド電極 PD を構成する金属膜 PM 2 と、ダミーパッド電極 DP を構成する金属膜 PM 2 とは、互いに同層の膜である。

[0150] 本実施の形態では、ダミー再配線 DL 上にダミーパッド電極 DP を形成することで、ダミー再配線 DL を含む膜であって、上層絶縁膜 IF 3 の膜厚調整用に設ける膜の高さを高くすることができる。これにより、上層絶縁膜 IF 3 の形成工程におけるポリイミドの塗布時に、スクライブ領域側の段差へ流れ込むポリイミドの量を低減させることができ、回路を構成する再配線 RL の被覆性を向上させることができる。

[0151] 図 2 1 には、図 2 に示す構造と同様に、ダミー再配線 DL を、下層絶縁膜 IF 2 から露出する絶縁膜 IF 1 の直上の領域から下層絶縁膜 IF 2 の直上の領域に亘って形成する場合の半導体チップ CP の断面を示している。図 2

2には、図20に示す構造と同様に、ダミー再配線DLの全体を下層絶縁膜IF2の直上に形成する場合の半導体チップCPの断面を示している。

[0152] 図22に示す構造では、図20に示す構造に比べて、ダミー再配線DLを含む膜厚調整用膜の高さが高くなるため、上層絶縁膜IF3による膜厚調整用膜の被覆性が落ち、半導体チップCPの端部側の膜厚調整用膜の上部が上層絶縁膜IF3から露出する可能性が高まる。しかし、膜厚調整用膜の最上部は酸化しにくい金属膜PM2により構成されているため、膜厚調整用膜の上部が上層絶縁膜IF3から露出した場合も酸化は起きにくい。また、酸化が起きたとしても、ダミー再配線DLは回路を構成していないため、半導体装置の信頼性は低下しない。

[0153] 以上、本発明者らによってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

## 符号の説明

- [0154] 1A 素子形成領域  
1B スクライブ領域  
BM バリア金属膜  
CL 層間絶縁膜  
CP 半導体チップ  
D1 溝  
DL ダミー再配線（ダミーパターン）  
IF1 絶縁膜  
IF2 下層絶縁膜  
IF3 上層絶縁膜  
IL1～IL3 層間絶縁膜  
M1、M2 配線  
M3 配線（第1パッド電極）  
MF 主導体膜

PD 下地金属膜 (第2パッド電極)  
PG コンタクトプラグ  
PM1、PM2 金属膜  
PSB 基板  
PR1、PR2 フォトレジスト膜  
PW 配線  
Q1、Q2 MISFET  
RL 再配線  
SB 半導体基板  
SLG シールリング  
V1、V2 ビア

## 請求の範囲

- [請求項1] (a) 素子形成領域と前記素子形成領域を取り囲むスクライブ領域を有し、且つ、前記素子形成領域上に複数の配線層と前記複数の配線層の最上層に形成されたパッド電極とを有する半導体基板を準備する工程、
- (b) 第1開口部を有する第1絶縁膜を、前記パッド電極上に形成する工程、
- (c) 第2開口部を有する第2絶縁膜を、前記第1絶縁膜上に形成する工程、
- (d) 前記第2絶縁膜上に、前記第1および第2開口部を介して前記パッド電極と電氣的に接続する再配線を形成する工程、
- (e) 前記第2絶縁膜上であって、且つ、前記再配線よりスクライブ領域に近い領域にダミーパターンを形成する工程、
- (f) 前記再配線上に第3開口部を有し、且つ、前記再配線上と前記ダミーパターン上とに第3絶縁膜を形成する工程、
- を有する、半導体装置の製造方法。
- [請求項2] 請求項1に記載の半導体装置の製造方法において、
- 前記第3絶縁膜は、前記ダミーパターンの一部を覆っている、半導体装置の製造方法。
- [請求項3] 請求項2に記載の半導体装置の製造方法において、
- 前記第3絶縁膜は、前記ダミーパターンの全体を覆っている、半導体装置の製造方法。
- [請求項4] 請求項1に記載の半導体装置の製造方法において、
- 前記素子形成領域と前記スクライブ領域との間には、前記複数の配線層と同層の導電性膜で構成されたシールリングが形成されており、
- 前記ダミーパターンは、前記シールリングと前記再配線の間、または前記シールリング上に形成されている、半導体装置の製造方法。
- [請求項5] 請求項4に記載の半導体装置の製造方法において、



前記第1絶縁膜には、前記シールリングよりも前記スクライブ領域側に溝が形成される、半導体装置の製造方法。

[請求項6] 請求項1に記載の半導体装置の製造方法において、  
前記ダミーパターンは、前記再配線と同層に形成されている、半導体装置の製造方法。

[請求項7] 請求項1に記載の半導体装置の製造方法において、  
前記(e)工程における前記ダミーパターンの形成は、前記(d)工程における前記再配線の形成と同じ工程で行われる、半導体装置の製造方法。

[請求項8] 請求項1に記載の半導体装置の製造方法において、  
(g)前記(d)工程後に、前記第3開口部内の前記再配線上に下地金属膜を形成する工程をさらに有し、  
前記(e)工程における前記ダミーパターンの形成は、前記(d)工程における前記再配線の形成、および、前記(f)工程における前記下地金属膜の形成と同じ工程で行われる、半導体装置の製造方法。

[請求項9] 請求項1に記載の半導体装置の製造方法において、  
前記(f)工程では、塗布法を用いて、有機膜からなる前記第3絶縁膜を形成する、半導体装置の製造方法。

[請求項10] 請求項1に記載の半導体装置の製造方法において、  
前記パッド電極は、アルミニウムを主成分とする材料からなり、  
前記再配線は、銅を主成分とする材料からなり、且つ、前記パッド電極よりも厚い膜厚で形成されている、半導体装置の製造方法。

[請求項11] 請求項1に記載の半導体装置の製造方法において、  
前記ダミーパターンは、前記再配線とは電氣的に分離されている、半導体装置の製造方法。

[請求項12] 請求項11に記載の半導体装置の製造方法において、  
前記素子形成領域の前記半導体基板には、M I S F E Tが形成されており、

前記パッド電極は、前記M I S F E Tと電氣的に接続しており、  
前記ダミーパターンは、前記M I S F E Tと電氣的に接続していない、半導体装置の製造方法。

- [請求項13] 素子形成領域と前記素子形成領域を取り囲むスクライブ領域を有する半導体基板と、  
前記素子形成領域上に形成された複数の配線層と、  
前記複数の配線層の最上層に形成されたパッド電極と、  
前記パッド電極上に形成され、且つ、第1開口部を有する第1絶縁膜と、  
前記第1絶縁膜上に形成され、且つ、第2開口部を有する第2絶縁膜と、  
前記第2絶縁膜上に形成され、且つ、前記第1および第2開口部を介して前記パッド電極と電氣的に接続する再配線と、  
前記第2絶縁膜上であって、且つ、前記再配線よりスクライブ領域に近い領域に配置されたダミーパターンと、  
前記再配線上に第3開口部を有し、且つ、前記再配線上と前記ダミーパターン上に形成された第3絶縁膜と、  
を有する、半導体装置。

- [請求項14] 請求項13に記載の半導体装置において、  
前記第3絶縁膜は、前記ダミーパターンの一部を覆っている、半導体装置。

- [請求項15] 請求項14に記載の半導体装置において、  
前記第3絶縁膜は、前記ダミーパターンの全体を覆っている、半導体装置。

- [請求項16] 請求項13に記載の半導体装置において、  
前記素子形成領域と前記スクライブ領域の間には、前記複数の配線層と同層の導電性膜で構成されたシールリングが形成されており、  
前記ダミーパターンは、前記シールリングと前記再配線の間、また

は前記シールリング上に形成されている、半導体装置。

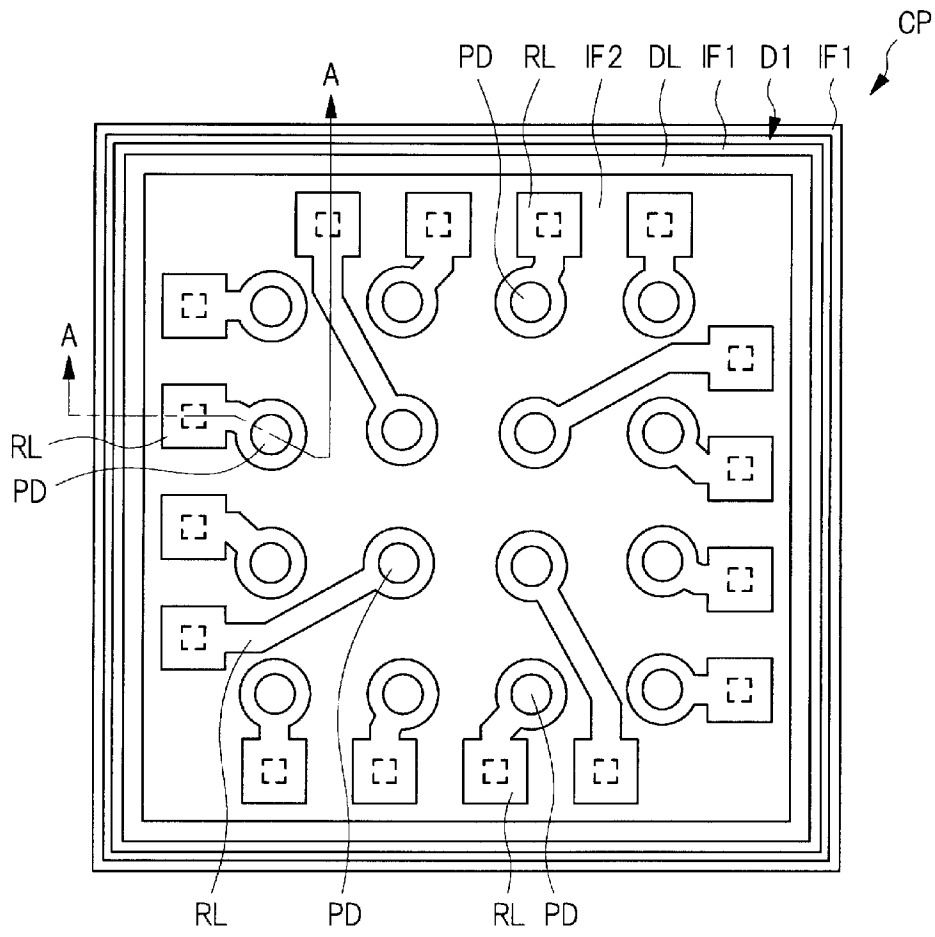
- [請求項17] 請求項16に記載の半導体装置において、  
前記第1絶縁膜には、前記シールリングよりも前記スクライブ領域側に溝が形成されている、半導体装置。
- [請求項18] 請求項13に記載の半導体装置において、  
前記ダミーパターンは、前記再配線と同層の膜を含む、半導体装置。  
。
- [請求項19] 請求項13に記載の半導体装置において、  
前記第3開口部内の前記再配線上に形成された下地金属膜を有し、  
前記ダミーパターンは、前記再配線および前記下地金属膜と同層の膜を含む、半導体装置。
- [請求項20] 請求項19に記載の半導体装置において、  
前記下地金属膜は、NiおよびAuの積層膜で形成されている、半導体装置。
- [請求項21] 請求項13に記載の半導体装置において、  
前記第3開口部内の前記再配線上に形成された下地金属膜と、  
前記下地金属膜上に形成された外部接続端子と、  
前記外部接続端子、前記第3絶縁膜および前記ダミーパターンを覆うモールド樹脂と  
をさらに有し、  
前記再配線は、前記モールド樹脂とは接触していない、半導体装置。  
。
- [請求項22] 請求項13に記載の半導体装置において、  
前記第3絶縁膜は、塗布法で形成されている有機膜である、半導体装置。
- [請求項23] 請求項13に記載の半導体装置において、  
前記パッド電極は、アルミニウムを主成分とする材料からなり、  
前記再配線は、銅を主成分とする材料からなり、且つ、前記パッド

電極よりも厚い膜厚で形成されている、半導体装置。

- [請求項24] 請求項13に記載の半導体装置において、  
前記ダミーパターンは、前記再配線とは電氣的に分離されている、  
半導体装置。
- [請求項25] 請求項24に記載の半導体装置において、  
前記素子形成領域の前記半導体基板には、M I S F E Tが形成されて  
おり、  
前記パッド電極は、前記M I S F E Tと電氣的に接続しており、  
前記ダミーパターンは、前記M I S F E Tと電氣的に接続していな  
い、半導体装置。
- [請求項26] 請求項13の半導体装置において、  
前記ダミーパターンは、前記スクライブ領域に沿って全周に配置さ  
れている、半導体装置。
- [請求項27] 請求項13に記載の半導体装置において、  
前記ダミーパターンは、平面視において、前記半導体基板の外周部  
に沿って環状に形成されている、半導体装置。
- [請求項28] 請求項13に記載の半導体装置において、  
前記ダミーパターンは、前記ダミーパターンと対向する前記再配線  
の側壁の端部であって、前記半導体基板の主面に沿う方向の端部の近  
傍で終端している、半導体装置。

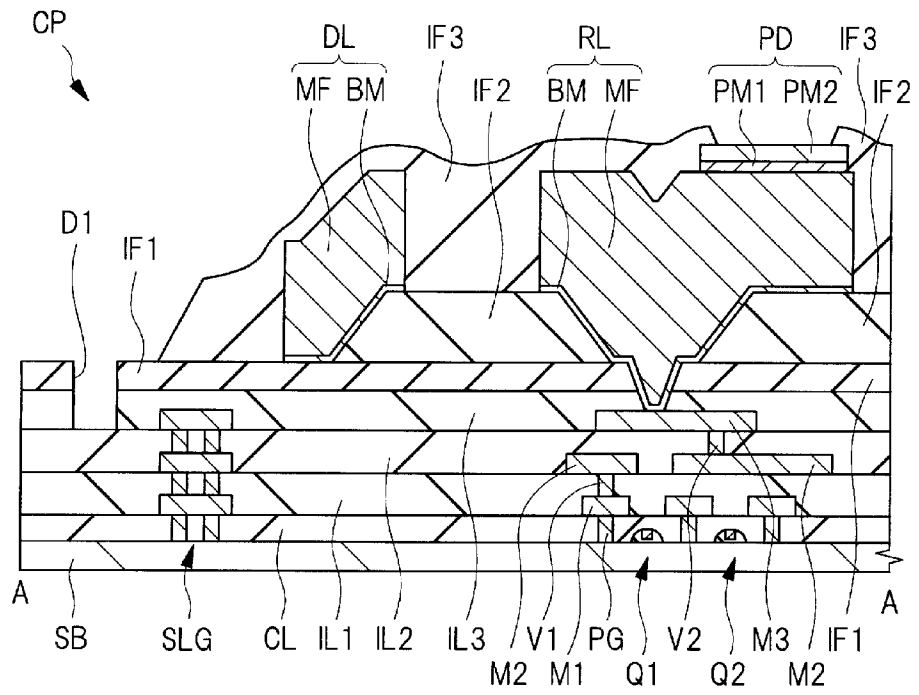
[図1]

1



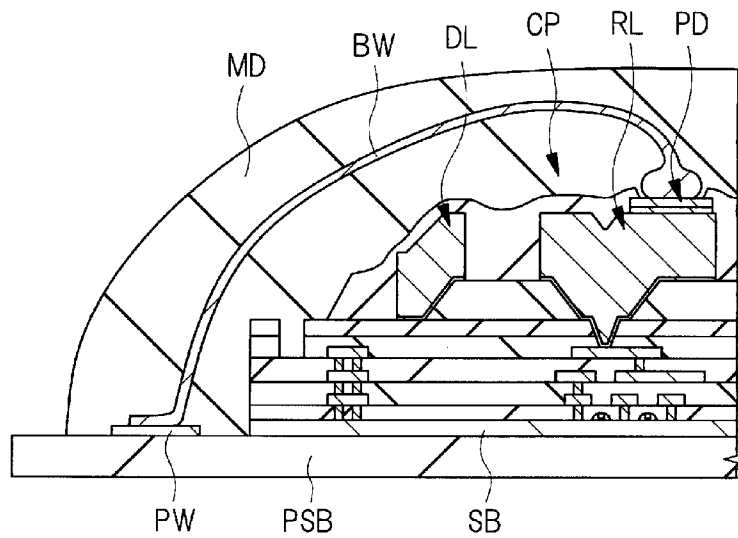
[図2]

図 2



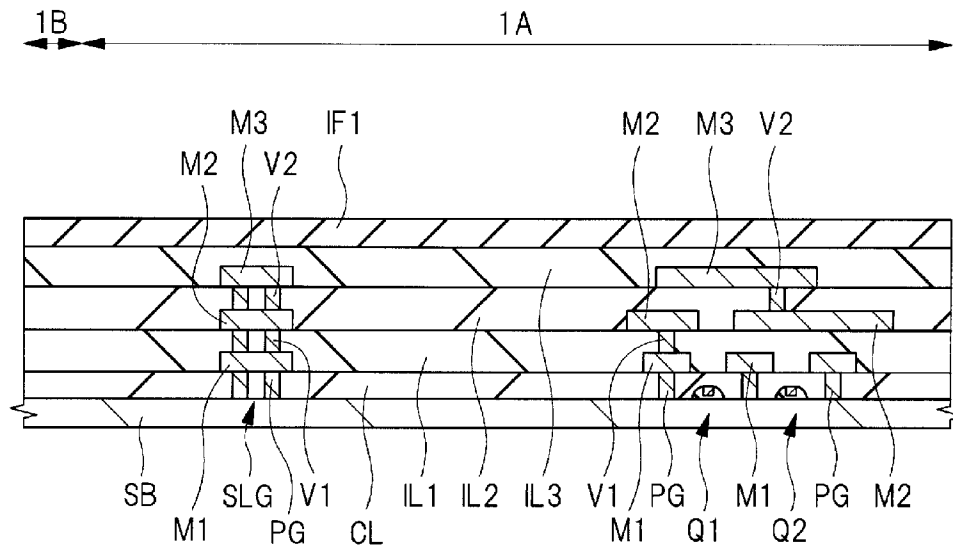
[図3]

図 3



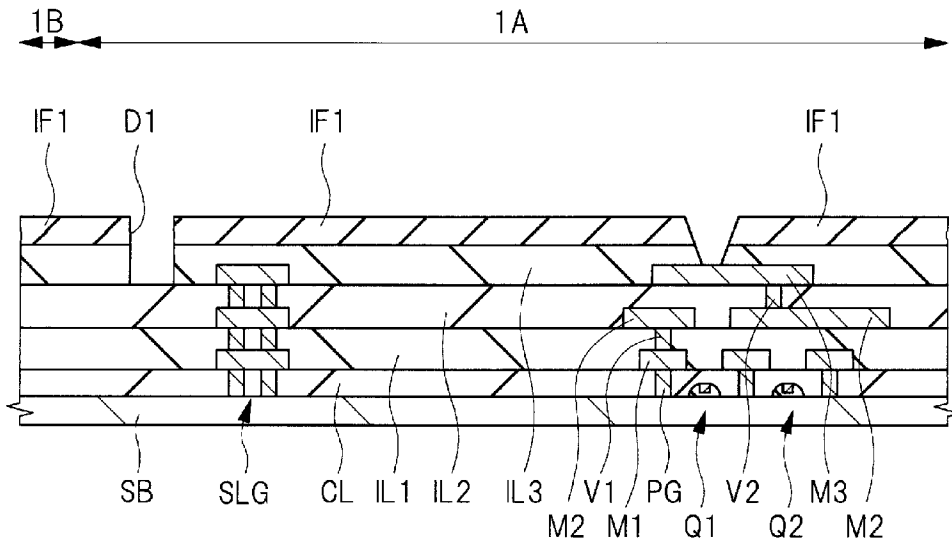
[図4]

図 4



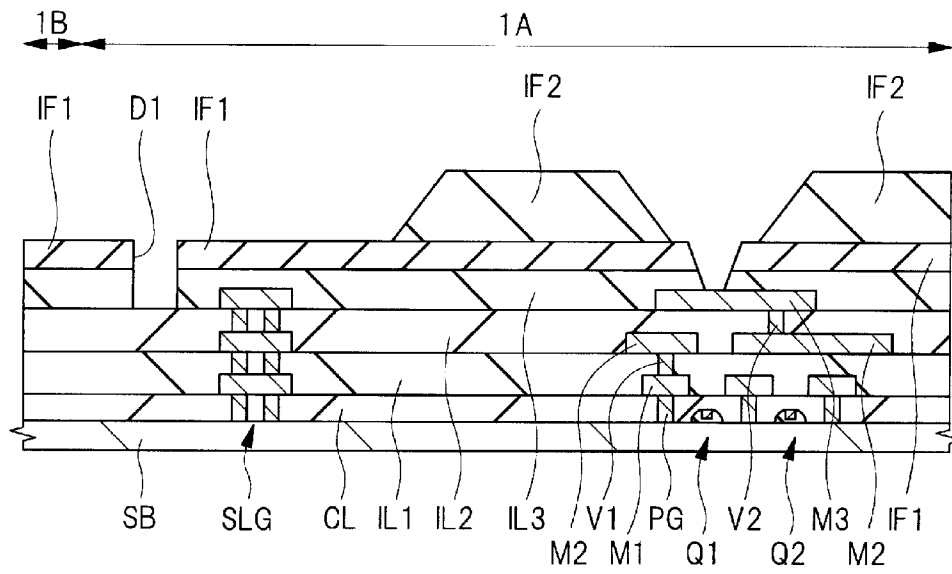
[図5]

図 5



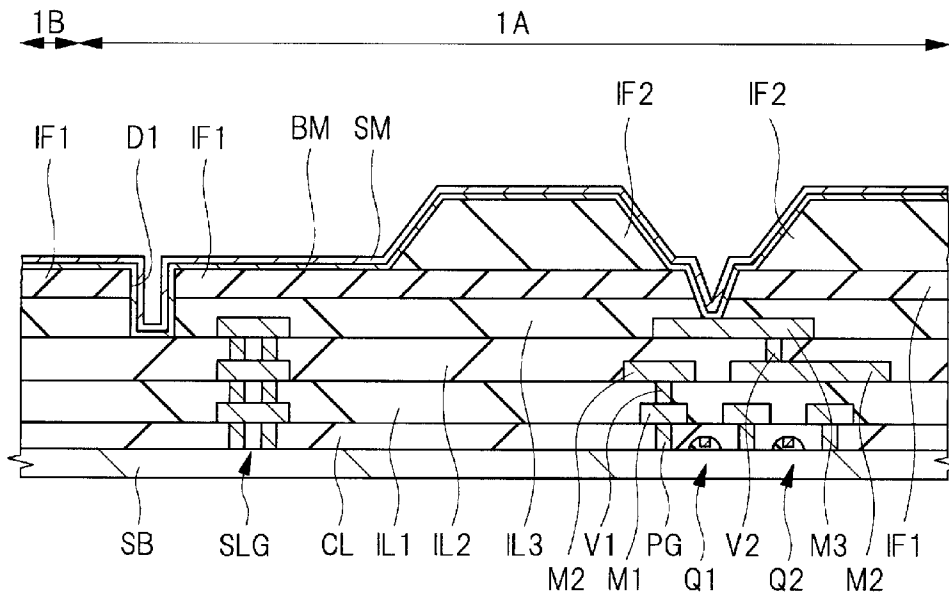
[図6]

図 6



[図7]

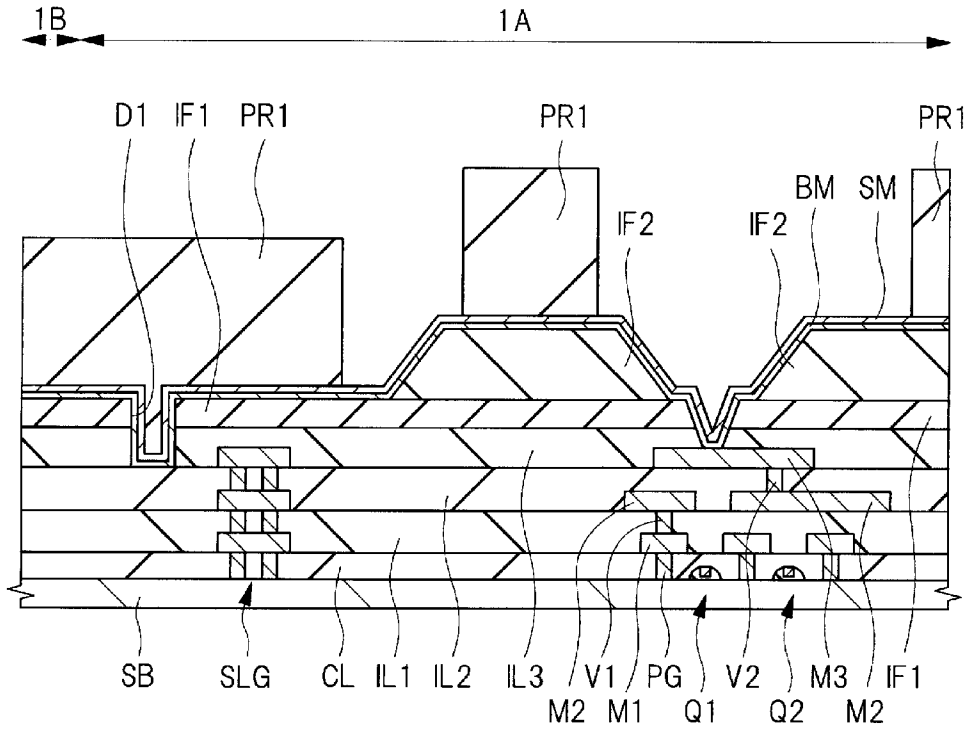
図 7





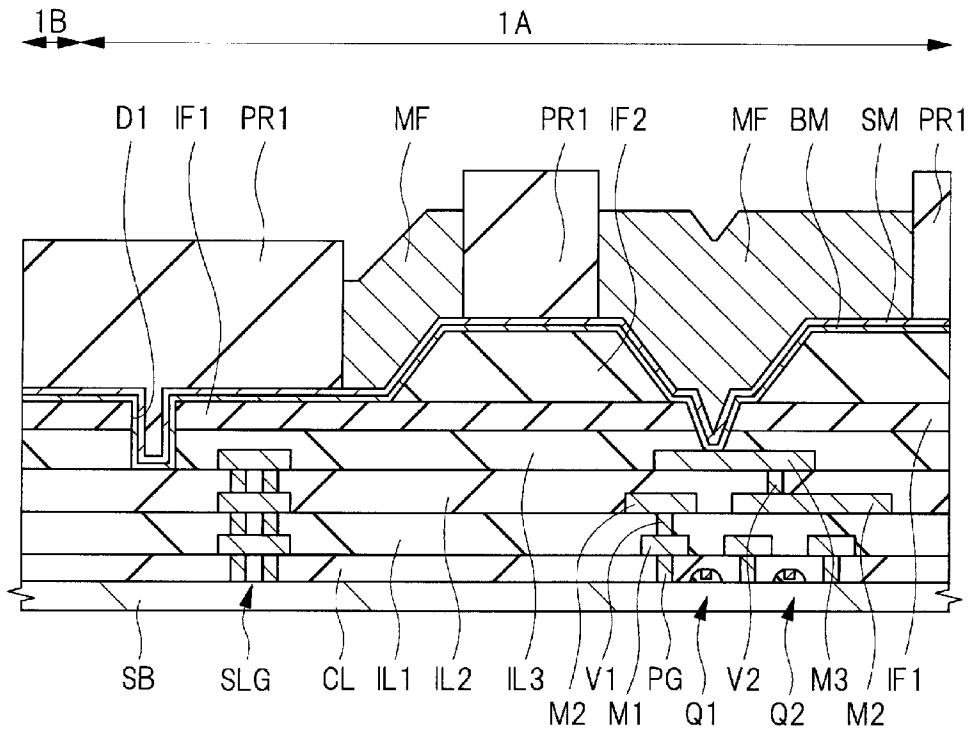
[図8]

8



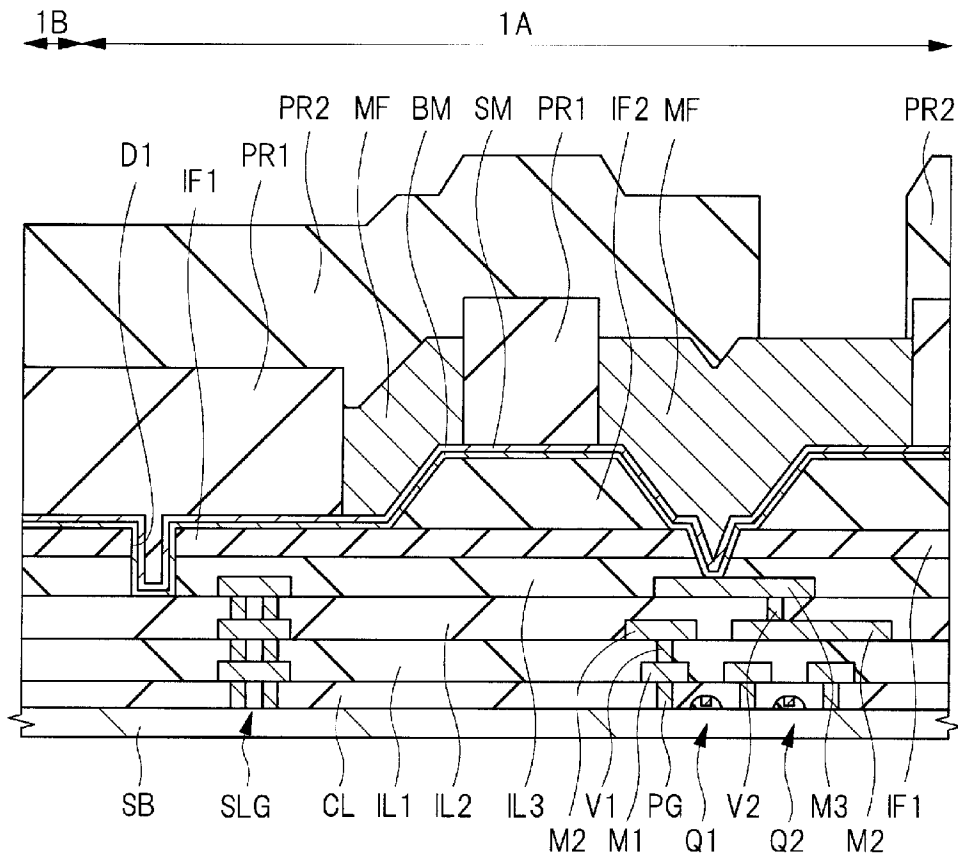
[図9]

9



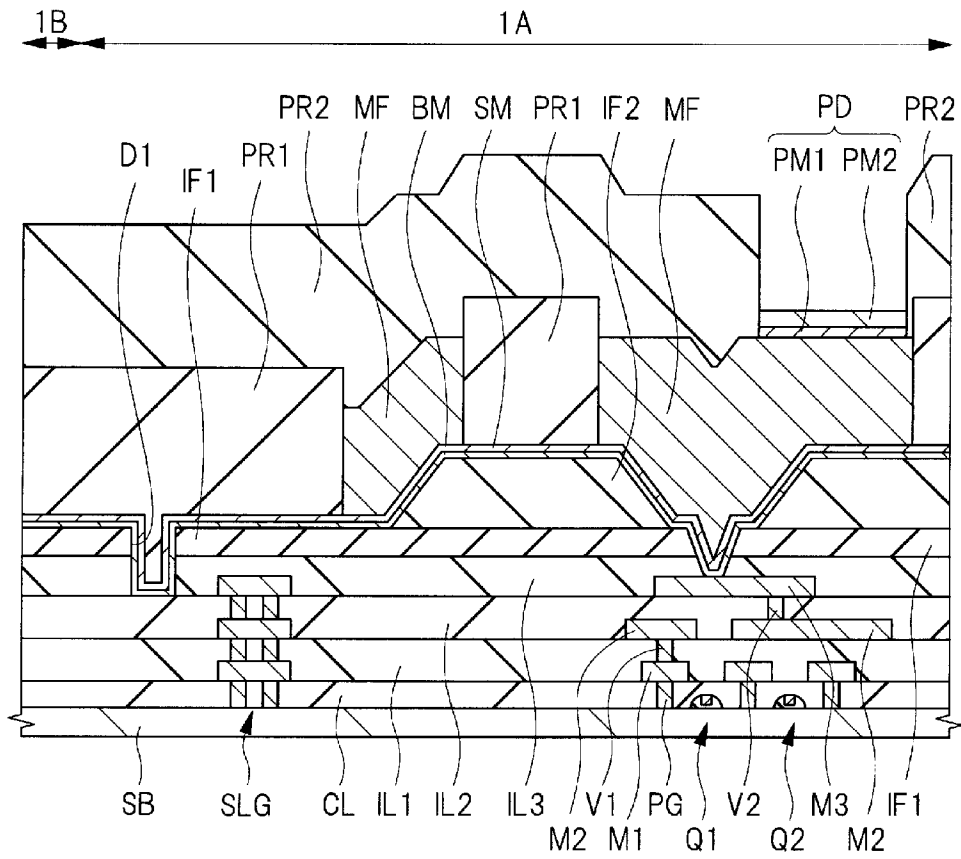
[図10]

図 10



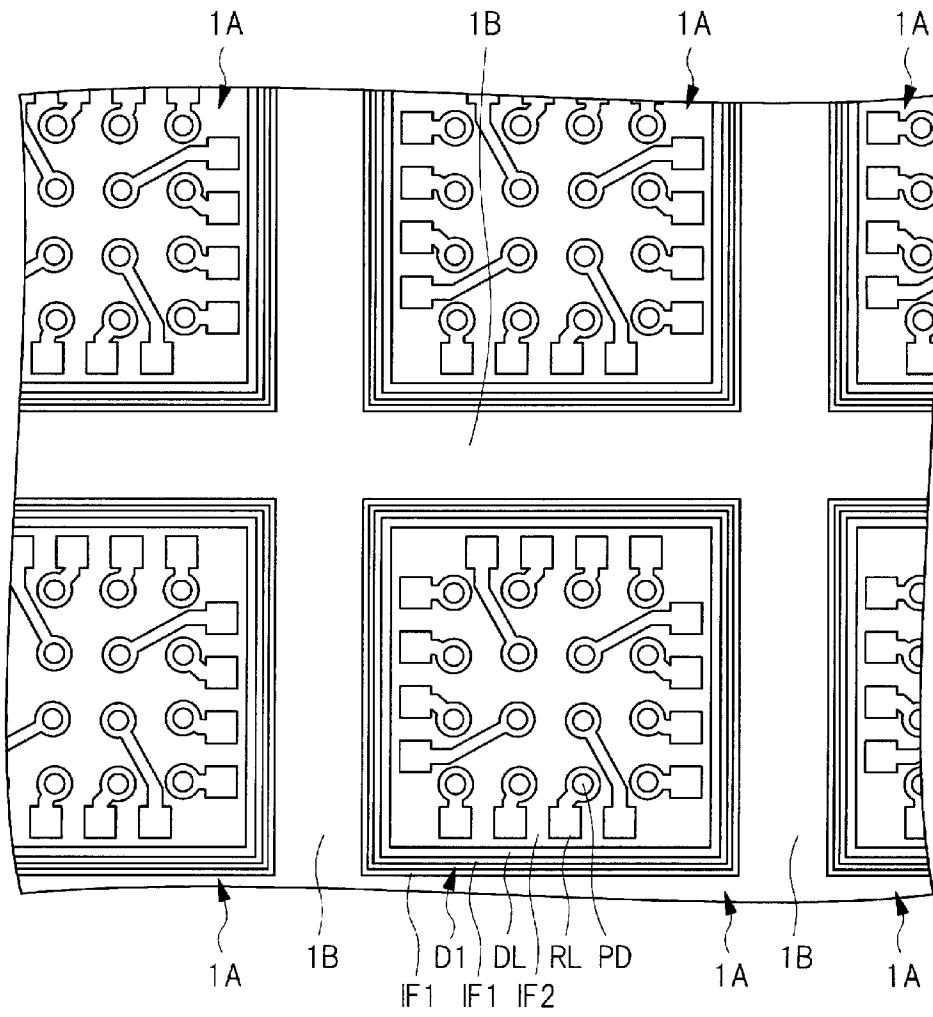
[図11]

11



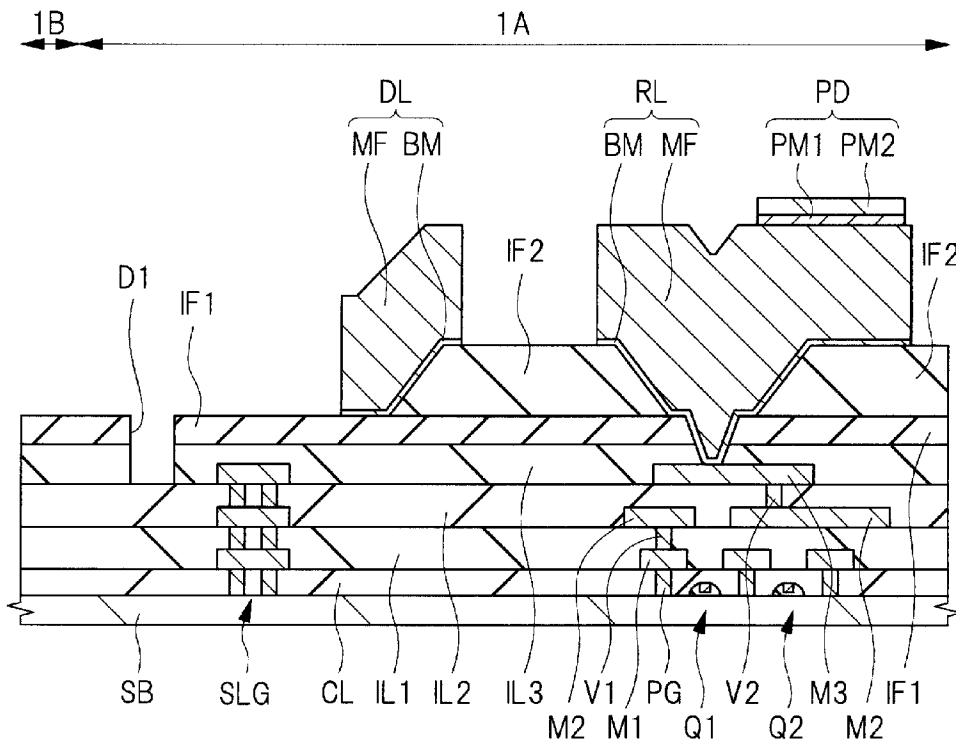
[図12]

図 12



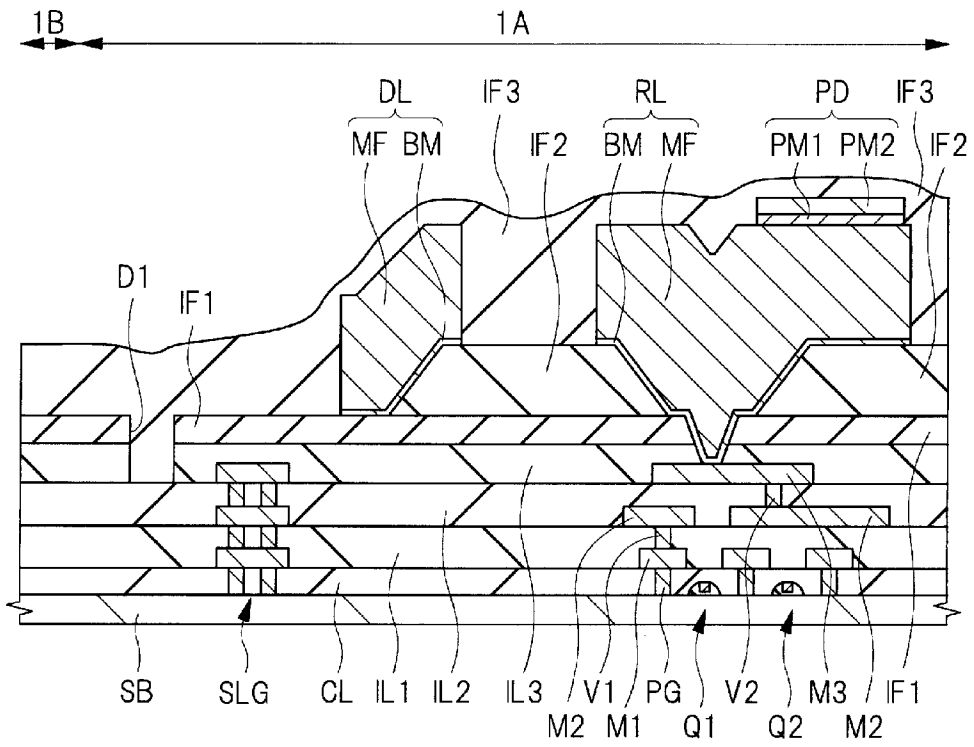
[図13]

図 13



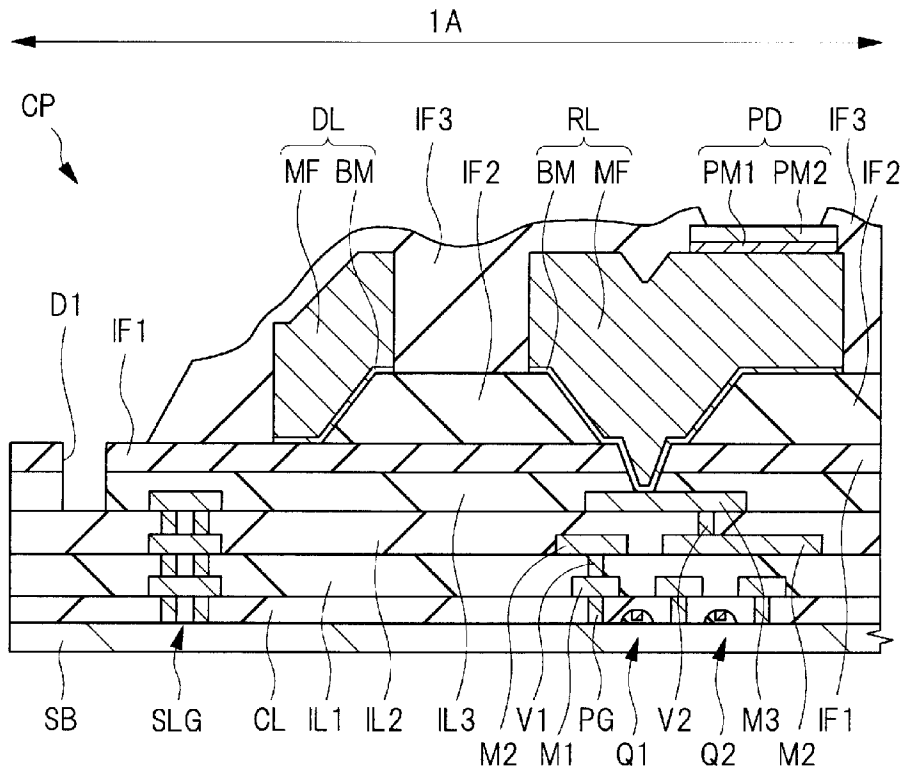
[図14]

図 14



[図15]

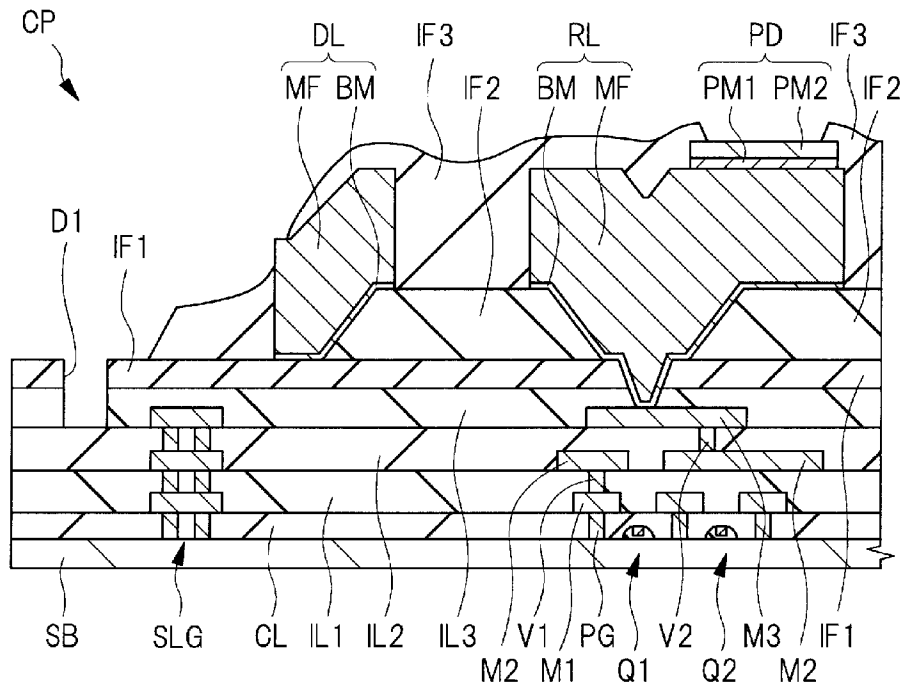
図 15





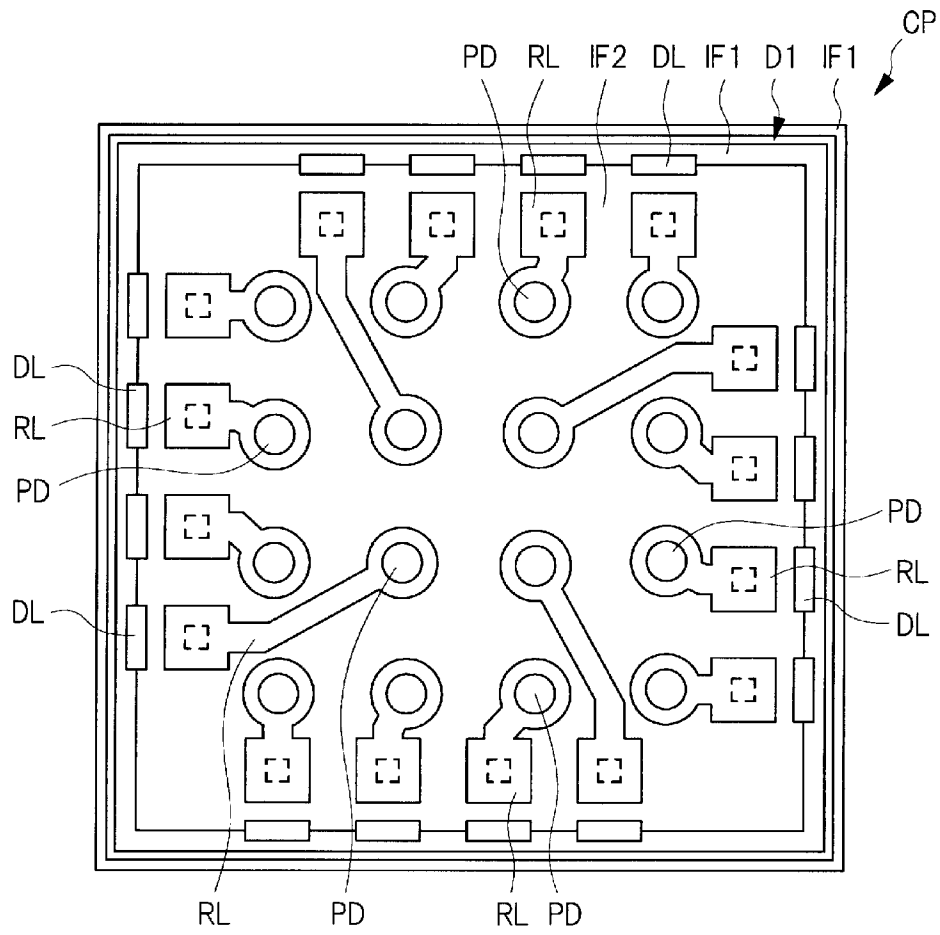
[図16]

図 16



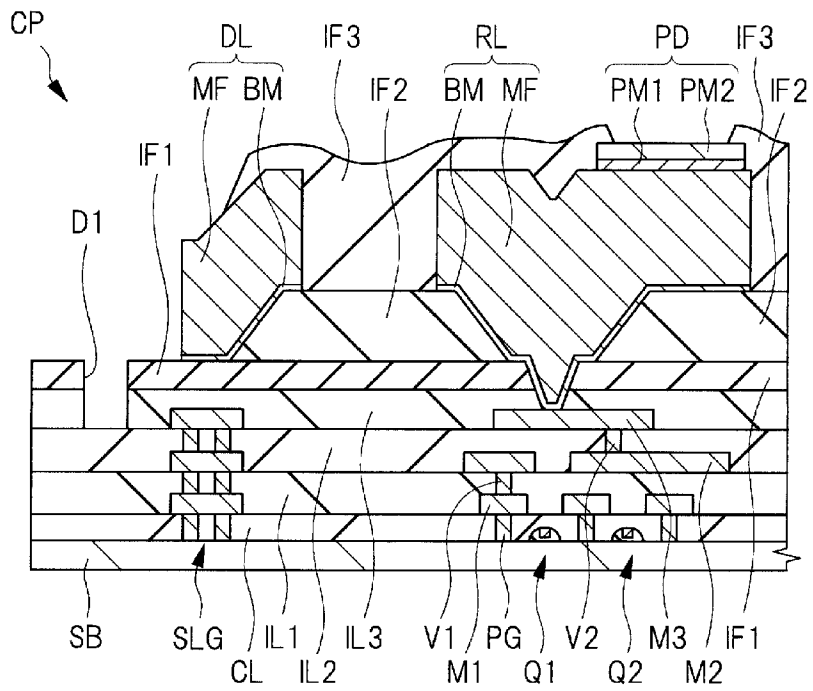
[図17]

図 17



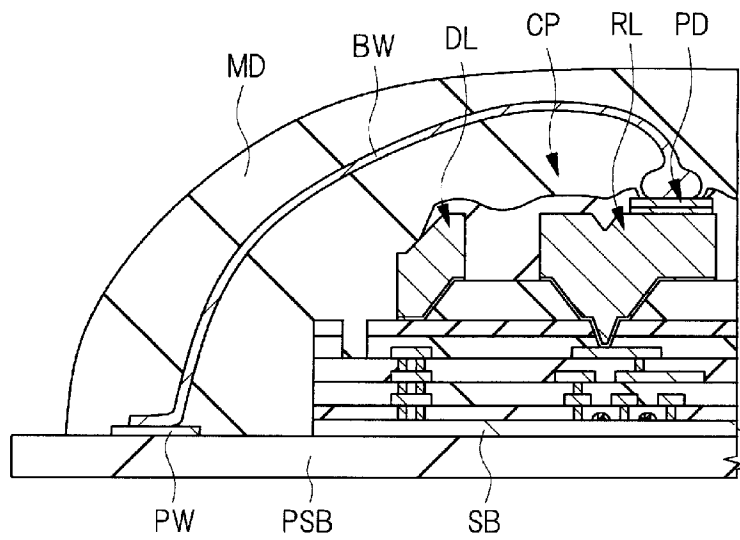
[図18]

図 18



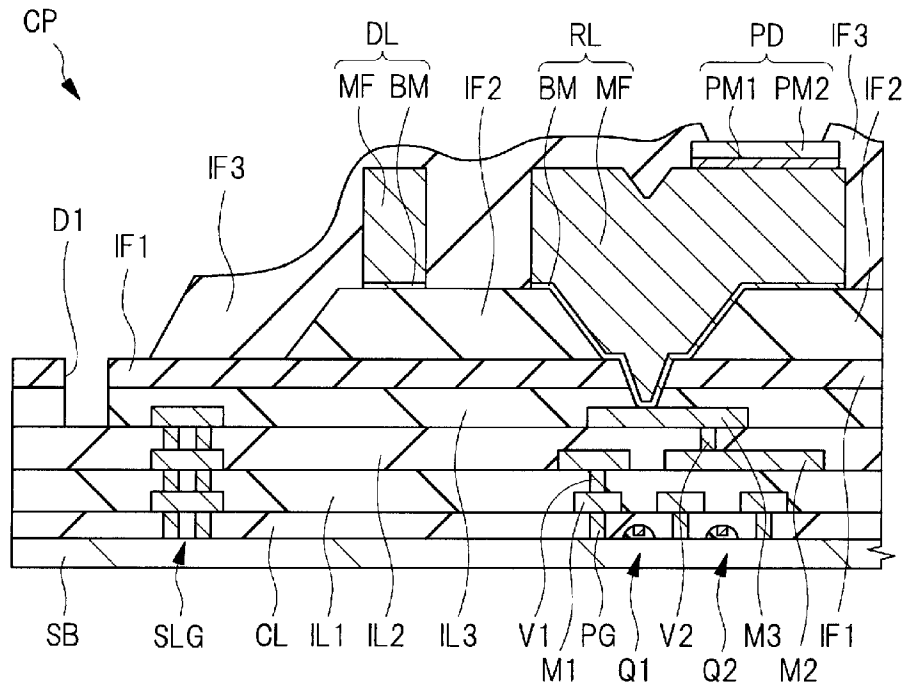
[図19]

図 19



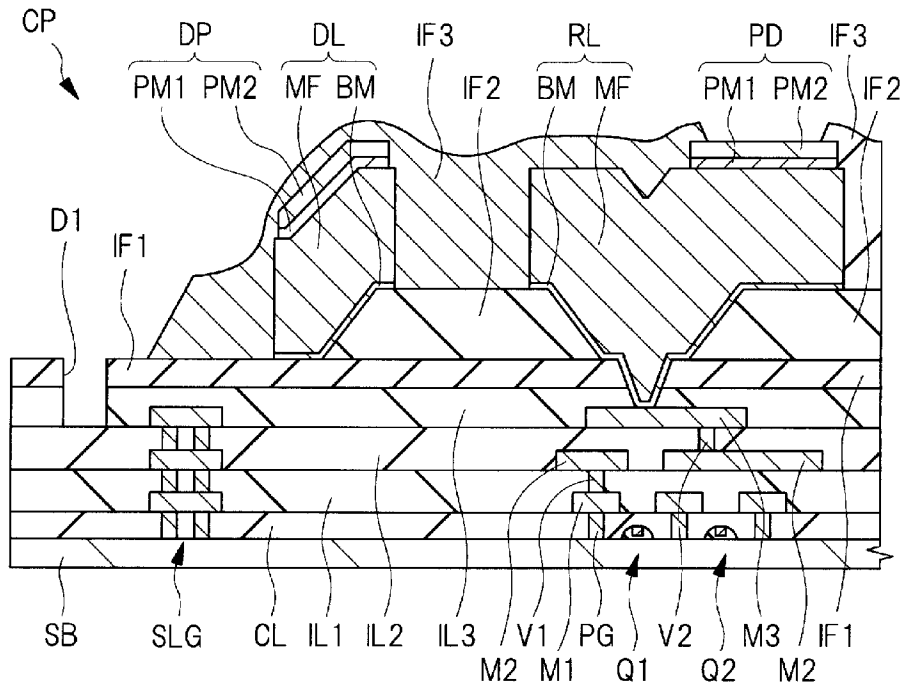
[図20]

図 20



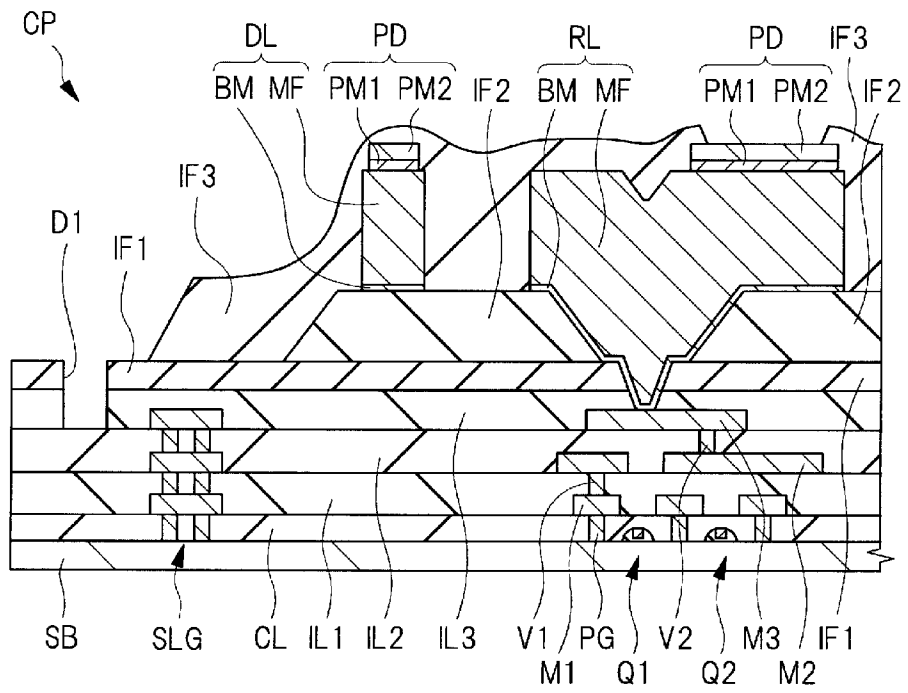
[図21]

図 21



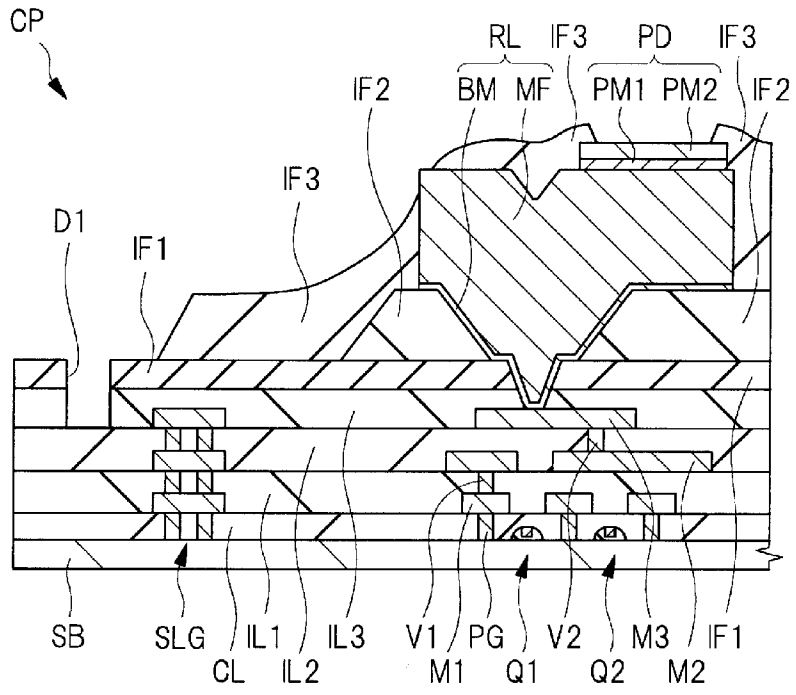
[図22]

図 22



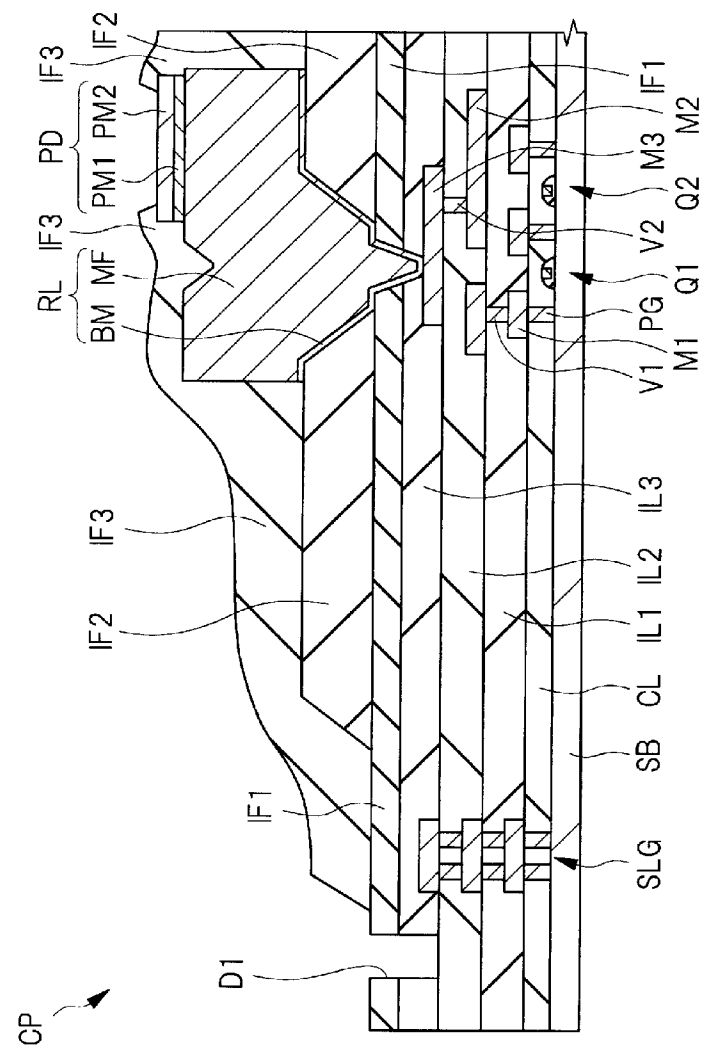
[図23]

図 23



[24]

24





**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2015/077970

**A. CLASSIFICATION OF SUBJECT MATTER**  
H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H01L21/3205, H01L21/768, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-165403 A (Renesas Electronics Corp.), 08 September 2014 (08.09.2014), paragraphs [0012] to [0207] & US 2015/0162284 A1 paragraphs [0050] to [0238] & CN 104009024 A & TW 201442165 A	1-28
Y	JP 2010-192867 A (Renesas Electronics Corp.), 02 September 2010 (02.09.2010), paragraphs [0014] to [0144] & US 2010/0181650 A1 paragraphs [0055] to [0190] & TW 201030915 A	1-28

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 November 2015 (04.11.15)	Date of mailing of the international search report 17 November 2015 (17.11.15)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2015/077970

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-170778 A (Renesas Electronics Corp.), 28 September 2015 (28.09.2015), paragraphs [0034] to [0091] (Family: none)	1-28
A	JP 2010-278040 A (Renesas Electronics Corp.), 09 December 2010 (09.12.2010), & US 2010/0301459 A1	1-28
A	JP 2013-58584 A (Renesas Electronics Corp.), 28 March 2013 (28.03.2013), & US 2013/0062777 A1	1-28

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L21/3205, H01L21/768, H01L23/522		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-165403 A (ルネサスエレクトロニクス株式会社) 2014.09.08, [0012]-[0207] & US 2015/0162284 A1, [0050]-[0238] & CN 104009024 A & TW 201442165 A	1-28
Y	JP 2010-192867 A (ルネサスエレクトロニクス株式会社) 2010.09.02, [0014]-[0144] & US 2010/0181650 A1, [0055]-[0190] & TW 201030915 A	1-28
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 04.11.2015	国際調査報告の発送日 17.11.2015	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 河合 俊英 電話番号 03-3581-1101 内線 3559	50 3238

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-170778 A (ルネサスエレクトロニクス株式会社) 2015.09.28, [0034]-[0091] (ファミリーなし)	1-28
A	JP 2010-278040 A (ルネサスエレクトロニクス株式会社) 2010.12.09, & US 2010/0301459 A1	1-28
A	JP 2013-58584 A (ルネサスエレクトロニクス株式会社) 2013.03.28, & US 2013/0062777 A1	1-28