



등록특허 10-2158394



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년09월21일  
(11) 등록번호 10-2158394  
(24) 등록일자 2020년09월15일

- (51) 국제특허분류(Int. Cl.)  
*H01L 21/20* (2006.01) *H01L 21/28* (2006.01)
- (21) 출원번호 10-2014-0020012
- (22) 출원일자 2014년02월21일  
심사청구일자 2019년01월23일
- (65) 공개번호 10-2014-0115948
- (43) 공개일자 2014년10월01일
- (30) 우선권주장  
JP-P-2013-060691 2013년03월22일 일본(JP)
- (56) 선행기술조사문현  
US20130009321 A1\*  
(뒷면에 계속)

(73) 특허권자  
소니 주식회사  
일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자  
후지이 노부토시  
일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사  
사내  
하기모토 요시야  
일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사  
사내  
(뒷면에 계속)

(74) 대리인  
최달용

전체 청구항 수 : 총 5 항

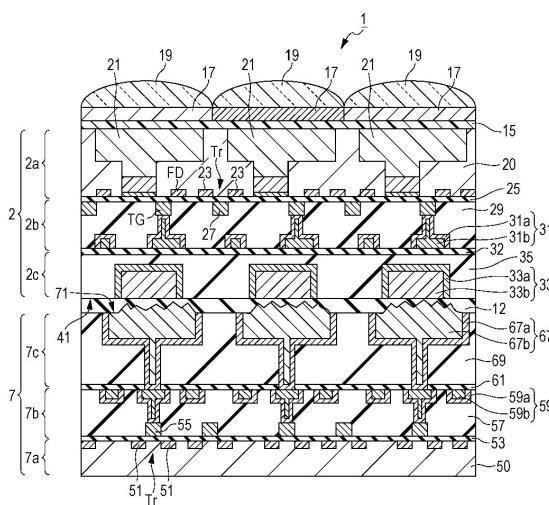
심사관 : 박부식

## (54) 발명의 명칭 반도체 장치 및 제조 방법

**(57) 요 약**

본 발명은 기판끼리의 접합성을 개선하여 보이드의 발생을 억제함에 의해, 신뢰성의 향상이 도모된 3차원 구조의 반도체 장치 및 그 제조 방법을 제공한다.

반도체 장치(1)를 제1 전극(33) 및 제1 절연막(35)을 포함함과 함께, 이들의 제1 전극(33) 및 제1 절연막(35)을 노출시킨 맞붙임면(41)을 갖는 제1 기판(2)과, 제1 전극(33)에 전기적으로 접속된 제2 전극(67) 및 제2 절연막(69)을 포함함과 함께, 이들의 제2 전극(67) 및 제2 절연막(69)을 노출시킨 맞붙임면(71)을 가지며, 제1 기판(2)에 맞붙여져서 마련된 제2 기판(7)과, 각 기판의 맞붙임면(41, 71)의 사이에 끼어 지지된 절연성 박막(12)을 구비한 구성으로 한다. 또한, 끼어 지지된 절연성 박막은 열처리에 의한 제1 및 제2 전극의 결정립 성장 등으로 파괴되어, 전극끼리를 접촉시키는 방법으로 제조된다.

**대 표 도**

(72) 발명자

아오야기 켄이치

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사  
내

카가와 요시히사

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사  
내

(56) 선행기술조사문현

JP2010066723 A\*

US20110155893 A1

US20120267780 A1

US5946597 A

\*는 심사관에 의하여 인용된 문현

## 명세서

### 청구범위

#### 청구항 1

반도체 장치의 제조 방법에 있어서,

전극 및 절연막이 노출된 맞붙임면을 가지는 2장의 기판 중 적어도 일방의 맞붙임면을 덮는 상태에서, 절연성 박막을 성막하고,

상기 절연성 박막을 통하여 상기 2장의 기판의 맞붙임면끼리를 대향 배치하고,

상기 2장의 기판의 전극끼리가 상기 절연성 박막을 통하여 전기적으로 접속되는 상태로 위치맞춤을 하여, 상기 2장의 기판을 맞붙이고,

맞붙여진 상기 2장의 기판을, 상기 전극의 성막 온도보다도 고온에서 열처리하여, 상기 전극끼리로 끼어 지지된 절연성 박막을, 대응하는 전극 각각을 구성하는 금속의 결정립 성장에 의한 변형·이동에 의해 파괴하여, 상기 전극끼리를 직접 접촉시키는 것을 특징으로 하는 제조 방법.

#### 청구항 2

제1항에 있어서,

상기 2장의 기판의 양방에, 상기 절연성 박막을 성막하는 것을 특징으로 하는 제조 방법.

#### 청구항 3

제1항 또는 제2항에 있어서,

상기 2장의 기판의 양방에, 같은 재료로 이루어지는 상기 절연성 박막을 성막하는 것을 특징으로 하는 제조 방법.

#### 청구항 4

제1항 또는 제2항에 있어서,

원자층 퇴적법에 의해 상기 절연성 박막을 성막하는 것을 특징으로 하는 제조 방법.

#### 청구항 5

제1항 또는 제2항에 있어서,

상기 2장의 기판의 맞붙임면은, 평탄화 처리에 의해 형성되어 있는 것을 특징으로 하는 제조 방법.

#### 청구항 6

삭제

#### 청구항 7

삭제

#### 청구항 8

삭제

#### 청구항 9

삭제

#### 청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

## 발명의 설명

### 기술 분야

[0001] 본 발명은, 반도체 장치 및 제조 방법에 관한 것으로, 특히, 전극끼리가 전기적으로 접합된 상태에서 2장의 기판을 맞붙여서 구성되는 반도체 장치 및 그 제조 방법에 관한 것이다.

## 배경기술

[0002] 종래, 2차원 구조의 반도체 장치의 고집화(hightly integrated)는, 미세 프로세스의 도입과 실장 밀도의 향상에 의해 실현되어 왔지만, 이들에 의한 2차원 구조의 고집화에는 물리적인 한계가 있다. 그래서, 한층 더 반도체 장치의 소형화 및 화소의 고밀도화를 실현하기 위해, 3차원 구조의 반도체 장치가 개발되어 있다. 예를 들면, 특히 문헌 1에는, 광전 변환부를 갖는 센서 기판과 주변 회로부를 갖는 회로 기판을 적층시켜서 맞붙여서 이루 어지는 3차원 구조의 반도체 장치가 제안되어 있다.

[0003] 상술한 3차원 구조의 반도체 장치는, Cu 전극과 절연막을 노출시킨 맞붙임면(attachting surface)을 갖는 기판을 2장 이용하여, 맞붙임면을 대향시킨 상태에서 Cu 전극끼리를 위치맞춤하고, 또한 열처리를 함에 의해, 기판끼리를 맞붙여서 제작된다. 이와 같이 Cu 전극을 직접 접합(Cu-Cu 접합)함에 의해, 기판을 적층하여 맞붙여서 이루 어지는 3차원 구조의 반도체 장치가 있다(예를 들면, 일본 특개2000-299379호 공보, 일본 특표2006-522461호 공보, 일본 특개2010-129576호 공보, 일본 특개2012-256736호 공보).

## 선행기술문헌

### 특허문헌

[0004] (특허문헌 0001) 특허 문헌 1 : 특개2006-191081호 공보

(특허문헌 0002) 특허 문헌 2 : 특개2000-299379호 공보

(특허문헌 0003) 특허 문헌 3 : 특표2006-522461호 공보

(특허문헌 0004) 특허 문헌 4 : 특개2010-129576호 공보

(특허문헌 0005) 특허 문헌 5 : 특개2012-256736호 공보

## 발명의 내용

### 해결하려는 과제

[0005] 그러나, 상술한 3차원 구조의 반도체 장치는, 제조 공정 중의 Cu 전극끼리의 위치맞춤에서 생기는 어긋남이나, 또는 Cu 전극의 형상이나 크기의 차이 등에 의해, Cu 전극과 절연막과의 맞붙임면이 형성된다. 이 Cu 전극과 절연막이 접합되는 접합면에서는, 보이드가 발생한다. 그 때문에, 접합면의 맞붙임 강도의 저하에 의한 기판 사이의 벗겨짐 등의 문제점이 생긴다.

- [0006] 본 발명은 이와 같은 상황을 감안하여 이루어진 것이고, 2장의 기판을 맞붙여서 전극끼리를 접합시킨 구성에 있어서, 기판의 접합면에서의 보이드의 발생을 방지하여, 기판 사이의 맞붙임 강도의 향상이 도모된 3차원 구조의 반도체 장치를 제공할 수 있도록 하는 것이다.

### 과제의 해결 수단

- [0007] 본 발명의 제1의 측면인 반도체 장치는, 제1 전극 및 제1 절연막을 노출시킨 맞붙임면을 갖는 제1 기판과, 상기 제1 기판의 맞붙임면을 덮는 절연성 박막과, 제2 전극 및 제2 절연막을 노출시킨 맞붙임면을 가지며, 상기 맞붙임면과 상기 제1 기판의 맞붙임면과의 사이에서 상기 절연성 박막을 끼어 지지하여(sandwiching) 맞붙여짐과 함께, 상기 제1 전극과 당해 제2 전극이 상기 절연성 박막의 일부를 변형·파괴하고 직접 전기적으로 접속된 상태의, 상기 제1 기판에 맞붙여진 제2 기판을 구비한다.
- [0008] 상기 절연성 박막은 산화막으로 할 수 있다.
- [0009] 상기 절연성 박막은 질화막으로 할 수 있다.
- [0010] 상기 절연성 박막은, 적층 구조로 할 수 있다.
- [0011] 상기 절연성 박막은, 상기 각 맞붙임면의 전면(全面)을 덮는 상태로 마련된 후, 맞붙임면의 전극 사이만이 변형·파괴되어 있도록 할 수 있다.
- [0012] 상기 제1 기판의 맞붙임면 및 상기 제2 기판의 맞붙임면은, 평탄화면으로 할 수 있다.
- [0013] 본 발명의 제2의 측면인 제조 방법은, 반도체 장치의 제조 방법에서, 전극 및 절연막이 노출된 맞붙임면을 갖는 2장의 기판 중 적어도 한쪽의 맞붙임면을 덮는 상태로, 절연성 박막을 성막하고, 상기 절연성 박막을 통하여 상기 2장의 기판의 맞붙임면끼리를 대향 배치하고, 상기 2장의 기판의 전극끼리가 상기 절연성 박막을 통하여 전기적으로 접속된 상태로 위치맞춤을 하여, 상기 2장의 기판을 맞붙이는 것을 행한다.
- [0014] 맞붙여진 상기 2장의 기판을 열처리하여, 제1 전극 및 제2 전극으로 끼어 지지된 절연성 박막을, 전극을 구성하는 금속의 변형·이동에 의해 파괴하고, 상기 제1 전극과 상기 제2 전극끼리를 직접 접촉시킬 수 있다.
- [0015] 상기 열처리의 온도는, 상기 제1 전극 또는 상기 제2 전극의 적어도 한쪽의 성막 온도보다도 충분히 낮게 할 수 있다.
- [0016] 상기 2장의 기판의 양쪽에, 상기 절연성 박막을 성막할 수 있다.
- [0017] 상기 2장의 기판의 양쪽에, 같은 재료로 이루어지는 상기 절연성 박막을 성막할 수 있다.
- [0018] 원자층 퇴적법에 의해 상기 절연성 박막을 성막할 수 있다.
- [0019] 상기 2장의 기판의 맞붙임면은, 평탄화 처리에 의해 형성할 수 있다.

### 발명의 효과

- [0020] 본 발명에 의하면, 2장의 기판을 맞붙여서 전극끼리를 접속시킨 구성에 있어서, 접합 계면에서의 보이드의 발생을 방지할 수 있고, 이에 의해 2장의 기판 사이의 접합 강도가 늘어나 신뢰성의 향상이 도모된 반도체 장치를 얻는 것이 가능해진다.

### 도면의 간단한 설명

- [0021] 도 1은 본 발명이 적용되는 반도체 장치의 한 예를 도시하는 개략 구성도.  
 도 2는 본 실시 형태의 반도체 장치의 구성을 도시하는 주요부 단면도.  
 도 3은 본 실시 형태의 반도체 장치의 제조에서의 제1 기판(센서 기판)의 제작 순서(제 1)를 도시하는 단면 공정도.

도 4는 본 실시 형태의 반도체 장치의 제조에서의 제1 기판(센서 기판)의 제작 순서(제 2)를 도시하는 단면 공정도.

도 5는 본 실시 형태의 반도체 장치의 제조에서의 제2 기판(회로 기판)의 제작 순서를 도시하는 단면 공정도.

도 6은 본 실시 형태의 반도체 장치의 제조에서의 맞붙임을 도시하는 단면도(제 1).

도 7은 본 실시 형태의 반도체 장치의 제조에서의 맞붙임을 도시하는 단면도(제 2).

도 8은 본 발명을 적용하여 얻어진 반도체 장치를 이용한 전자 기기의 구성도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 본 발명의 실시의 형태를, 도면에 의거하여 다음에 도시하는 순서로 설명한다.
- [0023] 1. 본 실시 형태의 반도체 장치의 개략 구성예
- [0024] 2. 본 실시 형태의 반도체 장치의 구성
- [0025] 3. 본 실시 형태의 반도체 장치의 제조에서의 제1 기판(센서 기판)의 제작 순서
- [0026] 4. 본 실시 형태의 반도체 장치의 제조에서의 제2 기판(회로 기판)의 제작 순서
- [0027] 5. 본 실시 형태의 반도체 장치의 제조에서의 기판의 맞붙임 순서
- [0028] 6. 본 실시 형태의 반도체 장치를 이용한 전자 기기의 한 예
- [0029] [1. 본 실시 형태의 반도체 장치의 개략 구성예]
- [0030] 도 1에, 본 발명이 적용되는 반도체 장치의 한 예로서, 고체 활상 장치의 개략 구성을 도시한다.
- [0031] 이 고체 활상 장치(1)는, 센서 기판으로서의 제1 기판(2)과, 이 제1 기판(2)에 대해 적층된 상태로 맞붙여진 회로 기판으로서의 제2 기판(7)을 포함하는, 이를바 3차원 구조의 반도체 장치이다.
- [0032] 이 중, 제1 기판(2)에는, 광전 변환부를 포함하는 복수의 화소(3)가 규칙적으로 2차원 배열된 화소 영역(4)이 마련되어 있다. 이 화소 영역(4)에는, 복수의 화소 구동선(5)이 행방향(row direction)으로 배선되고, 복수의 수직 신호선(6)이 열방향(column direction)으로 배선되어 있고, 하나의 화소(3)가 1개의 화소 구동선(5)과 1개의 수직 신호선(6)에 접속된 상태로 배치되어 있다. 이들의 각 화소(3)에는, 광전 변환부와, 플로팅 디퓨전과, 복수의 트랜지스터(이른바 MOS 트랜지스터) 및 용량 소자 등으로 구성된 화소 회로가 마련되어 있다. 또한, 복수의 화소에서 화소 회로의 일부를 공유하고 있는 경우도 있다.
- [0033] 또한, 제2 기판(7)에는, 제1 기판(2)에 마련된 각 화소(3)를 구동하기 위한 수직 구동 회로(8), 칼럼 신호 처리 회로(9), 수평 구동 회로(10) 및 시스템 제어 회로(11) 등의 주변 회로가 마련되어 있다.
- [0034] [2. 본 실시 형태의 반도체 장치의 구성]
- [0035] 도 2는, 본 실시 형태의 반도체 장치의 구성을 도시하는 주요부 단면도이고, 도 1에서의 3화소분의 단면도이다. 이하, 이 주요부 단면도에 의거하여, 본 실시 형태의 반도체 장치의 상세한 구성을 설명한다.
- [0036] 도 2에 도시하는 반도체 장치(1)는, 절연성 박막(12)을 끼어 지지하는 상태로 제1 기판(2)의 맞붙임면(41)과 제2 기판(7)의 맞붙임면(71)이 대향 배치되고, 제1 기판(2)과 제2 기판(7)이 맞붙여진 3차원 구조의 고체 활상 장치이다.
- [0037] 여기서, 제1 기판(2)은, 반도체층(2a), 배선층(2b) 및 전극층(2c)이, 제2 기판(7)과는 반대측부터 차례로 적층되어 있고, 또한 전극층(2c)의 표면이 제2 기판(7)에 대한 맞붙임면(41)으로서 구성되어 있다. 한편, 제2 기판(7)은, 반도체층(7a), 배선층(7b) 및 전극층(7c)이, 제1 기판(2)의 반대측부터 차례로 적층되어 있고, 또한 전극층(7c)의 표면이 제1 기판(2)에 대한 맞붙임면(71)으로서 구성되어 있다.
- [0038] 또한, 제1 기판(2)에서의 제2 기판(7)과 반대측의 면에는, 보호막(15), 컬러 필터층(17) 및 온 칩 렌즈(19)가 도시되는 순서로 적층되어 있다.
- [0039] 다음에, 제1 기판(2) 및 제2 기판(7)을 구성한 각 층 및 절연성 박막(12)의 상세한 구성을 순차적으로 설명하고, 또한, 보호막(15), 컬러 필터층(17) 및 온 칩 렌즈(19)의 구성을 순차적으로 설명한다.

[0040] [반도체층(2a)(제1 기판(2)측)]

제1 기판(2)측의 반도체층(2a)은, 예를 들면 단결정 실리콘으로 이루어지는 반도체 기판(20)을 박막화한 것이다. 이 반도체층(2a)에서, 컬러 필터층(17)이나 온 칩 렌즈(19) 등이 배치되어 있는 제1면측에는, 예를 들면 n형 불순물층(또는 p형 불순물층)으로 이루어지는 광전 변환부(21)가 화소마다 마련되어 있다. 한편, 반도체층(2a)의 제2면측에는, n+형 불순물층으로 이루어지는 플로팅 디퓨전(FD) 및 트랜지스터(Tr)의 소스/드레인(23), 나아가서는 여기서의 도시를 생략한 다른 불순물층 등이 마련되어 있다.

[0042] [배선층(2b)(제1 기판(2)측)]

제1 기판(2)에서의 반도체층(2a)상에 마련된 배선층(2b)은, 반도체층(2a)과의 계면측에, 게이트 절연막(25)을 통하여 마련된 전송 게이트(TG) 및 트랜지스터(Tr)의 게이트 전극(27), 나아가서는 여기서의 도시를 생략한 다른 전극을 갖고 있다. 이들의 전송 게이트(TG) 및 게이트 전극(27)은, 충간 절연막(29)으로 덮여 있고, 충간 절연막(29)에 형성된 홈 패턴 내에는 매입 배선(31)이 마련되어 있다. 이 매입 배선(31)은, 홈 패턴의 내벽을 덮는 배리어 메탈층(31a)과, 배리어 메탈층(31a)을 통하여 홈 패턴에 매입된 구리(Cu)로 이루어지는 배선층(31b)에 의해 구성되어 있다.

또한, 이상과 같은 배선층(2b)은, 또한 적층된 다층 배선층으로서 구성되어 있어도 좋다.

[0045] [전극층(2c)(제1 기판(2)측)]

제1 기판(2)에서의 배선층(2b)상에 마련된 전극층(2c)은, 배선층(2b)과의 계면측에, 구리(Cu)에 대한 확산 방지 절연막(32)과, 이것에 적층된 제1 절연막(35)을 구비하고 있다. 제1 절연막(35)은, 예를 들면 TEOS막으로 이루어지고, 제1 절연막(35)에 형성된 홈 패턴 내에는, 매입 전극으로서 제1 전극(33)이 마련되어 있다. 또한 TEOS 막이란, TEOS 가스(Tetra Ethoxy Silane 가스 : 조성 Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)를 원료 가스로 하는 화학 기상 성장법(Chemical Vapor Deposition : 이하 CVD법)에 의해 성막된 산화실리콘막이다.

그리고, 제1 전극(33)은, 홈 패턴의 내벽을 덮는 배리어 메탈층(33a)과, 배리어 메탈층(33a)을 통하여 홈 패턴에 매입된 구리(Cu)로 이루어지는 제1 전극막(33b)에 의해 구성되어 있다. 또한, 적어도 맞붙여지는 면이 되는 전극층(2c)을 형성한 구리(Cu)는, 맞붙인 후의 열처리 온도보다도 낮은 온도로 성막될 것이 필요하다. 이와 같은 구성의 전극층(2c)의 표면이, 제2 기판(7)에 대한 제1 기판(2)측의 맞붙임면(41)으로 되어 있다. 맞붙임면(41)은, 제1 전극(33) 및 제1 절연막(35)이 노출하여 구성되어 있고, 예를 들면 화학적 기계 연마(Chemical Mechanical Polishing : 이하 CMP)에 의해 평탄화된 상태로 되어 있다.

또한, 여기서의 도시는 생략하였지만, 제1 절연막(35)에 마련된 홈 패턴의 일부는, 배선층(2b)에 마련한 매입 배선(31)에 달하고 있고, 이 홈 패턴 내부에 매입된 제1 전극(33)이 필요에 응하여 매입 배선(31)에 접속된 상태로 되어 있다.

[0049] [반도체층(7a)(제2 기판(7)측)]

한편, 제2 기판(7)측의 반도체층(7a)은, 예를 들면 단결정 실리콘으로 이루어지는 반도체 기판(50)을 박막화한 것이다. 이 반도체층(7a)에서, 제1 기판(2)측의 표면층에는, 트랜지스터(Tr)의 소스/드레인(51), 나아가서는 여기서의 도시를 생략한 불순물층 등이 마련되어 있다.

[0051] [배선층(7b)(제2 기판(7)측)]

제2 기판(7)에서의 반도체층(7a)상에 마련된 배선층(7b)은, 반도체층(7a)과의 계면측에, 게이트 절연막(53)을 통하여 마련된 게이트 전극(55), 나아가서는 여기서의 도시를 생략한 다른 전극을 갖고 있다. 이들의 게이트 전극(55) 및 다른 전극은, 충간 절연막(57)으로 덮여 있고, 충간 절연막(57)에 형성된 홈 패턴 내에는 매입 배선(59)이 마련되어 있다. 매입 배선(59)은, 홈 패턴의 내벽을 덮는 배리어 메탈층(59a)과, 배리어 메탈층(59a)을 통하여 홈 패턴에 매입된 구리(Cu)로 이루어지는 배선층(59b)에 의해 구성되어 있다.

또한, 이상과 같은 배선층(7b)은, 다층 배선층 구조로 하여도 좋다.

[0054] [전극층(7c)(제2 기판(7)측)]

제2 기판(7)에서 배선층(7b)상에 마련된 전극층(7c)은, 배선층(7b)과의 계면측에, 구리(Cu)에 대한 확산 방지 절연막(61)과, 이 상부에 적층된 제2 절연막(69)을 구비하고 있다. 제2 절연막(69)은 예를 들면 TEOS막으로 이루어지고, 제2 절연막(69)에 형성된 홈 패턴 내에는, 매입 전극으로서 제2 전극(67)이 마련되어 있다. 제2 전극

(67)은, 홈 패턴의 내벽을 덮는 배리어 메탈층(67a)과, 배리어 메탈층(67a)을 통하여 홈 패턴에 매입된 구리(Cu)로 이루어지는 제2 전극막(67b)에 의해 구성되어 있다.

[0056] 또한, 제1 기판(2)과 마찬가지로, 적어도 맞붙여지는 면이 되는 전극층(7c)을 형성하는 구리(Cu)는, 맞붙인 후의 열처리 온도보다도 낮은 온도로 성막될 것이 필요하다. 이 제2 전극(67)은, 제1 기판(2)측의 제1 전극(33)과 대응하도록 배치되고, 절연성 박막(12)을 통한 상태에서 제1 기판(2)측의 제1 전극(33)과 전기적으로 접속된다. 이와 같은 전극층(7c)의 표면이, 제1 기판(2)에 대한 제2 기판(7)측의 맞붙임면(71)으로 되어 있다. 맞붙임면(71)은, 제2 전극(67) 및 제2 절연막(69)이 노출하여 구성되어 있고, 예를 들면 CMP에 의해 평탄화된 상태로 되어 있다.

[0057] [절연성 박막(12)]

[0058] 절연성 박막(12)은, 제1 기판(2)측의 맞붙임면(41)과 제2 기판(7)측의 맞붙임면(71)과의 사이에 끼어 지지되어 있고, 맞붙임면(41) 및 맞붙임면(71)의 전면을 덮고 있다. 즉, 제1 기판(2)과 제2 기판(7)은, 이 절연성 박막(12)을 통하여 맞붙여진다. 맞붙여진 제1 기판(2)과 제2 기판(7)을 구리(Cu)의 성막 온도보다도 높은 온도로 열처리함에 의해, 구리(Cu)의 결정립(crystal grains)이 이동하고, 절연성 박막을 파괴하는 것이 가능해진다. 이 때의 열처리 온도는, 구리(Cu)의 성막 온도와의 차가 클수록 절연성 박막(12)을 파괴하는 것이 가능하다. 즉, 구리(Cu)의 결정립 성장이 보다 커지기 때문이다. 또한, 절연성 박막(12)은 구리(Cu)가 존재하는 개소에서만 파괴되기 때문에, 전극 이외의 부분은 절연성을 유지할 수 있다.

[0059] 상술한 바와 같은 절연성 박막(12)은, 예를 들면, 산화막 및 질화막으로 이루어지고, 반도체에 일반적으로 사용되고 있는 산화막 및 질화막이 사용된다. 단, 전술한 바와 같이, 맞붙인 후에 구리(Cu)의 결정립 성장에 의해 절연성 박막(12)을 파괴하기 때문에, 절연성 박막(12)의 성막시에 구리(Cu)의 결정립 성장을 촉진하면 안된다. 그 때문에, 이 성막은 구리(Cu)의 성막을 포함하는, 맞붙임면에 오는 전극 형시의 온도 이하로 할 필요가 있다. 절연성 박막(12)의 구성 재료에 관해 상세하게 설명한다.

[0060] 절연성 박막(12)이 산화막으로 이루어지는 경우는, 예를 들면, 산화실리콘(SiO<sub>2</sub>), 산화 하프늄(HfO<sub>2</sub>)을 사용한다.

[0061] 절연성 박막(12)이 질화막으로 이루어지는 경우는, 예를 들면, 질화실리콘(SiN)을 사용한다.

[0062] 또한 특히 본 실시 형태에서는, 절연성 박막(12)을 통한 상태에서, 제1 기판(2)측의 제1 전극(33)과 제2 기판(7)측의 제2 전극(67)이 맞붙여진 후에 열처리되고, 전극부분의 절연성 박막(12)이 파괴되어, 전극끼리가 직접 접속되는 것이 중요하다. 그 때문에, 절연성 박막(12)의 막두께는 극히 얇다. 그 막두께는, 절연성 박막(12)의 재료에 따라 다르지만, 예를 들면, 산화실리콘(SiO<sub>2</sub>), 하프늄(HfO<sub>2</sub>) 등의 산화물이나, 그 밖의 대부분의 재료에 있어서, 대략 1nm 이하가 바람직하다. 이것은, 예를 들면 구리(Cu)의 성막 온도를 150°C에서 행한 후에 400°C의 열처리를 한 경우에 구리(Cu)의 표면이 결정립 성장에 의해 변화하는 양으로부터 결정된다. 단, 절연성 박막(12)의 막질 및 성막 온도와 열처리의 온도차에 의해서는, 더욱 두꺼운 막을 이용하는 것도 가능하다. 이와 같은 방법으로 직접 접속된 제1 전극(33)과 제2 전극(67)과의 사이는 완전한 도통 상태가 되고 전류가 흐른다.

[0063] 또한, 본 실시 형태의 반도체 장치(1)에서, 절연성 박막(12)은, 상술한 1층의 구조로 한하지 않고, 같은 재료에 의한 적층 구조라도 좋고, 또한 다른 재료에 의한 적층 구조라도 좋다.

[0064] [보호막(15), 컬러 필터층(17), 온 칩 렌즈(19)]

[0065] 보호막(15)은, 제1 기판(2)의 광전 변환부(21)를 덮고서 마련되어 있다. 이 보호막(15)은, 패시베이션성을 갖는 재료막으로 구성되고, 예를 들면 산화실리콘막, 질화실리콘막, 또는 산질화실리콘막 등이 사용된다.

[0066] 컬러 필터층(17)은, 각 광전 변환부(21)에 대응하여 1대1로 마련된 각 색의 컬러 필터로 구성되어 있다. 각 색의 컬러 필터의 배열이 한정되는 것은 아니다.

[0067] 온 칩 렌즈(19)는, 각 광전 변환부(21) 및 컬러 필터층(17)을 구성하는 각 색의 컬러 필터에 대응하여 1대1로 마련되고, 각 광전 변환부(21)에 입사광이 집광되도록 구성되어 있다.

[0068] [본 실시 형태의 반도체 장치의 구성에 의한 효과]

[0069] 상술한 바와 같이 구성된 본 실시 형태의 반도체 장치(1)는, 도 2에 도시하는 바와 같이, 절연성 박막(12)을 통하여 제1 기판(2)과 제2 기판(7)이 맞붙여진 것에 의해, 제1 기판(2)의 맞붙임면(41)과 제2 기판(7)의 맞붙임면

(71)이 직접 접하는 일은 없다. 따라서 이들의 맞붙임면이 직접 접합된 구성에서 접합 계면에 생기고 있던 보이드의 발생이 방지된다. 이에 의해, 2장의 기판끼리의 접합 강도가 늘어나 신뢰성의 향상이 도모된 반도체 장치를 얻는 것이 가능해진다.

[0070] 특히 제1 절연막(35) 및 제2 절연막(69)이 TEOS막으로 이루어지는 경우에는, TEOS막 표면에 OH기(基)가 많이 존재하기 때문에, TEOS막으로 이루어지는 절연막끼리가 직접 접합하는 접합 계면에서, 탈수축합에 의한 보이드가 발생한다. 이와 같이 절연막이 TEOS막인 경우에 있어서도, 본 실시 형태의 반도체 장치(1)에서는, 절연성 박막(12)을 통하여 기판을 접합하기 때문에, TEOS막끼리가 직접 접합하는 일이 없어서, 탈수축합에 의한 보이드의 발생을 방지할 수 있다. 이에 의해, 2장의 기판끼리의 접합 강도가 늘어나 신뢰성의 향상이 도모된 반도체 장치를 얻는 것이 가능해진다.

[0071] [3. 본 실시 형태의 반도체 장치의 제조에서의 제1 기판(센서 기판)의 제작 순서]

[0072] 도 3은 상술한 본 실시 형태의 반도체 장치의 제조에 이용하는 제1 기판(2)의 제작 순서를 도시하는 단면 공정도(제 1)이고, 도 4는 이 도 3에 계속된 단면 공정도(제 2)이다. 이하, 이들의 도면에 의거하여 본 실시 형태에 이용하는 제1 기판(2)(센서 기판)의 제작 순서를 설명한다.

[0073] 도 3A에 도시하는 바와 같이, 예를 들면 단결정 실리콘으로 이루어지는 반도체 기판(20)을 준비한다. 이 반도체 기판(20)의 소정 깊이에 n형 불순물층으로 이루어지는 광전 변환부(21)를 형성하고, 또한 광전 변환부(21)의 표면층에, n+형 불순물층으로 이루어지는 전하 전송부나 p+형 불순물층으로 이루어지는 정공용의 전하 축적부를 형성한다. 또한 반도체 기판(20)의 표면층에, n+형 불순물층으로 이루어지는 플로팅 디퓨전(FD) 및 소스/드레인(23), 나아가서는 여기서의 도시를 생략한 다른 불순물층을 형성한다.

[0074] 다음에, 반도체 기판(20)상에, 게이트 절연막(25)을 성막하고, 또한 이 상부에 전송 게이트(TG) 및 게이트 전극(27)을 형성한다. 여기서, 전송 게이트(TG)는 플로팅 디퓨전(FD)과 광전 변환부(21)과의 사이에 형성되고, 게이트 전극(27)은, 소스/드레인(23) 사이에 형성된다. 또한 이것과 동일 공정에 의해, 여기서의 도시를 생략한 다른 전극을 형성한다.

[0075] 또한, 여기까지의 공정은, 통상의 제작 순서를 적절히 선택하여 행하여도 좋다.

[0076] 그 후, 게이트 절연막(25)상에, 전송 게이트(TG) 및 게이트 전극(27)을 덮는 상태로, 예를 들면 산화실리콘으로 이루어지는 층간 절연막(29)을 성막한다. 또한 층간 절연막(29)에 홈 패턴을 형성하고, 이 홈 패턴 내에 배리어 메탈층(31a)을 통하여 배선층(31b)을 매입하여 이루어지는 매입 배선(31)을 형성한다. 이 매입 배선(31)은, 필요 개소에서 전송 게이트(TG)에 접속하여 형성된다. 또한 여기서의 도시는 생략하였지만, 일부의 매입 배선(31)은, 필요 개소에서 소스/드레인(23)에 접속하여 형성된다. 이상에 의해, 매입 배선(31)을 구비한 배선층(2b)을 얻는다. 또한, 이 매입 배선(31)의 형성에는, 도 3B 이하를 이용하여 설명한 매입 배선 기술을 적용한다.

[0077] 계속해서, 배선층(2b)상에, 확산 방지 절연막(32)을 성막하고, 또한 이 위에 제1 절연막(35)을 성막한다. 예를 들면 TEOS 가스를 이용한 CVD법에 의해, TEOS막으로 이루어지는 제1 절연막(35)을 성막한다. 그 후, 이 제1 절연막(35)에, 이하에 설명하는 매입 배선 기술을 적용하여, 제1 전극(33)을 형성한다.

[0078] 도 3B에 도시하는 바와 같이, 제1 절연막(35)에 홈 패턴(35a)을 형성한다. 여기서의 도시는 생략하였지만, 홈 패턴(35a)은, 필요한 부분에는 매입 배선(31)에 달하는 형상으로 형성된다.

[0079] 도 3C에 도시하는 바와 같이, 홈 패턴(35a)의 내벽을 덮는 상태로 배리어 메탈층(33a)을 성막하고, 이 상부에 홈 패턴(35a)을 매입한 상태로 제1 전극막(33b)을 성막한다. 배리어 메탈층(33a)은, 제1 전극막(33b)이 제1 절연막(35)에 확산하는 것을 막는 배리어성이 있는 재료로 구성되고, 한편, 제1 전극막(33b)은 구리(Cu)로 이루어지지만, 이것으로 한하지 않고, 도전성이 있는 재료에 의해 구성된다.

[0080] 도 4D에 도시하는 바와 같이, CMP법에 의해, 배리어 메탈층(33a)이 노출할 때까지 제1 전극막(33b)을 평탄화 제거하고, 또한, 제1 절연막(35)이 노출할 때까지 배리어 메탈층(33a)을 평탄화 제거한다. 이에 의해, 홈 패턴(35a) 내에 배리어 메탈층(33a)을 통하여 제1 전극막(33b)을 매입하여 이루어지는 제1 전극(33)을 형성한다. 이상에 의해, 제1 전극(33)을 구비한 전극층(2c)을 얻는다.

[0081] 이상의 공정에 의해, 제1 전극(33)과 제1 절연막(35)이 노출된 평탄한 맞붙임면(41)을 갖는 제1 기판(2)이, 센서 기판으로서 제작된다. 또한, 필요에 응하여, 맞붙임면(41)에 대해, 웨트 처리 또는 플라즈마 처리에 의한 전처리를 시행하여 둔다.

- [0082] 여기까지의 공정은, 일반적인 반도체 장치의 제조 공정 순서로 행하면 좋고, 또한 특히 공정 순서가 한정되는 일은 없고, 알맞은 순서로 행할 수 있다. 단, 맞붙임면이 되는 제1 전극(33)의 형성에서, 구리(Cu)의 성막 온도는 예를 들면 100°C 정도로 낮게 하고, 맞붙인 후의 열처리 온도(예를 들면 400°C)와의 온도차를 가능한 한 크게 한다. 본 발명에서는, 다음의 절연성 박막의 성막이 특징적인 공정이 된다.
- [0083] [절연성 박막의 성막 순서]
- [0084] 도 4E에 도시하는 바와 같이, 제1 기판(2)에서의 맞붙임면(41)의 전면을 덮는 상태로, 원자층 퇴적법(Atomic Layer Deposition : 이하 ALD법)에 의해 절연성 박막(12a)을 성막한다.
- [0085] ALD법의 순서에 관해, 대략을 설명한다.
- [0086] 우선, 성막되는 박막의 구성 원소를 함유하는 제1 반응물과 제2 반응물을 준비한다. 성막 공정으로서, 기판상에, 제1 반응물을 포함하는 가스를 공급하여 흡착 반응시키는 제1 공정과, 제2 반응물을 포함하는 가스 공급하여 흡착 반응시키는 제2 공정이 있고, 이 공정의 사이에는 불활성 가스를 흘려서, 미 흡착의 반응물을 퍼지한다. 이 성막 공정을 1사이클 행함으로써 원자층 1층을 퇴적시키고, 반복함에 의해 소망 막두께의 성막을 한다. 또한, 제1 공정과 제2 공정은, 어느쪽을 먼저 행하여도 좋다. 이상과 같은 성막 방법이 ALD법이고, 다음과 같은 특징이 있다.
- [0087] ALD법은, 상술한 바와 같이, 성막 공정의 사이클을 반복하여 성막하는 방법이고, 이 사이클수의 조정에 의해, 성막하는 막두께를 원자층 단위로 고정밀도로 제어한 성막이 가능하다. 이와 같은 ALD법을 절연성 박막(12a)의 성막에 적용하면, 극히 얇은 절연성 박막(12a)이라도 막두께 제어성이 좋게 성막할 수 있다.
- [0088] ALD법은, 또한 약 500°C 이하의 저온 프로세스에서의 성막이 가능한 방법이다. 또한 SiO<sub>2</sub> 등에서는 실온에서의 성막도 가능하게 되어 있다. 절연성 박막(12a)의 성막시에는, 이미 전극층(2c)이 형성되어 있기 때문에, 전극층(2c)을 구성하는 금속에의 내열성을 고려할 필요가 있고, 절연성 박막(12a)의 성막에는 저온 프로세스가 요구된다. 그래서, 이와 같은 ALD법을 절연성 박막(12a)의 성막에 적용하면, 저온 프로세스에 의해 전극층(2c)을 열화시키는 일 없이 절연성 박막(12a)을 성막할 수 있다.
- [0089] ALD법은, 상술한 바와 같이, 원자층을 1층씩 퇴적시켜서 성막하는 방법이다. 이와 같은 ALD법을 절연성 박막(12a)의 성막에 적용하면, CMP에 의해 초평탄화된 기판 표면의 요철을 악화시키는 일 없이, 평탄하면서 균일한 절연성 박막(12)으로 맞붙임면(41)의 전면을 덮을 수 있다.
- [0090] 이하에, 한 예로서, 산화막 또는 질화막으로 이루어지는 절연성 박막(12a)의 ALD법에 의한 성막 조건에 관해, 구체적으로 설명한다.
- [0091] 절연성 박막(12a)이 산화막(SiO<sub>2</sub>, HfO<sub>2</sub> 등)으로 이루어지는 경우, 상술한 ALD법에서, 제1 반응물을 Si 함유 반응물 또는 Hf 함유 반응물로 하고, 제2 반응물을 O 함유 반응물로 한다. 이들의 반응물을 공급하여 흡착 반응시키는 공정을 교대로 반복함에 의해, 산화막(SiO<sub>2</sub> 또는 HfO<sub>2</sub>)으로 이루어지는 절연성 박막(12a)을 맞붙임면(41)상에 성막한다. 여기서, Si 함유 반응물은, 예를 들면, 실란(SiH<sub>4</sub>), 디클로로실란(H<sub>2</sub>SiCl<sub>2</sub>) 등의 가스 상태로 공급 가능한 물질을 사용한다. Hf 함유 반응물은, 테트라키스디메틸아미노하프늄(Hf[N(CH<sub>3</sub>)<sub>2</sub>]<sub>4</sub>) 등을 통한다. O 함유 반응물은, 수증기 가스, 오존 가스 등을 사용한다.
- [0092] 한편, 절연성 박막(12a)이 질화막(SiN 등)으로 이루어지는 경우, 상술한 ALD법에서, 제1 반응물을 Si 함유 반응물로 하고, 제2 반응물을 N 함유 반응물로 한다. 이들의 반응물을 공급하여 흡착 반응시키는 공정을 교대로 반복함에 의해, 질화막(SiN)으로 이루어지는 절연성 박막(12a)을 맞붙임면(41)상에 성막한다. 여기서, N 함유 반응물은, 예를 들면, 질소 가스나 암모니아 가스 등을 사용한다. O 함유 반응물은, 수증기 가스, 오존 가스 등을 사용한다.
- [0093] 이상에 의해, 제1 기판(2)상에, 맞붙임면(41)의 전면을 덮는 상태로, 극히 얇은 균일한 절연성 박막(12a)을 성막한다.
- [0094] [4. 본 실시 형태의 반도체 장치의 제조에서의 제2 기판(회로 기판)의 제작 순서]
- [0095] 도 5는, 상술한 본 실시 형태의 반도체 장치의 제조에 이용하는 제2 기판(7)의 제작 순서를 설명하기 위한 단면 공정도이다. 이하, 이 도면에 의거하여 본 실시 형태에 이용하는 제2 기판(7)(회로 기판)의 제작 순서를 설명한다.

- [0096] 도 5A에 도시하는 바와 같이, 예를 들면 단결정 실리콘으로 이루어지는 반도체 기판(50)을 준비한다. 이 반도체 기판(50)의 표면층에, 각 도전형의 소스/드레인(51) 및 여기서의 도시를 생략한 다른 불순물층을 형성한다. 이에 의해, 반도체층(7a)을 얻는다.
- [0097] 다음에, 반도체층(7a)의 위에, 게이트 절연막(53)을 성막하고, 또한 이 상부에 게이트 전극(55)을 형성한다. 게이트 전극(55)은, 소스/드레인(51) 사이에 형성된다. 또한, 이것과 동일 공정으로, 여기서의 도시를 생략한 다른 전극을 형성한다.
- [0098] 계속해서, 게이트 절연막(53)의 위에, 게이트 전극(55)을 덮는 상태로, 예를 들면 산화실리콘으로 이루어지는 충간 절연막(57)을 성막한다. 이 충간 절연막(57)의 홈 패턴 내에 배리어 메탈층(59a)을 통하여 배선층(59b)을 매입하여 이루어지는 매입 배선(59)을 형성하고, 매입 배선(59)을 구비한 배선층(7b)을 얻는다. 여기서의 매입 배선(59)의 형성은, 상술한 제1 전극(33)의 형성과 마찬가지로, 매입 배선 기술을 적용하여 행한다.
- [0099] 그 후, 배선층(7b)상에 확산 방지 절연막(61)을 통하여, 예를 들면 TEOS막으로 이루어지는 제2 절연막(69)을 적층시켜서 성막한다. 이에 의해, 제2 절연막(69)의 홈 패턴 내에 배리어 메탈층(67a)을 통하여 제2 전극막(67b)을 매입하여 이루어지는 제2 전극(67)을 형성하고, 제2 전극(67)을 구비한 전극층(7c)을 얻는다. 여기서의 제2 전극(67)의 형성은, 상술한 제1 전극(33)의 형성과 마찬가지로 하여 행한다.
- [0100] 이상의 공정에 의해, 제2 전극(67)과 제2 절연막(69)이 노출된 평坦한 맞붙임면(71)을 갖는 제2 기판(7)이, 회로 기판으로서 제작된다.
- [0101] 여기까지의 공정은, 통상의 공정 순서로 행하면 좋고, 또한 특히 공정 순서가 한정되는 일은 없고, 알맞은 순서로 행할 수 있다. 단, 맞붙임면이 되는 제1 전극(67)의 형성에서, 구리(Cu)의 성막 온도는 예를 들면 100°C 정도로 낮게 하고, 맞붙인 후의 열처리 온도(예를 들면 400°C)와의 온도차를 가능한 한 크게 한다. 본 발명에서는, 다음의 절연성 박막의 성막 및 기판의 접합이 특징적인 공정으로 된다.
- [0102] 도 5B에 도시하는 바와 같이, 제1 기판(2)측의 절연성 박막(12a)과 마찬가지로 하여, 맞붙임면(71)의 위에, ALD 법에 의해 절연성 박막(12b)을 성막한다.
- [0103] 이에 의해, 제2 기판(7)상에, 맞붙임면(71)의 전면을 덮는 상태로, 극히 얇은 균일한 절연성 박막(12b)을 성막한다. 또한, 절연성 박막(12b)은, 제1 기판(2)측의 절연성 박막(12a)과 다른 막이라도 좋지만, 같은 막이라도 좋다.
- [0104] [5. 본 실시 형태의 반도체 장치의 제조에서의 기판의 맞붙임 순서]
- [0105] 도 6 및 도 7을 이용하여, 맞붙임면(41)상에 절연성 박막(12a)을 성막한 제1 기판(2)과, 맞붙임면(71)상에 절연성 박막(12b)을 성막한 제2 기판(7)과의 맞붙임 순서를 설명한다.
- [0106] 도 6에 도시하는 바와 같이, 절연성 박막을 개재한 상태로 제1 기판(2)의 맞붙임면(41)과 제2 기판(7)의 맞붙임면(71)을 대향 배치시키고, 또한, 제1 기판(2)의 제1 전극(33)과, 제2 기판(7)의 제2 전극(67)이 대응하도록 위치맞춤한다. 도시한 예에서는, 제1 전극(33)과 제2 전극(67)이 1 : 1로 대응하고 있는 상태를 나타냈지만, 대응 상태는 이것으로 한정되는 일은 없다.
- [0107] 도 7에 도시하는 바와 같이, 제1 기판(2)상의 절연성 박막(12a)과, 제2 기판(7)상의 절연성 박막(12b)을 대향시킨 상태에서 열처리를 행함에 의해, 절연성 박막(12a)과 절연성 박막(12b)과의 사이의 접합을 한다. 이와 같은 열처리는, 제1 기판(2) 및 제2 기판(7)에 형성된 소자나 배선에 영향이 없는 범위에서, 절연성 박막(12)끼리가 충분히 접합한 온도 및 시간으로 행하여진다. 또한 이 때, 구리(Cu)의 결정립 성장이 발생하고, 제1 전극(33)과 제2 전극(67) 사이의 절연성 박막(12)을 양측에서 파괴한다. 이에 의해, 전극의 구리(Cu)끼리 직접 접촉한다.
- [0108] 예를 들면, 제1 전극(33) 및 제2 전극(67)이, 구리(Cu)를 주로 하는 재료로 구성되는 경우, 200°C 내지 600°C에서 15분 내지 5시간 정도의 열처리가 행하여진다. 이와 같은 열처리는, 가압 분위기하에서 행하여도 좋고, 또는, 제1 기판(2)과 제2 기판(7)을 양면측에서 가압한 상태에서 행하여도 좋다. 한 예로서, 400°C에서 4시간의 열처리를 행함으로써, 절연성 박막(12)을 통한 제1 전극(33)과 제2 전극(67) 사이의 접속을 행한다. 이에 의해, 절연성 박막(12a)과 절연성 박막(12b)과의 사이가 접합되고, 제1 기판(2)과 제2 기판(7)이 맞붙여진다. 여기서, 구리(Cu)의 성막시의 온도와 열처리의 온도차가 클수록, 구리(Cu)의 결정립 성장을 촉진할 수 있기 때문에, 절연성 박막(12)의 파괴가 용이해진다.
- [0109] 여기서, 상술한 바와 같이 제1 기판(2) 및 제2 기판(7)의 양쪽의 맞붙임면(41, 71)상에 절연성 박막(12a, 12b)

이 성막된 경우는, 그 절연성 박막(12a, 12b)이 같은 재료라도, 다른 재료라도 좋다.

[0110] 또한, 본 실시 형태의 반도체 장치의 제조 방법에서는, 제1 기판(2) 및 제2 기판(7) 중 어느 한쪽의 기판의 맞붙임면만에 절연성 박막을 성막하여도 좋다. 예를 들면, 제1 기판(2)의 맞붙임면(41)상에만 절연성 박막(12a)을 성막하고, 제1 기판(2)측의 절연성 박막(12a)과 제2 기판(7)측의 맞붙임면(71)과의 사이의 접합에 의해, 제1 기판(2)과 제2 기판(7)을 맞붙여도 좋다.

[0111] 이상과 같이, 제1 기판(2)과 제2 기판(7)을 맞붙인 후, 제1 기판(2)측의 반도체 기판(20)을 박막화하여 반도체층(2a)으로 하고, 광전 변환부(21)를 노출시킨다. 또한 필요에 따르고, 제2 기판(7)측의 반도체층(7a)에서, 반도체 기판(50)을 박막화하여도 좋다.

[0112] 그 후는 도 2에 도시하는 바와 같이, 제1 기판(2)에서의 광전 변환부(21)의 노출면상에 보호막(15)을 성막하고, 또한 보호막(15)상에 컬러 필터층(17) 및 온 칩 렌즈(19)를 형성하고, 반도체 장치(고체 콜상 장치)(1)를 완성시킨다.

[0113] [본 실시 형태의 반도체 장치의 제조 방법에 의한 효과]

[0114] 상술한 바와 같은 본 실시 형태의 반도체 장치의 제조 방법에서는, 제1 기판(2) 및 제2 기판(7)의 위에 각각 절연성 박막(12a, 12b)을 성막하고, 이 절연성 박막(12a, 12b)이 성막된 면끼리를 접합함에 의해, 제1 기판(2)과 제2 기판(7)을 맞붙이고 있다. 이 때문에, CMP에 의해 평탄화 처리된 맞붙임면(41, 71)끼리를 직접 접합한 경우와 비교하여, 절연성 박막(12a, 12b)이 성막된 면끼리의 접합에 의해, 제1 기판(2)과 제2 기판(7)을 맞붙이는 본 실시 형태의 반도체 장치(1)는 접합성이 좋다. 또한, 제1 기판(2)의 맞붙임면(41)상에만 절연성 박막(12a)을 성막하는 경우라도, 제1 기판(2)측의 절연성 박막(12a)과 제2 기판(7)측의 맞붙임면(71)과의 사이의 접합이 되어, 맞붙임면(41, 71)끼리를 직접 접합하는 경우보다도 기판의 접합성이 좋다.

[0115] 예를 들면, CMP에 의해 평탄화 처리된 맞붙임면(41, 71)은, CMP의 공정에서 맞붙임면(41, 71)을 구성하는 제1 절연막(35) 및 제2 절연막(69)이 함수(含水)할 가능성이 있다. 또한, 이 맞붙임면(41, 71)을 구성하는 제1 절연막(35) 및 제2 절연막(69)이 TEOS막으로 이루어지는 경우라면, 그 TEOS막의 성막 조건 때문에, 원래 함수율이 높은 막으로서 제1 절연막(35) 및 제2 절연막(69)이 형성된다. 따라서 이와 같은 함수하고 있는 맞붙임면(41, 71)끼리를 직접 접합하는 경우, 맞붙임 후의 열처리에서, 탈(exhausted gas)가스가 접합 계면에 집중하여 보이드를 형성한다. 그러나, 본 실시 형태에서는, 맞붙임면(41, 71)의 전면을 절연성 박막(12a, 12b)으로 덮음에 의해, 탈가스가 접합 계면에 집중하는 것을 방지하여 보이드의 발생을 억제하는 것이 가능하다.

[0116] 특히, 제1 기판(2)의 맞붙임면(41)상의 절연성 박막(12a)과 제2 기판(7)의 맞붙임면(71)상의 절연성 박막(12b)이, 동일 재료막으로 구성되어 있는 경우는, 동일 재료막끼리의 접합이 되기 때문에, 보다 강고한 접합이 가능해진다. 이에 의해, 기판의 접합 강도가 늘어나 신뢰성의 향상이 도모된 반도체 장치를 얻을 수 있다.

[0117] 나아가서는, 절연성 박막(12a, 12b)의 성막을 ALD법에 의해 행함에 의해, 다음과 같은 효과도 있다.

[0118] 우선, ALD법은 원자층 단위의 성막에 의해 막두께 제어성이 좋은 방법이므로, 극히 얇은 절연성 박막을 성막할 수 있다. 이에 의해, 제1 기판(2)측의 제1 전극(33)과 제2 기판(7)측의 제2 전극(67)이 절연성 박막(12)을 통하여 대향 배치된 구조라도, 이 절연성 박막(12)이 극히 얇은 막두께이기 때문에, 제1 전극(33)과 제2 전극(67)과의 사이의 전기적인 접속이 가능해진다.

[0119] 다음에, ALD법은 원자층 단위의 성막에 의해 막두께 균일성이 좋은 방법이므로, CMP에 의해 평탄화된 맞붙임면(41, 71)의 평탄성을 유지하여, 균일한 절연성 박막(12a, 12b)을 제1 기판(2) 및 제2 기판(7)의 위에 성막한다. 이와 같은 절연성 박막(12a, 12b)이 성막된 평탄한 맞붙임면끼리에 의해 접합이 도모되기 때문에, 밀착성이 우수한 접합이 행하여지고, 접합 강도가 향상한 기판의 접합이 가능해진다.

[0120] 계속해서, ALD법은 저온 프로세스로의 성막을 하는 방법이므로, 제1 기판(2)측의 전극층(2c) 및 제2 기판(7)측의 전극층(7c)을 구성하는 금속이 고열에 의해 열화되는 일 없이, 제1 기판(2) 및 제2 기판(7)의 위에 절연성 박막(12a, 12b)을 성막할 수 있다. 따라서, 본 발명의 요점인, 구리(Cu)의 결정립 성장을 맞붙인 후의 열처리로 촉진하는 목적에 적합하다. 여기까지 ALD법에 의한 이점을 기술하였지만, CVD법에 의한 방법이라도, 상술한 이점을 실현할 수 있는 것이라면 ALD법에 의한 성막에는 구애되지 않는다. 또한, 가스를 이용한 기상 성장에 의한 성막 이외에서도, 예를 들면 도포 방법 등에 의한 성막이라도, 본 발명의 원리를 실현할 수 있는 박막을 형성할 수 있으면 좋다.

[0121] 최후로, ALD법은 원자층 단위의 성막 방법이므로, 성막된 절연성 박막(12a, 12b)은 치밀한 막이고 함수율이 극

히 낮다. 함수율이 낮은 절연성 박막(12a, 12b)이 성막된 접합면끼리에 의한 접합으로 되기 때문에, 접합면에 보이드가 발생할 우려는 전혀 없다. 이상에 의해, 기판의 접합 강도가 늘어나 신뢰성의 향상이 도모된 반도체 장치를 얻을 수 있다.

[0122] [6. 본 실시 형태의 반도체 장치를 이용한 전자 기기의 한 예]

[0123] 상술한 본 실시 형태에서 설명한 본 발명에 관한 반도체 장치(고체 활상 장치)는, 예를 들면 디지털 카메라나 비디오 카메라 등의 카메라 시스템, 나아가서는 활상 기능을 갖는 휴대 전화, 또는 활상 기능을 구비한 다른 기기 등의 전자 기기에 적용할 수 있다.

[0124] 도 8은, 본 발명에 관한 전자 기기의 한 예로서, 고체 활상 장치를 이용한 카메라의 구성도를 도시한다. 본 실시 형태에 관한 카메라(91)는, 정지화상 또는 동화 촬영 가능한 비디오 카메라를 예로 한 것이다. 이 카메라(91)는, 고체 활상 장치(92)와, 고체 활상 장치(92)의 광전 변환부에 입사광을 유도하는 광학계(93)와, 셔터 장치(94)와, 고체 활상 장치(92)를 구동하는 구동 회로(95)와, 고체 활상 장치(92)의 출력 신호를 처리하는 신호 처리 회로(96)를 갖는다.

[0125] 고체 활상 장치(92)는, 상술한 본 실시 형태에서 설명한 구성의 반도체 장치(1)가 적용된다. 광학계(광학 렌즈)(93)는, 피사체로부터의 상광(입사광)을 고체 활상 장치(92)의 활상면상에 결상시킨다. 이에 의해, 고체 활상 장치(92) 내에, 일정 기간 신호 전하가 축적된다. 이와 같은 광학계(93)는, 복수의 광학 렌즈로 구성된 광학 렌즈계로 하여도 좋다. 셔터 장치(94)는, 고체 활상 장치(92)에의 광조사 기간 및 차광 기간을 제어한다. 구동 회로(95)는, 고체 활상 장치(92) 및 셔터 장치(94)에 구동 신호를 공급하고, 공급한 구동 신호(타이밍 신호)에 의해, 고체 활상 장치(92)의 신호 처리 회로(96)에의 신호 출력 동작의 제어 및 셔터 장치(94)의 셔터 동작을 제어한다. 즉, 구동 회로(95)는, 구동 신호(타이밍 신호)의 공급에 의해, 고체 활상 장치(92)로부터 신호 처리 회로(96)에의 신호 전송 동작을 행한다. 신호 처리 회로(96)는, 고체 활상 장치(92)로부터 전송된 신호에 대해, 각종의 신호 처리를 행한다. 신호 처리가 행하여진 영상 신호는, 메모리 등의 기억 매체에 기억되고, 또는, 모니터에 출력된다.

[0126] 이상 설명한 본 실시 형태에 관한 전자 기기에 의하면, 센서 기판과 회로 기판을 적층시킨 신뢰성이 높은 3차원 구조의 반도체 장치(1)를 고체 활상 장치로서 이용함에 의해, 활상 기능을 갖는 전자 기기의 소형화 및 신뢰성의 향상을 도모하는 것이 가능해진다.

[0127] 또한, 본 발명은 이하와 같은 구성도 취할 수 있다.

[0128] (1) 제1 전극 및 제1 절연막을 노출시킨 맞붙임면을 갖는 제1 기판과,

[0129] 상기 제1 기판의 맞붙임면을 덮는 절연성 박막과,

[0130] 2 전극 및 제2 절연막을 노출시킨 맞붙임면을 가지며, 당해 맞붙임면과 상기 제1 기판의 맞붙임면과의 사이에서 상기 절연성 박막을 끼어 지지하여 맞붙여짐과 함께, 상기 제1 전극과 당해 제2 전극이 상기 절연성 박막의 일부를 변형·파괴하여 직접 전기적으로 접속된 상태의, 상기 제1 기판에 맞붙여진 제2 기판을 구비하는 반도체 장치.

[0131] (2) 상기 절연성 박막은 산화막인 (1)에 기재된 반도체 장치.

[0132] (3) 상기 절연성 박막은 질화막인 (1)에 기재된 반도체 장치.

[0133] (4) 상기 절연성 박막은, 적층 구조인 (1) 내지 (3)의 어느 하나에 기재된 반도체 장치.

[0134] (5) 상기 절연성 박막은, 상기 각 맞붙임면의 전면을 덮는 상태로 마련된 (1) 내지 (4)의 어느 하나에 기재된 반도체 장치.

[0135] (6) 상기 제1 기판의 맞붙임면 및 상기 제2 기판의 맞붙임면은, 평탄화면인 (1) 내지 (5)의 어느 하나에 기재된 반도체 장치.

[0136] (7) 전극 및 절연막이 노출된 맞붙임면을 갖는 2장의 기판을 준비하는 것과,

[0137] 상기 2장의 기판 중 적어도 한쪽의 맞붙임면을 덮는 상태로, 절연성 박막을 성막하는 것과, 상기 절연성 박막을 통하여 상기 2장의 기판의 맞붙임면끼리를 대향 배치하고, 상기 2장의 기판의 전극끼리가 상기 절연성 박막을 통하여 전기적으로 접속되는 상태로 위치맞춤을 하여, 상기 2장의 기판을 맞붙이는 것을 행하는 제조 방법.

[0138] (8) 맞붙여진 상기 2장의 기판을 열처리하여, 제1 전극 및 제2 전극으로 끼어 지지된 절연성 박막을, 전극을 구

성하는 금속의 변형 · 이동에 의해 파괴하고, 상기 제1 전극과 상기 제2 전극끼리를 직접 접촉시키는 (7)에 기재된 제조 방법.

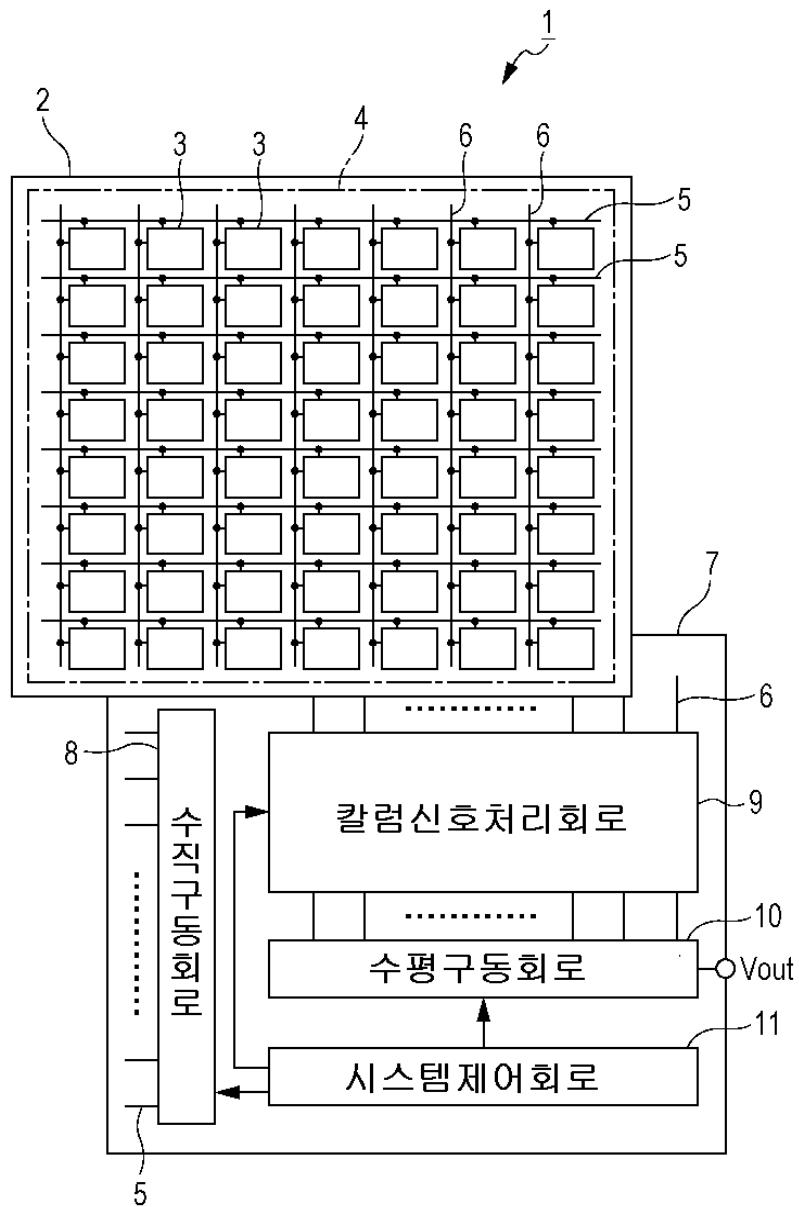
- [0139] (9) 상기 열처리의 온도는, 상기 제1 전극 또는 상기 제2 전극의 적어도 한쪽의 성막 온도보다도 충분히 낮은 (8)에 기재된 제조 방법.
- [0140] (10) 상기 2장의 기판의 양쪽에, 상기 절연성 박막을 성막하는 (7)에 기재된 반도체 장치의 제조 방법.
- [0141] (11) 상기 2장의 기판의 양쪽에, 같은 재료로 이루어지는 상기 절연성 박막을 성막하는 (7) 내지 또는 (10)에 기재된 제조 방법.
- [0142] (12) 원자층 증착법에 의해 상기 절연성 박막을 성막하는 (7) 내지 (11)의 어느 하나에 기재된 제조 방법.
- [0143] (13) 상기 2장의 기판의 맞붙임면은, 평탄화 처리에 의해 형성되어 있는 (7) 내지 (12)의 어느 하나에 기재된 제조 방법.

### 부호의 설명

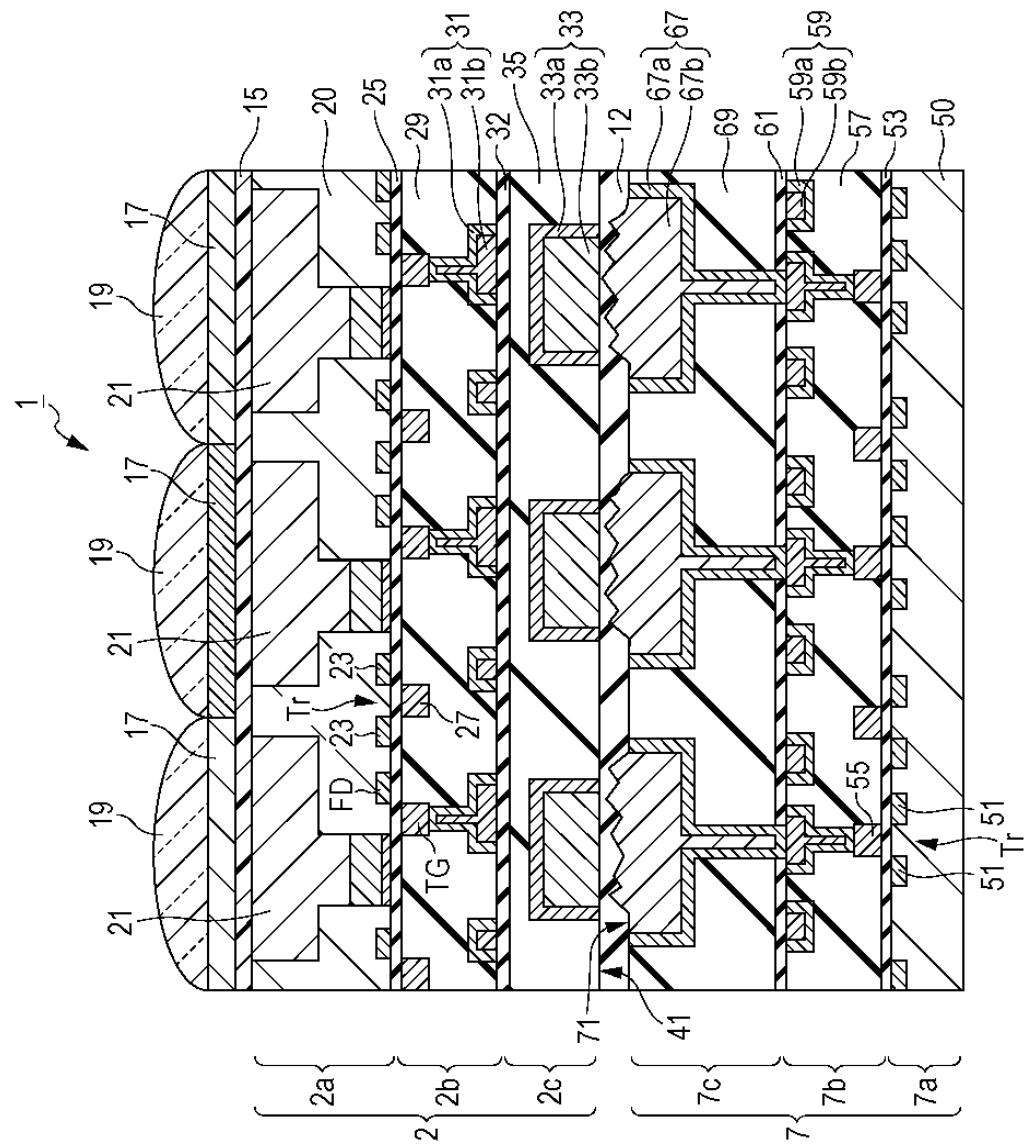
- [0144] 1 : 반도체 장치
- 2 : 제1 기판(센서 기판)
- 7 : 제2 기판(회로 기판)
- 12 : 절연성 박막
- 33 : 제1 전극
- 35 : 제1 절연막
- 41, 71 : 맞붙임면
- 67 : 제2 전극
- 69 : 제2 절연막

## 도면

## 도면1

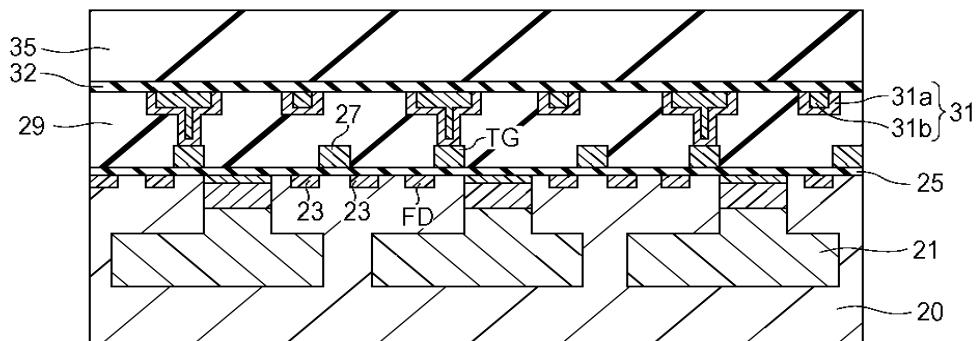


도면2

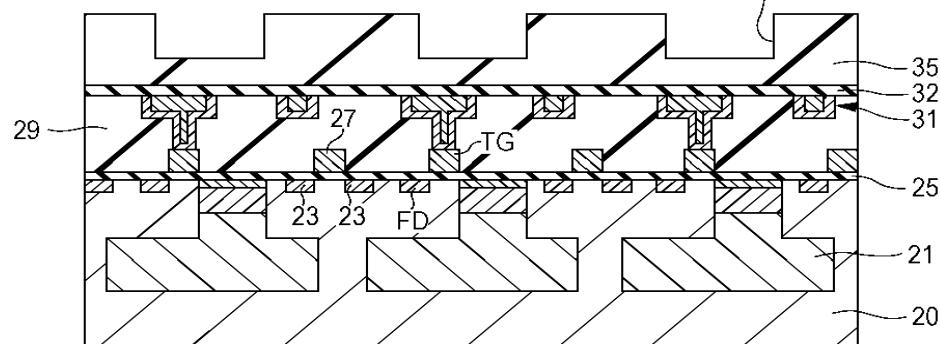


## 도면3

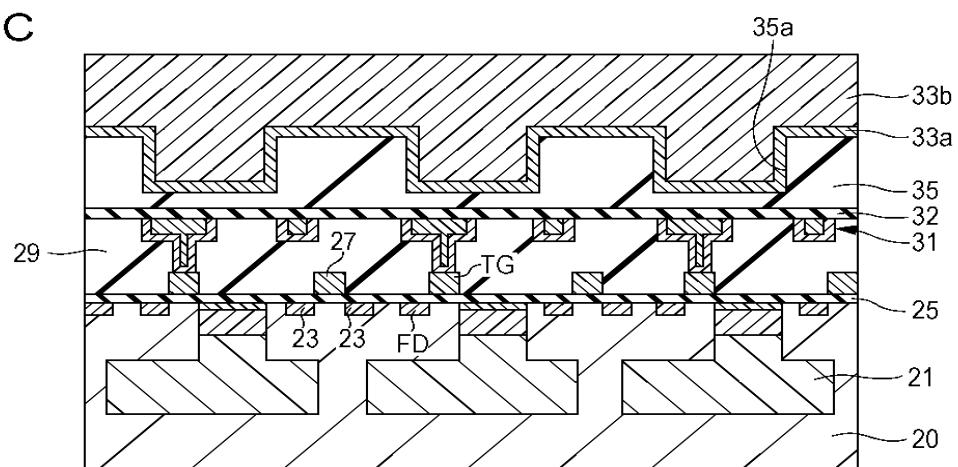
A



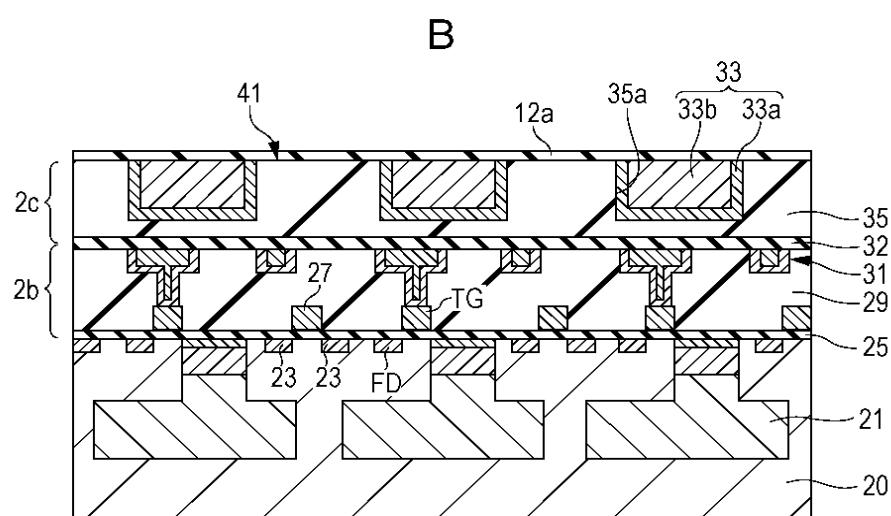
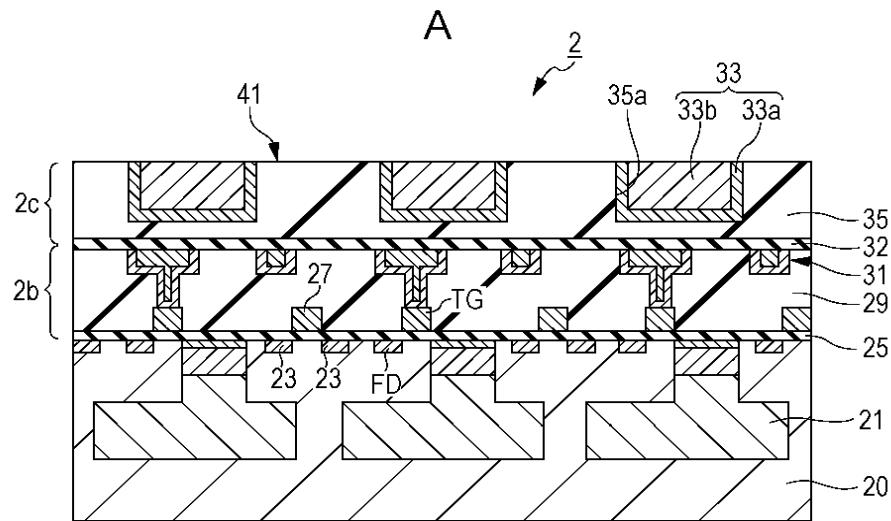
B



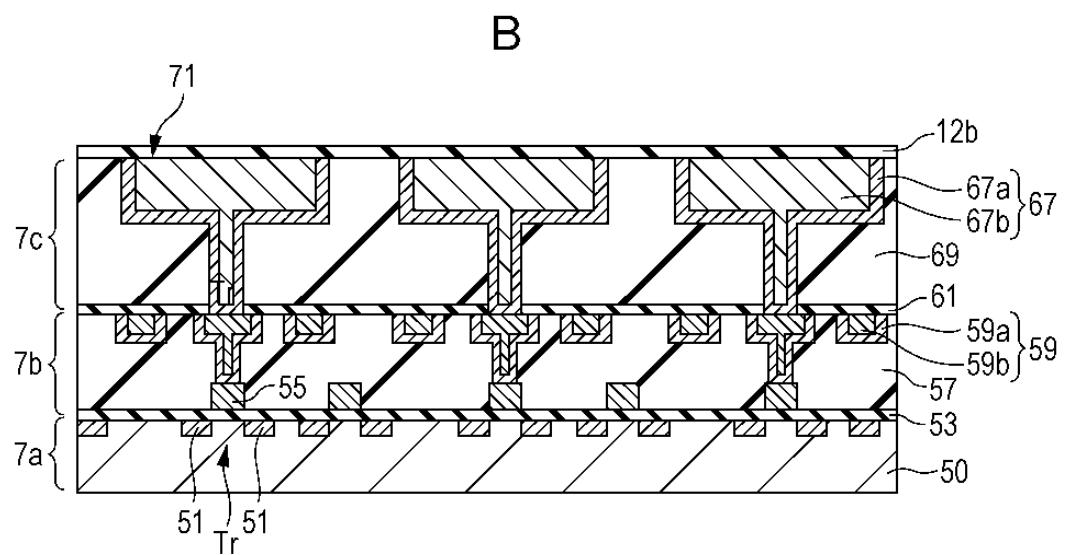
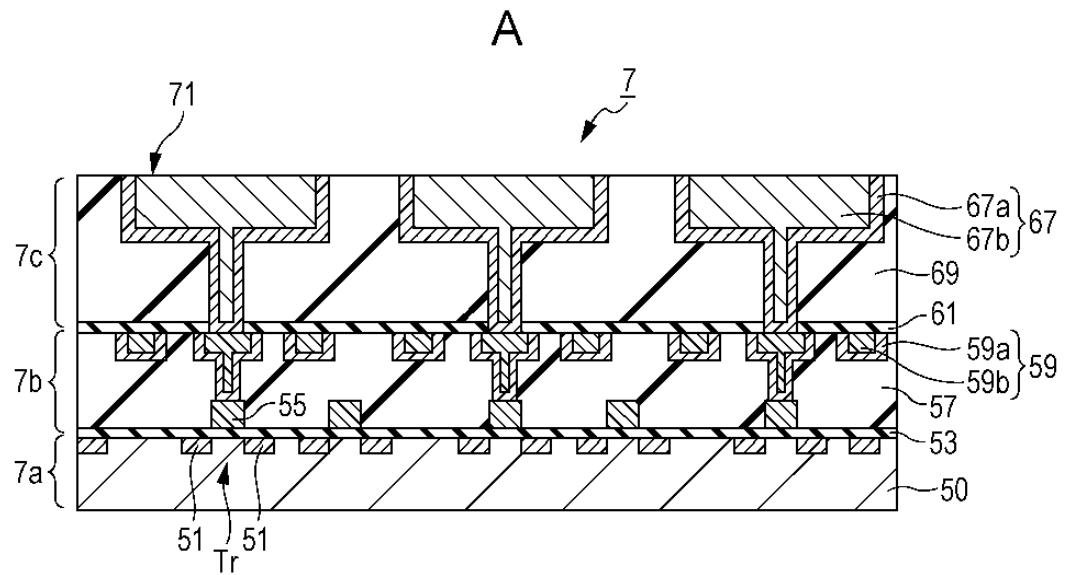
C



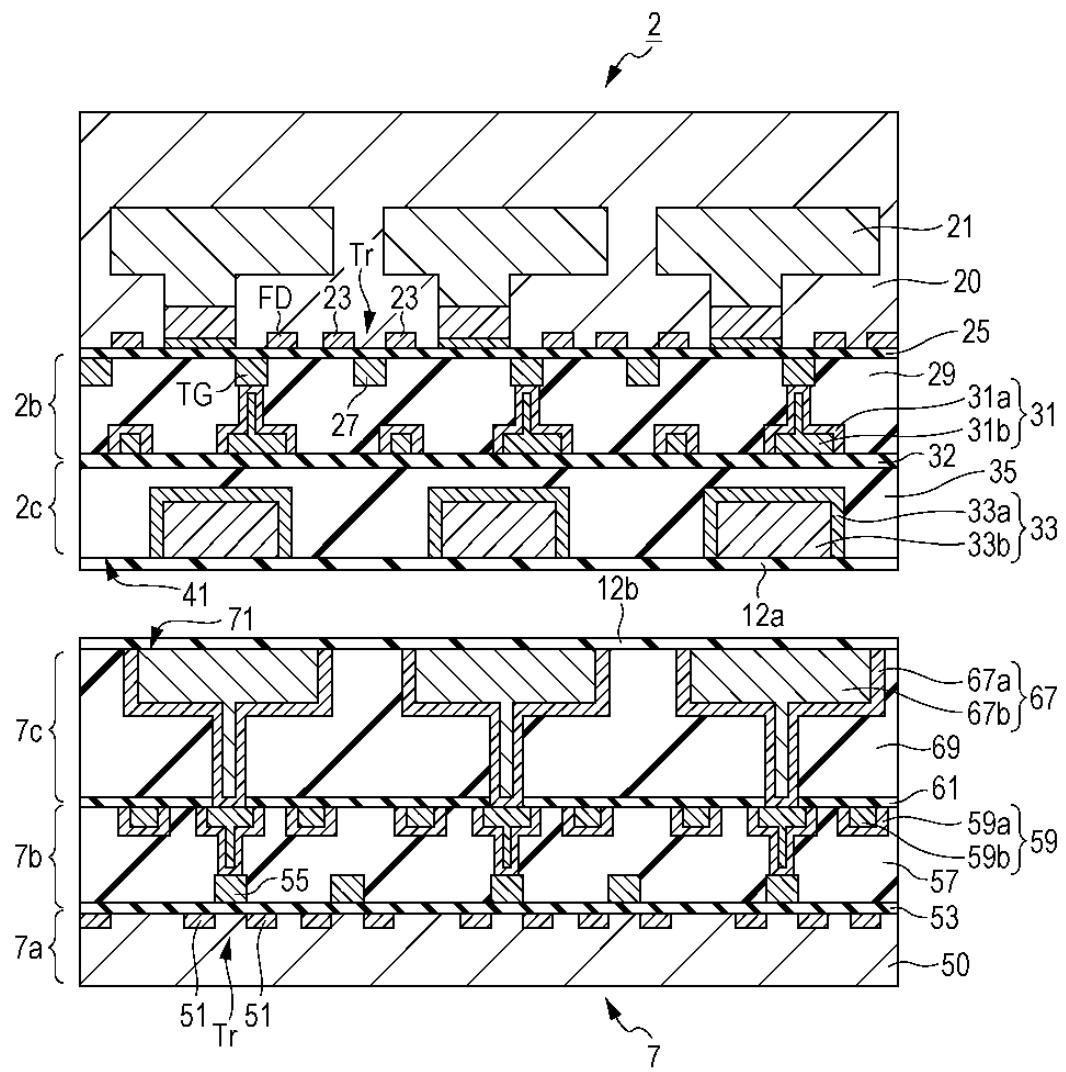
## 도면4



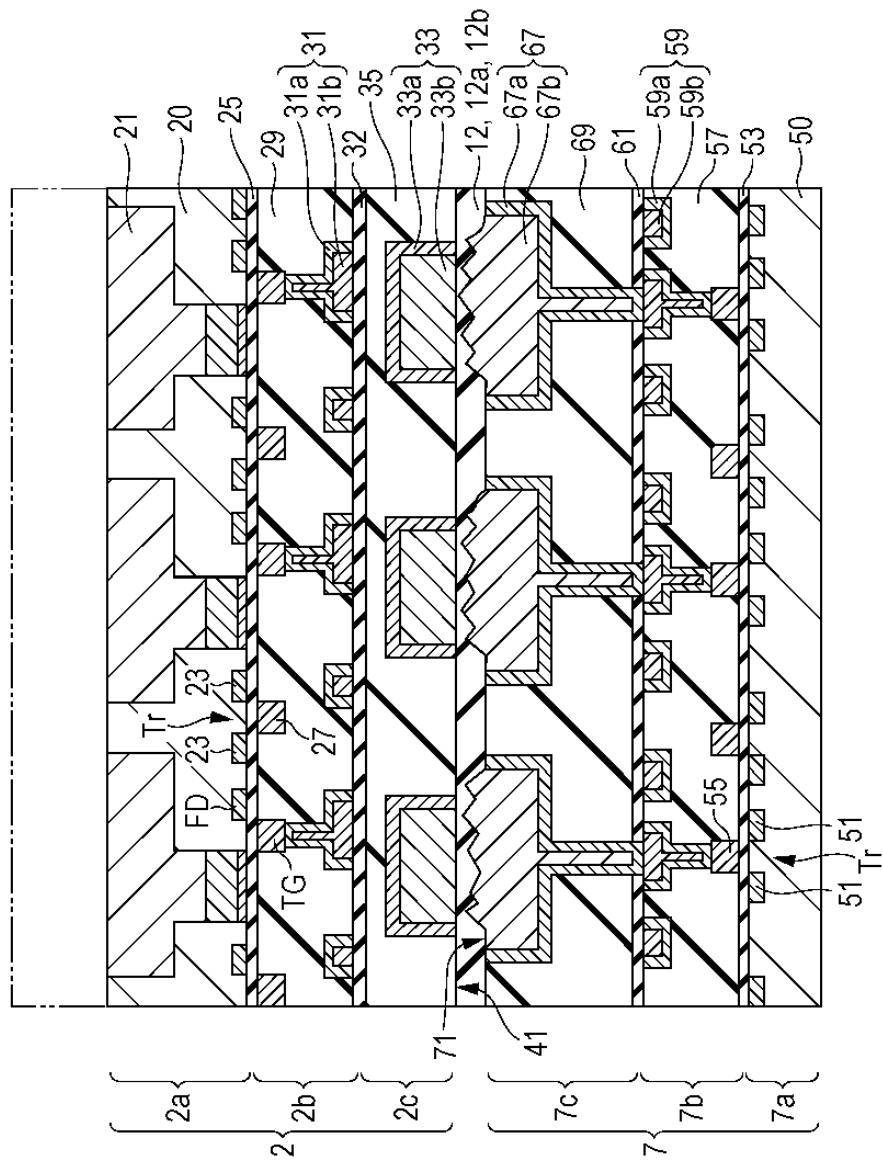
## 도면5



도면6



도면7



도면8

91

