

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5110062号
(P5110062)

(45) 発行日 平成24年12月26日 (2012.12.26)

(24) 登録日 平成24年10月19日 (2012.10.19)

(51) Int.Cl.	F I	
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08	3 2 1 B
HO 1 L 27/092 (2006.01)	HO 1 L 27/08	3 2 1 C
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08	1 0 2 B
HO 1 L 27/088 (2006.01)	HO 1 L 27/10	4 3 4
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78	3 7 1
請求項の数 2 (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2009-218612 (P2009-218612)	(73) 特許権者	308014341 富士通セミコンダクター株式会社
(22) 出願日	平成21年9月24日 (2009.9.24)		神奈川県横浜市港北区新横浜二丁目10番 23
(62) 分割の表示	特願2004-570847 (P2004-570847) の分割	(74) 代理人	100091340 弁理士 高橋 敬四郎
原出願日	平成15年4月10日 (2003.4.10)	(74) 代理人	100105887 弁理士 来山 幹雄
(65) 公開番号	特開2010-34569 (P2010-34569A)	(72) 発明者	江間 泰示 東京都新宿区西新宿二丁目7番1号 富士 通マイクロエレクトロニクス株式会社内
(43) 公開日	平成22年2月12日 (2010.2.12)	(72) 発明者	兒嶋 秀之 東京都新宿区西新宿二丁目7番1号 富士 通マイクロエレクトロニクス株式会社内
審査請求日	平成21年9月25日 (2009.9.25)		最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

(a) 半導体基板に、表面から第1の深さ位置まで達する素子分離領域を形成する工程と、

(b) 前記半導体基板に第1導電型の第1および第2のウェルを形成する工程と、

(c) 前記第1のウェルの表面に第1の厚さのゲート絶縁膜を、前記第2のウェルの表面に前記第1の厚さより薄い第2の厚さのゲート絶縁膜を形成する工程と、

(d) 前記ゲート絶縁膜の上にゲート電極を形成する工程と、

(e) 前記ゲート電極の両側の半導体基板内にソース/ドレイン領域を形成する工程と

を含み、前記工程(b)が、(b1)前記第1および第2のウェルに共通に、前記第1の深さと同等またはより深い位置にのみ極大値を有する第1導電型の第1の不純物濃度分布をイオン注入により形成する工程と、(b2)第1、第2のウェルに対して選択的に、前記第1の深さと同等の深さ位置に極大値を有する第1導電型の第2の不純物濃度分布をイオン注入により形成する工程と、(b3)前記第2のウェルにのみ前記第1の深さより浅い深さ位置に極大値を有する第1導電型の第3の不純物濃度分布をイオン注入により形成する工程とを含み、

前記工程(b2)が、(b2-1)前記第1、第2のウェルに前記第1の深さと同等の深さ位置に極大値を有する第1導電型の不純物濃度分布をイオン注入により形成する工程と、(b2-2)前記第1の深さ位置と同等の深さ位置に極大値を有する第1導電型の不

純物濃度分布を、第1のウェルを除いて、前記第2のウェルにイオン注入により形成する工程とを含む半導体装置の製造方法。

【請求項2】

(a) 半導体基板に、表面から第1の深さ位置まで達する素子分離領域を形成する工程と、

(b) 前記半導体基板に第1導電型の第1、第2および第3のウェルを形成する工程と、

(c) 前記第1のウェルおよび前記第3のウェルの表面に第1の厚さのゲート絶縁膜を、前記第2のウェルの表面に前記第1の厚さより薄い第2の厚さのゲート絶縁膜を形成する工程と、

(d) 前記ゲート絶縁膜の上にゲート電極を形成する工程と、

(e) 前記ゲート電極の両側の半導体基板内にソース/ドレイン領域を形成する工程と、

を含み、前記工程(b)が、(b1)前記第1、第2および第3のウェルに共通に、前記第1の深さと同等またはより深い位置にのみ極大値を有する第1導電型の第1の不純物濃度分布をイオン注入により形成する工程と、(b2)前記第2、第3のウェルに、前記第1の深さと同等の深さ位置に極大値を有する第1導電型の第2の不純物濃度分布をイオン注入により形成する工程と、(b3)前記第2のウェルにのみ前記第1の深さより浅い深さ位置に極大値を有する第1導電型の第3の不純物濃度分布をイオン注入により形成する工程とを含む半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、特に複数の電圧で動作する半導体装置の製造方法に関する。

【背景技術】

【0002】

半導体集積回路装置(IC)の高集積化と共にICの構成要素であるトランジスタは微細化される。トランジスタの微細化に伴って、動作電圧は低下する。システムオンチップにおいては、低電圧動作の論理回路と高電圧動作のフラッシュメモリ駆動回路を含むフラッシュメモリ回路のような異種回路を混載する要請も強い。これを実現するには、低電圧動作の論理回路と高電圧動作のフラッシュメモリ駆動回路とを同一半導体基板上に集積化することが必要となる。

【0003】

CMOS回路を構成する場合は、高電圧および低電圧で動作するnチャネルトランジスタと高電圧および低電圧で動作するpチャネルトランジスタとを形成することとなる。

【0004】

FIG. 11A~11Fは、このような半導体装置の典型的な製造方法を示す。

【0005】

FIG. 11Aに示すように、半導体基板101の表面に、周知の方法により絶縁膜を埋め込んだ浅い素子分離溝102(シャロートレンチアイソレーション、STI)を形成する。図には、STIで画定された4つの活性領域が示されている。図中左側の2つの活性領域には、低電圧(LV)用の薄いゲート絶縁膜と高電圧(HV)用の厚いゲート絶縁膜とを有するnチャネルMOSトランジスタN-LV、N-HVを形成する。

【0006】

図中右側の2つの活性領域には、低電圧(LV)用の薄いゲート絶縁膜と高電圧(HV)用の厚いゲート絶縁膜を有する2つのpチャネルMOSトランジスタP-LV、P-HVを形成する。

【0007】

先ず、nチャネルMOSトランジスタ領域に開口を有するホトレジストマスクPR51

10

20

30

40

50

を形成し、p型ウェルWPを形成するp型不純物のイオン注入、素子分離領域下にチャネルストップ領域CSPを形成するp型不純物のイオン注入、及び厚い絶縁膜を有するトランジスタの閾値 V_t を所望の値に設定するためのp型不純物のイオン注入 V_{t1} を行なう。その後、ホトレジストマスクPR51は除去する。

【0008】

FIG. 11Bに示すように、pチャネルMOSトランジスタ領域に開口を有するホトレジストマスクPR52を形成し、pチャネルMOSトランジスタ領域にn型ウェルWNを形成するn型不純物のイオン注入、素子分離領域下方にチャネルストップ領域CSNを形成するためのn型不純物のイオン注入及び厚い絶縁膜を有するpチャネルMOSトランジスタの閾値 V_t を制御するためのn型不純物のイオン注入 V_{t2} を行なう。その後ホトレジストマスクPR52は除去する。

10

【0009】

以上のイオン注入では、厚いゲート絶縁膜を有するトランジスタ領域N-HV、P-HVでは閾値制御が行なわれたが、薄いゲート絶縁膜を有するトランジスタ領域N-LV、P-LVにおいては閾値制御用のイオン注入は不十分である。

【0010】

FIG. 11Cに示すように、薄いゲート絶縁膜を有するnチャネルMOSトランジスタ領域N-LVに開口を有するホトレジストマスクPR53を形成し、薄いゲート絶縁膜を形成するnチャネルMOSトランジスタ領域N-LVの閾値電圧を調整するためp型不純物の追加イオン注入 V_{t3} を行なう。その後ホトレジストマスクPR53は除去する。

20

【0011】

FIG. 11Dに示すように、薄いゲート絶縁膜を形成するpチャネルMOSトランジスタ領域P-LVに開口を有するホトレジストマスクPR54を形成し、薄いゲート絶縁膜を形成するpチャネルMOSトランジスタ領域P-LVに閾値電圧を制御するためのn型不純物の追加イオン注入 V_{t4} を行なう。その後ホトレジストマスクPR54は除去する。次に、半導体基板全面に厚いゲート絶縁膜GI1を形成する。

【0012】

FIG. 11Eに示すように、成長したゲート絶縁膜の上に厚いゲート絶縁膜を有するトランジスタ領域を覆うホトレジストマスクPR55を形成し、薄いゲート絶縁膜を有するトランジスタ領域を露出する。ホトレジストマスクPR55をエッチングマスクとし、ゲート絶縁膜GI1を除去する。その後ホトレジストマスクPR55は除去する。

30

【0013】

半導体基板上に薄いゲート絶縁膜を形成すると、厚いゲート絶縁膜が除去された領域に薄いゲート絶縁膜GI2が形成される。このようにして、厚いゲート絶縁膜GI1と薄いゲート絶縁膜GI2とが形成される。

【0014】

FIG. 11Fに示すように、ゲート絶縁膜上に多結晶シリコンのゲート電極層を形成し、パターニングして、ゲート電極Gを形成する。ゲート電極をマスクとしてソース/ドレイン領域のエクステンション部のイオン注入を行なう。酸化シリコン等のサイドウォールスペーサを形成した後、高濃度ソース/ドレイン領域のイオン注入を行なう。nチャネルMOSトランジスタ及びpチャネルMOSトランジスタのイオン注入は、それぞれレジストマスクを用いて選択的に行なう。

40

【0015】

このようにして、FIG. 11Fに示すようなCMOS半導体装置が形成される。以上説明した製造方法によれば、ゲート絶縁膜の形成以外に、ウェルおよび閾値 V_t 制御のために4枚のマスクを用い、8回のイオン注入を行なっている。複雑な製造工程は、製造コストの増大及び歩留りの低下につながる。製造工程を簡略化することが望まれる。

【0016】

特開平11-40004は、工程数を減少した半導体装置の製造方法を提案する。このような、工程数を減少させた半導体装置の製造方法を以下に説明する。

50

【 0 0 1 7 】

FIG. 12Aに示すように、FIG. 11A同様に、シリコン基板101に素子分離領域102により4つの活性領域N-LV、N-HV、P-LV、P-HVを画定する。nチャンネルトランジスタ領域に開口を有するホトレジストマスクPR51を形成し、nチャンネルMOSトランジスタ領域に3回のイオン注入を行ない、p型ウェルWP、p型チャンネルストップ領域CSP、p型閾値調整領域VtPを形成する。

【 0 0 1 8 】

閾値調整用のイオン注入の濃度は、薄いゲート絶縁膜を有するトランジスタN-LVに適した値とする。この濃度は、厚いゲート絶縁膜を有するnチャンネルMOSトランジスタN-HVの閾値調整用不純物イオン注入としては高すぎる濃度である。その後ホトレジストマスクPR51は除去する。

10

【 0 0 1 9 】

FIG. 12Bに示すように、pチャンネルMOSトランジスタ領域に開口を有するホトレジストマスクPR52を形成し、pチャンネルMOSトランジスタ領域にn型ウェルWN、n型チャンネルストップ領域CSN、n型閾値調整領域VtNを形成するためのn型不純物をイオン注入する。

【 0 0 2 0 】

閾値調整用イオン注入の濃度は、厚いゲート絶縁膜を有するpチャンネルMOSトランジスタP-HVに適した濃度とする。この濃度は、薄いゲート絶縁膜を有するpチャンネルMOSトランジスタP-LVには不足する濃度である。ホトレジストマスクPR52はその後除去する。

20

【 0 0 2 1 】

FIG. 12Cに示すように、厚いゲート絶縁膜を形成するnチャンネルMOSトランジスタ領域N-HV及び薄いゲート絶縁膜を形成するpチャンネルMOSトランジスタ領域P-LVに開口を有するホトレジストマスクPR56を形成し、n型不純物を追加的にイオン注入する。薄いゲート絶縁膜を形成するpチャンネルMOSトランジスタ領域P-LVにおいては、2回のn型不純物のイオン注入により、所望の不純物濃度が得られ、閾値が適性に調整される。

【 0 0 2 2 】

厚いゲート絶縁膜を有するnチャンネルMOSトランジスタ領域N-HVにおいては、始めにイオン注入された高すぎるp型不純物濃度が、追加的にイオン注入されたn型不純物のイオン注入により補償され、不純物濃度が低下する。その後ホトレジストマスクPR56は除去する。

30

【 0 0 2 3 】

FIG. 12Dに示すように、厚いゲート絶縁膜GI1を形成する。厚いゲート絶縁膜を有するトランジスタを覆うホトレジストマスクPR55をエッチングマスクとし、薄いゲート絶縁膜を形成する領域の厚いゲート絶縁膜を除去する。その後ホトレジストマスクPR55を除去し、薄いゲート絶縁膜GI2を形成する。

【 0 0 2 4 】

FIG. 12Eに示すように、公知の方法により、ゲート電極、ソース/ドレイン領域等を形成して半導体装置を完成する。

40

【 0 0 2 5 】

この方法によれば、ゲート絶縁膜の選択除去を除外すると、3回のマスク工程と7回のイオン注入によりウェル内の不純物濃度分布が形成されている。FIG. 11A~11Dに示す工程と比べ、マスクが1枚減少し、イオン注入が1回減少している。

【 0 0 2 6 】

製造工程が簡略化されたが、厚いゲート絶縁膜を有するnチャンネルMOSトランジスタN-HVの閾値Vtは独立に設定できるわけではない。閾値Vtの設定について一定限度の妥協が必要となる。又、開発段階で閾値設定を変更する場合には、他のトランジスタの閾値の設定も変更する必要があることがある。

50

【 0 0 2 7 】

このように、多電圧を扱う複数種類のトランジスタを製造しようとする、工程数が多くなりやすい。工程数を削減する製造法を採用しようとする、新たな問題が生じ易い。多電圧で動作し、かつ簡略化された製造方法で製造することのできる半導体装置の製造方法が望まれる。

【 発明の概要 】

【 0 0 2 8 】

本発明の目的は、少ない工程数で多電圧で動作する複数種類のトランジスタを製造する半導体装置の製造方法を提供することである。

【 0 0 2 9 】

本発明の一観点によれば、(a)半導体基板に、表面から第 1 の深さ位置まで達する素子分離領域を形成する工程と、(b)前記半導体基板に第 1 導電型の第 1 および第 2 のウェルを形成する工程と、(c)前記第 1 のウェルの表面に第 1 の厚さのゲート絶縁膜を、前記第 2 のウェルの表面に前記第 1 の厚さより薄い第 2 の厚さのゲート絶縁膜を形成する工程と、(d)前記ゲート絶縁膜の上にゲート電極を形成する工程と、(e)前記ゲート電極の両側の半導体基板内にソース/ドレイン領域を形成する工程と、を含み、前記工程 (b)が、(b 1)前記第 1 および第 2 のウェルに共通に、前記第 1 の深さと同等またはより深い位置にのみ極大値を有する第 1 導電型の第 1 の不純物濃度分布をイオン注入により形成する工程と、(b 2)第 1、第 2 のウェルに対して選択的に、前記第 1 の深さと同等の深さ位置に極大値を有する第 1 導電型の第 2 の不純物濃度分布をイオン注入により形成する工程と、(b 3)前記第 2 のウェルにのみ前記第 1 の深さより浅い深さ位置に極大値を有する第 1 導電型の第 3 の不純物濃度分布をイオン注入により形成する工程とを含み、前記工程 (b 2)が、(b 2 - 1)前記第 1、第 2 のウェルに前記第 1 の深さと同等の深さ位置に極大値を有する第 1 導電型の不純物濃度分布をイオン注入により形成する工程と、(b 2 - 2)前記第 1 の深さ位置と同等の深さ位置に極大値を有する第 1 導電型の不純物濃度分布を、第 1 のウェルを除いて、前記第 2 のウェルにイオン注入により形成する工程とを含む半導体装置の製造方法が提供される。

【 図面の簡単な説明 】

【 0 0 3 0 】

【 図 1 】 F I G . 1 A ~ 1 D は、本発明の実施例による半導体装置の製造方法の主要工程を示す断面図である。

【 図 2 】 F I G 2 A ~ 2 D は、上述の実施例の変形例を示す断面図である。

【 図 3 】 F I G . 3 A ~ 3 E は、上述の実施例のさらに他の変形例を示す断面図である。

【 図 4 】 F I G . 4 A ~ 4 D は、上述の実施例のさらに他の変形例を示す断面図である。

【 図 5 - 1 】と、

【 図 5 - 2 】 F I G . 5 A ~ 5 F は、上述の実施例を C M O S 半導体装置の製造方法に適用した半導体装置の製造方法の主要工程を示す断面図である。

【 図 6 】 F I G . 6 A ~ 6 D は、 F I G . 5 A ~ 5 F の製造方法により製造した各トランジスタの構成を示す平面図、表及びグラフである。

【 図 7 】 F I G . 7 は、より多種類のトランジスタを有する半導体装置の構成を概略的に示す断面図である。

【 図 8 - 1 】と、

【 図 8 - 2 】と、

【 図 8 - 3 】と、

【 図 8 - 4 】と、

【 図 8 - 5 】と、

【 図 8 - 6 】と、

【 図 8 - 7 】と、

【 図 8 - 8 】 F I G . 8 A ~ 8 Z C は、 F I G . 7 に示す半導体装置の製造方法を示す断面図である。

10

20

30

40

50

【図9】FIG. 9A、9Bは、ポケット領域の作成を説明する断面図である。

【図10-1】と、

【図10-2】と、

【図10-3】FIG. 10A~10Jは、本発明の他の実施例による半導体装置の製造方法を示す断面図である。

【図11】FIG. 11A~11Fは、標準的技術により高電圧及び低電圧のCMOSトランジスタを製造する製造方法の主要工程を示す断面図である。

【図12】FIG. 12A~12Eは、簡略化された工程で高電圧及び低電圧のCMOSトランジスタを製造する製造方法の例を示す断面図である。

【図13】FIG. 13は、低電圧動作の論理回路と、フラッシュメモリセル駆動用の高電圧トランジスタとを集積化した構成を概略的に示す断面図である。

【図14】FIG. 14A~14Dは、FIG. 13に示す複数種類のトランジスタを製造する製造方法の例を概略的に示す断面図である。

【図15】FIG. 15A~15Cは、FIG. 13に示す複数種類のトランジスタを製造する他の製造方法の例を示す断面図である。

【図16】FIG. 16A~16Cは、FIG. 13に示す複数種類のトランジスタを製造するさらに他の製造方法の主要工程を示す断面図である。

【発明を実施するための形態】

【0031】

1.2V動作の論理回路に、フラッシュメモリセルを混載する場合を考察する。フラッシュメモリのプログラム（書き込み）/消去及び読み出しには、高電圧が必要である。このような高電圧は、例えば外部から供給される1.2V電源電圧を内部回路で昇圧して発生させるのが通常である。このような低電圧から高電圧を発生させるためには、高電圧に耐えるトランジスタが必要である。さらに、リークを抑える高閾値のトランジスタと、効率良く昇圧するための低閾値のトランジスタの両方を備えることが望ましい。

【0032】

FIG. 13は、このような要請を反映して形成される3種類のトランジスタを示す。高電圧、低閾値トランジスタHV-LVtと、高電圧、高閾値トランジスタHV-HVtと、低電圧トランジスタLVが形成されている。高電圧トランジスタHV-LVt、HV-HVtは、例えば厚さ16nmのゲート酸化膜を有する。低電圧トランジスタLVは、例えば厚さ2nmのゲート酸化膜を有する。

【0033】

なお、高電圧トランジスタは5V動作するトランジスタに限らず、他の駆動電圧動作するトランジスタを含む場合もある。例えば、高電圧の入出力インターフェイスを備えた場合にも、待機時電流を低減する高閾値トランジスタと、動作スピードを重視する低閾値トランジスタの両方が望まれる。

【0034】

このような、種々のトランジスタを集積化する場合にも適用できる簡略化された製造方法が望まれる。特に、例えば1.2V程度と動作電圧が低い場合、許容される閾値の範囲も非常に狭くなり、個々のトランジスタの閾値を独立に設定できない方法では、所望の性能を達成することが困難となる。以下、FIG. 13に示すような3種類のトランジスタを製造する製造方法を検討する。

【0035】

FIG. 14A~14Dは、最も標準的な製造方法の例を示す。

【0036】

FIG. 14Aに示すように、先ず高電圧、低閾値電圧のトランジスタHV-LVtを形成する活性領域を露出するホトレジストマスクPR61を形成し、ウェルWP1形成用p型不純物、p型チャンネルストップ領域CSP1形成用p型不純物、閾値調整VtP1用p型不純物のイオン注入を計3回行なう。その後ホトレジストマスクPR61は除去する。

。

10

20

30

40

50

【0037】

FIG. 14Bに示すように、高電圧、高閾値電圧のトランジスタHV - HV tを形成する領域に開口を有するホトレジストマスクPR 6 2を形成し、ウェルWP 2形成用、チャンネルストップ領域CSP 2形成用及び閾値調整V t P 2用の3種類のイオン注入を行なう。その後ホトレジストマスクPR 6 2は除去する。

【0038】

FIG. 14Cに示すように、低電圧トランジスタLV領域を露出するホトレジストマスクPR 6 3を形成し、ウェルWP 3形成用、チャンネルストップ領域CSP 3形成用、閾値調整V t P 3用のp型不純物のイオン注入を行なう。その後ホトレジストマスクPR 6 3は除去する。このようにして、各トランジスタ領域毎に3種類のイオン注入を行ない、その後厚いゲート酸化膜を形成し、薄いゲート酸化膜を形成する領域において一旦形成したゲート酸化膜を除去し、新たに薄いゲート酸化膜を形成する。その後、通常の方法に従い、多結晶シリコン等のゲート電極を形成する。

10

【0039】

FIG. 14Dは、このようにして形成された3種類のnチャンネルMOSトランジスタを示す。3種類のトランジスタを形成するために、素子分離後ゲート絶縁膜形成前に3枚のマスクと9回のイオン注入を行なっている。工程数を減少することが望まれる。

【0040】

FIG. 15A ~ 15Cは、工程を簡略化した製造方法の例を示す。

【0041】

FIG. 15Aに示すように、高電圧トランジスタHV - LV t、HV - HV t領域を露出するホトレジストマスクPR 7 1を形成し、2つのトランジスタ領域に共通に、ウェルWP 1、チャンネルストップ領域CSP 1及び閾値調整領域V t P 1形成用の3回のイオン注入を行なう。

20

【0042】

なお、閾値調整用イオン注入は、低い閾値を有する高電圧トランジスタHV - LV tにおいて適正な閾値を生成する濃度である。高電圧、高閾値トランジスタHV - HV tでは、このままでは適正な閾値は得られない。

【0043】

FIG. 15Bに示すように、高閾値、高電圧トランジスタHV - HV t領域を露出するレジストマスクPR 6 2を形成し、閾値調整V t P 2用の追加的イオン注入を行なう。追加されたイオン注入により閾値が適正な値まで高められる。その後、ホトレジストマスクPR 6 2は除去する。

30

【0044】

FIG. 15Cに示すように、低電圧トランジスタLV領域を露出するホトレジストマスクPR 6 3を形成し、低電圧トランジスタ領域にウェルWP 2、チャンネルストップ領域CSP 2及び閾値調整V t P 3形成用の3回のイオン注入を行なう。

【0045】

この方法によれば、マスクは3枚と変わらないが、イオン注入の回数は7回と2回減少させることができる。

40

【0046】

FIG. 16A ~ 16Cは、工程を簡略化した他の製造方法を示す。

【0047】

FIG. 16Aに示すように、3種類のトランジスタ領域を露出するホトレジストマスクPR 8 1を形成し、全領域共通にウェルWP、チャンネルストップ領域CSP及び閾値調整V t P 1形成用のイオン注入を行なう。閾値調整用イオン注入は、低閾値、高電圧トランジスタHV - LV tに適合する様に調整した条件で行なう。その後ホトレジストマスクPR 8 1は除去する。

【0048】

FIG. 16Bに示すように、高閾値、高電圧トランジスタHV - HV tを露出する開

50

口を有するホトレジストマスクPR62を形成し、閾値調整VtP2用の追加イオン注入を行なう。レジストマスクPR62はその後除去する。

【0049】

FIG. 16Cに示すように、低電圧トランジスタ領域LVを露出するホトレジストマスクPR63を形成し、低電圧トランジスタの閾値調整VtP3用追加イオン注入を行なう。

【0050】

この方法によれば、マスクは3枚と変わらないが、イオン注入の回数は5回とさらに2回減少させることができる。

【0051】

本発明者等の検討によれば、FIG. 16A~16Cの方法を用いた場合、1.2V動作トランジスタのための寄生トランジスタの閾値を高くするためにチャネルストップ領域形成用イオン注入濃度を大きくすると、それだけで5Vトランジスタ部の濃度が高くなりすぎる。この結果、低閾値、高電圧トランジスタHV-LVtを実現することができないことが判明した。従って、工程数の最も少ないFIG. 16A-16Cの製造方法はそのままでは採用できない。

【0052】

以下、図面を参照して本発明の実施例を説明する。

【0053】

FIG. 1A~1Dは、本発明の第1の実施例による半導体装置の製造方法の主要工程を示す断面図である。

【0054】

FIG. 1Aに示すように、半導体基板11の1表面に、周知の方法によりシャロートレンチアイソレーション(STI)12を形成する。複数の活性領域がSTI12により画定される。以下、活性領域とそこに形成されるトランジスタとを同一の符号で示す。イオン注入とイオン注入された領域も同一符号で示す。

【0055】

図中左の活性領域には高電圧、低閾値のトランジスタHV-LVtを形成する。図中中央の活性領域には、高電圧、高閾値のトランジスタHV-HVtを形成する。図中右側の活性領域には、低電圧トランジスタLVを形成する。

【0056】

まず、3つの活性領域を露出する開口を有するホトレジストマスクPR11を形成し、各領域でSTIと同等またはより深い深さ位置に極大値を有するウェルを形成するイオン注入14及びSTIと略同等の深さ位置に極大値を有するチャネルストップ領域を形成するイオン注入15を行なう。チャネルストップ領域15は、高電圧、低閾値トランジスタHV-LVtにおいて低閾値を生成する。その後ホトレジストマスクPR11は除去する。

【0057】

なお、図においては各不純物濃度のピーク部分を領域で示したが、実際の不純物濃度分布は、より幅広い領域に広がっている。極大値の位置が多少変化しても半導体装置の動作にあまり影響しない場合も多い。「同等」、「略同等」は半導体装置の動作上同一と見なせる範囲を含む。

【0058】

FIG. 1Bに示すように、高電圧、高閾値トランジスタHV-HVt及び低電圧トランジスタLVを露出する開口を有するホトレジストマスクPR12を形成し、高電圧、高閾値トランジスタHV-HVt又は低電圧トランジスタLVに対するフィールドトランジスタの閾値を達成するドーズ量の大きい方を追加イオン注入し、チャネルストップ領域15xを形成する。高電圧、高閾値トランジスタHV-HVtが0.5V以上であれば、通常前者を達成するドーズ量が大きく、高電圧、高閾値トランジスタHV-HVtは自由に設定できる。その後ホトレジストマスクPR12は除去する。

10

20

30

40

50

【 0 0 5 9 】

F I G . 1 C に示すように、低電圧トランジスタ L V を開口するホトレジストマスク P R 1 3 を形成し、閾値調整用イオン注入 1 6 を行なう。その後ホトレジストマスク P R 1 3 は除去する。

【 0 0 6 0 】

以上の工程により、3枚のマスク及び4回のイオン注入により、3種類のトランジスタに対するウェル領域を形成することができる。この方法は、例えば低電圧トランジスタがゲート長 $0.13 \mu\text{m}$ 、動作電圧 1.2V というように微細化されたトランジスタであっても良好に行なうことができる。

【 0 0 6 1 】

なお、イオン注入する不純物を p 型とすれば、n チャネル M O S トランジスタを形成することができ、イオン注入する不純物を n 型とすれば、p チャネル M O S トランジスタを形成することができる。

【 0 0 6 2 】

F I G . 1 D に示すように、周知の方法により、半導体基板表面上に厚いゲート酸化膜 G I 1 及び薄いゲート酸化膜 G I 2 を形成し、ポリシリコンによりゲート電極を形成し、エクステンション部のイオン注入を行なった後サイドウォールスペーサを形成し、高濃度ソース/ドレイン領域に対するイオン注入を行なって各トランジスタを完成する。高電圧トランジスタ 1 7 及び低電圧トランジスタ 1 8 が形成される。

【 0 0 6 3 】

なお、上述の実施例においては、3つの活性領域に対し共通のウェル用イオン注入とチャネルストップ用イオン注入を行なった。ウェル用イオン注入の濃度を高く、及びノ又は注入深さを浅くすることにより、高電圧、低閾値トランジスタ用のチャネルストップイオン注入を省略することも可能となる。F I G . 2 A ~ 2 D は、この変形例を示す。

【 0 0 6 4 】

F I G . 2 A に示すように、3つの活性領域を露出する開口を有するホトレジストマスク P R 1 1 を形成し、3つの活性領域に対し共通のウェル領域のイオン注入 1 4 s を行なう。ウェル領域用イオン注入 1 4 s は、F I G . 1 A のウェル領域用イオン注入 1 4 と比べ、深さが浅く、濃度が高く設定されている。

【 0 0 6 5 】

このウェル用イオン注入 1 4 s により、高電圧、低閾値トランジスタ H V - L V t においては、チャネルストップ領域形成用イオン注入の役割が既に達成される。その後ホトレジストマスク P R 1 1 は除去する。

【 0 0 6 6 】

F I G . 2 B に示すように、高電圧、高閾値トランジスタ H V - H V t 及び低電圧トランジスタ L V を露出する開口を有するホトレジストマスク P R 1 2 を形成、チャネルストップ領域形成用イオン注入 1 5 y を行なう。その後ホトレジストマスク P R 1 2 は除去する。

【 0 0 6 7 】

F I G . 2 C に示すように、低電圧トランジスタ L V 領域を露出する開口を有するホトレジストマスク P R 1 3 を形成し、閾値調整用イオン注入 1 6 を行なう。その後ホトレジストマスク P R 1 3 は除去する。このようにして、3枚のマスク及び3回のイオン注入により、3種類のトランジスタを形成するウェル領域が形成される。

【 0 0 6 8 】

F I G . 2 D に示すように、周知の方法により高電圧用絶縁ゲート電極 1 7 及び低電圧用絶縁ゲート電極 1 8 を形成する。

【 0 0 6 9 】

フラッシュメモリと論理回路とを混載する場合、高電圧 (5V) の n チャネル M O S トランジスタは、マイナス電圧を処理するためにトリプルウェルに形成することがある。

【 0 0 7 0 】

10

20

30

40

50

FIG. 1A ~ 1Cの工程に、トリプルウェルを形成するイオン注入を加えた変形例を以下に説明する。

【0071】

FIG. 3Aに示すように、高電圧トランジスタHV - LV t、HV - HV tを露出する開口を有するホトレジストマスクPR 14を形成し、n型不純物をイオン注入し、トリプルウェル用n型ウェル19を形成する。その後ホトレジストマスクPR 14は除去する。

【0072】

FIG. 3Bに示すように、3種類のトランジスタ領域を露出する開口を有するホトレジストマスクPR 11を形成し、3つのトランジスタ領域に対し、p型ウェルのイオン注入14、チャンネルストップ領域のイオン注入15を行なう。その後ホトレジストマスクPR 11は除去する。

10

【0073】

FIG. 3Cに示すように、高電圧、高閾値トランジスタHV - HV t及び低電圧トランジスタLV領域を露出する開口を有するホトレジストマスクPR 12を形成し、チャンネルストップ領域形成用の追加イオン注入を行なう。チャンネルストップ領域15xは、当初のチャンネルストップ領域15よりも不純物濃度が高くなる。その後ホトレジストマスクPR 12は除去する。

【0074】

FIG. 3Dに示すように、低電圧用トランジスタLVを露出する開口を有するホトレジストマスクPR 13を形成し、閾値調整用イオン注入16を行なう。その後ホトレジストマスクPR 13は除去する。

20

【0075】

FIG. 3Eに示すように、pチャンネルMOSトランジスタのn型ウェル領域形成工程において用いるホトレジストマスクPR 15に、nチャンネルMOSトランジスタ領域の周辺に、先に形成したn型ウェル19の周辺と連続する領域に開口を形成する。

【0076】

n型ウェルのイオン注入と共に、pチャンネルトランジスタ領域のn型ウェル19の周辺部にn型領域20がイオン注入され、トリプルウェル用のn型ウェルが形成される。このようにして、トリプルウェルを有する半導体装置が形成される。

30

【0077】

FIG. 4A ~ 4Dは、トリプルウェルを形成する他の変形例を示す。

【0078】

FIG. 4Aに示すように、高電圧トランジスタHV - LV t、HV - HV t領域を露出する開口を有するホトレジストマスクPR 14を形成し、トリプルウェル用n型ウェル19、p型ウェル14H、チャンネルストップ領域15Hのイオン注入を行なう。その後ホトレジストマスクPR 14は除去する。

【0079】

FIG. 4Bに示すように、高電圧、高閾値トランジスタHV - HV t、低電圧トランジスタLV領域を露出する開口を有するホトレジストマスクPR 12を形成し、ウェル領域用イオン注入14L及びチャンネルストップ用イオン注入15Lを行なう。その後ホトレジストマスクPR 12は除去する。

40

【0080】

高電圧、高閾値トランジスタHV - HV t領域においては、2回のウェル領域用イオン注入が重畳され、不純物濃度の高いp型ウェル14Mが形成され、2回のチャンネルストップ領域用イオン注入が重畳され、不純物濃度の高いチャンネルストップ領域15Mが形成される。低電圧トランジスタLV用領域においては、今回のイオン注入のみにより、不純物濃度の低いウェル領域14Lと不純物濃度の低いチャンネルストップ領域15Lが形成される。

【0081】

50

FIG. 4Cに示すように、低電圧トランジスタLVを露出する開口を有するホトレジストマスクPR13を形成し、閾値調整用イオン注入16Lを行なう。低電圧トランジスタLVのみにおいて、閾値調整用イオン注入が行なわれる。

【0082】

FIG. 4Dに示すように、n型ウェル形成工程において、ホトレジストマスクPR15にn型ウェル19周辺に連続するように開口を形成し、n型不純物のイオン注入20を行なう。トリプルウェルのn型ウェルが形成される。

【0083】

このようにして、FIG. 3A~3Eに比べて、マスク一枚を減少した工程数で所望の構成のウェルを有する半導体装置を形成することができる。なお、PチャネルMOS装置の場合も不純物の導電型を反転して同様の製造工程を採用することができる。

10

【0084】

FIG. 5Aは、左側に3つのnチャネルトランジスタ領域、右側に3つのpチャネルトランジスタ領域を示す。FIG. 1A-1Dに示した製造方法同様、nチャネルトランジスタ領域を露出するホトレジストマスクPR11を形成し、p型ウェル14、p型チャネルストップ15のイオン注入を行なう。

【0085】

p型ウェル14のイオン注入は例えばB⁺イオンを加速エネルギー400keV、ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。p型チャネルストップ15のイオン注入は、例えばB⁺イオンを加速エネルギー100keV、ドーズ量 2×10^{12} でイオン注入する。その後、ホトレジストマスクPR11は除去する。

20

【0086】

FIG. 5Bに示すように、高電圧、高閾値電圧nチャネルトランジスタN-HV-HVt領域及び低電圧nチャネルトランジスタN-LV領域を露出する開口を有するホトレジストマスクPR12を形成し、チャネルストップ領域形成用追加B⁺イオン注入を加速エネルギー100keV、ドーズ量 $6 \times 10^{12} \text{ cm}^{-2}$ で行なう。追加イオン注入が行なわれ、不純物濃度を増加したチャネルストップ領域15xが形成される。その後ホトレジストマスクPR12は除去する。

【0087】

FIG. 5Cに示すように、pチャネルトランジスタ領域を露出する開口を有するホトレジストマスクPR21を形成し、n型ウェル24形成用イオン注入を行なう。P⁺イオンを加速エネルギー600keV、ドーズ量 $3.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後ホトレジストマスクPR21は除去する。

30

【0088】

FIG. 5Dに示すように、高電圧、高閾値電圧pチャネルトランジスタP-HV-HVt及び低電圧PチャネルトランジスタP-LV領域を露出する開口を有するホトレジストマスクPR22を形成し、チャネルストップ領域25形成用P⁺イオン注入を加速エネルギー240keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ で行なう。その後ホトレジストマスクPR22は除去する。

【0089】

FIG. 5Eに示すように、nチャネル低電圧トランジスタN-LVを露出する開口を有するホトレジストマスクPR13を形成し、閾値調整用p型不純物のB⁺イオン注入16を加速エネルギー10keV、ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ で行なう。その後ホトレジストマスクPR13は除去する。

40

【0090】

FIG. 5Fに示すように、低電圧pチャネルトランジスタP-LVを露出する開口を有するホトレジストマスクPR23を形成し、閾値調整n型不純物のAs⁺イオン注入26を加速エネルギー100keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ で行なう。その後ホトレジストマスクPR23は除去する。

【0091】

50

このように、6枚のマスク及び7回のイオン注入により、3種類のnチャンネルMOSトランジスタ及び3種類のpチャンネルMOSトランジスタのためのウェル領域を形成することができる。

【0092】

FIG. 6A - 6Dは、FIG. 5A ~ 5Fで形成されるトランジスタを説明するための図である。

FIG. 6Aは、トランジスタの平面構成を概略的に示す。幅Wの矩形活性領域上に絶縁ゲート電極が形成される。絶縁ゲート電極Gの電流方向長さ(ゲート長)はLである。

【0093】

FIG. 6Bは、形成される各種トランジスタの特性を示す表である。低電圧nチャンネルMOSトランジスタN-LVは、ゲート幅Wに対するゲート長の比 $L/W = 0.11/1\mu\text{m}$ であり、閾値 V_t は0.2Vである。nチャンネル高電圧、高閾値MOSトランジスタN-HV-HVtは、 L/W が $0.70/1\mu\text{m}$ であり、閾値 V_t は0.6Vである。nチャンネル高電圧、低閾値MOSトランジスタN-HV-LVtは、 L/W 比が $0.70/1\mu\text{m}$ であり、閾値 V_t は0.2Vである。

10

【0094】

pチャンネル低電圧MOSトランジスタP-LVは、 L/W が $0.11/1\mu\text{m}$ であり、閾値 V_t は-0.2Vである。pチャンネル高電圧、高閾値MOSトランジスタP-HV-HVtは、 L/W 比が $0.70/1\mu\text{m}$ であり、閾値 V_t は-0.6Vである。pチャンネル高電圧、低閾値MOSトランジスタP-HV-LVtは、 L/W 比が $0.70/1\mu\text{m}$ であり、閾値 V_t は-0.2Vである。

20

【0095】

FIG. 6Cは、nチャンネルMOSトランジスタ領域の不純物濃度分布を示す。横軸が基板表面からの深さ、縦軸がボロン濃度を示す。曲線N-LV、N-HV-HVt、N-HV-LVtは、それぞれnチャンネル低電圧トランジスタ領域、nチャンネル高電圧、高閾値トランジスタ領域、nチャンネル高電圧、低閾値トランジスタ領域の不純物濃度分布を示す。

【0096】

ウェルのイオン注入は3種類のトランジスタ領域に対して共通である。素子分離領域と略同等深さのチャンネルストップ領域のイオン注入はnチャンネル高電圧、低閾値トランジスタ領域においては1回のみ、nチャンネル、高電圧、高閾値トランジスタ領域およびnチャンネル低電圧トランジスタ領域においては2回のイオン注入に対応して高い。

30

【0097】

基板のより浅い領域においては、低電圧トランジスタN-LV領域において閾値調整用イオン注入に対応して高いp型濃度ピークが形成されている。

【0098】

FIG. 6Dは、pチャンネルMOSトランジスタ領域における不純物濃度分布を示すグラフである。横軸が基板表面からの深さ、縦軸がn型不純物濃度を示す。曲線P-LV、P-HV-HVt、P-HV-LVtは、それぞれpチャンネル低電圧トランジスタ、pチャンネル高電圧、高閾値トランジスタ、pチャンネル高電圧、低閾値トランジスタ領域の不純物濃度分布を示す。ウェルのイオン注入は共通である。

40

【0099】

素子分離領域と略同等の深さのチャンネルストップのイオン注入は、高電圧、高閾値トランジスタ領域、低電圧トランジスタ領域のみに行なわれ、ピーク左側の不純物濃度を高くしている。さらに浅い領域において、低電圧トランジスタ領域において閾値調整用イオン注入によりn型不純物のピークが形成されている。

【0100】

次に、フラッシュメモリセルを混載した $0.13\mu\text{m}$ ロジックプロセスについてより詳細に説明する。

50

【 0 1 0 1 】

FIG. 7は、この半導体装置に集積化される11種類のトランジスタを列挙したものである。トランジスタFMは、フラッシュメモリセルを表わす。高電圧、低閾値トランジスタN-HV-LVtは、高耐圧で低い閾値を有するnチャンネルMOSトランジスタである。高電圧、高閾値トランジスタN-HV-HVtは、高耐圧、高閾値のnチャンネルMOSトランジスタである。高電圧、低閾値トランジスタP-HV-LVtは高耐圧、低閾値のpチャンネルMOSトランジスタである。高電圧、高閾値トランジスタP-HV-HVtは、高耐圧、高閾値のpチャンネルMOSトランジスタである。

【 0 1 0 2 】

中耐圧トランジスタN-MVは、入出力インターフェイスに用いられる例えば2.5V動作のnチャンネルMOSトランジスタである。中耐圧トランジスタP-MVは、入出力インターフェイスに用いられる例えば2.5V動作のpチャンネルMOSトランジスタである。

10

【 0 1 0 3 】

低電圧、高閾値トランジスタN-LV-HVtは、低耐圧、高閾値のnチャンネルMOSトランジスタである。低電圧、低閾値トランジスタN-LV-LVtは、低耐圧、低閾値のnチャンネルMOSトランジスタである。低電圧、高閾値トランジスタP-LV-HVtは、低耐圧、高閾値のpチャンネルMOSトランジスタである。低電圧、低閾値トランジスタP-LV-LVtは、低耐圧、低閾値のpチャンネルMOSトランジスタである。

【 0 1 0 4 】

nチャンネル高電圧トランジスタ及びフラッシュメモリセルは、n型ウェル19内のp型ウェル14内に形成される。nチャンネルトランジスタはp型ウェル14内に形成され、pチャンネルMOSトランジスタはn型ウェル24に形成される。高耐圧、低閾値pチャンネルMOSトランジスタP-HV-LVt以外のトランジスタには、チャンネルストップ領域15、25が形成されている。

20

【 0 1 0 5 】

低電圧、高閾値トランジスタN-LV-HVt、P-LV-HVtには、閾値調整用イオン注入16、26が形成されている。中電圧トランジスタN-MV、P-MVには、閾値調整用イオン注入37、38が形成されている。フラッシュメモリFMには、閾値調整用イオン注入36が形成されている。閾値調整用イオン注入とチャンネルストップ領域とが協働してトランジスタの閾値を調整している。

30

【 0 1 0 6 】

以下、FIG. 7に示す半導体装置を製造する製造工程について説明する。

【 0 1 0 7 】

FIG. 8Aに示すように、半導体基板11にSTI12を形成し、次いでシリコン基板表面を熱酸化し、例えば厚さ10nmの酸化シリコン膜13を形成する。

【 0 1 0 8 】

FIG. 8Bに示すように、フラッシュメモリセルFM及び高電圧nチャンネルMOSトランジスタN-HV領域を露出するホトレジストマスクPR14を形成し、n型ウェル形成用のP⁺イオンを加速エネルギー2MeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR14は除去する。

40

【 0 1 0 9 】

FIG. 8Cに示すように、フラッシュメモリFM及びnチャンネルMOSトランジスタ領域を露出する開口を有するホトレジストマスクPR11を形成し、p型ウェル形成用のB⁺イオンを加速エネルギー400keV、ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、さらにチャンネルストップ領域形成用のB⁺イオンを加速エネルギー100keV、ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR11は除去する。このようにして、p型ウェル14及びチャンネルストップ領域15が形成される。

【 0 1 1 0 】

FIG. 8Dに示すように、フラッシュメモリFM及び高電圧、低閾値nチャンネルトラ

50

ンジスタN - HV - LV tを除くnチャネルMOSトランジスタを露出するレジストマスクPR12を形成し、チャンネルストップ領域形成用のB⁺イオンを加速エネルギー100 keV、ドーズ量 6×10^{12} で追加的にイオン注入する。追加イオン注入をされたチャンネルストップ領域15xが形成される。その後レジストマスクPR12は除去する。

【0111】

FIG. 8Eに示すように、pチャネルMOSトランジスタを露出するレジストマスクPR21を形成し、n型ウェル24形成用のP⁺イオンを加速エネルギー600 keV、ドーズ量 $3.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR21は除去する。

【0112】

FIG. 8Fに示すように、高電圧、低閾値トランジスタを除くpチャネルMOSトランジスタを露出するレジストマスクPR22を形成し、チャンネルストップ領域25形成用のP⁺イオンを加速エネルギー240 keV、ドーズ量 $5.0 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR22は除去する。

【0113】

FIG. 8Gに示すように、フラッシュメモリセルFMを露出するレジストマスクPR31を形成し、閾値調整用領域36を形成するB⁺イオンを加速エネルギー40 keV、ドーズ量 $6 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR31は除去する。

【0114】

FIG. 8Hに示すように、半導体基板表面の酸化シリコン膜13をHF溶液により除去する。活性領域のシリコン表面が露出する。

【0115】

FIG. 8Iに示すように、半導体基板表面を熱酸化し、厚さ約10 nmのトンネル酸化膜を成長する。トンネル酸化膜上に、厚さ約90 nmの燐(P)をドーピングしたアモルファスシリコン膜をCVDにより堆積し、フローティングゲート31の形状にパターニングする。なお、アモルファスシリコン膜は、その後の熱処理によりポリシリコン膜に変換される。

【0116】

フローティングゲート31を覆うように酸化シリコン膜及び窒化シリコン膜をそれぞれ5 nm、10 nm、CVDで堆積する。窒化シリコン膜表面を約5 nm厚熱酸化して約10 nm厚の酸化シリコン膜とし、全体として厚さ20 nm程度のONO膜32を成長する。

【0117】

FIG. 8Jに示すように、中電圧nチャネルMOSトランジスタN - MVを露出するレジストマスクPR32を形成し、閾値調整用領域37を形成するB⁺イオンを加速エネルギー30 keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR32は除去する。

【0118】

FIG. 8Kに示すように、中電圧pチャネルMOSトランジスタP - MVを露出するレジストマスクPR33を形成し、閾値調整用領域38を形成するAs⁺イオンを加速エネルギー150 keV、ドーズ量 $3 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR33は除去する。

【0119】

FIG. 8Lに示すように、低電圧、高閾値nチャネルトランジスタN - LV - HV t領域を露出するレジストマスクPR13を形成し、閾値調整用領域16を形成するB⁺イオンを加速エネルギー10 keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR13は除去する。

【0120】

FIG. 8Mに示すように、低電圧、高閾値pチャネルMOSトランジスタP - LV -

10

20

30

40

50

HVtを露出するホトレジストマスクPR23を形成し、閾値調整用領域26を形成するAs⁺イオンを加速エネルギー100keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR23は除去する。

【0121】

なお、低電圧トランジスタには、エクステンション形成用マスクを用いてポケット形成用イオン注入も行う。この条件によっても閾値は制御される。ここで、低電圧低閾値トランジスタには、閾値制御用イオン注入がされていないが、ポケット注入により0.1V程度の閾値になる。同様、低電圧、高閾値トランジスタの閾値は、0.2V程度になる。

FIG. 8Nに示すように、フラッシュメモリセルFMを覆うレジストマスクPR34を形成し、FM以外の領域のONO膜32を除去する。その後、レジストマスクPR34は除去する。

10

【0122】

FIG. 8Oに示すように、基板表面を熱酸化し、厚さ13nmの酸化シリコン膜41を形成する。

【0123】

FIG. 8Pに示すように、フラッシュメモリセル及び高電圧トランジスタを覆うレジストマスクPR41を形成し、露出した領域上の酸化シリコン膜41を除去する。その後レジストマスクPR41は除去する。

【0124】

FIG. 8Qに示すように、露出した基板表面に例えば厚さ4.5nmの酸化シリコン膜42を熱酸化法により形成し、レジストマスクPR42を用いて低電圧トランジスタ領域の熱酸化膜42を除去する。

20

【0125】

FIG. 8Rに示すように、さらに露出した基板表面に例えば厚さ2.2nmの酸化シリコン膜43を熱酸化法により形成する。

【0126】

FIG. 8Sに示すように、3種類のゲート絶縁膜を形成した基板表面上に、厚さ180nmのポリシリコン膜をCVDにより形成し、その上に厚さ30nmの窒化シリコン膜をプラズマCVDにより形成する。窒化シリコン膜は、反射防止膜として機能し、さらにエッチングマスクとして用いることができる。ホトリソグラフィとパターニングによりフラッシュメモリセルのゲート電極44Fをパターニングする。

30

【0127】

FIG. 8Tに示すように、フラッシュメモリセルのゲート電極側面を熱酸化し、ソース/ドレイン領域のイオン注入を行なう。さらにフラッシュメモリセルのゲート電極を覆う窒化シリコン膜等の絶縁膜を熱CVD法により形成し、リアクティブイオンエッチング(RIE)を行なってゲート電極側壁上に窒化シリコン膜のサイドウォールスペーサ46を形成する。ポリシリコン膜上の窒化シリコン膜はRIEと同時に除去する。その後、論理回路領域のトランジスタに対し、ゲート電極44Lをパターニングする。

【0128】

FIG. 8Uに示すように、低電圧pチャネルMOSトランジスタを露出するレジストマスクPR43を形成し、ソース/ドレインのエクステンションを形成するB⁺イオンを加速エネルギー0.5keV、ドーズ量 $3.6 \times 10^{14} \text{ cm}^{-2}$ でイオン注入する。さらに同一マスクを用いて、ポケットを形成するAs⁺イオンを加速エネルギー80keV、ドーズ量各 $6.5 \times 10^{12} \text{ cm}^{-2}$ で、法線から28度傾いた4方向からイオン注入する。

40

【0129】

ポケット付エクステンション47が形成される。エクステンションとポケットはどちらを先に作成してもよい。その後レジストマスクPR43は除去する。

【0130】

FIG. 9A、9Bを参照し、ポケット領域形成工程をより詳細に説明する。レジスト

50

マスクPR43は、低電圧トランジスタ領域に開口を有する。この基板表面に対し、法線方向から所定角度傾いた方向から、不純物イオンをイオン注入する。このようにして、ポケット領域47Pが形成される。ポケット領域47Pは、ソース/ドレイン領域とは逆導電型の領域である。

【0131】

FIG. 9Bに示すように、基板法線方向に沿って、高濃度ソース/ドレインと同導電型のエクステンション47E形成用のイオン注入を行なう。エクステンション部47Eは、少なくともその先端がポケット領域47Pに囲まれた形状となる。逆導電型のポケット領域を形成することにより、パンチスルーが防止されると共に、トランジスタの閾値電圧も調整される。

10

【0132】

FIG. 8Vに示すように、低電圧nチャネルMOSトランジスタを露出するレジストマスクPR44を形成し、低電圧nチャネルMOSトランジスタ領域にエクステンション領域及びポケット領域形成用のイオン注入を行なう。

【0133】

例えば、エクステンション領域形成のため、As⁺イオンを加速エネルギー3keV、ドーズ量 $1.1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、ポケット領域形成用にBF₂⁺イオンを加速エネルギー35keV、ドーズ量各 $9.5 \times 10^{12} \text{ cm}^{-2}$ で法線方向より28度傾いた4方向からイオン注入する。このようにして、ポケット領域を備えたエクステンション48が形成される。その後レジストマスクPR44は除去する。

20

【0134】

FIG. 8Wに示すように、中電圧pチャネルMOSトランジスタP-MVを露出するレジストマスクPR45を形成し、エクステンション49を形成するBF₂⁺を加速エネルギー10keV、ドーズ量 $7.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR45は除去する。

【0135】

FIG. 8Xに示すように、中電圧nチャネルMOSトランジスタN-MVを露出するレジストマスクPR46を形成し、エクステンション50形成用のP⁺イオンを加速エネルギー10keV、ドーズ量 $3.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。さらに、As⁺イオンを加速エネルギー10keV、ドーズ量 $2.0 \times 10^{13} \text{ cm}^{-2}$ イオン注入する。Asは、ソースドレイン電流I_{ds}を大きくするために追加注入されている。Pは、ホットキャリア耐性を高める機能も有する。Asイオン注入を除くと、寄生抵抗が増し、I_{ds}は10%程度減少する。その後レジストマスクPR46は除去する。

30

【0136】

FIG. 8Yに示すように、高電圧pチャネルMOSトランジスタP-HVを露出するレジストマスクPR47を形成し、エクステンション部51を形成するBF₂⁺イオンを加速エネルギー80keV、ドーズ量 $4.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR47は除去する。

【0137】

FIG. 8Zに示すように、高電圧nチャネルMOSトランジスタN-HVを露出するレジストマスクPR48を形成し、エクステンション52を形成するP⁺イオンを加速エネルギー35keV、ドーズ量 $4.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR48は除去する。

40

【0138】

FIG. 8ZAに示すように、基板全面に酸化シリコン膜を形成し、リアクティブイオンエッチングを行なってサイドウォールスペース54を形成する。nチャネルMOSトランジスタを露出するレジストマスクPR49を形成し、ソース/ドレイン領域55形成用のP⁺イオンを加速エネルギー10keV、ドーズ量 $6.0 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。なお、n型ソース/ドレイン領域55が形成されると共に、ゲート電極がn型にドーピングされる。その後レジストマスクPR49は除去する。

50

【 0 1 3 9 】

FIG. 8 Z B に示すように、pチャネルMOSトランジスタを露出するレジストマスクPR50を形成し、ソース/ドレイン領域56形成用のB⁺イオンを加速エネルギー5 keV、ドーズ量 $4.0 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。p型ソース/ドレイン領域56が形成されると共に、ゲート電極がp型にドーピングされる。その後レジストマスクPR50は除去する。

FIG. 8 Z C に示すように、ゲート電極を覆う層間絶縁膜60を形成し、コンタクトホールを形成する。コンタクトホールを埋め込む導電性プラグ61を形成し、さらに表面に配線62を形成する。その後、必要に応じて絶縁膜、配線を形成し、多層配線を形成して半導体装置を完成する。

10

【 0 1 4 0 】

FIG. 10 A ~ 10 J は、さらに工程数を減少することのできるCMOS半導体装置の製造方法を示す。

【 0 1 4 1 】

FIG. 10 A に示すように、nチャネルトランジスタ領域を露出するレジストマスクPR11を形成し、ウェル領域14を形成するB⁺イオンを加速エネルギー400 keV、ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、さらにチャンネルストップ領域15を形成するB⁺イオンを加速エネルギー100 keV、ドーズ量 $8 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR11は除去する。

20

【 0 1 4 2 】

ドーズ量 $8 \times 10^{12} \text{ cm}^{-2}$ は、Figs. 5 A, 5 B の2回のイオン注入のドーズ量の和に等しい。全nチャネルトランジスタ領域に同一ドーズ量のチャンネルストップ領域を形成したため、高電圧、低閾値nチャネルMOSトランジスタN-HV-LVtにおいては閾値が所望の値よりも大きくなってしまう。

【 0 1 4 3 】

FIG. 10 B に示すように、pチャネルMOSトランジスタ領域を露出するレジストマスクPR21を形成し、n型ウェル領域24を形成するP⁺イオンを加速エネルギー600 keV、ドーズ量 $3.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR21は除去する。

【 0 1 4 4 】

FIG. 10 C に示すように、高電圧、高閾値pチャネルトランジスタP-HV-HVt及び低電圧pチャネルトランジスタP-LVを露出するレジストマスクPR22を形成し、n型チャンネルストップ領域25を形成するP⁺イオンを加速エネルギー240 keV、ドーズ量 $5.0 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR22は除去する。

30

【 0 1 4 5 】

FIG. 10 D に示すように、低電圧及び高電圧、低閾値nチャネルトランジスタN-LV、N-HV-LVtを露出するレジストマスクPR51を形成し、閾値調整領域16を形成するB⁺イオンを加速エネルギー10 keV、ドーズ量 $2.5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。このドーズ量は、例えばFIG. 5 E のイオン注入のドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ より少ない。その後レジストマスクPR51は除去する。

40

【 0 1 4 6 】

FIG. 10 E に示すように、高電圧、低閾値nチャネルトランジスタN-HV-LVt及び低電圧pチャネルトランジスタP-LVを露出するレジストマスクPR52を形成し、低電圧pチャネルMOSトランジスタの閾値調整領域26を形成するAs⁺イオンを加速エネルギー100 keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。このドーズ量は、FIG. 5 F のイオン注入のドーズ量と同一である。

【 0 1 4 7 】

高電圧、低閾値nチャネルトランジスタN-HV-LVtにおいては、閾値調整用にボロン(B)と砒素(As)とがイオン注入されるが、分布が異なるため閾値は所望の値0

50

、2 Vとなる。その後レジストマスクPR52は除去する。

【0148】

その後、公知の方法により2種類の厚さを有するゲート絶縁膜を成長し、ゲート電極をその上に形成する。なお、低電圧nチャネルトランジスタN-LVにおいては、閾値調整領域16のドーズ量が不足して閾値が低くなっている。

【0149】

FIG. 10Fに示すように、低電圧pチャネルトランジスタP-LVを露出するレジストマスクPR23を形成し、エクステンション及びポケットのイオン注入を行なう。エクステンションは、 B^+ イオンを加速エネルギー0.5 keV、ドーズ量 $3.6 \times 10^{14} \text{ cm}^{-2}$ でイオン注入する。ポケットは、 As^+ イオンを加速エネルギー80 keV、ドーズ量各 $6.5 \times 10^{12} \text{ cm}^{-2}$ で法線方向から28度傾いた4方向からイオン注入する。このイオン注入条件は、FIG. 8Uのイオン注入条件と同一である。その後レジストマスクPR23は除去する。

10

【0150】

FIG. 10Gに示すように、低電圧nチャネルトランジスタN-LVを露出するレジストマスクPR13を形成し、 As^+ イオンを加速エネルギー3 keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、エクステンションを形成する。 BF_2^+ イオンを加速エネルギー35 keV、ドーズ量各 $1.2 \times 10^{13} \text{ cm}^{-2}$ で法線方向から28度傾いた4方向からイオン注入し、ポケットを形成する。ポケットのドーズ量 $1.2 \times 10^{13} \text{ cm}^{-2}$ は、前述の実施例のFIG. 8Vでポケットを形成する BF_2 のドーズ量 $9.5 \times 10^{12} \text{ cm}^{-2}$ よりも増加しており、結果として閾値を高める効果を有する。このようにして、低電圧nチャネルトランジスタの閾値が適正な値に調整される。その後レジストマスクPR13は除去する。

20

【0151】

FIG. 10Hに示すように、高電圧pチャネルトランジスタ領域を露出するレジストマスクPR24を形成し、エクステンションを形成するイオン注入を行なう。例えば BF_2^+ イオンを加速エネルギー80 keV、ドーズ量 $4.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。FIG. 8Yのイオン注入と同一条件である。その後レジストマスクPR24は除去する。

【0152】

FIG. 10Iに示すように、高電圧nチャネルMOSトランジスタを露出するレジストマスクPR14を形成し、エクステンションを形成するイオン注入を行なう。例えば P^+ イオンを加速エネルギー35 keV、ドーズ量 $4.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。FIG. 8Zのイオン注入条件と同一条件である。その後、サイドウォールスペースの形成及び高濃度ソース/ドレイン領域のイオン注入を行なう。

30

【0153】

FIG. 10Jがこのようにして形成された半導体装置の構成を概略的に示す。ポケットを備えたトランジスタにおいては、ポケットの不純物濃度によっても閾値を調整できる。

【0154】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、イオン注入する不純物の加速エネルギー、ドーズ量等は設計に合わせて変更する。ハードマスク層として種々の絶縁物を用いることができる。その他種々の変更、改良、組み合わせが可能なのは当業者に自明であろう。

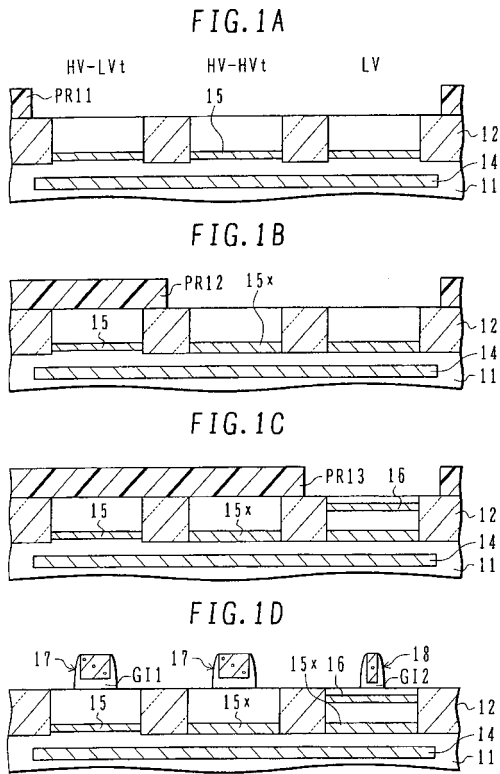
40

【産業上の利用可能性】

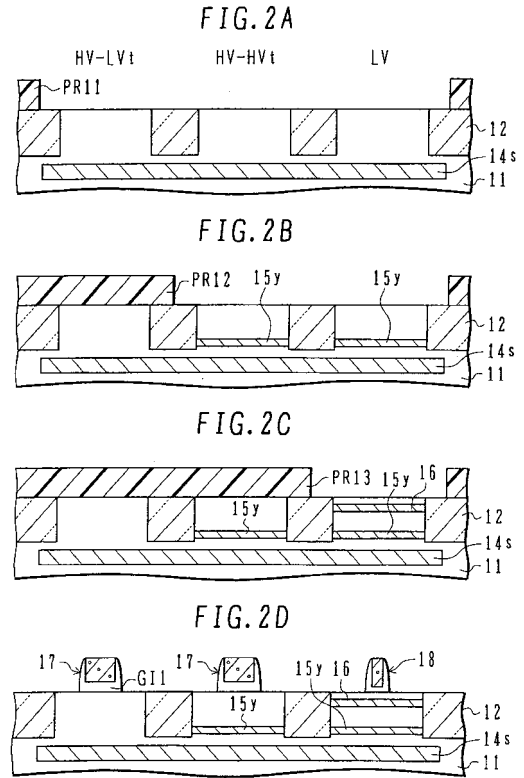
【0155】

システムオンチップ等複数種類の半導体回路を混載した半導体装置に広く用いることができる。

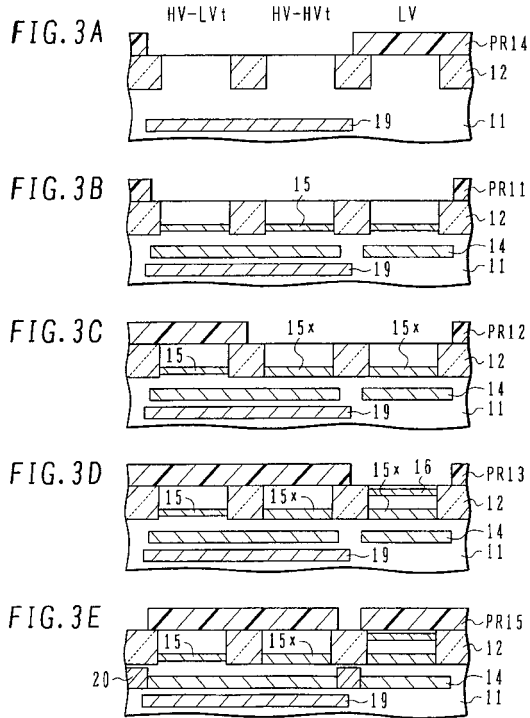
【 図 1 】



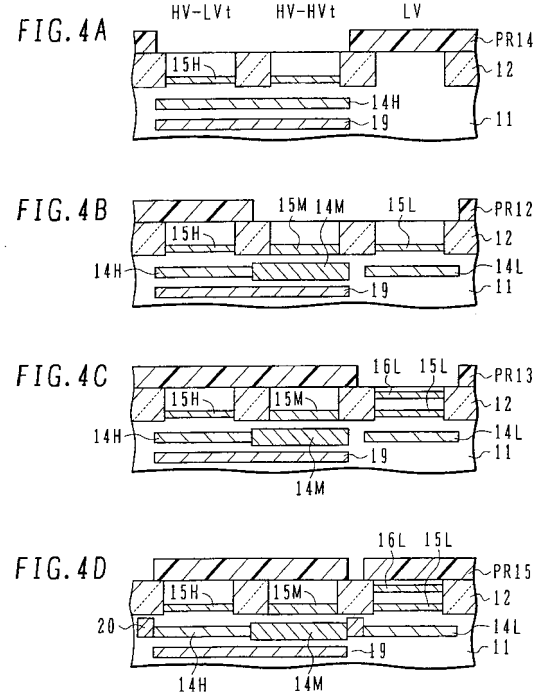
【 図 2 】



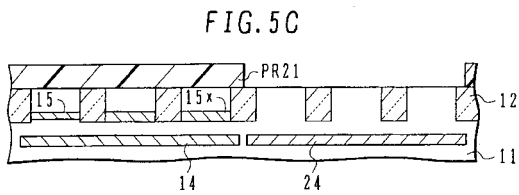
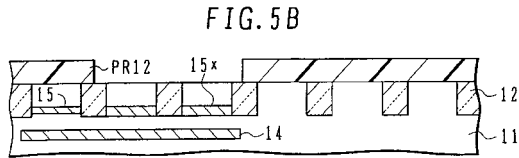
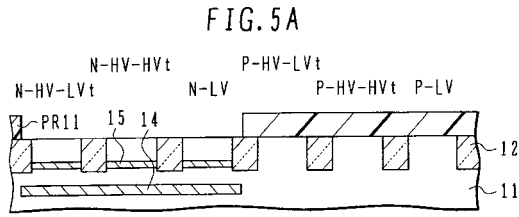
【 図 3 】



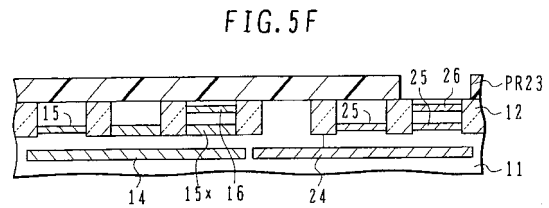
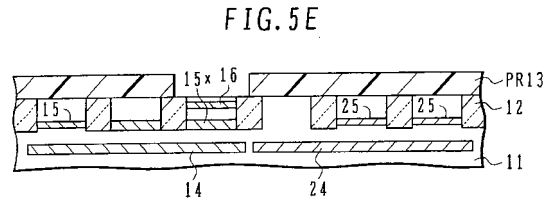
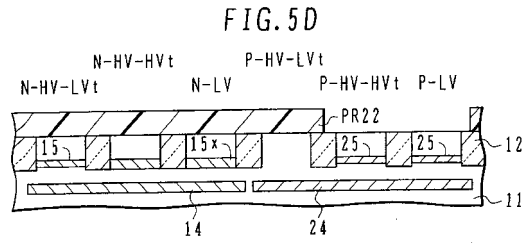
【 図 4 】



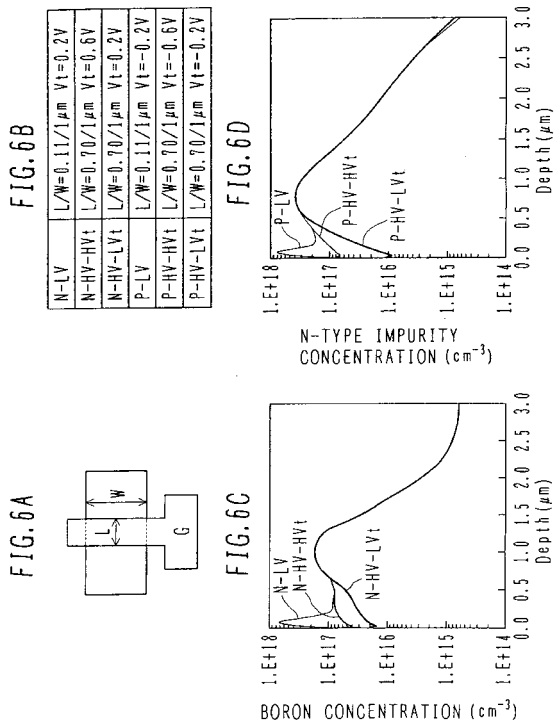
【 図 5 - 1 】



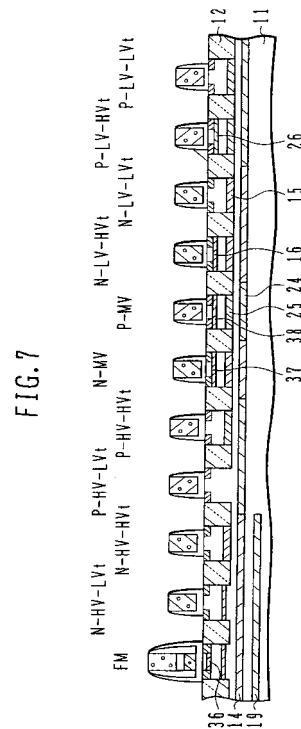
【 図 5 - 2 】



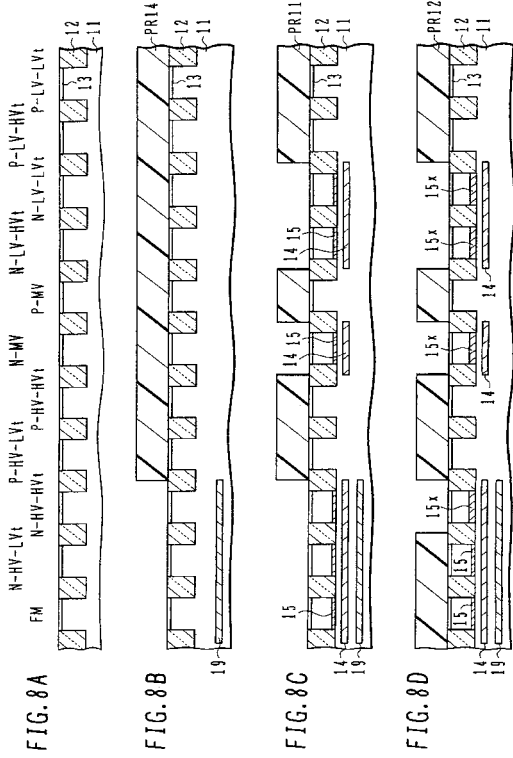
【 図 6 】



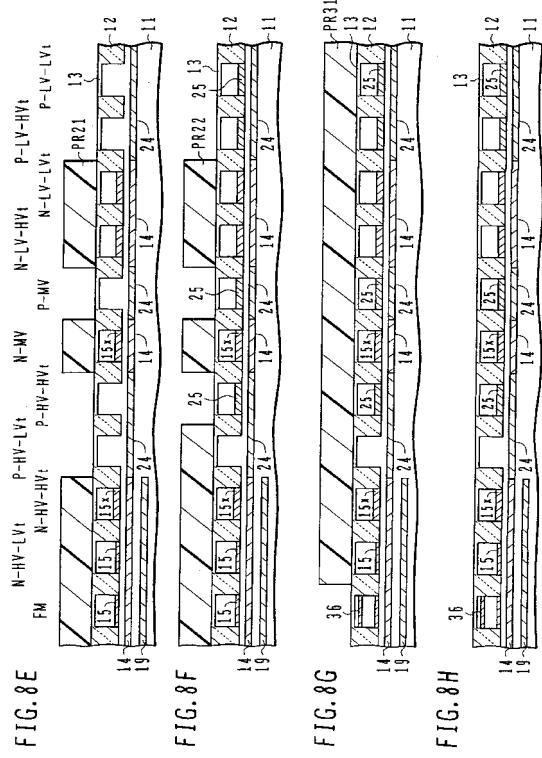
【 図 7 】



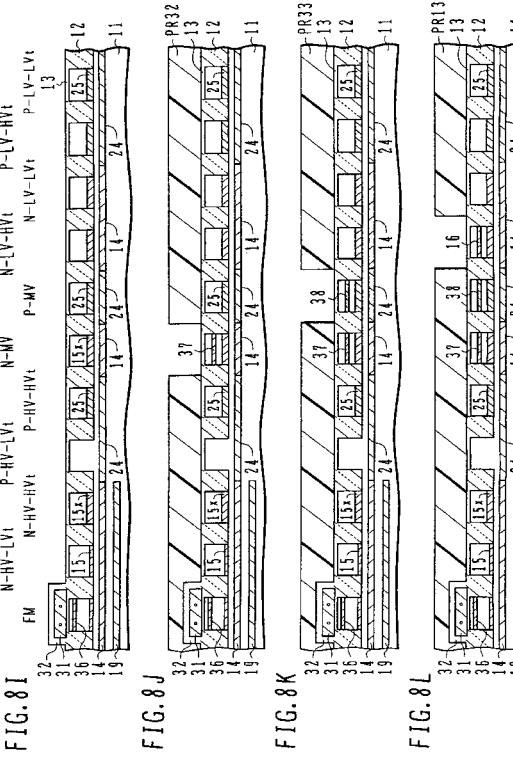
【 8 - 1 】



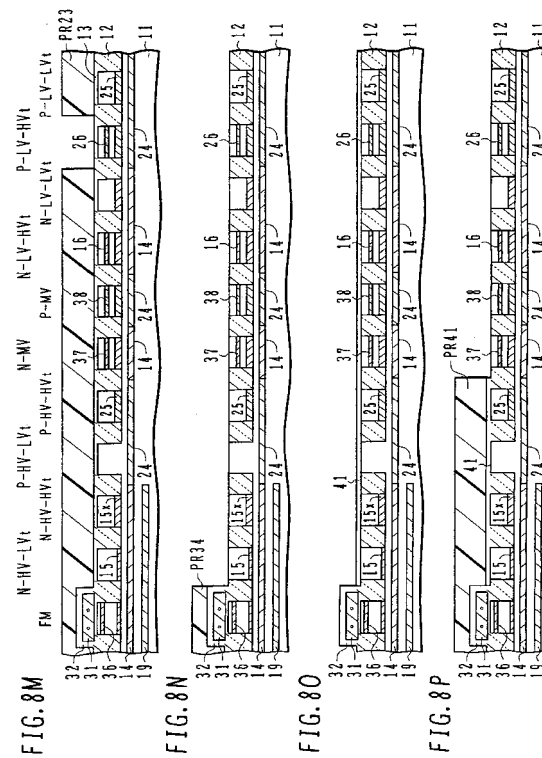
【 8 - 2 】



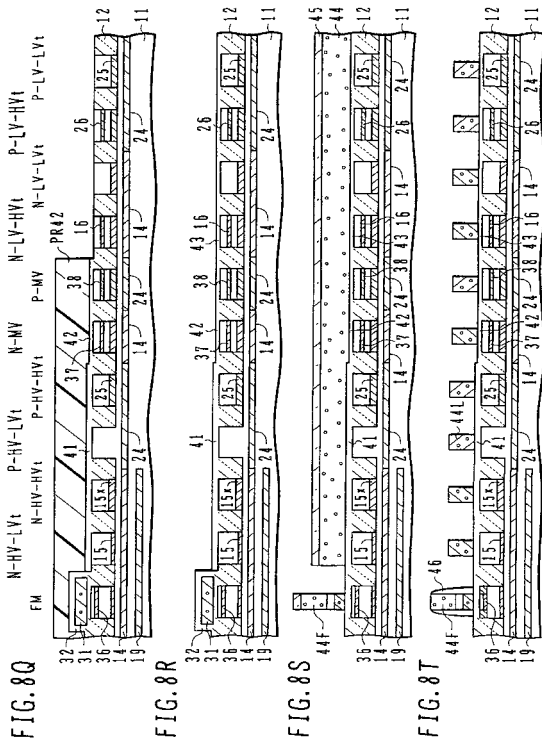
【 8 - 3 】



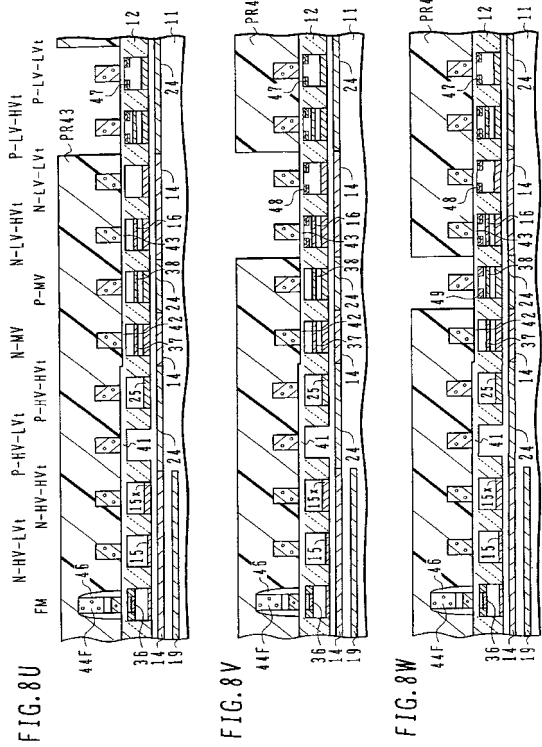
【 8 - 4 】



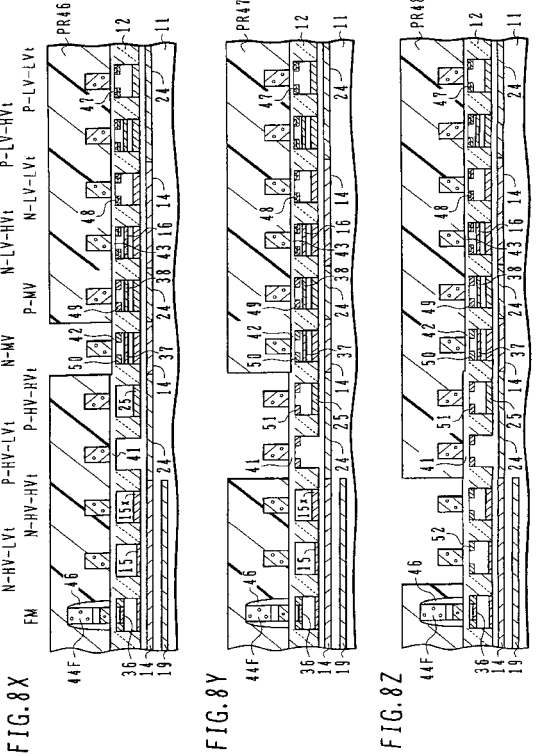
【 8 - 5 】



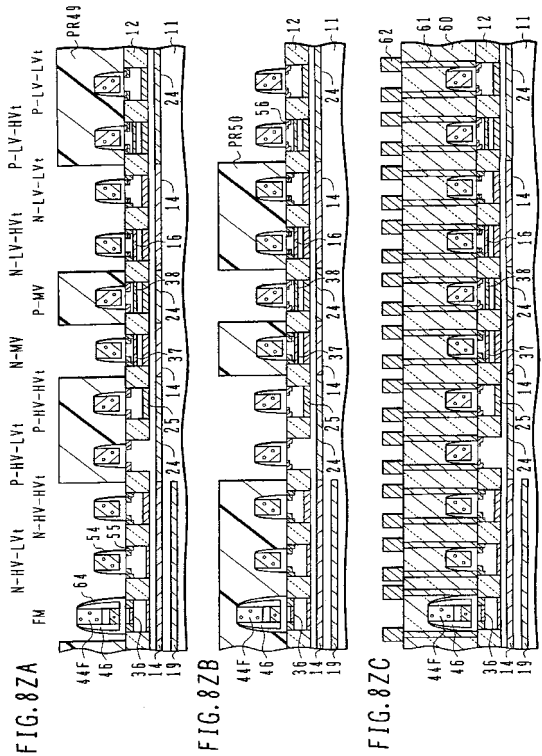
【 8 - 6 】



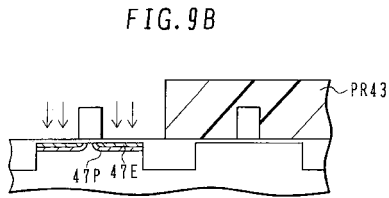
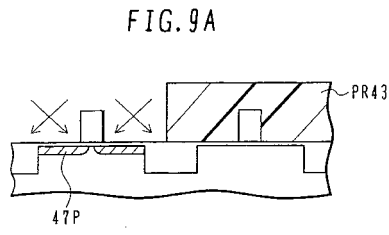
【 8 - 7 】



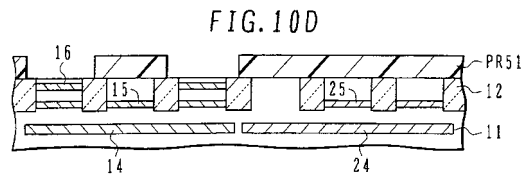
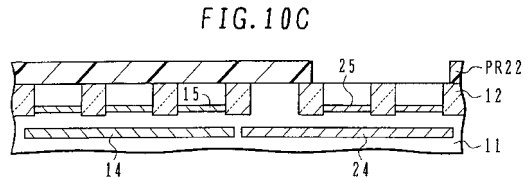
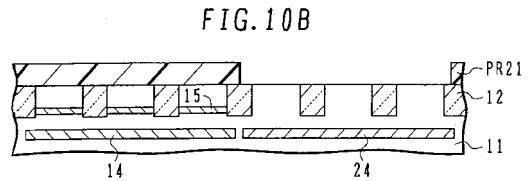
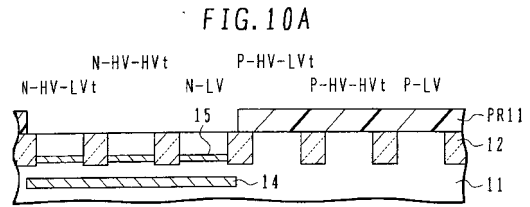
【 8 - 8 】



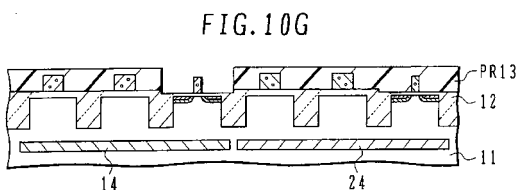
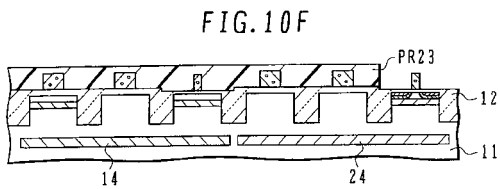
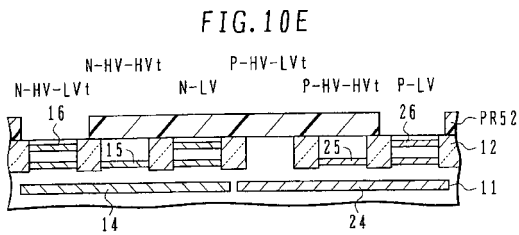
【 図 9 】



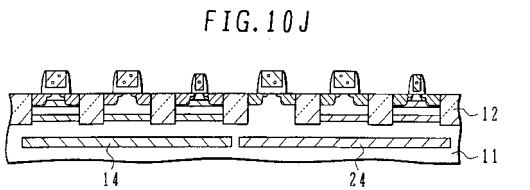
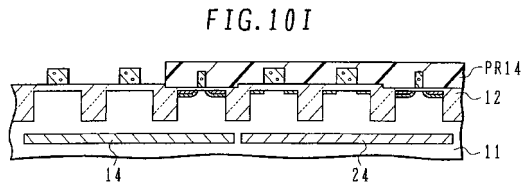
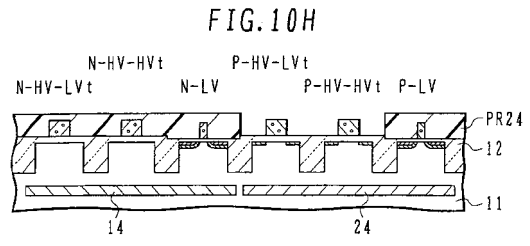
【 図 10 - 1 】



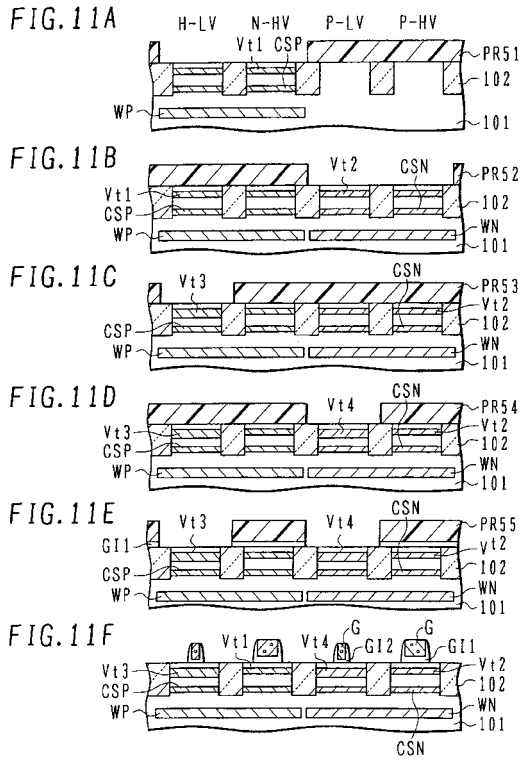
【 図 10 - 2 】



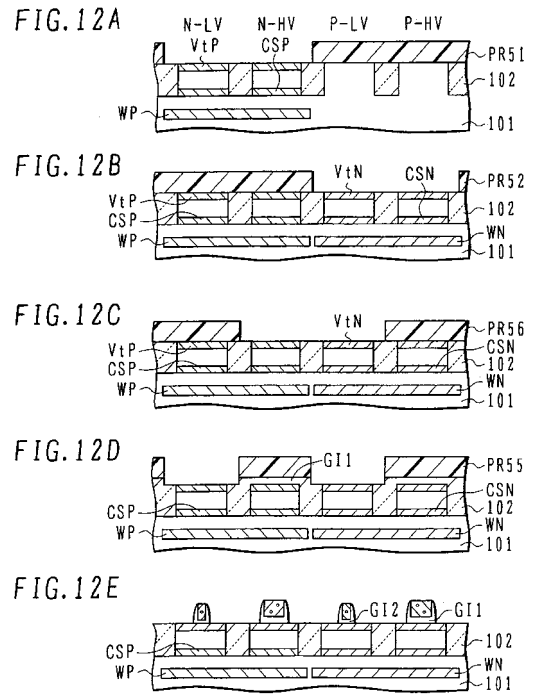
【 図 10 - 3 】



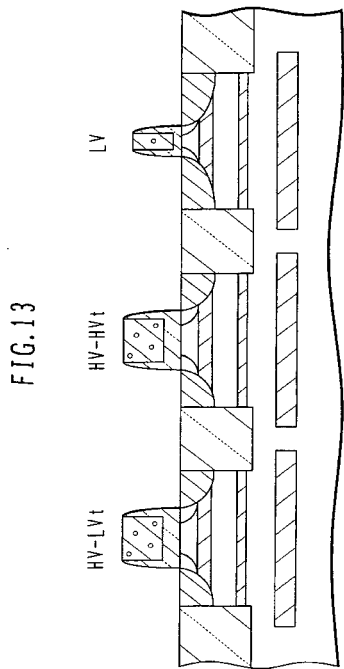
【 1 1 】



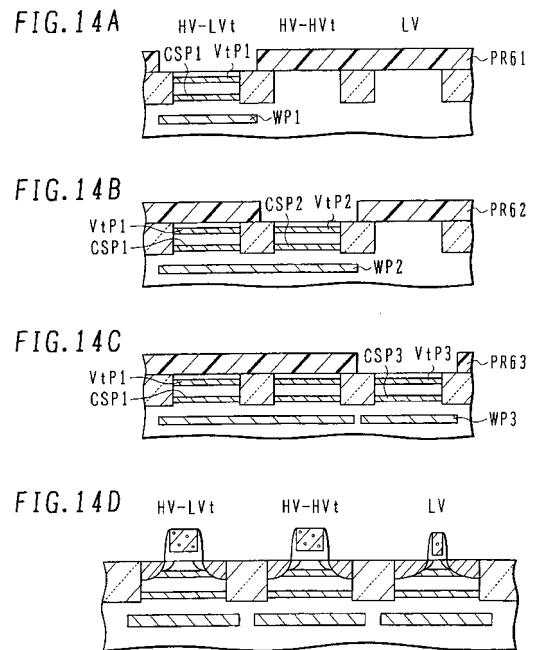
【 1 2 】



【 1 3 】



【 1 4 】



【 15 】

【 16 】

FIG. 15A

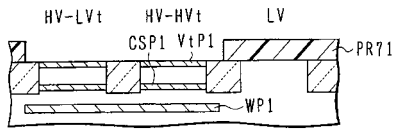


FIG. 15B

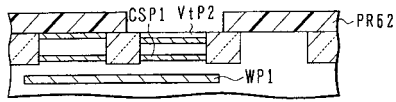


FIG. 15C

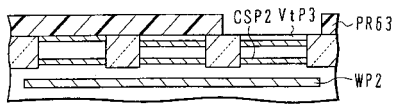


FIG. 16A

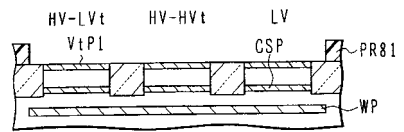


FIG. 16B

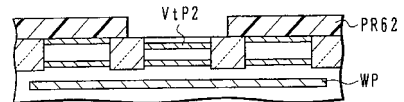
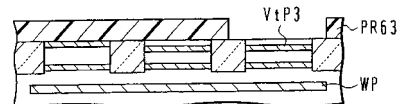


FIG. 16C



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/115 (2006.01)
H 0 1 L 21/336 (2006.01)
H 0 1 L 29/788 (2006.01)
H 0 1 L 29/792 (2006.01)

(72)発明者 姉崎 徹

東京都新宿区西新宿二丁目7番1号 富士通マイクロエレクトロニクス株式会社内

審査官 宇多川 勉

(56)参考文献 特開2001-085533(JP,A)

特開2000-216268(JP,A)

特開2000-323587(JP,A)

特開平08-204025(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/8238

H 0 1 L 21/336

H 0 1 L 21/8234

H 0 1 L 21/8247

H 0 1 L 27/088

H 0 1 L 27/092

H 0 1 L 27/115

H 0 1 L 29/788

H 0 1 L 29/792