

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7471061号
(P7471061)

(45)発行日 令和6年4月19日(2024.4.19)

(24)登録日 令和6年4月11日(2024.4.11)

(51)国際特許分類	F I
H 0 2 M 7/48 (2007.01)	H 0 2 M 7/48 Z
H 0 2 M 1/08 (2006.01)	H 0 2 M 1/08 A
	H 0 2 M 1/08 C
	H 0 2 M 1/08 3 0 1 B

請求項の数 16 外国語出願 (全28頁)

(21)出願番号 特願2019-143780(P2019-143780)	(73)特許権者 502124444
(22)出願日 令和1年8月5日(2019.8.5)	コミッサリア ア レネルジー アトミック
(65)公開番号 特開2020-36526(P2020-36526A)	エ オ ゼネルジ ザルタナティヴ
(43)公開日 令和2年3月5日(2020.3.5)	フランス国 エフ - 7 5 0 1 5 パリ,
審査請求日 令和4年7月25日(2022.7.25)	パテイマン ル ボナン, リュ ルブラン
(31)優先権主張番号 1857326	2 5
(32)優先日 平成30年8月6日(2018.8.6)	(74)代理人 100108453
(33)優先権主張国・地域又は機関 フランス(FR)	弁理士 村山 靖彦
	(74)代理人 100110364
	弁理士 実広 信哉
	(74)代理人 100133400
	弁理士 阿部 達彦
	(72)発明者
	ジュリアン・ブックレー
	フランス・3 8 0 5 4・グルノーブル・
	セデックス・0 9・リュ・デ・マルティ
	最終頁に続く

(54)【発明の名称】 インバータ分岐ドライバ

(57)【特許請求の範囲】

【請求項1】

インバータ分岐と同じ半導体基板に少なくとも部分的に形成されたインバータ分岐および前記インバータ分岐を駆動するためのシステムを含む電子回路(1)であって、前記インバータ分岐が、

___浮遊電位に接続され、前記インバータ分岐のハイサイドトランジスタ(14)を形成する高電子移動度トランジスタ(HEMT)タイプの第1のパワートランジスタと、

___接地に接続され、前記インバータ分岐のローサイドトランジスタ(15)を形成する前記HEMTタイプの第2のパワートランジスタと、

___を含み、

___前記インバータ分岐を駆動するための前記システムが、

___第1の回路の入力部において受け取られた第1の入力信号から前記ハイサイドトランジスタのゲートに第1の指令信号を送り出すように構成された前記ハイサイドトランジスタの第1のドライバと、

___第2の回路の入力部において受け取られた第2の入力信号から前記ローサイドトランジスタのゲートに第2の指令信号を送り出すように構成された前記ローサイドトランジスタの第2のドライバと、

___を含み、

___前記電子回路(1)は、

___前記第1および第2の入力信号を同期させ、位相を調整すること、および

前記第1および第2のドライバが、それぞれ、前記第1および第2の入力信号からの時間オーバーラップなしに前記第1および第2の指令信号を送り出すように構成された第1および第2の複数の論理ゲートを含み、

前記第1の複数の論理ゲートが、少なくとも、

- 前記第1の入力信号を遅延させて第1の遅延入力信号を生成するように構成された第1の遅延機能論理ゲート(10_{high})と、

- 前記第1の入力信号および前記第1の遅延入力信号をそれぞれ受け取る2つの入力部を含む第1のAND型論理ゲート(12_{high})と

を含み、

前記第2の複数の論理ゲートが、少なくとも、

- 前記第2の入力信号を遅延させて第2の遅延入力信号を生成するように構成された第2の遅延機能論理ゲート(10_{low})と、

- 前記第2の遅延入力信号を反転させて第2の遅延反転入力信号を生成するように構成されたNOT型論理ゲート(11_{low})、および前記第2の入力信号を反転させて第2の反転入力信号を生成するように構成された別のNOT型論理ゲート(11_{low})と、

- 前記第2の反転入力信号および前記第2の遅延反転入力信号をそれぞれ受け取る2つの入力部を含む第2のAND型論理ゲート(12_{low})と

を含み、

前記第1の複数の論理ゲートが、

- 前記第1のAND型論理ゲートから来る信号を反転させ、500mAと5Aとの間の前記第1の指令信号の電流の強さに対して前記第1の指令信号の電位の降下なしに前記ハイサイドトランジスタの前記ゲートに前記第1の指令信号を送り出すように構成された第1のNOT型論理ゲート(13_{high})をさらに含み、

前記第2の複数の論理ゲートが、

- 前記第2のAND型論理ゲートから来る信号を反転させ、500mAと5Aとの間の前記第2の指令信号の電流の強さに対して前記第2の指令信号の電位の降下なしに前記ローサイドトランジスタの前記ゲートに前記第2の指令信号を送り出すように構成された第2のNOT型論理ゲート(13_{low})をさらに含むことを特徴とする、電子回路(1)。

【請求項2】

前記第1および第2の複数の論理ゲートが、単に、抵抗と、ゲートトランジスタと呼ばれるトランジスタとを含み、前記ゲートトランジスタが、前記ハイサイドトランジスタ(14)および前記ローサイドトランジスタ(15)と同じ半導体基板に形成される、請求項1に記載の回路(1)。

【請求項3】

前記第1および第2の複数の論理ゲートの前記ゲートトランジスタが、N型チャネル電界効果トランジスタのみである、請求項2に記載の回路(1)。

【請求項4】

前記半導体基板と、前記ハイサイドトランジスタ(14)および前記ローサイドトランジスタ(15)と、前記第1および第2の複数の論理ゲートの前記ゲートトランジスタとが、GaNベースである、請求項2から3のいずれか一項に記載の回路(1)。

【請求項5】

前記NOT型論理ゲート(11_{low})が、一段論理ゲートと呼ばれ、各々、0.5mmと2mmとの間のゲート幅を有する1つの単一ゲートトランジスタを含み、前記NOT型論理ゲート(11_{low})と前記別のNOT型論理ゲート(11_{low})が互いに同一である、請求項1に記載の回路(1)。

【請求項6】

前記第1および第2のNOT型論理ゲート(13_{high}、13_{low})が、二段論理ゲートと呼ばれ、各々、一段NOT型論理ゲート(11)によって形成された第1の段と、前記第1の段に接続された第2の段とを含み、前記第2の段には、逆位相で動作し、各々が5mmと50mmとの間のゲート長を有する2つのゲートトランジスタが含まれる、請求項1に記載の回路(1)。

10

20

30

40

50

【請求項 7】

前記第2の段の前記ゲートトランジスタが、その前記ゲートのレベルにおいて、1メガオームよりも大きいか、または、1ギガオームよりも大きいアクセス抵抗を有する、請求項6に記載の回路(1)。

【請求項 8】

前記第1および第2の入力信号が、パルス幅変調(PWM)信号である、請求項1から7のいずれか一項に記載の回路(1)。

【請求項 9】

請求項1から8のいずれか一項に記載の電子回路(1)と、前記第1のドライバに供給するように構成された第1の電源と、前記第2のドライバに供給するように構成された第2の電源と、前記第1および第2の入力信号を送り出すように構成された少なくとも1つのコントローラとを含むインバータシステム。

10

【請求項 10】

前記ハイサイドトランジスタ(14)の出力部に電力発生器(100)をさらに含み、前記電力発生器(100)が、前記電子回路(1)によって指令され、高電力を有することができる電気的信号を送り出すように構成される、請求項9に記載のシステム。

【請求項 11】

前記半導体基板と、前記ローサイドトランジスタ(15)のソースと、前記電力発生器(100)とが、共通接地に接続される、請求項10に記載のシステム。

【請求項 12】

前記電子回路(1)が、レーザダイオードのマトリクス(20)、および前記レーザダイオードのマトリクス(20)に面する少なくとも1つの光起電力セルのマトリクス(21)を含むオプトカプラ(2)と呼ばれる少なくとも1つの光カプラによって、少なくとも1つのコントローラから電気的に絶縁され、前記レーザダイオードのマトリクス(20)が、前記少なくとも1つのコントローラから来る電気信号を受け取り、前記電気信号に応じて、前記少なくとも1つの光起電力セルのマトリクス(21)に送られる光束を生成するように構成され、前記少なくとも1つの光起電力セルのマトリクス(21)が、前記光束を受け取り、前記第1および第2の入力信号の中からの少なくとも1つを送り出すように構成される、請求項9から11のいずれか一項に記載のシステム。

20

【請求項 13】

前記電子回路(1)が、レーザダイオードのマトリクス(30)、および前記レーザダイオードのマトリクス(20)に面する少なくとも1つの光起電力セルのマトリクス(31)を含むオプトカプラ(3)と呼ばれる少なくとも1つの光カプラによって、前記第1および第2の電源の中からの少なくとも1つから電気的に絶縁され、前記レーザダイオードのマトリクス(30)が、前記第1および第2の電源の中からの少なくとも1つから来る電気信号を受け取り、前記電気信号に応じて、前記少なくとも1つの光起電力セルのマトリクス(31)に送られる光束を生成するように構成され、前記少なくとも1つの光起電力セルのマトリクス(31)が、前記光束を受け取り、前記第1および第2の電源からの少なくとも1つを送り出すように構成される、請求項9から12のいずれか一項に記載のシステム。

30

【請求項 14】

前記電子回路(1)および前記少なくとも1つのオプトカプラ(2、3)が、1つの同じパッケージ(4)内に組み立てられる、請求項12または13に記載のシステム。

40

【請求項 15】

前記第1および第2の電源が、主電源と呼ばれる1つの同じ電源であり、前記少なくとも1つのコントローラが、主コントローラと呼ばれる1つの単一コントローラである、請求項9から14のいずれか一項に記載のシステム。

【請求項 16】

前記主電源が、前記主電源に接続されたレーザダイオードのマトリクス(30)を含む第1のオプトカプラ(3)によって前記電子回路(1)から電気的に絶縁され、第1の光起電力セルのマトリクス(31)が前記第1のドライバに接続され、第2の光起電力セルのマトリクス(31

50

)が前記第2のドライバに接続され、前記第1および第2の光起電力セルのマトリクス(31)が、前記第1のオプトカプラ(3)の前記レーザダイオードのマトリクス(30)に結合され、それに面して回転され、前記第1および第2の光起電力セルのマトリクス(31)が、それぞれ、前記第1および第2のドライバに供給するように構成され、前記主コントローラが、前記主コントローラに接続されたレーザダイオードのマトリクス(20)を含む第2のオプトカプラ(2)によって前記電子回路(1)から電氣的に絶縁され、第1の光起電力セルのマトリクス(21)が前記第1のドライバに接続され、第2の光起電力セルのマトリクス(21)が前記第2のドライバに接続され、前記第1および第2の光起電力セルのマトリクス(21)が、前記第2のオプトカプラ(2)の前記レーザダイオードのマトリクス(20)に結合され、それに面し、前記第1および第2の光起電力セルのマトリクス(21)が、それぞれ、前記第1および第2の入力信号を前記第1および第2のドライバに送り出すように構成される、請求項13を引用する場合の請求項14を引用する場合の請求項15に記載のシステム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力コンバータの指令および制御回路に関する。それは、インバータの分野において少なくとも1つの特に有利な用途を有する。

【背景技術】

【0002】

インバータは、特に、直流(DC)を交流(AC)に変換するために使用される電力コンバータである。

20

【0003】

そのようなインバータは、一般に、1つまたは複数のインバータ分岐と、インバータ分岐を駆動するための1つまたは複数のシステムとを含む。

【0004】

インバータ分岐は、DC電流からAC電流を生成するためにハーフブリッジ構成で選択的に機能するハイサイドスイッチおよびローサイドスイッチによって形成される。

【0005】

高電力を変換するには、ハイサイドスイッチおよびローサイドスイッチを形成するためにパワートランジスタ、例えば、GaNベースの高電子移動度トランジスタ(HEMT)を使用することが有利である。

30

【0006】

これらのトランジスタの交互制御は、指令システムによって実行される。

【0007】

この指令システムは、一般に、ハイサイドトランジスタおよびローサイドトランジスタの各々に専用の制御エレクトロニクスおよびドライバを含む。ドライバは、一般に、「ドライバ」または「ゲートドライバ」と呼ばれる。それらは、制御エレクトロニクスから来る制御信号を受け取り、指令信号をトランジスタに送り出す。制御エレクトロニクスおよびドライバは給電によって供給される。

【0008】

指令システムは、一般に、厳しい機能環境に関する技術、体積、および電磁気絶縁の適合性の理由で、インバータ分岐の外部にある。

40

【0009】

インバータ分岐の制御エレクトロニクスは、多くの場合、CMOS(相補型金属酸化膜半導体)技術に基づく。特に、HEMT技術に基づくインバータ分岐の場合には、そのような制御エレクトロニクスは、良好な性能(ホールの移動度)を有するHEMTに対する相補的なトランジスタが無いために、インバータ分岐に直接統合することができない。

【0010】

このCMOS制御エレクトロニクスは、さらに、嵩張ることがあるDC電源を必要とする。

【0011】

50

機能の安全のために、インバータ分岐は、指令システムの制御信号および給電に関して電氣的に絶縁されなければならない。この絶縁は、一般に、例えば、ドライバのレベルにおいてガルバニック絶縁によって達成される。

【0012】

このガルバニック絶縁は、やはり、嵩張り、統合することが困難である。

【0013】

これらの理由で、指令システムは、一般に、インバータ分岐とは異なるケーシング内に組み立てられる。

【0014】

この解決策の欠点は、インバータの最大機能周波数が制限されることである。

10

【0015】

この解決策の別の欠点は、一般に、1MHzに対する10ガウスの磁場での磁場に面するインバータの限定的な耐性である。

【0016】

文献の米国特許第9831867B1号は、指令システムとインバータ分岐とが1つの同じチップに統合される解決策を開示している。提案されたインバータのハーフブリッジの電子回路は、GaN技術に基づく。この電子回路は、特に、GaNベーストランジスタで機能するインバータ分岐および指令システムを含む。

【0017】

インバータ分岐の指令システムは、パルス幅変調(PWM)を制御するための信号を使用する。HS_PWM信号は、ハイサイドGaNトランジスタを駆動するハイサイドドライバの入力部に送られ、LS_PWM信号は、ローサイドGaNトランジスタを駆動するローサイドドライバの入力部に送られる。

20

【0018】

ハイサイドトランジスタとローサイドトランジスタとの機能の交替は、デッドタイムを導入し、HS_PWMおよびLS_PWMの制御信号に由来する指令信号の非回復を保證することを可能にするブランキングパルス発生器によって保證される。

【0019】

この解決策の欠点は、インバータの最大機能周波数が本質的に制限されることである。

【先行技術文献】

30

【特許文献】

【0020】

【文献】米国特許第9831867B1号

【文献】FR 3012669 A1

【発明の概要】

【発明が解決しようとする課題】

【0021】

本発明の目的は、上記の欠点のうちのいくつかを少なくとも部分的に克服することである。

【0022】

40

特定の態様によれば、本発明の目的は、指令システムとインバータ分岐とを1つの同じチップに統合する簡単で安価なインバータ電子回路を提案することである。

【0023】

本発明の別の目的は、インバータの最大機能周波数を最適化することを目指したインバータ電子回路を提案することである。

【0024】

本発明の他の目的、特徴、および利点が、以下の説明および支援の図面を検討する際に明らかになるであろう。他の利点を組み込むことができることが理解されよう。

【課題を解決するための手段】

【0025】

50

この目的を達成するために、本発明の第1の態様は、1つの同じ半導体基板に少なくとも部分的に形成されたインバータ分岐およびこのインバータ分岐を駆動するためのシステムを含む電子回路に関する。

【0026】

インバータ分岐は、浮遊電位に接続された高電子移動度トランジスタ(HEMT)タイプの第1のパワートランジスタと、インバータ分岐のハイサイドトランジスタと、接地に接続され、インバータ分岐のローサイドトランジスタを形成するHEMTタイプの第2のパワートランジスタとを含む。

【0027】

インバータ分岐を駆動するためのシステムは、第1の回路の入力部において受け取られた第1の入力信号からハイサイドトランジスタゲートに第1の指令信号を送り出すように構成されたハイサイドトランジスタを駆動するための前記第1の回路と、第2の回路の入力部において受け取られた第2の入力信号からローサイドトランジスタのゲートに第2の指令信号を送り出すように構成されたローサイドトランジスタを駆動するための前記第2の回路とを含む。

10

【0028】

有利には、しかし限定ではなく、第1および第2の入力信号は同期し、好ましくは位相調整され、第1および第2のドライバは、それぞれ、第1および第2の入力信号からの時間オーバーラップなしに第1および第2の指令信号を送り出すように構成された第1および第2に複数の論理ゲートを含む。

20

【0029】

本発明によれば、特に有利には、同期入力信号の使用により、第1および第2のドライバのための同一の時間基準を有することが可能になる。位相調整された入力信号の使用により、さらに、第1および第2のドライバのレベルにおいて直接これらの信号を時間的にオフセットすることが可能になる。第1および第2の複数の論理ゲートは、続いて、極めて固有の相対時間差を有する第1および第2の指令信号を生成することを可能にする。このオフセットは、外部または事前の制御電子回路によるのではなく、したがって、第1および第2のドライバによって正確に制御することができる。第1および第2の入力信号を生成するように複製された1つの信号および同じ入力信号の使用も本発明によって可能になる。したがって、本発明は、得られた時間差にわたって精度を著しく改善し、それゆえに、電子回路の機能周波数、例えばインバータのスイッチング周波数をかなり増加させることを可能にする。

30

【0030】

さらに、インバータ分岐と同じ半導体基板に直接形成されたドライバのレベルでのこの時間差の生成により、前記基板の外部の寄生源のこの時間差を減じることが可能になる。この解決策により、例えば、インバータ分岐の外部のドライバ構成において発生し、時間差において制御されていない遅延を生成する寄生インダクタンスが除去される。

【0031】

このようにして、インバータ分岐と同じ基板に形成された第1および第2の複数の論理ゲートにより、比較的小さくされた時間差を有する第1および第2の指令信号を生成することが可能になる。

40

【0032】

そのような時間差は、第1および第2の指令信号の非回復を保証しながらこれらの指令信号間のデッドタイムを最小にすることを可能にする。

【0033】

したがって、インバータの機能周波数が最適化されることが分かる。

【0034】

有利には、インバータ分岐のトランジスタと同じ基板にドライバを統合することにより、入力信号と指令信号との間の伝搬遅延を減少させることが可能になる。

【0035】

50

そのような統合は、さらに、インバータ分岐の電気絶縁、例えばガルバニック絶縁を拡大するのを可能にする。続いて、ガルバニック絶縁のインダクタンスに起因する寄生高周波振動の出現が制限され、さらに除去される。

【0036】

伝搬遅延を減少させ、寄生振動を制限することにより、高周波インバータの機能が改善される。

【0037】

そのような統合により、さらに、インバータの体積をかなり減少させることが可能になる。

【0038】

好ましいが非限定の実施形態によれば、第1および第2の複数の論理ゲートは、単に、ゲートトランジスタと呼ばれるトランジスタと、抵抗とを含み、ゲートトランジスタは、ハイサイドトランジスタおよびローサイドトランジスタと同じ半導体基板に形成される。

【0039】

この構成は、簡単であり、生産コストを最小にすることを可能にする。

【0040】

この構成は、さらに、文献の米国特許第9831867B1号に開示されているブランキングパルス発生器のRC特性時間などのRC特性時間を有利に避けることを可能にする。

【0041】

続いて、このRC特性時間にリンクされたデッドタイムは有利に最小化され、インバータの機能周波数が改善されることも分かる。したがって、本発明は、特に文献の米国特許第9831867B1号で開示された解決策に対して著しく改善された性能を提供する。

【0042】

本発明の第2の態様は、本発明の第1の態様による電子回路と、第1のドライバに供給するように構成された第1の電源と、第2のドライバに供給するように構成された第2の電源と、第1および第2の入力信号を送り出すように構成された少なくとも1つのコントローラとを含むインバータシステムに関する。

【0043】

インバータシステムは、さらに、好ましくは、第1のハイサイドトランジスタの出力部に電力発生器を含み、前記発生器は、電子回路によって指令され、高電力を送り出すように構成される。

【0044】

このインバータシステムにより、簡単に、低コストで、および最適化された機能周波数から利益を得ることによって、高電力直流DCを高電力交流ACに変換することが可能になる。

【0045】

好ましいが非限定の実施形態によれば、インバータシステムの電子回路は、オプトカプラと呼ばれる少なくとも1つの光カプラによって、第1および第2の電源および少なくとも1つのコントローラから電氣的に絶縁される。

【0046】

このオプトカプラは、有利には、互いに向き合っている少なくとも1つの光起電セルのマトリクスに結合された少なくとも1つのレーザダイオードのマトリクスを含む。

【0047】

レーザダイオードのマトリクスは、例えば、第1および第2の電源の中からの少なくとも1つまたは少なくとも1つのコントローラから来る電氣的信号を受け取り、前記電氣信号から、少なくとも1つの光起電力セルのマトリクスに送られる光束を生成するように構成される。

【0048】

光起電セルのマトリクスは、この光束を受け取り、続いて、電氣的信号がどこから来ているかに応じて、第1および第2の電源の中からの少なくとも1つまたは第1および第2の入

10

20

30

40

50

力信号の中からの少なくとも1つを送り出すように構成される。

【0049】

そのようなオプトカプラは、有利には、ガルバニック絶縁にリンクされた寄生インダクタンスを除去することを可能にする。

【0050】

レーザダイオードの使用により、さらに、少なくとも1つの光起電セルのマトリクスに給電信号を伝送するのに十分なパワーを有する光束を送り出すことが可能になる。それゆえに、具体的には、そのようなオプトカプラは、インバータ分岐のドライバに給電することができる。

【0051】

そのようなオプトカプラは、さらに、限定された体積を有し、それゆえに、電子回路と同じケーシングに容易に統合することができる。

【0052】

提案する本発明は、インバータを必要とするいかなる用途にも有利に使用することができる。非限定の例として、電気車両は本発明の態様の少なくとも1つを備えることができ、電源の切断(出力電圧、AC/AC、AC/DC、DC/DC、DC/ACコンバータの調整)は、本発明の態様のうちの少なくとも1つを用いることができ、絶縁されたデジタルデータの伝送またはアクセス可能な低電圧回路からの電源負荷の制御は、さらに、本発明の態様のうちの少なくとも1つから利益を得ることができる他の用途である。

【0053】

本発明の目的、目標、ならびに特徴および利点は、以下の支援の図面によって示される本発明の実施形態の詳細な説明から最もよく明らかになるであろう。

【図面の簡単な説明】

【0054】

【図1A】本発明の一実施形態による電子回路の図である。

【図1B】本発明の一実施形態によるインバータシステムの図である。

【図1C】本発明の別の実施形態による電子回路の図である。

【図2A】本発明の一実施形態による電子回路に基づくシミュレーションによって得られた第1および第2の指令信号を示す図である。

【図2B】本発明の一実施形態によるインバータシステムに基づくシミュレーションによって得られた電氣的信号を示す図である。

【図3A】本発明の一実施形態によるNO型の一段論理ゲートの論理記号を示す図である。

【図3B】本発明の一実施形態によるNO型の一段論理ゲートの物理的实施形態の図である。

【図4A】本発明の一実施形態によるNO型の二段論理ゲートの論理記号を示す図である。

【図4B】本発明の一実施形態によるNO型の二段論理ゲートの物理的实施形態の図である。

【図5A】本発明の一実施形態によるANDタイプの論理ゲートの論理記号を示す図である。

【図5B】本発明の一実施形態によるANDタイプの論理ゲートの物理的实施形態の図である。

【図6A】本発明の一実施形態による遅延機能論理ゲートの論理記号を示す図である。

【図6B】本発明の一実施形態による遅延機能論理ゲートの物理的实施形態の図である。

【図7A】本発明の一実施形態による、1つの同じケーシングに統合されたオプトカプラによって電氣的に絶縁された電子回路を上面図として示す図である。

【図7B】本発明の一実施形態による、1つの同じケーシングに統合されたオプトカプラによって電氣的に絶縁された電子回路を図7Aに示された面A-Aに沿った断面図として示す図である。

【図7C】本発明の別の実施形態による、1つの同じケーシングに統合されたオプトカプラによって電氣的に絶縁された電子回路を横断的に断面的に示す図である。

10

20

30

40

50

【発明を実施するための形態】

【0055】

図面は、例として与えられており、本発明を限定するものではない。図面は、本発明の理解を容易にするように意図された概略的な原理表現を構成しており、必ずしも実際の適用の縮尺ではない。

【0056】

特に、図示されたデバイスの様々な層および部分の厚さおよび寸法は、実物を表していない。

【0057】

略図の特定の選択は、例えば、米国または欧州の標準化された記号を、説明に関連して自由に実行され説明される他の記号と組み合わせることができる。

10

【0058】

本発明の実施形態の詳細なレビューを始める前に、本発明は、その第1の態様によれば、特に、関連してまたは代替として使用することができる以下のオプションの特徴を含むことに注意されたい。

- 一実施形態によれば、第1および第2の複数の論理ゲートのゲートトランジスタは、N型チャンネル電界効果トランジスタのみである。

- 一実施形態によれば、第1の複数の論理ゲートは、少なくとも、第1の入力信号を遅延させるように構成された第1の遅延機能論理ゲートと、第1の入力信号および第1の遅延入力信号をそれぞれ受け取る2つの入力部を含む第1のAND型論理ゲートと

20

を含み、

第2の複数の論理ゲートは、少なくとも、

第2の入力信号を遅延させるように構成された第2の遅延機能論理ゲートと、

第2の遅延入力信号を反転させるように構成されたNO型論理ゲートおよび第2の入力信号を反転させるように構成された別のNO型論理ゲートと、

第2の反転入力信号および第2の遅延反転入力信号をそれぞれ受け取る2つの入力部を含む第2のAND型論理ゲートと

を含む。

【0059】

30

この構成により、第1および第2の指令信号を互いに対して正確に遅延させることが可能になる。この構成により、第1および第2の指令信号を取得する値を、それぞれ、第1の高値と第1の低値との間および第2の高値と第2の低値との間で交互にすることも可能である。それゆえに、この構成により、時間交互と値交互の両方を有するハイサイド指令信号およびローサイド指令信号を生成することが可能になる。

- 一実施形態によれば、一段NO型論理ゲートは、各々、0.5mmと2mmとの間のゲート幅(一般に文献では W_g と呼ばれる)を有する1つの単一ゲートトランジスタを含む。

- 一実施形態によれば、一段NO型論理ゲートは互いに同一である。

- 一実施形態によれば、第1の複数の論理ゲートは、

第1のAND型論理ゲートから来る信号を反転させ、500mAと5Aとの間のこの第1の指令信号の電流の強さに対してこの第1の指令信号の電位の降下なしに第1のハイサイドトランジスタのゲートに第1の指令信号を送り出すように構成された第1のNO型論理ゲートをさらに含み、

40

第2の複数の論理ゲートは、

第2のAND型論理ゲートから来る信号を反転させ、500mAと5Aとの間のこの第2の指令信号の電流の強さに対してこの第2の指令信号の電位の降下なしに第2のローサイドトランジスタのゲートに第2の指令信号を送り出すように構成された第2のNO型論理ゲートをさらに含む。

【0060】

それにより、第1および第2の論理ゲートは、そのインバータ論理機能を広い電流範囲で

50

保証する。これにより、特に、高電流および高電力に対して実行可能であるような指令を得ることができる。

- 一実施形態によれば、第1および第2のNO型論理ゲートは、二段論理ゲートと呼ばれ、各々、一段NO型論理ゲートによって形成された第1の段と、第1の段に接続され、逆位相で動作し、各々が5mmと50mmとの間の、好ましくは5mmと20mmとの間のゲート幅を有する2つのゲートトランジスタを含む第2の段とを含む。

【0061】

逆位相で機能するそのようなトランジスタは、一段NO型論理ゲートのインバータ論理機能を遅延させ、一方、そのゲートのレベルでのアクセス抵抗を増加させることを可能にする。これらの高いアクセス抵抗により、第1および第2の指令信号の電位を規格値で維持することができる。

10

- 一実施形態によれば、第2の段のゲートトランジスタは、そのゲートのレベルにおいて、1メガオームよりも大きい、好ましくは、1ギガオームよりも大きいアクセス抵抗を有する。

- 一実施形態によれば、第1および第2の入力信号はパルス幅変形(PWM)信号である。

- 一実施形態によれば、半導体基板と、第1および第2のハイサイドおよびローサイドトランジスタと、第1および第2の複数の論理ゲートのゲートトランジスタとは、GaNベースである。

【0062】

本発明は、その第2の態様によれば、特に、関連してまたは代替として使用することができる以下のオプションの特徴を含む。

20

- 一実施形態によれば、インバータシステムは、第1のハイサイドトランジスタの出力部に電力発生器をさらに含み、前記発生器は、高電力を有することができる電気信号Voutを送り出すように構成される。

- 一実施形態によれば、半導体基板と、第2のローサイドトランジスタの電源と、電力発生器とは、共通接地に接続される。

【0063】

発生器と第2のローサイドトランジスタのソースとをこの共通接地に接続することにより、電気的信号Voutへの基準を確保することができる。

【0064】

30

この同じ接地に半導体基板を接続することにより、前記基板が浮遊しないようにされる。これにより、第1および第2の複数のトランジスタの論理ゲートのトランジスタならびに第1および第2のハイサイドおよびローサイドトランジスタの各々のレベルにおいて寄生信号および負荷トラッピングを制限することが可能になる。これにより、トランジスタのゲート分極によって損傷されることがある自己分極基板効果を避けることも可能になる。

- 一実施形態によれば、電子回路は、レーザダイオードのマトリクスおよび少なくとも1つの面する光起電力セルのマトリクスを含むオプトカブラと呼ばれる少なくとも1つの光カブラによって少なくとも1つのコントローラから電気的に絶縁され、前記レーザダイオードのマトリクスは、少なくとも1つのコントローラから来る電気的信号を受け取り、前記電気的信号に応じて、少なくとも1つの光起電力セルのマトリクスに送られる光束を生成するように構成され、前記少なくとも1つの光起電力セルのマトリクスは、光束を受け取り、第1および第2の入力信号の中からの少なくとも1つを送り出すように構成される。

40

- 一実施形態によれば、電子回路は、レーザダイオードのマトリクスおよび少なくとも1つの面する光起電力セルのマトリクスを含むオプトカブラと呼ばれる少なくとも1つの光カブラによって第1および第2の電源の中からの少なくとも1つから電気的に絶縁され、前記レーザダイオードのマトリクスは、第1および第2の電源の中からの少なくとも1つから来る電気的信号を受け取り、前記電気的信号に応じて、少なくとも1つの光起電力セルのマトリクスに送られる光束を生成するように構成され、前記少なくとも1つの光起電力セルのマトリクスは、光束を受け取り、第1および第2の電源からの少なくとも1つを送り出すように構成される。

50

- 一実施形態によれば、電子回路および少なくとも1つのオプトカブラは、1つの同じパッケージ内に組み立てられる。
- 一実施形態によれば、第1および第2の電源は、主電源と呼ばれる1つの同じ電源である。
- 一実施形態によれば、少なくとも1つのコントローラは、主コントローラと呼ばれる1つの単一コントローラである。
- 一実施形態によれば、主電源は、前記主電源に接続されたレーザダイオードのマトリクスを含む第1のオプトカブラによって電子回路から電氣的に絶縁され、第1の光起電力セルのマトリクスは第1のドライバに接続され、第2の光起電力セルのマトリクスは第2のドライバに接続され、前記第1および第2の光起電力セルのマトリクスは、第1のオプトカブラの前記レーザダイオードのマトリクスに結合されそれに面し、前記第1および第2の光起電力セルのマトリクスは、それぞれ、第1および第2のドライバに供給するように構成される。
- 一実施形態によれば、主コントローラは、前記主コントローラに接続されたレーザダイオードのマトリクスを含む第2のオプトカブラによって電子回路から電氣的に絶縁され、第1の光起電力セルのマトリクスは第1のドライバに接続され、第2の光起電力セルのマトリクスは第2のドライバに接続され、前記第1および第2の光起電力セルのマトリクスは、第2のオプトカブラの前記レーザダイオードのマトリクスに結合されそれに面し、前記第1および第2の光起電力セルのマトリクスは、それぞれ、第1および第2の入力信号を第1および第2のドライバに送り出すように構成される。

10

20

【0065】

本発明において、「HEMT型トランジスタ」とは、これは、時にはヘテロ構造電界効果トランジスタの用語によっても示される高電子移動度トランジスタを意味する。そのようなトランジスタは異なるバンドギャップを有する2つの半導体層の重ね合せを含み、それらは界面に量子井戸を形成する。電子はこの量子井戸に閉じ込められて、2次元電子ガスを形成する。高電圧およびある温度において維持するために、これらのトランジスタは、広いエネルギーバンドギャップを有するように選択される。

【0066】

広いエネルギーバンドギャップをもつHEMTトランジスタの中で、窒化ガリウムベーストランジスタは非常に有望である。エネルギーバンドギャップ幅(3eV)は、従来のエレクトロニクス材料と比較してより大きな臨界電界と、キャリアの高い飽和速度と、良好な熱および化学安定性とを誘起する。したがって、窒化ガリウムの絶縁破壊電界は 2×10^6 V/cmよりも大きくなることができ、それにより、600Vよりも大きい破壊電圧をもつコンパクトなトランジスタを容易に作り出すことが可能になる。横方向導電トランジスタ(lateral conduction transistor)では、ゲート/ドレイン破壊電圧は、ゲートとドレインとの間の適切な距離によって容易に制御することができる。それにより、約600Vの破壊電圧が、約数ミクロン(例えば、4 μ mから10 μ m)の、トランジスタのゲートとドレインとの間の距離で達することができる。加えて、そのようなトランジスタは、非常に高い電子移動度と界面電子ガスの高い電子密度とのために、非常に高い電流密度を可能にする。

30

【0067】

本発明の範囲において、第2の層への第1の層の堆積は、2つの層が互いに直接接触していることを否応なしに意味するのではなく、第1の層が、第2の層に直接接触することによってまたは少なくとも1つの他の層もしくは少なくとも1つの他の要素により第2の層から分離されることによって第2の層を少なくとも部分的に覆うことを意味することが明示される。

40

【0068】

本発明の範囲において、第1の層と第2の層との間に挿入された第3の層の相対的な配置は、層が互いに直接接触していることを否応なしに意味するのではなく、第3の層が第1および第2の層に直接接触するか、またはこれらから少なくとも1つの他の層もしくは少なくとも1つの他の要素によって分離されることを意味することが明示される。例えば、それ

50

自体既知の方法で、GaNベースHEMT型トランジスタの分野において、2つのGaN半導体層とAlGaIn半導体層との間に薄いAlN層を挿入することができる。

【0069】

材料A-「ベースの」基板、デバイス、層とは、これは、基板、デバイス、層が、この材料Aのみ、またはこの材料Aおよび多分他の材料、例えば、合金元素、不純物、もしくはドーピング元素を含むことを意味し、材料Aは、基板、デバイス、または層にとって有利な特性を有する。したがって、窒化ガリウム(GaN)ベーストランジスタは、例えば、多分ドーピングされた部分をもつまたはAlGaIn合金で製作されたGaIn活性部分を含む。

【0070】

本発明では、「NMOS型トランジスタ」とは、これは、主キャリアが電子である電界効果トランジスタを意味し、NMOS型トランジスタは、特に、電子電流を通過させることができるN型チャンネルを有する。

10

【0071】

異なるトランジスタ構成、例えば、限定ではないが、金属ゲートがチャンネルから絶縁されているMOSFET(「酸化金属半導体電界効果トランジスタ」)、金属ゲートがチャンネルに直接接触しているMESFET(「金属半導体FET」)、大きいギャップの半導体がゲートとチャンネルとの間に挿入されているHFET(「ヘテロ構造FET」)、ドーパントが主として大きいギャップの半導体に位置づけられるとともに、これらのドーパントに由来する電子が主としてチャンネルを通り過ぎるMODFET(「変調ドーピングFET」)を使用することができる。

【0072】

一般に、NMOSトランジスタのゲートが閾値電圧よりも大きい電圧の状態にされた場合、ソースとドレインとはチャンネルによって接続され、トランジスタはループ状態と呼ばれる。NMOSトランジスタのゲートが閾値電圧よりも小さい電圧の状態にされた場合、ソースとドレインとはもはや接続されず、トランジスタは遮断状態と呼ばれる。

20

【0073】

続いて、公称値、例えば、閾値よりも大きい電圧値の維持とは、この値がある期間にわたって大幅な変動をせず、その期間の間、この値が維持されることを意味する。例えば、電圧が0Vと5Vとの間にある信号の入力で受け取るように構成されたトランジスタでは、ループ状態における公称電圧値の維持とは、この値が厳密に2Vよりも大きいままであることを意味する。遮蔽状態における公称電圧値の維持とは、この値が厳密に0.2V未満のままであることを意味する。

30

【0074】

電子は、チャンネルの長さに沿ってソースとドレインとの間を循環する。

【0075】

チャンネルの幅寸法は、電子電流をトランジスタに通すのに望ましい電子電流の強度に応じて大きさを合わせることができる。

【0076】

続いて、トランジスタの「開発」に関して言えば、これは、ゲートの幅寸法を意味する。例えば、10mm開発トランジスタは、ゲート10mm幅を有し、チャンネルは、例えば、250nmと0.2μmとの間の長さを有することができる。

40

【0077】

図では、以下の表記、すなわち、ゲートにはG、ソースにはS、ドレインにはDが使用される。

【0078】

電力コンバータは、電気信号(第1の供給元)を別の電気信号(第2の供給元)に変換する機能を有する。例えば、交流を別の交流に変換するように意図されたコンバータ(AC/ACコンバータ)、直流を別の直流に変換するように意図されたコンバータ(DC/DCコンバータ)、交流を直流に変換するように意図されたコンバータ(整流器と呼ばれるAC/DCコンバータ)、および直流を交流に変換するように意図されたコンバータ(インバータと呼ばれるDC/ACコンバータ)がある。

50

【0079】

それゆえに、インバータは、一方では直流電圧源に、他方では1つまたは複数の抵抗または誘導負荷に接続される。これらの接続はインバータ分岐のレベルにおいて行われる。インバータは、1つまたは複数の分岐から構成することができる。

【0080】

インバータ分岐は、1つまたは複数のスイッチングセルによって構成することができる。

【0081】

各スイッチングセルは、1対の一緒に接続されたハイサイドスイッチおよびローサイドスイッチから形成される。これらのスイッチのスイッチングのクリアランスによって、インバータは、電圧源と負荷の相互接続を周期的に変更する。

【0082】

スイッチングセルは、以下の電源の基本的な相互接続規則を守らなければならない。

【0083】

電圧源は、短絡してはいけないが、開放されていてもよい。

【0084】

電流源は、オープンではあってはいけないが、短絡していてもよい。

【0085】

それゆえに、スイッチングセルの2個のスイッチの状態は相補的である、すなわち、ハイサイドスイッチが遮断されているときローサイドスイッチはループされている、および逆の場合も同じであることが必要である。

【0086】

この相補的なスイッチングを保証するために、ハイサイドスイッチおよびローサイドスイッチは、時間的に分離された指令信号によって指令される。

【0087】

ドライバのうちの1つまたは複数は、特に、時間回復なしに指令信号を生成するように設計することができる。

【0088】

ドライバは、一緒に接続またはリンクされた物理的構成要素のアセンブリであり、その結果、ドライバは、それ自体、指令、指図、もしくは調節されるか、またはインバータシステムなどの別のシステムを指令、指図、もしくは調節することができる。

【0089】

これらのドライバは、例えば、スイッチングセルの各スイッチの指令信号の間にデッドタイムを導入することができる。

【0090】

本発明によれば、次に、インバータ分岐のドライバを含む電子回路の第1の実施形態が、図1Aを参照して説明される。

【0091】

電子回路1は、1対のハイサイドスイッチおよびローサイドスイッチによって形成されたインバータ分岐と、これらのスイッチのドライバとを含む。

【0092】

ハイサイドスイッチは、ソースが浮遊電位である第1のハイサイドトランジスタ14によって形成される。

【0093】

このハイサイドトランジスタ14は、例えばGaNまたはAsGaベースのHEMTトランジスタであることが好ましい。このハイサイドトランジスタ14は、約30Aの電流で機能するように300mm開発を有することができる。特に、このハイサイドトランジスタ14は、例えば、10 μ m以上のゲート/ドレイン距離では、400Vを超える、好ましくは600Vを超える電圧を有する高電圧負荷をサポートするように構成される。

【0094】

ローサイドスイッチは、ソースが接地状態である第2のローサイドトランジスタ15によ

10

20

30

40

50

って形成される。

【0095】

このローサイドトランジスタ15は、やはり、約30Aの負荷電流と、例えば400Vを超える、好ましくは600Vを超える電圧を有する高電圧とをサポートするように300mm開発を有することができる。

【0096】

ハイサイドトランジスタ14およびローサイドトランジスタ15は、必要性に応じて調節可能である1.5Vと4Vとの間の閾値電圧を有することができる。

【0097】

ハイサイドトランジスタ14およびローサイドトランジスタ15は、ハーフブリッジ回路を形成するように一緒に接続される。

10

【0098】

特に、ハイサイドトランジスタ14のソースは、ローサイドトランジスタ15のドレインに接続され、ローサイドトランジスタ15のドレインは、中点Mのレベルに出力接続部を有する。

【0099】

したがって、インバータ分岐は、交流負荷に供給することを可能にする中点Mでの出力部を有する。

【0100】

ハイサイドトランジスタ14は、第1の複数の論理ゲート10、12、13を含む第1のドライバ140によって指令される。

20

【0101】

ローサイドトランジスタ15は、第2の複数の論理ゲート10、11、12、13を含む第2のドライバ150によって指令される。

【0102】

第1のドライバ140は、図2Aに示されたものなどの第1の指令信号

【0103】

【数1】

$$\overline{A \cdot B_{high}}$$

30

【0104】

をハイサイドトランジスタ14のゲートに送り出すように構成することができる。

【0105】

この第1の指令信号は、例えば実質的に0Vに等しいハイサイドトランジスタ14の閾値電圧よりも小さい低値と、例えば4.5Vと5Vとの間のハイサイドトランジスタ14の閾値よりも大きい高値との間で変化することができる電圧を有する。第1の指令信号のこの電圧は、ハイサイドトランジスタ14のゲート電位と浮遊電位との間の電位差に等しい。

40

【0106】

第2のドライバ150は、図2Aに示されたものなどの第2の指令信号

【0107】

【数2】

$$\overline{A \cdot B_{low}}$$

50

【0108】

をローサイドトランジスタ15のゲートに送り出すように構成することができる。

【0109】

この第2の指令信号は、例えば実質的に0Vに等しいローサイドトランジスタ15の閾値電圧よりも小さい低値と、例えば4.5Vと5Vとの間ローサイドトランジスタ15の閾値よりも大きい高値との間で変化することができる。

【0110】

第2の指令信号のこの電圧は、ローサイドトランジスタ15のゲート電位と回路1の接地との間の電位差に等しい。

【0111】

第1および第2の指令信号は、第1の指令信号の高値が時間的に第2の指令信号の低値に対応するように、および第2の指令信号の高値が時間的に第1の指令信号の低値に対応するように時間的に交互にされる。

【0112】

特に、第1のドライバ140および第2のドライバ150は、第1の指令信号および第2の指令信号がそれらのそれぞれの高値を決して同時に有しないように構成される。その後、ハイサイドトランジスタ14およびローサイドトランジスタ15は、決して同時にループ状態にはない。

【0113】

第1の指令信号および第2の指令信号は、それらのそれぞれの低値を同時に有することができる。その後、ハイサイドトランジスタ14およびローサイドトランジスタ15は、同時に阻止状態にあり得る。

【0114】

インバータ分岐は、中点Mの出力のレベルにおいて、図2Bに示されたものなどの出力信号を送り出すように構成することができる。

【0115】

この出力信号は、0Vと、400V以上、例えば、または600V以上のピーク電圧との間で変動する交流電圧を有することができる。

【0116】

出力信号は、スロットまたは実質的に正弦波の形態を有することができる。

【0117】

出力信号の正弦波形態を得るために、ハイサイドトランジスタ14およびローサイドトランジスタ15の指令信号は、それぞれのドライバによって変調されたパルス幅であることが好ましい。

【0118】

これらのドライバ140、150は、特に、入力部において、1つまたは複数のコントローラからの、PWMと表される、パルス幅変調入力信号を受け取ることができる。

【0119】

ドライバは、特に、同期PWM入力信号を受け取ることができる。

【0120】

有利な可能性によれば、第1および第2のドライバは各々時間的に同一のPWM入力信号を受け取る。

【0121】

このPWM入力信号は、続いて、上述の第1および第2の指令信号を得るために第1および第2の複数の論理ゲートによって処理される。

【0122】

有利には、第1および第2の複数の論理ゲートは、電子でのみ機能するNMOSトランジスタを含む。この機能は、HEMTトランジスタの機能と互換性がある。

【0123】

続いて、第1のドライバ140および第2のドライバ150は、ハイサイドトランジスタ14

10

20

30

40

50

およびローサイドトランジスタ15と同じ1つのチップおよび同じ1つの半導体基板に統合することができる。

【0124】

特に、NMOSトランジスタのチャネルとHEMTハイサイドトランジスタ14およびローサイドトランジスタ15のチャネルとは、半導体基板の同じ1つの半導体層に形成することができる。

【0125】

半導体基板は、GaNベースの半導体層を含むことが好ましい。

【0126】

NMOSトランジスタの形成とHEMTハイサイドトランジスタ14およびローサイドトランジスタ15の形成とは、有利には、ほとんど共通の技術的ステップを共有することができる。

10

【0127】

この構造適合性により、電子回路1の生産を簡単にすることが可能になる。

【0128】

これにより、さらに、電子回路1の生産コストを低減することが可能になる。

【0129】

その上、これらの第1のドライバ140および第2のドライバ150をHEMTハイサイドトランジスタ14およびローサイドトランジスタ15に関連づけ電子でのみ機能するそのような電子回路1は、最適化された機能を有する。特に、ハイサイドトランジスタ14およびローサイドトランジスタ15のスイッチング速度を最適化することができる。

20

【0130】

第1の複数の論理ゲートは、第1の遅延機能論理ゲート10_{high}、第1のAND型論理ゲート12_{high}、および第1のNO型論理ゲート13_{high}を含むことが好ましい。

【0131】

第1の遅延機能ゲート10_{high}は、入力部においてPWM入力信号を受け取り、出力部において第1の遅延PWM信号を送り出すことが好ましい。

【0132】

第1のAND型ゲート12_{high}は、入力部AにおいてPWM入力信号を、および入力部Bにおいて、第1の遅延機能ゲート10_{high}から来る第1の遅延PWM信号を受け取り、出力部において信号A・B_{high}を送り出すことが好ましい。

30

【0133】

第1のNO型ゲート13_{high}は、入力部において、第1のAND型ゲート12_{high}から来る信号A・B_{high}を受け取り、出力部において、第1の指令信号に対応する信号

【0134】

【数3】

$$\overline{A \cdot B_{high}}$$

40

【0135】

を送り出すことが好ましい。

【0136】

第2の複数の論理ゲートは、第2の遅延機能論理ゲート10_{low}、2つのNO型論理ゲート11_{low}、第2のAND型論理ゲート12_{low}、および第2のNO型論理ゲート13_{low}を含むことが好ましい。

【0137】

第2の遅延機能ゲート10_{low}は、入力部においてPWM入力信号を受け取り、出力部にお

50

いて第2の遅延PWM信号を送り出すことが好ましい。

【0138】

2つのNO型ゲート11_{low}の中からの一方は、入力部において、PWM入力信号を受け取り、出力部において反転PWM入力信号を送り出すことが好ましい。

【0139】

2つのNO型ゲート11_{low}の中からの他方は、入力部において、第2の遅延PWM入力信号を受け取り、出力部において反転遅延PWM入力信号を送り出すことが好ましい。

【0140】

第2のAND型ゲート12_{low}は、入力部Aにおいて、2つのNO型ゲート11_{low}の中からの一方から来る反転PWM入力信号を、および入力部Bにおいて、2つのNO型ゲート11_{low}の中からの他方から来る反転遅延PWM信号を受け取り、出力部において信号A・B_{low}を送り出すことが好ましい。

10

【0141】

第2のNO型ゲート13_{low}は、入力部において、第2のAND型ゲート12_{low}から来る信号A・B_{low}を受け取り、出力部において、第2の指令信号に対応する信号

【0142】

【数4】

$$\overline{A \cdot B_{low}}$$

20

【0143】

を送り出すことが好ましい。

【0144】

本実施形態によれば、PWM入力信号は、第2のAND型ゲート12_{low}の入力部AおよびBに対応する2つの分岐に分配され、前部分岐の各々において処理され次いで反転されて、前記入力部AおよびBに送り出される。

【0145】

図1Cに示された代替実施形態によれば、第2の複数の論理ゲートは、第2の遅延機能論理ゲート10_{low}、1つの単一NO型論理ゲート11_{low}、第2のAND型論理ゲート12_{low}、および第2のNO型論理ゲート13_{low}を含む。

30

【0146】

NO型ゲート11_{low}は、入力部において、PWM入力信号を受け取り、出力部において反転PWM入力信号を送り出すことが好ましい。

【0147】

第2の遅延機能ゲート10_{low}は、入力部において反転PWM入力信号を受け取り、出力部において遅延反転PWM信号を送り出すことが好ましい。

【0148】

第2のAND型ゲート12_{low}は、入力部Aにおいて、NO型ゲート11_{low}から来る反転PWM入力信号を、および入力部Bにおいて、第2の遅延機能ゲート10_{low}から来る遅延反転PWM信号を受け取り、出力部において信号A・B_{low}を送り出すことが好ましい。

40

【0149】

第2のNO型ゲート13_{low}は、入力部において、第2のAND型ゲート12_{low}から来る信号A・B_{low}を受け取り、出力部において、第2の指令信号に対応する信号

【0150】

【数5】

50

$$\overline{A \cdot B}_{low}$$

【0151】

を送り出すことが好ましい。

【0152】

本実施形態によれば、PWM入力信号は、最初に、反転され、次いで、第2のAND型ゲート12_{low}の入力部AおよびBに対応する2つの分岐に分配され処理される。この動作は、1つの単一NO型論理ゲート11_{low}しか必要としない。この可能性によれば、第2の複数の論理ゲートの生産に関連する複雑さおよびコストが、上述の実施形態に対して低減される。

10

【0153】

2つのNO型論理ゲート11_{low}は、抵抗R1に関連する1つの単一NMOSトランジスタを含むことが好ましい。

【0154】

NMOSトランジスタは、1mm開発GaNベーストランジスタであることが好ましい。

【0155】

抵抗R1は、例えば、500オームと2000オームとの間の値を有することができる。

20

【0156】

これらのNO型論理ゲート11_{low}の論理記号および構成が、それぞれ、図3Aおよび図3Bに示される。

【0157】

これらの2つのNO型論理ゲート11_{low}は同一であり、これらの論理ゲートの一方についての以下の説明は、他方の論理ゲートに有効である。

【0158】

そのような論理ゲートの入力部は、NMOSトランジスタのゲートに接続される。

【0159】

NMOSトランジスタのドレインは抵抗に接続される。

30

【0160】

論理ゲートの出力部は、ドレインと抵抗との間に位置する。

【0161】

この論理ゲートは、供給源によって電位V_{dd}およびV_{ss}で電氣的に供給され得る。

【0162】

特に、トランジスタのソースはV_{ss}に接続されることが好ましく、抵抗は、ドレインに接続された側の反対の側でV_{dd}に接続されることが好ましい。

【0163】

そのような構成は、後で、「一段NO型論理ゲート11」と呼ばれる。

【0164】

この構成は、電子回路1の基本的ブリックを構成することが好ましい。

40

【0165】

第1のNO型論理ゲート13_{high}および第2のNO型論理ゲート13_{low}は、各々、一段NO型論理ゲート11によって形成された第1の段、および2つのNMOSトランジスタU1、U2を含む第2の段を含むことが好ましい。

【0166】

これらの第1のNO型論理ゲート13_{high}および第2のNO型論理ゲート13_{low}は、ハイサイドトランジスタ14およびローサイドトランジスタ15のそれぞれのゲートをロードするように構成される。

【0167】

50

2つのNMOSトランジスタU1、U2は、10mm開発GaNベーストランジスタであることが好ましい。

【0168】

そのような開発により、特に、第1の段のNMOSトランジスタに流れ込む電流よりも大きい強度の電流をこれらのトランジスタに流れ込ませることが可能になる。

【0169】

これらのNMOSトランジスタU1、U2は、ハイサイドトランジスタ14およびローサイドトランジスタ15に関して、20よりも大きい、好ましくは30以上の増強比(development ratio)を有することができる。

【0170】

このサイジングにより、NMOSトランジスタU1、U2、ならびにハイサイドトランジスタ14およびローサイドトランジスタ15が、各々、それらの機能範囲において最適化された方法で機能することができる。

【0171】

これらの第1のNO型論理ゲート13_{high}および第2のNO型論理ゲート13_{low}の論理記号および構成が、それぞれ、図4Aおよび図4Bに示される。

【0172】

これらの論理ゲートについての1つの以下の説明は、他方の論理ゲートに有効である。

【0173】

そのような論理ゲートの入力部は、一方では第1の段の一段NO型論理ゲート11の入力部に、他方ではトランジスタU2のゲートに接続される。

【0174】

トランジスタU1のゲートは、第1の段の一段NO型論理ゲート11の出力部に接続される。

【0175】

トランジスタU2のドレインは、トランジスタU1のソースに直接接続される。

【0176】

この論理ゲートの出力部は、ドレインとソースとの間に位置し、これらの2つのトランジスタU2、U1から直接接続される。

【0177】

有利には、トランジスタU1のゲートへのアクセス抵抗は、第1の段の抵抗R1よりも大きい。これにより、この論理ゲートの出力部のレベルでの電位の著しい降下なしに、第1の段のNMOSトランジスタに流れ込む電流よりも大きい強度の電流をトランジスタU1、U2に流れ込ませることが可能になる。それゆえに、この論理ゲートは、有利には、例えば、高強度電流の場合でさえ、ハイサイドトランジスタ14またはローサイドトランジスタ15の閾値よりも大きい規格電圧値を出力部において維持するのを可能にする。特にトランジスタU1、U2は、1Aの電流の下で5Vの電圧を送り出し維持することができる。

【0178】

この論理ゲートは、供給源によって電位V_{dd}およびV_{ss}(またはV'_{dd}およびV'_{ss})で電気的に供給され得る。

【0179】

特に、トランジスタU2のソースはV_{ss}(またはV'_{ss})に接続されることが好ましく、トランジスタU1のドレインは、V_{dd}(またはV'_{dd})に接続されることが好ましい。

【0180】

供給源は、第1の段の一段NO型論理ゲートにも供給する。

【0181】

そのような構成は、後で、「二段NO型論理ゲート」と呼ばれる。

【0182】

2つのNO型論理ゲート13_{high}、13_{low}は、同一とすることができ、またはハイサイドトランジスタ14およびローサイドトランジスタ15に応じて大きさを合わせることができる。

【0183】

10

20

30

40

50

例えば、実質的に30に等しい増強比を有するハイサイドトランジスタ14およびローサイドトランジスタ15では、第1のNO型論理ゲート13_{high}のトランジスタU1、U2は、第2のNO型論理ゲートトランジスタ13_{low}のトランジスタU1、U2の増強に対して実質的に30に等しい係数よりも大きい増強を有することができる。

【0184】

第1のAND型論理ゲート12_{high}および第2のAND型論理ゲート12_{low}は、2つのNMOSトランジスタおよび1つの抵抗の各々を含むことが好ましい。

【0185】

2つのNMOSトランジスタT1、T2は、1mm開発GaNベーストランジスタであることが好ましい。

10

【0186】

これらの第1のAND型論理ゲート12_{high}および第2のAND型論理ゲート12_{low}の論理記号および構成が、それぞれ、図5Aおよび図5Bに示される。

【0187】

これらの2つのAND型論理ゲート12_{high}、12_{low}は同一とすることができ、これらの論理ゲートの1つについての以下の説明は、他方の論理ゲートに有効である。

【0188】

そのような論理ゲートは、2つの入力部AおよびBを有する。

【0189】

そのような論理ゲートの入力部Aは、トランジスタT1のゲートに接続されることが好ましい。

20

【0190】

そのような論理ゲートの入力部Bは、トランジスタT2のゲートに接続されることが好ましい。

【0191】

トランジスタT2のドレインは、トランジスタT1のソースに直接接続される。

【0192】

トランジスタT1のドレインは抵抗R1に接続される。

【0193】

論理ゲートの出力部は、トランジスタT1のドレインと抵抗R1との間に位置する。

30

【0194】

この論理ゲートは、供給源によって電位V_{dd}およびV_{ss}(またはV'_{dd}およびV'_{ss})で給電され得る。

【0195】

特に、トランジスタT2のソースはV_{ss}(またはV'_{ss})に接続されることが好ましく、抵抗R1は、トランジスタT1のドレインに接続された側の反対の側でV_{dd}(またはV'_{dd})に接続されることが好ましい。

【0196】

第1の遅延機能論理ゲート10_{high}および第2の遅延機能論理ゲート10_{low}は、各々、複数の一段NO型論理ゲート11を含むことが好ましい。

40

【0197】

これらの第1の遅延機能論理ゲート10_{high}および第2の遅延機能論理ゲート10_{low}の論理図および構成が、それぞれ、図6Aおよび図6Bに示される。

【0198】

これらの論理ゲートについての以下の説明は、他方の論理ゲートに有効である。

【0199】

そのような論理ゲートの入力部はPWM信号を受け取る。それは、一段NO型論理ゲート11の入力部に対応する。

【0200】

そのような論理ゲートの出力部は、遅延PWM信号を送り出す。それは、別の一段NO型

50

論理ゲート11の出力部に対応する。

【0201】

そのような遅延機能論理ゲートは、その入力部とその出力部との間に、直列に組み合わせられた偶数の一段NO型論理ゲート11を含む。

【0202】

入力部のPWM信号は、実際は、一段NO型論理ゲート11の各通路において基本遅延および反転を受ける。

【0203】

偶数の一段NO型論理ゲート11を直列に組み合わせることにより、その後、2つずつ信号反転を相殺することと、遅延機能論理ゲートの出力部において基本遅延の和に等しい合計遅延を有する遅延PWM信号を得るように基本遅延を累加することとが可能になる。

10

【0204】

第1の遅延機能ゲート10_{high}および第2遅延機能ゲート10_{low}は、それぞれ、第1の数の異なる一段NO型論理ゲート11および第2の数の異なる一段NO型論理ゲート11を含む。

【0205】

これらの第1および第2の数は、例えば、第1および第2のドライバに関して目標とする最大スイッチング周波数に依存する。特に、最大スイッチング周波数は、約10MHzとすることができる。

【0206】

特におよび有利には、第1の遅延機能ゲート10_{high}および第2の遅延機能ゲート10_{low}は、非回復を保証するためのそれらの間の十分な時間差と、スイッチングのデッドタイムを最小にし、スイッチング周波数を増加させるための最小値とを有する第1の遅延PWM信号および第2の遅延PWM信号をそれぞれ送り出すように構成される。

20

【0207】

この時間差は、第1の遅延機能ゲート10_{high}および第2の遅延機能ゲート10_{low}の出力部においてそれぞれ得られる合計遅延の差に対応する。

【0208】

有利な可能性によれば、第1および第2の複数の論理ゲートは、後に主電源と呼ばれる1つの同じ供給源によって給電される。

【0209】

本発明の第2の態様はインバータシステムに関する。

30

【0210】

好ましいが非限定の実施形態によれば、このシステムは、例えば図1Bに示されたように、主電源によって電位V_{dd}およびV_{ss}で給電され、PWM入力信号を送り出すコントローラによって制御される電子回路1を含むことができる。

【0211】

このインバータシステムは、ハイサイドトランジスタ14のドレインに接続された電力発生器100をさらに含むことが好ましい。続いて、このインバータシステムにより、高電力直流DCを高電力交流ACに変換することができる。

【0212】

有利には、インバータシステムの電子回路1は、コントローラおよび主電源から電氣的に絶縁される。

40

【0213】

第1のオプトカップラ2は、電子回路1をコントローラから絶縁することが好ましい。

【0214】

第2のオプトカップラ2は、電子回路1を主電源から絶縁することが好ましい。

【0215】

これらの第1および第2のオプトカップラ2、3は、1つの同じ絶縁原理を利用することが好ましい。

【0216】

50

しかしながら、それらは、例えば伝送されるべき電気信号の電力に応じて異なるように大きさを合わされてもよい。

【0217】

この絶縁原理は以下の通りである。

【0218】

電気信号を受け取るそのようなオプトカブラの入力部は、レーザダイオードのマトリクスに接続される。このレーザダイオードマトリクスは入力電気信号を光信号に変換する。光信号が放出され、光起電力セルのマトリクスに送られる。そのような光起電力セルのマトリクスは、例えば、文献のFR 3012669 A1に開示されている生成方法に従って生成することができる。この光起電力セルのマトリクスは、光信号を受け取り、それを電気信号

10

【0219】

第1および第2のオプトカブラ2、3は、各々、それぞれ、1つまたは複数の向き合っている光起電力セルのマトリクス21、31に結合されたレーザダイオードのマトリクス20、30を含むことが好ましい。

【0220】

特に、第1のオプトカブラ2は、以下のように大きさを合わせることができる。

【0221】

有利には、レーザダイオードのマトリクス20は、コントローラに接続され、2つの光起電力セルのマトリクス21に面して回転される。レーザダイオードのマトリクス20および光起電力セルのマトリクス21は、例えばSiO₂で製作された誘電体層200によって分離することができる。2つの光起電力セルのマトリクス21の一方は、コントローラから来るPWM入力信号を実質的に送り出すために第1のドライバに接続される。

20

【0222】

他方の光起電力セルのマトリクス21は、コントローラから来るPWM入力信号を実質的に送り出すために第2のドライバに接続される。

【0223】

光起電力セルのマトリクス21の各々は、PWM入力信号の電圧に依存するいくつかの基本セルを含むことができる。

【0224】

例えば、約750 μWの光パワーの下で約0.3Vを送り出す基本セルでは、光起電力セルのマトリクス21の各々は、16個の基本セルを含んで、第1および第2のドライバの入力部に合計で16×0.3V=4.8Vまで送り出すことができる。

30

【0225】

第2のオプトカブラ3は、以下のように大きさを合わせることができる。

【0226】

有利には、レーザダイオードのマトリクス30は、主電源に接続され、2つの光起電力セルのマトリクス31に面して回転される。

【0227】

レーザダイオードのマトリクス30および光起電力セルのマトリクス31は、例えばSiO₂で製作された誘電体層300によって分離することができる。

40

【0228】

2つの光起電力セルのマトリクス31の一方は、主電源から来る第1の給電を送り出すために第1のドライバに接続される。

【0229】

他方の光起電力セルのマトリクス31は、主電源から来る第2の給電を送り出すために第2のドライバに接続される。

【0230】

光起電力セルのマトリクス31の各々は、それぞれ第1および第2のドライバの第1および第2の給電に必要な供給電圧に依存するいくつかの基本セルを含むことができる。

50

【0231】

例えば、約4Wの光パワーの下で約0.4Vを送り出す基本セルでは、光起電力セルのマトリクス21の各々は、81個の基本セルを含んで、第1および第2のドライバの入力部に合計で $81 \times 0.4V = 32.4V$ まで送り出すことができる。

【0232】

2つの光起電力セルのマトリクス21、31をレーザダイオード20、30のマトリクスに関連づけるそのような構成により、有利には、PWM入力信号および/または主電源信号を二重にすることができる。

【0233】

この構成により、さらに、最適化されたインバータシステムの構成要素の統合を得ることが可能になる。

10

【0234】

したがって、例えば、図7A～図7Cに示されるように、1つの同じケーシング4に、電子回路1と第1および第2のオプトカップラ2、3とを統合することが可能である。

【0235】

例えば、第1および第2のオプトカップラ2、3を、第1のチップ上に生成および/または組み立て、接続ゲート5に付着または溶接することができ、電子回路1を、第2のチップ上に生成し、第1および第2のオプトカップラ2、3の近くにおいて接続ゲート5に付着または溶接することができる(図7B)。次いで、接続ワイヤ6により、第1および第2のオプトカップラ2、3を電子回路1に接続することを可能にすることができる。接続ゲート5と、第1および第2のオプトカップラ2、3と、電子回路1とを囲むケーシング4は、固体、エポキシタイプ、または空洞とすることができる(例えば、電力コンバータの熱放散を容易にするために)。

20

【0236】

別の例によれば、第1および第2のオプトカップラ2、3を、第1のチップ上に生成および/または組み立て、接続ゲート5に付着または溶接することができ、電子回路1をこの第1のチップ上に返し戻すことができる。第1および第2のオプトカップラ2、3と電子回路1との間の接続は、その後、接続パッドのレベルにおいて達成することができる(図7C)。

【0237】

本発明は上述の実施形態に限定されず、特許請求の範囲によってカバーされるすべての実施形態まで拡大される。

30

【符号の説明】

【0238】

- 1 電子回路
- 2 第1のオプトカップラ
- 3 第2のオプトカップラ
- 4 ケーシング
- 5 接続ゲート
- 6 接続ワイヤ
- 10 論理ゲート
- 11 論理ゲート、一段NO型論理ゲート
- 12 論理ゲート
- 13 論理ゲート
- 10_{high} 第1の遅延機能論理ゲート
- 10_{low} 第2の遅延機能論理ゲート
- 11_{low} NO型論理ゲート
- 12_{high} 第1のAND型論理ゲート
- 12_{low} 第2のAND型論理ゲート
- 13_{high} 第1のNO型論理ゲート
- 13_{low} 第2のNO型論理ゲート
- 14 第1のハイサイドトランジスタ

40

50

- 15 第2のローサイドトランジスタ
- 20 レーザダイオードのマトリクス
- 21 光起電力セルのマトリクス
- 30 レーザダイオードのマトリクス
- 31 光起電力セルのマトリクス
- 140 第1のドライバ
- 150 第2のドライバ
- 200 誘電体層
- 300 誘電体層

【図面】

【図 1 A】

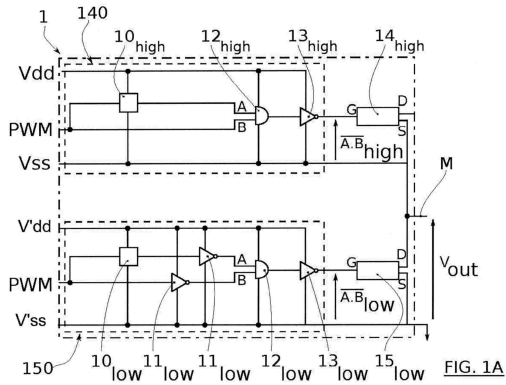


FIG. 1A

【図 1 B】

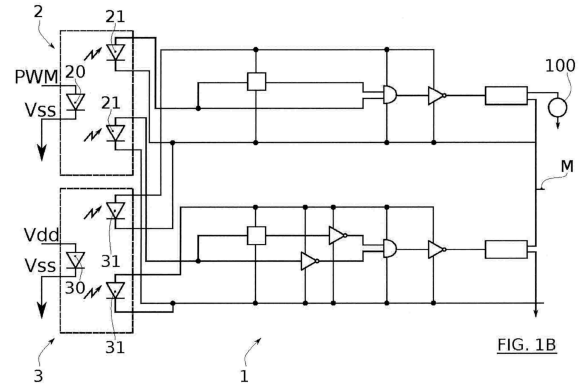


FIG. 1B

【図 1 C】

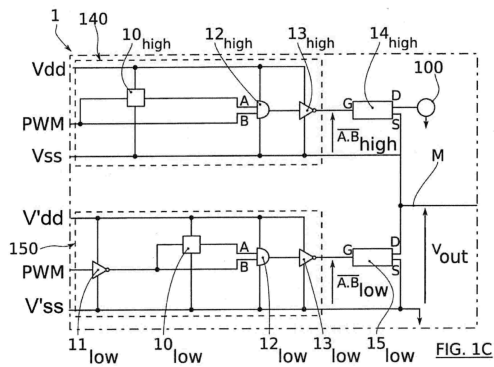


FIG. 1C

【図 2 A】

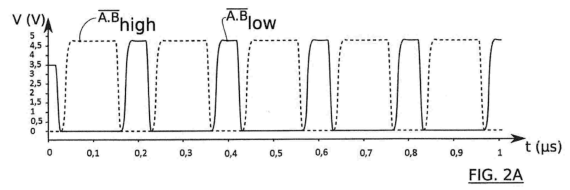


FIG. 2A

10

20

30

40

50

【 2 B 】

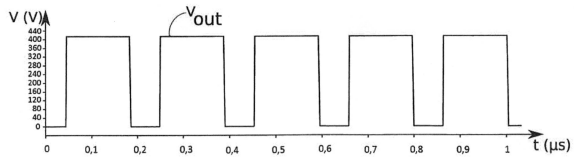


FIG. 2B

【 3 A 】

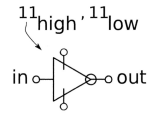


FIG. 3A

10

【 3 B 】

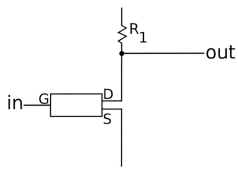


FIG. 3B

【 4 A 】

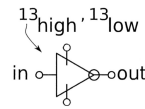


FIG. 4A

20

【 4 B 】

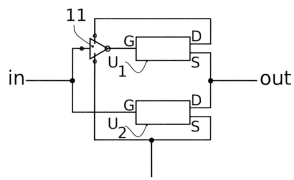


FIG. 4B

【 5 A 】

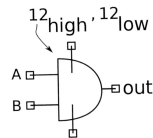


FIG. 5A

30

40

50

【 5 B 】

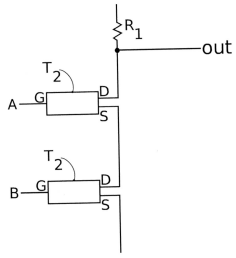


FIG. 5B

【 6 A 】

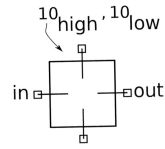


FIG. 6A

10

【 6 B 】

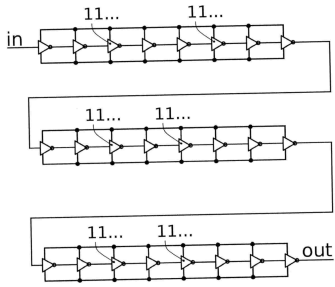


FIG. 6B

【 7 A 】

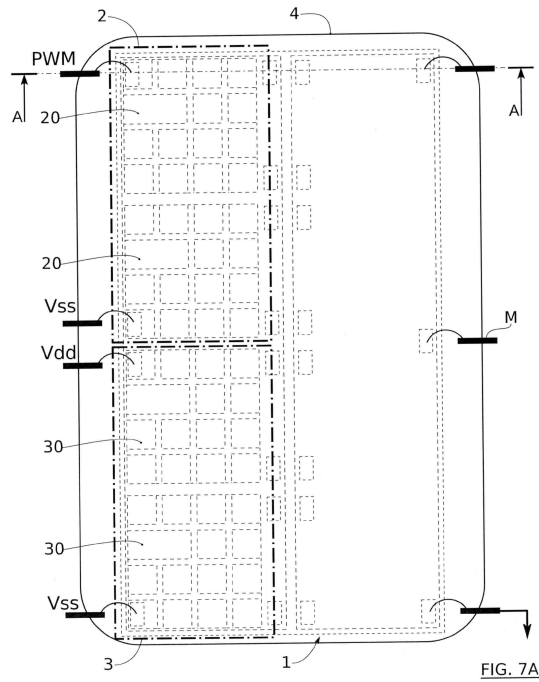


FIG. 7A

20

30

40

50

【 7 B 】

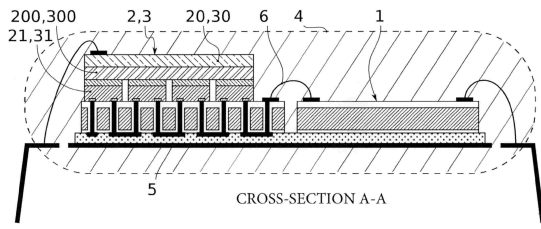


FIG. 7B

【 7 C 】

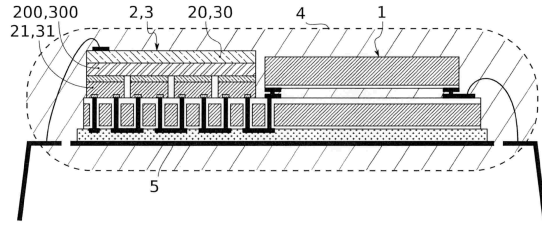


FIG. 7C

10

20

30

40

50

フロントページの続き

- ル・１７・セウア・グルノーブル
(72)発明者 ルネ・エスコフィエ
フランス・３８０５４・グルノーブル・セデックス・０９・リュ・デ・マルティル・１７・セウア
・グルノーブル
- 審査官 東 昌秋
- (56)参考文献 特開２０１６－１５８３２１（ＪＰ，Ａ）
特開２０１４－５４１７３（ＪＰ，Ａ）
特開昭６３－１００８１９（ＪＰ，Ａ）
特開平８－３３３１５（ＪＰ，Ａ）
特開２０１６－６６８５２（ＪＰ，Ａ）
特表２０１２－５２６４８７（ＪＰ，Ａ）
- (58)調査した分野 (Int.Cl.，ＤＢ名)
H 0 2 M 1 / 0 0 - 7 / 9 8
H 0 3 K 1 7 / 0 0 - 1 7 / 7 0
H 0 3 K 1 9 / 0 0 - 1 9 / 2 3