(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0064854
(43) 공개일자 2014년05월28일

(51) 국제특허분류(Int. Cl.)
H01L 31/042 (2014.01) *H01L 31/18* (2006.01)
(21) 출원번호 10-2014-7006376
(22) 출원일자(국제) 2012년08월09일
심사청구일자 없음
(85) 번역문제출일자 2014년03월10일
(86) 국제출원번호 PCT/US2012/000348
(87) 국제공개번호 WO 2013/022479
국제공개일자 2013년02월14일
(30) 우선권주장
61/521,743 2011년08월09일 미국(US)
61/521,754 2011년08월09일 미국(US)

(71) 출원인
솔렉셀, 인크.
미국 95035-7405 캘리포니아 밀피타스 1530 엠씨 카르시 비엘브이디
(72) 발명자
모슬레히, 메흐르더드, 엠.
미국 캘리포니아 94024 로스앨터스 스탠리 애비뉴 956
카푸르, 파완
미국 캘리포니아 94306 팔로 알토 마타데로 애비뉴 565
(뒷면에 계속)
(74) 대리인
특허법인무한

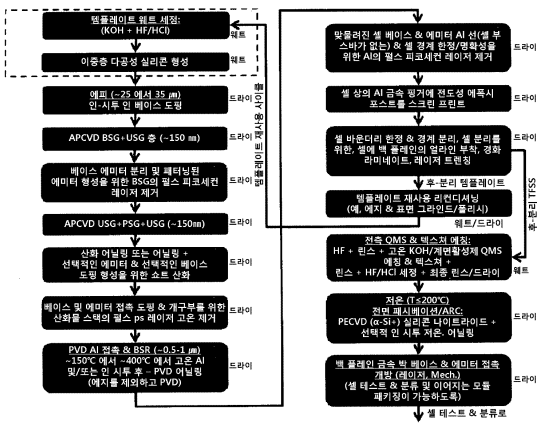
전체 청구항 수 : 총 41 항

(54) 발명의 명칭 **고효율 태양 광기전 전지 및 박형 결정 반도체 흡수체를 이용한 모듈**

(57) 요 약

태양 전지 기판 보강재 및 전기 상호접촉을 제공하는 후면 접촉 태양 전지의 백플레인과 관련된 구조체 및 제조 방법 및 박막 후면 접촉 태양 전지를 형성하기 위한 구조체 및 제조 방법이 개시된다.

대 표 도



(72) 발명자

크래머, 케이.-조셉

미국 캘리포니아 95125 산 호세 리버사이드 드라이브 824

라나, 비렌드라, 브이.

미국 캘리포니아 95032 로스가토스 안드레 코트 101

슈터, 션

미국 캘리포니아 95133 산 호세 해리스버그 플레이스 629

데쉬펜드, 아난드

미국 캘리포니아 95129 산 호세 유닛 127 알바니 서클 4691

캘카테라, 안토니

미국 캘리포니아 95035 밀피타스 모몽 드라이브 알108 1775

올슨, 게리

미국 캘리포니아 95128 산 호세 와바시 애비뉴 263

멘테기, 칸란

미국 캘리포니아 95111 산 호세 베라노 코트 508

스탈컵, 톰

미국 캘리포니아 95035 밀피타스 매카시 빌딩 1530

카미안, 조지, 디.

미국 캘리포니아 95066 스코츠 밸리 실버우드 드라이브 425

왕, 데이비드, 쉬엔-퀴

미국 캘리포니아 94539 프리몬트 비아 산미구엘 91831

수, 옌-셍

미국 캘리포니아 95035 밀피타스 매카시 빌딩 1530

윈거트, 미셸

미국 캘리포니아 95030 로스가토스 와일더 애비뉴 140

특허청구의 범위

청구항 1

패시베이션층을 갖는 광 포획 전측면, 도핑된 베이스 영역, 및 상기 도핑된 베이스 영역과 반대의 극성을 갖는 도핑된 후측 에미터 영역을 포함하는 증착된 반도체층;

상기 후측 에미터 영역 상의 후측 패시베이션 유전체층 및 패터닝된 반사층;

후면 접촉 후면 접합 박형 태양 전지의 후측 상에 제1레벨의 맞물려진(interdigitated) 금속화 패턴을 형성하는 금속 상호 접속에 연결된 후측 에미터 접촉 및 후측 베이스 접촉; 및

상기 후면 접촉 후면 접합 박형 태양 전지의 후측 상에 위치된 적어도 하나의 영구적 지지 보강재(permanent support reinforcement); 및

상기 영구 후측 지지 보강재 구조체에 의해 제1층으로부터 분리되는 제2금속층으로서, 상기 제2층은 상기 영구 후측 지지 보강재 구조체 내 홀의 맞물려진 패턴을 통해 국부적으로 상기 제1레벨 금속화 패턴과 접촉하는, 제2 금속층;

을 포함하는 후면 접촉 후면 접합 박형 태양 전지.

청구항 2

제1항에 있어서,

상기 제2금속층은 상기 제1레벨의 맞물려진 금속화 패턴에 직각으로 얼라인되는(aligned) 것인, 후면 접촉 후면 접합 박형 태양 전지.

청구항 3

제1항에 있어서,

상기 영구적 보강재 구조체는 프리프레그(prepreg) 물질을 함유하는 것인, 구조체.

청구항 4

제1항에 있어서,

상기 후측 패시베이션층은 보로실리케이트 유리와 같은 유리로 이루어지는 것인, 구조체.

청구항 5

제1항에 있어서,

상기 후측 패시베이션층은 적어도 알루미늄 산화물의 박층을 함유하는 것인, 구조체.

청구항 6

제1항에 있어서,

상기 제2금속층은 극성 당 적어도 하나의 부스바(one bus bar per polarity)를 포함하는 것인, 구조체.

청구항 7

제6항에 있어서,

상기 제1레벨의 맞물려진 금속화 패턴은 상기 부스바 아래에 위치하여 전기적 셰이딩을 감소시키는 것인, 구조체.

청구항 8

제1항에 있어서,

상기 제1레벨의 금속화 패턴은 프린팅을 이용하여 증착되는 것인, 구조체.

청구항 9

제1항에 있어서,

상기 제1레벨의 금속화 패턴은 알루미늄 페이스트 또는 실리콘 물질을 갖는 알루미늄 페이스트를 포함하는 것인, 구조체.

청구항 10

제1항에 있어서,

상기 제1레벨의 금속화 패턴은 하나 이상의 알루미늄 페이스트를 포함하는 것인, 구조체.

청구항 11

제1항에 있어서,

상기 에미터 영역은 다양한 도펀트 농도의 적어도 두개의 영역으로 이루어지고, 상기 에미터 접촉 부근의 영역은 상기 에미터 접촉 영역으로부터 떨어진 영역보다 더 높은 도펀트 농도를 갖는 것인, 구조체.

청구항 12

제1항에 있어서,

상기 에미터 영역은 고유한 비정질 실리콘의 상부 상에 p+ 도핑된 비정질 실리콘의 초박층으로 이루어지고, 상기 에미터 영역은 다결정 실리콘 게르마늄 합금 또는 전도성 산화물에 의해 지지되는(backed by) 것인, 구조체.

청구항 13

다양한 도펀트 농도로 도펀트 전구체를 증착하는 단계;

더 높은 도펀트 전구체 농도를 갖는 영역과 더 낮은 도펀트 전구체를 갖는 영역을 레이저 제거에 의해 형성하도록, 영역을 구조화하는 단계;

열적 어닐링 단계를 이용하여 미리 증착된 도펀트원으로부터 도펀트를 드라이빙하는(driving in said dopant from the predeposited dopant sources) 단계;

를 포함하고, 선택적 에미터 영역이 형성되는, 반도체 태양 전지의 제조방법.

청구항 14

제13항에 있어서,

상기 도펀트 전구체원(dopant precursor source)은, 도핑된 유리의 화학 증기 증착을 이용하여 증착된 도펀트층으로 이루어지는 것인, 방법.

청구항 15

제14항에 있어서,

상기 태양 전지는 n형 베이스를 가지고, 상기 도핑된 유리는 보로실리케이트 유리를 포함하는 것인, 방법.

청구항 16

n형 도핑된 실리콘 베이스 및 박형 a-Si 함유 에미터 영역을 갖는 실리콘 기판 상에 헤테로 접합 에미터 영역을 형성하는 단계로서, 상기 a-Si 영역 부분은 고유하고, 근접 부분은 p형 도핑되는, 단계;

상기 비정질 실리콘 영역의 결정화를 방지하는 온도에서, 더 높은 전도성의 p+ 도핑된 폴리-실리콘 게르마늄층을 증착하는 단계로서, 상기 더 높은 전도성의 p+ 도핑된 폴리-실리콘 게르마늄층은 상기 비정질 실리콘 영역을 지지하는(backing), 단계;

를 포함하는 반도체 태양 전지의 제조방법.

청구항 17

제16항에 있어서,

상기 폴리 실리콘 게르마늄의 증착 온도는 450 deg C 이하인 것인, 방법.

청구항 18

에미터 및 베이스 접촉을 형성하기 위한 광 포획 전측면 및 후측면을 포함하는, 결정 반도체 기판;

약 40 미크론 미만의 두께를 갖고, 상기 결정 기판의 후측면 상에 에미터 전극 및 베이스 전극의 맞물려진 패턴을 갖는 제1전기 전도성 금속화층;

상기 결정 기판의 상기 후측면에 라미네이팅되고, 프리프레그층을 포함하고, 상기 결정 기판의 후측면에 부착되는 백플레인; 및

상기 백플레인의 홀을 통해 상기 제1전기 전도성 상호접속층과 연결되는 고전도성 전지 상호접속을 제공하는 제2전기 전도성 금속화층으로, 상기 제2전기 전도성 상호접속층은 에미터 전극 및 베이스 전극의 맞물려진 패턴을 가지는, 제2전기 전도성 금속화층;

을 포함하는 후면 접촉 결정 반도체 태양 전지.

청구항 19

제18항에 있어서,

상기 프리프레그는 프리프레그로부터 리플로우된 수지를 이용하여 상기 결정 기판에 부착되는 것인, 후면 접촉 결정 반도체 태양 전지.

청구항 20

제18항에 있어서,

상기 프리프레그는 상기 결정 기판과 상기 백플레인 사이에 적어도 일부의 부착 영역에 추가적인 수지를 이용하여 상기 결정 기판에 부착되는 것인, 후면 접촉 결정 반도체 태양 전지.

청구항 21

제20항에 있어서,

상기 추가적인 수지는 에미터 전극 및 베이스 전극의 상기 맞물려진 패턴에 적어도 부분적으로 평탄화된 것인, 후면 접촉 결정 반도체 태양 전지.

청구항 22

제18항에 있어서,

상기 제2전기 전도성 금속화층은 프린팅, 스프레잉 또는 빌트-업(built-up)된 층으로 이루어지는 것인, 후면 접촉 결정 반도체 태양 전지.

청구항 23

제18항에 있어서,

상기 제2전기 전도성 금속화층은 솔더 또는 전도성 에폭시와 같은 접촉 금속에 따라 상기 제1전기 전도성 금속화층과 접촉하는 것인, 후면 접촉 결정 반도체 태양 전지.

청구항 24

제18항에 있어서,

상기 제2전기 전도성 금속화층은 솔더링 가능한 알루미늄과 같은 정형 금속으로 이루어지는 것인, 후면 접촉 결정 반도체 태양 전지.

청구항 25

제18항에 있어서,

상기 제2전기 전도성 금속화층은 상기 제1전기 전도성 금속화층에 필수적으로 직각으로 배열되는 것인, 후면 접촉 결정 반도체 태양 전지.

청구항 26

제18항에 있어서,

상기 제2전기 전도성 금속화층은 극성 당 적어도 하나의 부스바를 함유하는 것인, 후면 접촉 결정 반도체 태양 전지.

청구항 27

제26항에 있어서,

상기 제1전기 전도성 금속화층의 에미터 전극 및 베이스 전극의 맞물려진 패턴은 상기 제2전기 전도성 금속화층의 상기 부스바 아래 영역에 위치되어, 전기적 셰이딩을 감소시키는 것인, 후면 접촉 결정 반도체 태양 전지.

청구항 28

제18항에 있어서,

상기 제2전기 전도성 금속화층은 상기 결정 반도체 기판의 주요 결정 축을 통해 얼라인되지 않은 인터락 구조체(interlocked structures)를 포함하는 것인, 후면 접촉 결정 반도체 태양 전지.

청구항 29

제18항에 있어서,

상기 결정 반도체 기판은 에피택셜 실리콘 기판인 것인, 태양 전지.

청구항 30

제18항에 있어서,

상기 결정 반도체 기판은 얇아지거나 얇아지지 않은 CZ 실리콘 웨이퍼인 것인, 태양 전지.

청구항 31

제18항에 있어서,

상기 결정 반도체 기판은 갈륨 비소를 함유하는 물질인 것인, 태양 전지.

청구항 32

결정 실리콘 템플레이트의 표면 상에 적어도 두개의 다른 공극률을 갖는 다공성 실리콘 시드 및 분리층을 형성하는 단계;

상기 다공성 실리콘 시드 및 분리층 상에 에피택셜 반도체층을 증착하는 단계로서, 상기 에피택셜 실리콘층은 100 미크론 미만의 두께 및 인시투 도핑된 베이스 영역을 가지고, 상기 에피택셜 실리콘층은 상기 인시투 도핑된 베이스 영역 및 상기 도핑된 에미터 영역을 갖는 에미터 및 베이스 접촉을 형성하기 위한 후측면 및 도핑된 에미터 영역을 포함하는, 단계;

상기 에피택셜 실리콘층의 후측면 상에 베이스 전극 및 에미터 전극의 맞물려진 패턴을 갖는 전기 전도성 금속의 제1층을 증착하는 단계로서, 상기 전기 전도성 금속의 제1층은 2 미크론 미만의 두께를 갖는, 단계;

상기 반도체 기판의 후측면 상에 베이스 전극 및 에미터 전극의 맞물려진 패턴을 갖는 전기 전도성 금속의 제1층을 증착하는 단계로서, 상기 전기 전도성 금속의 제1층은 약 40 미크론 미만의 두께를 갖는, 단계;

상기 전기 전도성 금속의 제1층에 프리프레그 백플레인을 라미네이팅하는 단계로서, 상기 프리프레그 백플레인은 상기 전기 전도성 금속의 제1층과 전기 전도성 금속의 제2층 사이에 전기적 분리를 제공하는, 단계;

레이저 공정에 따라 상기 프리프레그 백플레인에 홀을 형성하는 단계로서, 상기 홀은 상기 전기 전도성 금속의 제1층에 접근을 제공하는, 단계;

이 구조체의 상부 상에 제2전기 전도성 금속화층을 적용하는 단계로서, 상기 제2전기 전도성 금속화층은 상기 홀을 통해 상기 전기 전도성 금속의 제1층과 접촉하는, 단계;

를 포함하는, 후면 접촉 태양 전지의 제조방법.

청구항 33

제32항에 있어서,

상기 백플레인 보강된 에피택셜 실리콘층은 상기 비아홀을 형성하기 전에 상기 템플레이트로부터 분리되는 것인, 방법.

청구항 34

제32항에 있어서,

상기 템플레이트로부터 상기 에피택셜 실리콘층이 분리된 후, 열적 어닐링에 따라 비정질 실리콘 및 실리콘 나이트라이드를 이용하여 상기 전측을 텍스처링 및 패시베이팅하는 단계를 더 포함하는, 방법.

청구항 35

제33항에 있어서,

상기 프리프레그 백플레인의 후측면 상에 상기 제2금속화층의 증착은, 상기 프리프레그 백플레인의 상기 홀을 통해 전기 전도성 금속의 제1층과 전기적 상호 접속을 형성하는 세미-에디티브 공정에 따라 일어나는 것인, 방법.

청구항 36

제33항에 있어서,

상기 제2금속화층은, 블랭킷 시드층의 증착 후, 상기 시드층의 패터닝 마스킹 후, 마스킹되지 않은 영역의 전기 도금 후, 상기 마스킹의 제거 및 상기 마스킹된 영역 아래에 상기 시드층의 제거의 순으로, 전기 도금으로 적용되는 것인, 방법.

청구항 37

제33항에 있어서,

상기 제2금속화층은, 우선 패터닝된 시드층의 적용 및 상기 시드층 상에 직접적으로 전기 도금함으로써 적용되는 것인, 방법.

청구항 38

제33항에 있어서,

상기 비아홀은 CO_2 레이저를 이용하여 드릴링되는 것인, 방법.

청구항 39

제33항에 있어서,

레이저 드릴링에 의해 상기 비아홀을 개방한 후 및 상기 제2층의 시드의 적용 전, 상기 비아홀은 웨트 화학 에

칭을 이용하여 세정되는 것인, 방법.

청구항 40

제33항에 있어서,

레이저 드릴링에 의해 상기 비아홀을 개방한 후 및 상기 제2층의 시드의 적용 전, 상기 비아홀은 대기 또는 감압 플라즈마 에칭을 이용하여 세정되는 것인, 방법.

청구항 41

제33항에 있어서,

상기 비아홀은 상기 제1전기 전도성 금속층 내에 상기 비아홀을 중단하는(stopping) 레이저를 이용하여 드릴링되는 것인, 방법.

명 세 서

기 술 분 야

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 2011년 8월 9일에 출원된 미국 가출원 61/521,754 및 61/521,743의 이익을 주장하는 것이며, 이 내용은 전체가 여기에 참조로 인용된다.

[0003] 본 발명은 일반적으로 광기전 및 반도체 초소형 전자 공학의 분야에 관한 것이다. 더욱 구체적으로, 본 발명은 고효율 후면 접촉 결정 실리콘 광기전 태양 전지에 관련된 방법, 구조체 및 장치에 관한 것이다.

배 경 기 술

[0004] 최근, 결정 실리콘(다결정 및 단결정 실리콘)은 광기전 (PV) 산업에서 가장 큰 마켓 쉐어를 가지고, 최근에는 전체 글로벌 PV 마켓 쉐어의 약 85%를 차지한다. 더 얇은 결정 실리콘 태양 전지로의 이행은 PV 비용 감소를 위해 가장 강력하고 효율적인 방법 중 하나로 오랫동안 이해되고 있지만(총 PV 모듈 비용의 비율로서 태양 전지에 사용되는 결정 실리콘 웨이퍼의 상대적으로 높은 물질의 비용 때문에), 더 얇은 결정 웨이퍼를 이용하는 것은, 박형 웨이퍼가 웨이퍼 처리 및 전지 가공 동안 매우 약해지고, 기계적으로 파손되고, 박형 및 약한 실리콘 웨이퍼에 의해 야기되는 수득하는 제품 수율의 손실의 문제에 의해 방해된다. 실리콘은 간접적 밴드갭 반도체 물질이고, 더 긴 파장 적색 및 적외 광자 (특히 약 900 nm 내지 1150 nm의 파장 범위의 것들)의 흡수가 상대적으로 긴 광학 경로 길이-종종 웨이퍼 두께보다 훨씬 큰 길이-를 요구하기 때문에, 박형 전지 구조체에서 부적절한 광 포획과 같은 다른 문제들을 포함한다. 또한, 공지의 디자인 및 제조 기술을 이용하여, 비용 효율적인 방법으로 PV 공장에서 높은 제조 수율을 가지면서 감소된 웨이퍼 파손율 및 높은 기계적 수율의 요건의 균형을 맞추는 것은 종종 용이하지 않다.

[0005] 현재의 결정 실리콘 웨이퍼 태양 전지의 기판 (반도체 흡수체) 두께와 관련하여, 현재 두께 범위 140 ㎛ to 200 ㎛보다 훨씬 더 얇아지도록 하는 움직임은 전지 및 모듈 제조 동안 기계적 수율과 엄격하게 절충하기 위해서 시작되었다. 이는 특히 156 ㎜ x 156 ㎜ 및 210 ㎜ x 210 ㎜ 전지 (더 작은 125 ㎜ x 125 ㎜ 전지와 비교해서)와 같은 더 큰 사이즈의 전지에 있어서는 큰 도전이다. 따라서, 약 100 ㎛에서 미크론 사이즈 스케일까지 및 서브미크론 두께보다 더 얇은 전지 반도체 흡수체와 같은 초박형 태양 전지 구조체를 제조하려는 제조 가능한 해결 방법으로는, 공정 흐름에서 일시적 및/또는 영구적 호스트 캐리어에 의해 전지가 완전히 지지되는 동안의 전지 공정, 또는 구조적 혁신을 수반하는 새로운 자가 지지(self-supporting), 독립형(stand-alone) 기판을 이

용하는 전지 공정을 이용해야 한다. 이러한 구조적 혁신으로는 전지 기판이 고출력 태양 전지 및 모듈 공장에서의 파손에 대해서 매우 강해지도록 해야 한다. 후자의 예는 결정 실리콘 박막으로 형성된 3차원 벌집 및 피라미드 구조체이다.

[0006] 전지 구조체 측에 대해서, 후면 접합/후면 접촉 단결정 반도체(예컨대 단결정 실리콘) 태양 전지는 초고효율에 도움이 된다. 이는, 주로 블루 리스펀스(blue response)를 높이는데 도움을 주는, 전측 상에 에미터가 없고 전측 상에 손실과 관련된 금속 셰이딩이 없기 때문이다. 또한, n형 베이스의 사용은, p형 베이스와 비교하여 소수 캐리어가 훨씬 길어지도록 할 뿐만 아니라, 광 유도 분해 (Light-Induced Degradation, LID)가 없도록 해준다. 게다가, n형 베이스를 갖는 후면 접촉/후면 접합 전지는 장-보조 패시베이션(field-assisted passivation)에 의해 가능해진 전측면 재조합 속도(Frontside Surface Recombination Velocity, FSRV)를 갖는 개선된 전측면 패시베이션을 제공하는 실리콘 나이트라이드를 포함하는 패시베이션층 (또는 층 스택)에 포지티브 고정된 전하를 갖는 반사 방지 코팅층 및 잘-확립된(well-established) 실리콘 나이트라이드 전측 패시베이션을 사용할 수 있다. 또한, 후측 금속은, 전면 접촉 전지에서 종종 고려되는 셰이딩을 갖도록 트레이드 오프되는 것에 대한 걱정 없이 매우 낮은 직렬 저항(또는 매우 높은 금속 상호 접속 전기 전도성)을 보증하기 위해 더 높은 면적 범위(예컨대 90% 초과)를 가지고, 더 두껍게 제조될 수 있다. 후면 접촉/후면 접합 전지는 특히 초박형(예컨대 적어도 2가지 뚜렷한 이유를 위한 태양 전지 기판)으로 조합되도록 하는 것에 매우 도움이 된다. 첫째, 고효율 후면 접촉/후면 접합 전지는 적어도 5 x (적어도 약 5의 인자) 기판의 두께(또는 활성 결정 반도체 흡수체)의 소수 캐리어 디퓨전 길이 (L_{eff}로 알려진)를 갖는 것에 대한 엄격한 요건을 갖는다. 초박형(예컨대 약 80 미크론 미만, 더욱 바람직하게는 약 50 미크론 미만의 결정 반도체층 두께를 갖는) 태양 전지 기판은 매우 긴 벌크 기판 수명 또는 매우 높은 품질의 물질의 손상 없이 이러한 요건을 가능하게 하여, 실제는 가장 엄격한 기판 품질의 요건이 제거된 더 저렴한 출발 물질에서 행해질 수 있다. 이는 다른 비용적 이점을 간접적으로 제공한다: 상기 물질의 품질은 안정화될 수 있고, 더 얇아진다. 두번째 이유는 후면 접촉/후면 접합 전지(이하 부분에서 더 논의될)의 제조를 가능하게 하는 공정 흐름에 관한 것이다. 후면 접촉 전지 구조체 및 관련된 공정 흐름은 전지의 일 측 상에 고온 공정 단계(즉, 약 400 ℃ 내지 ~1150 ℃ 범위의 공정 온도를 갖는 임의의 전지 공정 단계)를 가지도록 영합되기 때문에, 다른 측 상에 공정을 겪게되는 경우에, 박형 기판의 캐리어에 대한 요건은 상당히 용이해진다. 따라서, 후면 접촉/후면 접합 구조체와 함께 초박형 기판(예컨대 약 80 미크론 미만, 더욱 바람직하게는 약 50 미크론 미만의 결정 반도체층 두께를 갖는)을 이용하는 것은, 이상적인 태양 전지 조합을 나타낼 수 있다.

[0007] 과거에, 박형 기판으로 유리와 같은 캐리어를 이용하기 위한 태양 PV R&D에서의 시도가 있어왔다; 그러나, 이러한 캐리어는, 소다 라임 유리(또는 대부분의 다른 비실리콘 이물질(non-silicon foreign material))의 경우에, 가공 온도가 약 400 ℃ 미만-태양 전지 효율과 잠재적으로 절충될 수 있는-이 되도록 제한된다는, 상대적으로 낮은 최대 가공 온도를 포함하는 심각한 제한으로부터 곤란을 겪었다. 또한, 심각한 파손 문제를 갖지 않는 작은 면적(예컨대 10 cm^2 미만의 전지 면적)의박형 전지를 제조하려는 시도가 있었다(이들은 약 400 ℃ 미만의 공정 온도의 제한을 포함하는 고온 가공 제한으로부터 곤란을 겪었기 때문에); 그러나, 큰 전지 면적(100 cm^2 초과 면적)은 종종 비용 효율적인 제조를 통한 상업적 실행 가능성이 요구되었다.

발명의 내용

과제의 해결 수단

[0008] 따라서, 후면 접촉 태양 전지와 관련된 디자인 및 제조 방법에 대한 필요가 증가하고 있다. 개시된 주제에 따라, 후면 접촉 태양 전지를 제조하기 위한 방법, 구조체 및 장치가 여기에 개시된다. 이러한 혁신은 이전에 개발된 후면 접촉 태양 전지와 관련된 단점 및 문제를 실질적으로 감소하거나 제거한다.

[0009] 상기 개시된 주제의 일 측면에 따라, 태양 전지 기판 보강재 및 전기 상호접속을 제공하는 후면 접촉 태양 전지의 백플레인에 관련된 구조체 및 제조 방법이 개시된다. 일 실시예에서, 후면 접촉 후면 접합 태양 전지는 광

포획 전측면을 갖는 기판, 도핑된 베이스 영역, 및 상기 도핑된 베이스 영역과 반대의 극성을 갖는 도핑된 후측 에미터 영역을 포함한다. 금속화 패턴은 태양 전지의 후측 상에 위치되고, 영구적 보강재는 전지에 지지를 제공한다.

[0010] 추가적인 새로운 특징들뿐만 아니라 개시된 주제의 이러한 및 다른 이점은 여기에 제공되는 설명으로부터 명백해질 것이다. 이 요약의 목적은, 주제의 포괄적인 설명을 하려는 것이 아니라, 주제의 기능의 일부의 간략한 오버뷰를 제공하기 위한 것이다. 여기에 제공되는 다른 시스템, 방법, 특징 및 이점은 이하 도면들 및 상세한 설명을 검토하면서 당업자에게 명백해질 것이다. 이 설명 내에 포함되는 추가적인 시스템, 방법, 특징 및 이점 모두는 청구항의 범위 내가 되도록 하였다.

도면의 간단한 설명

[0011] 개시되는 주제의 특징, 특성 및 이점은, 유사한 참조 번호는 유사한 특징을 나타내는 도면과 함께 취해지는 경우에 이하에 설명되는 상세한 설명으로부터 더욱 명백해질 것이다:

도 1은 태양 전지 가공 캐리어 조합을 설명하는 다이어그램이다;

도 2는 후면 접촉 태양 전지의 실시예의 단면도이다;

도 3은 엑스시투(ex-situ) 에미터 공정 흐름의 실시예를 설명하는 도이다;

도 4 내지 8은 에피택셜 기판을 이용하는 후면 접촉 태양 전지의 제조 공정 흐름이다;

도 9A 내지 L은 후면 접촉 태양 전지의 가공 단계 후 단면도이다;

도 10 내지 21은 에피택셜 기판을 이용하는 후면 접촉 태양 전지의 제조 공정 흐름이다;

도 22 내지 35는 분열된 기판을 이용하는 후면 접촉 태양 전지의 제조 공정 흐름이다;

도 36 내지 45는 벌크 웨이퍼를 이용하는 후면 접촉 태양 전지의 제조 공정 흐름이다;

도 46은 선택적 에미터에 대한 후면 접촉 태양 전지의 제조 공정 흐름이다;

도 47은 도 46의 흐름으로부터 얻어지는 전지의 단면도이다;

도 48은 후면 접촉 태양 전지의 제조 공정 흐름이다;

도 49는 도 48의 흐름으로부터 얻어지는 전지의 단면도이다;

도 50은 후면 접촉 태양 전지의 제조 공정 흐름이다;

도 51은 역행하는 레지스트 측벽을 갖는 구조체의 단면도이다;

도 52 내지 57은 각종 가공 단계 후, 태양 전지 백플레인 실시예의 상면도이다;

도 58 및 59는 헤테로 접합 전지에 대한 후면 접촉 태양 전지의 제조 공정 흐름이다;

도 60은 헤테로 접합 구조체를 갖는 태양 전지의 단면도이다;

도 61A 내지 C는 에피택셜 기판을 이용하는 후면 접촉 태양 전지의 제조 공정 흐름이다;

도 62A 내지 G는 백플레인 가공 단계 후 후면 접촉 태양 전지의 상면도 및 단면도이다;

도 63A 내지 D는 소정의 가공 단계 후 플루토(pluto) 구조체의 단면도이다;

도 64A 내지 F는 4층 백플레인 오아시스(oasis) 구조체의 각종 실시예, 단면도 및 상면도 및 공정 흐름을 나타낸다;

도 65A 내지 D는 각종 전지 백플레인 금속 핑거 디자인의 상면도이다;

도 66은 백플레인 실시예의 상면도이다;

도 67은 오아시스 구조체의 단면도를 나타낸다;

도 68A 내지 C는 하이브리드 구조체의 단면도이다;

도 69 및 70은 침지 접촉 결합 구조체(immersion contact bonding structure) 실시예의 단면도를 나타낸다;

도 71은 후면 접촉 태양 전지의 제조 공정 흐름이다;

도 72A는 플루토 백플레인 구조체를 제조하기 위한 공정 흐름을 나타낸다;

도 72B는 오아시스 백플레인 구조체를 제조하기 위한 공정 흐름을 나타낸다;

도 73A 내지 J는 후면 접촉 태양 전지 공정 흐름의 플루토 실시예의 제조 단계 동안 전지의 단면도를 나타낸다;

도 74A 내지 D는 후면 접촉 태양 전지 공정 흐름의 오아시스 실시예의 제조 단계 동안 전지의 상면도(도 74A) 및 단면도를 나타낸다;

도 75는 미리 드릴링된(predrilled) 유전체 시트를 이용하는 오아시스 구조체 2단계 라미네이션의 단면도를 나타낸다;

도 76은 미리 드릴링된 유전체 시트를 이용하는 오아시스 구조체 단일 단계 라미네이션의 단면도를 나타낸다; 및

도 77A 내지 D는 후면 접촉 태양 전지 형성 동안 플루토-하이브리드(pluto-hybrid) 구조체의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하 설명은 제한의 의미로 받아들여지는 것이 아니라, 본 발명의 일반적인 원리를 설명하기 위해 만들어진 것이다. 본 발명의 범위는 청구항을 참조하여 결정되어야 한다. 본 발명의 실시예는, 유사한 숫자는 유사한 것 및 각종 도면의 대응 부위를 참조하도록 사용되는 도면에 설명된다.

[0013] 또한, 본 발명은 결정 실리콘 및 다른 제조 물질과 같은 특정 실시예와 관련하여 기재되지만, 당업자라면 과도한 실험 없이도 다른 물질, 기술 영역, 및/또는 실시예에 개시되는 원리를 적용할 수 있을 것이다.

[0014] 개시되는 주제는, 구체적으로는 바람직하게는 약 1 미크론 (1 ㎛) 미만 내지 약 100 미크론 (100 ㎛)의 두께 범위, 더욱 바람직하게는 약 1 미크론 (1 ㎛) 내지 약 50 미크론 (50 ㎛) 두께 범위의 전지 흡수체층(또는 기판)을 갖는 단결정 실리콘과 같은 박형 결정 반도체 흡수체를 이용하는 고효율 후면 접합/후면 접촉 태양 전지의 각종 구조체 및 제조 방법을 제공한다. 또한, 제공되는 전지 구조체 및 제조 방법은, 약 100 ㎛ 내지 약 200 ㎛의 두께 범위(더욱 종래의 CZ 또는 FZ 웨이퍼 두께의 두께 범위를 포함함)의 흡수체 또는 더 두꺼운 결정 반도체 기판에 적용한다. 결정 태양 전지 기판은 에피택셜 성장을 포함하는 화학-증기-증착 (CVD)법 (예컨대 대기압 에피택시) 또는 다른 결정 실리콘 물질 형성 기술(그것에 제한되지 않지만 소위 커플레스 슬라이싱(kerfless slicing) 또는 박리(exfoliation)법 이용 프로톤 주입을 포함함)을 이용하여 형성될 수 있다. 초박형 결정 반도체 태양 전지 기판을 가공하는 모든 실시예에 관련된 제조방법의 각종 실시예는 다른 형태의 물질 및 주입-보조 웨이퍼 분열법(implantation-assisted wafer cleavage method)과 같은 커플레스 분열 방법(kerfless cleavage method)을 포함하는 웨이퍼 기반의 접근으로 확대될 수 있다. 제공되는 각종 전지 실시예의 주요 속성으로는 실질적으로 감소된 반도체(예컨대 실리콘) 물질 소비, 매우 낮은 제조 비용, 높은 전지 효율, 및 상대적으로 높은 에너지 수율, 따라서 개선된 태양 광기전 모듈 성능을 포함한다. 구체적으로, 이는 본 발명의 특이한 전지 디자인 구조체 및 제조 방법의 조합으로부터 기인하여, 박형 결정 반도체 기판에 매우 높은 전환 효율을 산출하고, 매우 낮은 비용을 산출한다. 다양한 개시된 실시예는 각종 결정 반도체 물질(예컨대 실리콘, 갈륨 비소, 게르마늄 등)에 적용될 수 있지만, 단결정 실리콘의 바람직한 실시예가 제공된다(갈륨 비소, 게르마늄, 갈륨 나이트라이드 등을 포함하는 다른 단결정 반도체에도 적용함).

[0015] 개시되는 주제는 특히 후면 접합/후면 접촉 구조체를 갖는 초박형 결정 태양 전지(약 1 미크론에서 150 미크론까지, 더욱 바람직하게는 약 1 미크론 내지 약 50 미크론 범위 두께의 전지 흡수체)에 관란 혁신을 제공한다. 첫째, 새로운 초박형(1 미크론 내지 150 미크론 두께 범위) 후면 접촉/후면 접합 결정 실리콘 전지 구조체가 제공된다. 둘째, 후면 접촉/후면 접합 결정 실리콘 전지 구조체를 제조하는 방법이 제공된다. 셋째, 라인을 통

해 가공되고, 장에서 사용되지만, 박형 기판(캐리어를 사용하는)을 지지하는 방법이 제공된다(methods for supporting thin substrates *(*using *Carriers)* while they have being processed through the line and while they are deployed in the field are provided). 이러한 3가지 카테고리의 각종 조합은 구조체, 공정 흐름 및 박형 전지 지지체 캐리어의 무수히 많은 세트를 생성한다. 도 1은 여기에 개시되는 임시적 박막 캐리어 1 및 영구적 박막 캐리어 2를 포함하는 각종 박막 캐리어 조합을 나타내는 그래픽 플로우 차트이다. 도 1은 캐리어의 다양한 조합의 두 가지 클래스가, 여기에 개시되는 특정 실시예 및 초박형 후면 접촉/후면 접합 결정 반도체 태양 전지를 제조하기 위한 방법 및 새로운 구조체를 구성하는 것을 보여준다. 캐리어의 두 가지 클래스는 제1 캐리어 및 제2캐리어를 포함한다. 또한, 캐리어 1 및 2가 한번 완성되면 다양한 전지 제조 공정 흐름의 옵션이 도 3을 포함하여 여기에 제공된다. 대부분의 캐리어 1 및 캐리어 2 조합으로 짝지어진 임의의 공정 흐름을 갖는 것이 가능하다는 것을 주목한다.

[0016] 이러한 특이한 조합을 이용하여 얻어진 최종 구조체가 후면 접촉 태양 전지이다. 중요하게, 본 명세서에서는 구조체 세트, 공정 흐름, 및 박형 전지 지지체 캐리어의 많은 특이한 세트를 제공하지만, 기반된 가능한 공정 흐름의 모든 세트가 본 명세서에 의해 명쾌하게 커버되는 것은 아니고, 커버되지 않은 건들은 여기에 개시된 전지 디자인 및 공정 흐름 구조체에 기반되는 것으로 암시된다고 여겨진다. 몇몇 공정 흐름 및 다른 실시예는 설명과 함께 여기에 제공되어, 당업자가 각종 개시된 실시예를 조합시킬 수 있다.

[0017] 본 발명은 박형 반도체(예컨대 박형 단결정 실리콘) 전지를 지지하기 위해 사용되는 각종 호스트 캐리어 방법 및 구조체가 제공된다. 우리는 우선, 그 제조 및 영구한 보강을 통해 박막 실리콘 기판(이후, TFSS)을 지지 및 처리하는 것에 관한 카테고리를 강조함으로써 시작한다-이는 도 1의 박형 캐리어 1 및 박막 캐리어 2와 같이 나타낸다.

[0018] 높은 제조 수율은 상업적으로 실행 가능한 박형 실리콘 태양 기술의 전제 조건이다. 본 명세서에서 논의되는 초박형 태양 전지(약 1 미크론에서 150 미크론까지, 더욱 바람직하게는 약 5 미크론 내지 약 60 미크론의 두께 범위의 전지 흡수체)는 상업적 실행가능성 및 높은 제조 수율을 유지하기 위해 전지 처리 및 가공 동안에 완전히 그리고 계속적으로 지지된다. 이는, 박형 전지는 임시 또는 영구적 지지체 부착(기판 캐리어라고도 함) 없이 처리되거나 가공되지 않는다는 것을 의미한다. 또한, 이러한 박형 반도체 전지는, 기계적 탄성, 신뢰성 및 모듈 라미네이션/패키징 동안 높은 수율, 장 설치(field installation), 및 장 동작(field operation)을 유지하기 위해 장에서 설치 및 작동을 위한 광기전 모듈에 한번 어셈블리되면 영구히 지지된다. 태양 전지의 양측은 접근(accessed) 및 가공(processed)될 필요가 있기 때문에(전지의 후측 및 태양이 비치는 측을 완전하게 만들기 위해), 일반적으로 TFSS에 두개의 캐리어가 요구된다(처리, 가공, 및 최후 모듈 패키징에서 박형 반도체 기판을 항상 지지하기 위해서): 태양 전지의 각각의 면을 가공하기 위한 것. 캐리어는 몇몇의 중요한 기준을 만족시켜야 한다: 첫째, 이들은 비용 효율적이어야 한다(즉, 전지 당 낮은 비용 또는 피크 와트 당 매우 낮은 비용). 이들의 조합된 분할 상환된 비용은 이들이 절약하는(종래의 와이퍼 기반의 태양 전지와 비교하여) 박형 전지의 실리콘의 비용 미만이 되어야 한다. 둘째, 캐리어의 적어도 하나는, 열팽창계수 (CTE)의 불일치 및/또는 전지에 도입되는 바람직하지 않은 불순물에 기인하는 문제 없이 고효율 태양 전지를 제조하는데 요구되는 상대적으로 고온의 가공(특히 약 300 ℃ 내지 1150 ℃ 범위의 온도에서)에 견딜 수 있어야 한다. 또한, 만약 캐리어 중 하나가 고온 전지 가공(즉 필요에 따라 전지 후측 장치 구조체를 완성하기 위한 또한 CVD 에피택시를 이용하여 전지 기판을 형성하기 위한 고온 가공)을 지지할 수 있는 경우, 공정 흐름은, 모든 필요한 고온 가공 단계가 이러한 고온-가능한(high-temperature-capable) 캐리어(일시적으로 재사용 가능한 캐리어로 작용할 수 있는) 상에 있도록 해야한다. 상기 논의된 바와 같이, 이러한 특정 기준들은 후면 접촉/후면 접합 전지에 매우 유용하여, 고효율 후면 접촉, 후면 접합 박형 전지를 가능하게 한다. 셋째, 캐리어 중 적어도 하나는 바람직하게는 태양 전지를 제조하는데 요구되는 최종 전지 금속화 및 웨트 가공을 견딜 수 있어야 한다. 주요 웨트 가공 단계의 예로는, 희석 및 가열된 알칼리성(KOH 및/또는 NaOH 및/또는 TMAH을 포함하는) 용액으로 실리콘 전면 임의의 피라미드 텍스처링 에칭을 포함한다. 넷째, 제1측(바람직하게는 후면 접촉/후면 접합 전지 가공을 위한 전지 후측)이 부분적으로 또는 완전히 가공되면, 캐리어(일시적으로 재사용 가능한 캐리어로서 작용하는)는, 박형 전지(박막 반도체 기판: TFSS)는 제2측 가공을 위해 리프트 오프 분리 공정(우선 바람직하게는 후면 접촉 전지의 전지 후측이 가공되는)와 함께 다른 캐리어로 전달되는 TFSS 층을 가지고, 높은 수율을 갖는 언제든지 캐

리어로부터 쉽게 분리 또는 리프트 오프될 수 있어야 한다. 그 후, 제1측(바람직하게는 전지 후측)이 부분적으로 가공되는 경우에, 남아 있는 공정 단계(예컨대, 최종 전지 금속화의 완성과 같은)는, 예컨대 이하에 설명되는 각종 실시예를 이용하여 완성될 수 있다. 바람직하게는, 본 발명의 실시예 내에서, 고온-가능한 일시적 캐리어 및 고온 가공 단계는, 영구적 캐리어 및 웨트 가공 및 최종 전지 금속화 단계에 앞선다. 또한, TFSS 층에 영구적 캐리어의 전-리프트 오프(pre-lift-off) 부착까지(till) CVD 에피택시를 이용하여 박형 실리콘 기판의 형성으로 시작하는, 가공 단계 모두는 TFSS 상에서 수행되지만, 일시적 캐리어 상에서 바람직하게는 드라이 가공 단계이다(CVD 에피택시에 의한 TFSS의 형성 전에 웨트 다공성 실리콘 가공 단계를 제외하고 일시적 캐리어 상에서 웨트 가공이 없음). 또한, 전지 접촉 금속화는 바람직하게는 전지 접촉 형성 전에, 영구적 캐리어의 부착 전에, 일시적 재사용 가능한 캐리어 또는 템플레이트로부터 TFSS의 리프트 오프 분리 전에 수행된다.

[0019] **TFSS용 지지 캐리어 # 1 (즉, 재사용가능한 템플레이트).** 후면 접촉/후면 접합 구조체를 갖는 TFSS의 조합에 대해서, 제1캐리어의 두 가지 선택은 이후 캐리어 1로 개시된다. 이러한 옵션은 도 1의 아래 캐리어 1로 나타낸다. 이하 명세서에서, 후면 접촉/후면 접합 전지의 태양이 비치는 측은 전지 "전측(frontside)"으로 상호 교환하여 사용될 수 있고, 태양이 비치지 않는 측은 "후측(backside)"으로 상호 교환하여 사용될 수 있다.

[0020] 1. 캐리어 1의 첫째로 개시된 옵션은, 재사용 가능한 템플레이트로 작용할 수 있는(그 결과 많은 템플레이트 재사용 사이클에 드는 비용을 분할 상환하는) 상대적으로 두꺼운(바람직하게는 약 0.2 mm 내지 2 mm 범위의 두께) 반도체(예컨대, 바람직하게는 고효율 단결정 실리콘 태양 전지용 단결정 실리콘) 웨이퍼(150 cm^2 내지 2,000 cm^2 이상 범위의 웨이퍼 면적)이다. 바람직한 전지 면적, 예컨대 스퀘어형 전지 치수 156 mm x 156 mm (이 사이즈는 적어도 210 mm x 210 mm까지 또는 300 mm x 300 mm 및 450 mm x 450 mm보다 큰 사이즈로 크기 변경될 수 있음)을 갖는 대면적 박형 태양 전지 기판은, 우선 재사용 가능한 결정 반도체 템플레이트의 상부에 성장되는 에피택셜 반도체(에피택셜 실리콘)을 이용하여 제조되고, 이어서 제거된다. 재사용 가능한 템플레이트는 실질적으로 평면일 수 있거나, 다른 실시예에서 미리-구조화된(pre-structured) 3차원 프리 패턴(pre-pattern)을 갖는다. 각종 실시예가 임의의 구조체 또는 패터닝된 규칙적인 구조체 3D 특징을 갖는 미리 구조화된 템플레이트에 적용될 수 있지만, 본 발명은 실질적으로 평면인 템플레이트에 초점을 맞춘다. 재사용 사이클에 걸쳐서 그 비용을 분할 상환하는, 에피 (에피택셜 실리콘) 성장에 몇 번(바람직하게는 적어도 수십 번) 재사용될 수 있다. 그 재사용 수명 후, 재사용 가능한 템플레이트는 CZ 결정 성장 및 웨이퍼 슬라이싱을 통해 새로운 템플레이트를 제조하기 위해 궁극적으로 리사이클링될 수 있다. TFSS는, 일 실시예에서 다공성 실리콘층, 바람직하게는 적어도 2개의 다른 공극률(더 높은 공극률 매립된 분리층 및 더 낮은 공극률 시드층) 또는 그레이드된 공극률을 갖는 것 일 수 있는 희생 분리층을 이용하여 재사용 가능한 템플레이트로부터 분리된다. 바람직하게는 상대적으로 두꺼운(바람직하게는 약 0.2 mm 내지 2 mm 범위)이기 때문에, 재사용 가능한 템플레이트는, 이하 TFSS와 관련된 CTE 불일치 문제없이, 임의의 오염 문제 없이 상대적으로 높은 가공 온도(예컨대, 약 1150 ℃ 이상)를 견딜 수 있고, 상기 설명된 캐리어 1의 주요 기준 중 하나를 만족한다. 템플레이트는 156 mm, 165 mm, 200mm, 300mm 또는 450 mm(또는 약 100 mm 내지 몇백 mm 범위, 적어도 450 mm까지의 임의의 직경 또는 측면 치수)과 같은 다양한 사이즈, 둥글거나 사각이거나 또는 다각형인 형태, 균열 또는 파손 없이 전체 또는 부분 태양 전지 공정을 견딜 수 있는 두께, 약 적어도 200 ㎛ (약 2 mm 이상 두꺼운)의 템플레이트 두께일 수 있다. 비용 효율성과 관련된 캐리어 1에 대한 두번째 기준은, 복수의 TFSS 제조 사이클에 걸쳐 템플레이트 비용을 재사용 및 분할 상환함으로써(또한 필요 또는 소망에 따라 연마되지 않은 템플레이트를 사용함으로써) 완성될 수 있다. 또한, 마지막으로, 이러한 캐리어는 높은 반복성 및 일관성을 갖는 TFSS의 고수율 분리에 도움이 되는 상기 캐리어 기준을 만족한다. 이것은, 바람직하게는 HF 및 IPA (또는 HF 및 아세트산 또는 다른 적당한 물질과 혼합된 HF)를 포함하는 액체로 웨트 전기화학 에칭 공정을 이용하여, 템플레이트와 TFSS의 사이에서 다공성 실리콘층(에피택셜 시드층 및 이후 분리층으로 작용하는)의 형성과 TFSS의 에피택셜 성장을 앞섬으로써 수행된다. 다공성 실리콘층의 공극률은, i) 에피택셜 공정 동안 높은 정확도를 갖는 템플레이트의 결정화도를 전환하고, ii) 템플레이트로부터 필요에 따라 초고수율 분리를 제공할 수 있는 두 가지 목적을 수행하기 위해 공급되고, 공간적으로 깊이에 조절된다(더 낮은 공극률의 상부층 및 더 높은 공극률의 매립된 하부층을 이용함으로써). 전지 분리는, 기계적 분리 (MR) 또는 액체에서 소니케이트되는(sonicated) 기계적 분리 (SMR)와 같은 공정 또는 다른 적당한 방법을 이용하여 수행될 수 있고, 영구적 캐리어 2에 부착 또는 라미네이션 후 TFSS 층의 리프트 오프 분리를 야기한다.

[0021] 2. 캐리어 1의 두번째로 개시된 옵션은, 재사용 가능한 두꺼운 웨이퍼 또는 잉곳일 수 있다. TFSS의 분리는 MeV (메가-전자 전압, mega-electron volt) 프로톤 (수소 이온) 주입과 같은 높은 주입-에너지를 이용하고, 호스트 웨이퍼 또는 잉곳으로부터 박형 슬라이스를 분리하여 수행될 수 있다.

[0022] 호스트 캐리어 상의 다공성 실리콘/에피(epi) 기술이 두꺼운 웨이퍼/잉곳 및 주입 유도 분리 기술과 비교되는 경우에, 몇 가지 트레이드 오프(trade-offs)가 확인될 수 있다. 주입을 이용하는 웨이퍼/잉곳은 다공성 실리콘 및 에피택셜 성장 및 동반되는 인자들을 필요로 하지 않는 이점이 있다(그러나,폴리실리콘 공급 원료 및 잉곳 성장에 의존성이 있다). 반면에, 약간 비싼 MeV 프로톤 주입 자본 설비(proton implantation capital equipment) 및 주입기를 작동하기 위한 고에너지 소비를 필요로 한다. 실리콘의 품질은 잉곳의 비용에 따라 높아질 수 있고, 잠재적으로 웨트 가공을 하도록 할 수 있다. 아래쪽(downside)은, 과도하게 높은 프로톤 주입량의 필요를 없애기 위해 잉곳이 <111> 배향을 가질 수 있기 때문에, 웨이퍼가 표준 웨트 텍스처링과 반대로 더욱 비싸고 손상이 생기는 드라이 텍스처링에 의존할 수 있는 것이다. 다공성 실리콘/에피(epi) 조합은, 표준 알칼리성 웨트 텍스처링과 양립 가능하고, 기판 도핑은 고효율 요건에 좋은 무엇에도 모듈레이팅/그레이딩될 수 있다는 장점이 있다. 또한, 초박형 실리콘 전지 기판(약 1 미크론 미만)은 다공성 실리콘/에피 제조법을 이용하는 것이 가능하고, 도핑 프로파일은 에피택셜 성장(프로톤 주입에 의해 제조되는 박형 실리콘층에 가능하지 않은) 동안 엔지니어링 및 조절될 수 있다.

[0023] **TFSS용 지지 캐리어 # 2: 백플레인**. 후면 접촉/후면 접합 전지의 특정 맥락에서, 제2 캐리어는 바람직하게 몇 가지 기준을 만족해야 한다. 둘째, 부착되는(특정 구조체의 후측) 측의 전 가공을 보호해야 하지만, 다른 측(전측)은 가공된다. 제2 캐리어는 바람직하게는, 전측의 가공 동안 사용되는 웨트 화학물질(바람직하게 및 주로 TFSS 태양이 비치는 측을 세정 및 텍스처링하는데 사용되는 웨트 화학물질에 상대적으로 영향을 받지 않거나 내성이 있는 것이 필요하다. 셋째, 그 완전한 부분으로서 고전도성 금속화층(바람직하게는 알루미늄 및/또는 구리를 포함하는)을 갖거나 갖지 않을 수 있다. 금속화를 갖고, 캐리어(바람직하게는 매우 낮은 비용의 영구적으로 부착되는 캐리어)가 되는 경우에 대해서, 낮은 저항을 갖는 전지 상의 금속에 이음매 없이 부착하는 금속화를 제공한다. 마지막으로, 공극률이 높지 않지만, 실리콘과의 임의의 CTE 불일치에 기인한 TFSS의 크랙을 생성하지 않고, 캐리어 물질의 열화 없이, 우수한 전측 패시베이션(따라서, 바람직하게는 적어도 약 180 ℃의 온도까지, 더욱 바람직하게는 적어도 약 250 ℃ 또는 300 ℃ 초과의 온도)을 수행하기 위해 충분한 열 가공 능력을 가져야 한다. 이후 태양 전지 후측에 부착된 제2 캐리어를 태양 전지 "백플레인(backplane)"으로 할 것이다.

[0024] 몇몇 백플레인 실시예는 박막 캐리어 2 제목 하에 도 1에 설명되고 여기에 개시된다. 도 1에 캐리어 2에 대해 설명된 임의의 몇몇의 옵션이, 상기에 논의되는 2가지 캐리어 1 옵션, 즉 재사용 가능한 템플레이트/에피/다공성 실리콘 옵션 또는 잉곳 (또는 두꺼운 웨이퍼)/임플란트의 옵션이 사용되는 임의의 캐리어 2 실시예와 함께 사용될 수 있다는 것을 인지하는 것은 중요하다.

[0025] 캐리어 2(백플레인)는 두 가지 넓은 클래스로 나뉠 수 있다(도 1): 첫번째 카테고리, "캐리어 1 상의 전체 후측 공정(full Backside Process on Carrier 1)"은, 캐리어 2는, 그것이 부착되는 측 (후측) 상에 요구되는 모든 가공이 캐리어 1 상에서 완료된 후에만 부착되는 것이다. 후면 접촉/후면 접합 전지에서, 이것은 패터닝된 도펀트 디퓨전, 개방부 접촉, 및 전체 후면 접촉 금속화를 포함하는 태양이 비치지 않는 측 (후측) 가공 단계 모두를 피니싱하는 것을 수반할 수 있다. 최종 전지 금속화에 전기적 접근이 요구되는 일부 경우를 제외하고, 이 측 상에 다른 가공이 요구되지 않는다. 두번째 카테고리, "캐리어 2 상의 부분 후측 공정(partial Backside Process on Carrier 2)"은, 후측 상의 단지 부분 가공이 완료된 후 부착되는 것이다. 본 발명은 부분 가공을 이용하는 후자의 카테고리에 초점을 맞추고, 이 패러다임 내에서 가능한 몇몇의 서브 그룹을 논의하지만, 첫번째 카테고리 당 전체 가공을 수반하는 변경은 내포되고, 본 발명의 범위 내인 것으로 이해한다.

[0026] 태양이 비치지 않는 측(즉, 전지 후측) 상에 부분 가공 패러다임을 지지하는 구동력 중 하나는(One of the driving forces behind the partial processing paradigm on the non-sunny side), 구리와 같은 잠재적으로 해로운 물질(수명 감소 물질(lifetime degrading materials)이 후측 가공의 일부인 경우, 다른 TFSS를 캐링하기 위해 재사용될 수 있는 캐리어 1을 오염시키지 않는다는 것을 보증하는 것이다(그 결과, 제조 라인에서 금속 상호 오염의 위험을 방지함). 이는 제조 라인에서 상호 오염 및 그로 인한 효율 저하를 방지한다(그 결과 전지에 상호 오염의 위험 없이 고수율 템플레이트 재사용을 가능하게 함). 따라서, 태양이 비치지 않는 측 상의 부분 가공을 지지하는 아이디어는, TFSS가 캐리어 1로부터 분리된(detached and released) 후, 잠재적으로 수명-감소 물질 및 가공(예컨대 고효율 구리 도금 금속화)으로 도입한 결과, 상호 오염의 위험을 제거하는 것이다.

[0027] 부분 가공 패러다임 내에 백플레인의 3가지 서브 카테고리는 도 1에 나타낸다. 전면 강화, "fSR"라고도 하는 첫번째 케이스에서, TFSS는 부분적으로 가공되는 후측 상에 부착되는 임시적 캐리어를 이용하여 템플레이트로부터 분리된다. 이후, 텍스처링 및 패시베이션과 같은 전측 전지 가공은 TFSS를 지지하는 일시적 후측 캐리어로 수행된다. 일시적 캐리어는 TFSS의 분리의 용이함에 의해 선택되고, 전기(예컨대 모바일 정전 척, MESC), 모바일 진공 척, MOVAC, 또는 가열 시 또는 UV 노출 시 분리되는 일시적 접착과 같은 공지의 방법을 이용할 수 있다. 남아 있는 후측 단계 (예컨대, 구리 금속화)는, 일시적 후측 지지체로부터 TFSS를 광학적으로 투명한 영구적 전측 보강재(예컨대 저비용 EVA 봉합재(encapsulant)/유리 조합)로 트랜스퍼함으로써 수행되고, 따라서 남아 있는 공정(예컨대 남아 있는 금속화 단계)을 위해 후측을 없앤다. 전측 보강재의 특정 요건은, 이는 모듈 레벨 패키징에 기인해 일반적으로 발생되는 열화 이상으로 광 투과 및 커플링을 저하시키지 않는 것이다. 따라서, 다른 물질 세트도 가능하지만, EVA/유리 기반 보강재 등이 바람직하다(예컨대 ETFE로 이루어진 깨끗한 전면 플루오로폴리머 시트를 갖는 EVA).

[0028] 두번째 및 세번째 서브 카테고리, 부분적 후측 가공을 이용하는 백플레인의 "금속화 없는 백플레인" 및 "금속화를 갖는 백플레인"은 영구적인 백플레인에 의해 특징지어진다(상기 FSR과는 대조적으로). 이러한 두개의 카테고리 사이의 차이점은, "금속화 없는 백플레인"은 그 구조체에 통합 또는 임베딩되는 두꺼운 금속화를 갖지 않는다는 점이다; 대신 이러한 금속화는 전측(태양이 비치는 측)이 가공된 후에 백-앤드(back-end) 쪽을 향해 놓인다. 반면에, "금속화를 갖는 백플레인"은 백플레인으로 통합되는 두꺼운 제2 레벨의 금속화(예컨대 패터닝된 금속박)를 갖는다. 백플레인 상의 두꺼운 금속화층은, 상호 접속의 제2층을 형성하는 TFSS 상의 박형 금속화층에 연결되고, 또한 부스바를 함유할 수 있다. 이러한 두꺼운 높은 전기 전도성 금속화층(바람직하게는 알루미늄 및/또는 구리)은 후면 접촉 전지의 저항을 감소시킨다.

[0029] 본 발명은 백플레인의 "금속화 없는 백플레인" 서브 카테고리 내에서 3가지 특정 실시예를 설명한다. 중요하게, 이는 이러한 3가지 실시예로 이 패러다임을 제한하는 것으로 이해해서는 안된다. 첫번째 케이스는 후면 보강재 또는 "bSR"이라 한다. 이 공정 흐름에서, TFSS는 영구적 후측 보강재를 이용하여 템플레이트(제1 캐리어)로부터 분리된다. 영구적 후측 보강재는 후측을 부분적으로만 커버하여, 전측 가공이 BSR 지지체를 이용하여 완료된 후, 개방 영역을 통해 후측 상에 가공시킨다. 이것의 구조적 예로는, 태양이 비치지 않는 후측 상에 마지막 몇몇 가공을 위해 후측에 접근을 제공하는 그리드들 사이에 실질적으로 넓은 개방 영역을 갖는 그리드 패턴으로 제조된 백플레인이다.

[0030] 영구적 "금속화 없는 백플레인"의 제2 실시예는 두문자어 "PLUTO"라 알려진 디자인이다. 이 공정 흐름에서, 단순하고 저렴한 백플레인 물질(예컨대, 수지 및 섬유의 혼합물을 포함하는 상대적으로 낮은 CTE 프리프레그 물질)은 TFSS에 부착되지만, 이는 첫번째 캐리어에 부착된다. 백플레인 부착은 직접적 결합/라미네이션(물질이 그 안에 접착성을 가진 경우에)일 수 있고, 또는 스크린 프린팅과 같은 수단을 이용하여 프린팅될 수 있는 (또는 스프레이 코터 또는 롤러 코터를 이용하여 적용되는) 유전체 접착층(DA)과 같은 중간 접착층을 사용한다. 프리프레그 어셈블리/물질 선택은, 이들이 이하 조건을 만족하도록 해야한다:

[0031] a. 분리된 TFSS/프리프레그 어셈블리는 매우 작은 이물(bow)을 가지고 상대적으로 스트레스 및 크랙이 없어야 한다.

[0032] b. 백플레인은 크랙이 없는 특성을 유지해야 하고, TFSS에 스트레스 크랙을 유도하지 않아야 하지만, 전측 텍스처링(예컨대 고온 KOH를 이용하여) 및 PECVD 패시베이션 공정과 같은 후속 가공 단계를 겪는다.

[0033] C. 백플레인은 텍스처링 및 후 텍스처링 표면 세정 (및 임의의 가능한 미리 텍스처링 실리콘 에칭)과 같은 전측 가공 동안 사용되는 화학물질에 상대적으로 잘 견뎌야 한다.

[0034] 결국, 전측 가공이 PLUTO 백플레인을 이용하여 완료되고, 접근 홀(access holes) (수 100 내지 수 1000개의 홀)은 백플레인 (예컨대 프리프레그 물질)을 통해 바람직하게는 고생산성 레이저 드릴링 수단을 이용하여 드릴링하고, 남아 있는 전지 금속화는, 바람직하게는 패터닝된 전기 전도성 시드 페이스트의 스크린 프린팅 및 프리패터닝된 금속박층(알루미늄 및/또는 구리를 포함함)의 부착의 조합을 이용하거나 또는 도금함으로써 피니싱된다. 이 홀은, TFSS가 템플레이트 상에 있는 동안 형성되는 언더라잉 온-셀 패터닝된 금속(underlying on-cell patterned metal)에 접근을 제공한다(특정 실시예는 공정 흐름에 대한 이하 논의 동안 설명될 것이다). 홀의 드릴링은 무수히 많은 레이저 및 기계적 방법을 이용하여 수행될 수 있고, 특정 실시예에서 이는 고속의 스루풋 CO2 레이저를 이용하여 수행될 수 있다. 드릴링 기술에 대한 요건은 고속의 스루풋, TFSS 상의 언더라잉 금속 또는 TFSS에 대한 미손상, TFSS 상의 언더라잉 금속에 낮은 저항의 전기적 접근을 갖기 위한 레이저 개방된 접촉(필요에 따라)를 세정하는 믿을 만한 방법, 및 언더라잉 금속에 홀의 적당한 얼라인먼트를 포함한다. 레이저 드릴링 이후에, 금속화의 나머지(제2 레벨의 금속을 포함함)는, 도금(비전해 및/또는 전기 도금), 프레임 스프레이와 같은 직접적인 두꺼운 금속 라이팅 기술, 백플레인에 금속화로 빵판(bread-board)을 부착, 패터닝된 도전성 시드 페이스트의 스크린 프린팅 후 금속박 핑거 부착, 또는 MMA(monolithic module assembly)와 같은 접근으로 모듈 어셈블리의 일부로서 금속화를 갖는 것을 포함하는 몇몇의 방법을 이용하여 피니싱될 수 있다. 약간의 변형 공정은, 프리프레그가 TFSS에 부착/라미네이션 전에 미리 드릴링된 홀을 가지고(TFSS에 레이저 드릴링 유도된 손상 위험을 제거하기 위해서), 다른 쉽게 제거 가능한 저렴한 박형 물질층 또는 시트(예컨대 박형 마일러 시트 또는 다른 적당한 물질)에 의해 보호되는 것을 포함한다. 이 실시예에서, 제거 가능한 보호 시트는 바람직하게, 태양이 비치는 측의 전지 가공(웨트 텍스처 및 PECVD 패시베이션 공정을 포함함)의 완료 전, 최종 전지 금속화의 완료 전(또는 MMA의 경우에 모듈 어셈블리 전) 제거될 것이다.

[0035] 세번째 실시예, 도 1의 영구적 "금속화 없는 백플레인"의 "Cu 플러그"는 상기 소위 PLUTO 실시예의 약간의 변형된 디자인이다. 또한, 명명 규칙으로 금속을 이용하여 구체적으로 확인되지만, 이러한 접근은 전기적으로 도전성인 물질로서 구리에 제한하는 것으로 이해해서는 안된다. 이 경우에, 백플레인은 PLUTO와 비교하여 백킹하는 추가적인 층을 갖는다. 예컨대, 백플레인은 Z68라고도 하는, 짧게 에틸렌 비닐 아세테이트 (EVA)인 봉합재 PV-FS Z68 (DNP Solar 제품)과 같은 잘 휘어지는 부착 물질을 갖는 유리 또는 다른 두꺼운 고체 백시트 물질(예컨대 양극산화된 Al)로 이루어질 수 있다. 백시트는 미리 드릴링된 홀을 가질 수 있지만, 언더라잉 부착 물질은 전측 공정 동안(예컨대 전측 웨트 알칼리성 텍스처링 동안) 화학적으로 공격되는 것으로부터 TFSS 금속을 보호하기 위해 실란트로 작용한다. 텍스처링 및 패시베이션 공정 후, 실란트 물질은 백시트(예컨대 소다 라임 유리, SLG)의 미리 드릴링된 홀을 통해 개방된다. 이는 레이저 드릴링 또는 기계적 펀칭과 같은 무수히 많은 방법을 이용하여 수행될 수 있다. 이러한 홀이 한번 개방되면, 연속적 시드 금속층은 직접 라이팅 스캠, 예컨대 금속 잉크/페이스트 프린팅(스텐실 프린터, 스크린 프린터, 잉크젯 프린터 또는 에어로졸 제트 프린터를 이용하여), 또는 PVD (예컨대 플라즈마 스퍼터링), 또는 비전해 도금을 이용하여 증착된다. 그 후, 금속은 백시트의 상부 상에 p 및 n형 디퓨전 접촉 금속 사이에 분리 및 도금함으로써 두꺼워진다. 각종 공지의 도금 및 분리 공정은, 예컨대 스크린 프린트 레지스트, 그 후 금속의 블랭킷 도금, 그 후 레지스트를 에치백 및 언더라잉 박형 시드 금속층을 에칭하기 위해 마스크로서 도금된 금속을 사용하는 것을 포함하여 사용될 수 있다(may be used including, for example a screen print resist, then blanket plating of metal, then etch back the resist and use the plated metal as the mask to etch the underlying thin seed metal layer). 또는 및 바람직하게, 본 실시예에서, 패터닝된 전기적으로 도전성이 페이스트는, 적당한 페이스트(예컨대 구리 또는 니켈 또는 다른 적당한 컨덕터를 함유하는 페이스트)의 스크린 프린팅과 같이 백플레인 상의 직접 라이팅에 의해 형성된다. 그 후, 최종 금속화는 패터닝된 도금 시드 상에 직접 도금(예컨대 구리 도금)을 이용하여 완료된다(그 결과 희생 레지스트 및 레지스트 스트립 및 시드 에치백 공정의 필요를 제거함).

[0036] 다른 실시예는 단일측 또는 드라이 전측 텍스처링 공정을 사용하여, 부분적으로 가공된 후측을 보고할 필요가

제거되고, 모든 접촉점은 백플레인의 부착 전 또는 전측의 가공 전에 미리 개방될 수 있다(레이저 드릴링 또는 기계적 드릴링 또는 펀칭을 이용하여).

[0037] 부분 후측 가공을 구비하는 도 1에 나타낸 바와 같이 백플레인의 "금속화를 갖는 백플레인" 서브 카테고리는, 영구적이고 통합된 금속화를 갖는 백플레인으로 특징화된다. "금속화를 갖는 백플레인"의 3가지 실시예는 도 1의 상세한 설명에 개시된다: 두문자어 OASIS, SLG-기반 (소다 라임 유리), 및 "비기판 측 상의 금속화"로 나타낸다. OASIS 및 SLG-기반의 두 가지 실시예에서, 백플레인-통합된 금속은 TFSS에 라미네이션/결합 동안 TFSS와 마주하지만, "비기판 측 상의 금속화"의 제3 실시예에서, 백플레인은 TFSS로부터 빗나간다.

[0038] OASIS 백플레인 실시예는 몇몇의 구성을 갖는다. 첫째, 이는 금속화층으로 작용하거나 하지 않을 수 있는 금속성 백플레이트로 이루어진다. 특정 실시예에서 부스바를 갖는 맞물려진 핑거로 패터닝된 이러한 금속화층은, 예컨대 알루미늄박 또는 솔더링 가능한 알루미늄박으로 제조될 수 있다. 알루미늄박은, TFSS 상의 상호 접속의 제1 레벨에 상호 접속의 제2 레벨에 연결하는 도전적 바이어스의 더 나은 접착을 제공하기 위해 니켈 및 Sn(또는 Sn 솔더 합금)으로 미리 코팅 또는 미리 도금될 수 있다. 백플레이트는 Z68, EVA 또는 프리프레그 또는 다른 적당한 폴리머/플라스틱 커버 시트와 같은 적당한 보호층에 의해 상부 상에 화학적 공격으로부터 보호될 수 있다. 이러한 층은 상부로부터 모듈 연결 및 시험을 위한 접근을 제공하기 위해 개방된다. EVA 또는 Z68 같은 물질에 패터닝된 금속의 라미네이션 동안, 실질적인 평면도는 부착 물질의 흐름을 활용함으로써 완성되어야 하고, 최종 어셈블리는 상부 및 하부로부터 실질적으로 평면이어야 한다. 이 어셈블리의 평면 하부에서, 언더라잉 TFSS 금속에 Al박 금속의 연결은 전기적으로 도전성이 있는 바이어스를 제공하기 위해 갭을 갖는 유전체층에 선택적인 도전성 포스트 또는 바이어스(selective conductive posts or vias)를 이용하여 제조된다. 바람직한 실시예에서 도전성 바이어스(이하 도전성 에폭시 또는 CE) 및 유전체 물질(이하 유전체 에폭시 또는 DE)은 TFSS 또는 백플레인 상에 스크린 프린팅된다. CE 물질의 요건은 비용 효율성, 높은 도전성, 바람직한 실시예에서 스크린 프린팅이 가능할 수 있고, 오버라잉 백플레인 금속 및 언더라잉 TFSS 금속에 낮은 접촉 저항으로 부착되는 것을 포함한다. DE 물질 요건은 비용 효율성, 비전기 전도성 유전체이고, 바람직한 실시예에서 스크린 인쇄 가능할 수 있고, 오버라잉 백플레인 물질(금속 및 EVA 또는 Z68 유전체 봉합재)과 TFSS 금속 및 유전체로 이루어진 언더라잉 TFSS 물질에 잘 부착되는 것을 포함한다. 예컨대, OASIS 백플레인은 이하 카테고리의 선택에 근거한 무수히 많은 변형을 가질 수 있다:

[0039] a. 백플레인의 백플레이트 물질: 실시예는 알루미늄박, Sn으로 코팅된 알루미늄박, 또는 유리(소다 라임 유리를 포함하는 다양한 종류의 유리), 또는 다른 폴리머 물질을 포함한다. 필요 조건은 백플레이트 물질이 TFSS를 캐링하기 위해 백플레인에 강도 및 단단함을 제공해야 하는 것이다. 또한, 이후 열 공정 동안, 열팽창계수 불일치 때문에 TFSS에 크랙을 유도하지 않아야 한다.

[0040] b. 패터닝된 금속화 물질: 실시예는, 전기적으로 도전성인 바이어스에 낮은 접촉 저항 부착에 좋도록 만들기 위해 다른 금속과 코팅될 수 있는 알루미늄박을 포함한다. 다른 실시예에서, 이들은 미리 코팅된 알루미늄박일 수 있다. 일 실시예에서, 금속화 물질은 백플레이트 물질과 같을 수 있고, 또는 접착제를 이용하여 백플레이트 물질에 부착될 수 있다. 금속화의 두께는, 백플레이트 및 저항 요건과 동일한 경우에 강도에 의해 좌우된다.

[0041] c. 금속화의 패터닝 디자인: 옵션은 주로 숫자 및 사용되는 맞물려진 핑거의 폭으로 이루어진다. 가장 넓은 폭 및 사용되는 최소 핑거의 수는, 도전성 비아 포스트들 사이에(between conductive via posts) TFSS 금속선 상의 가장 큰 견딜 만한 저항(충전율(Fill Factor)의 감소 없이)에 의해 측정될 수 있다. 패턴 디자인의 영향을 받는 두번째 고려 사항은 금속박이 추가적인 기능을 갖는가이다. 예컨대, 이들은 예컨대 각각의 핑거 내에 물리적으로 분리된 이들을 가짐으로써 또는 뱀과 같은 패턴으로 이들을 부분적으로 커팅함으로써 완성될 수 있는 부분적 스프링 같은 동작을 제공하도록 디자인될 수 있다: 그러나, 다양한 디자인이 가능하다. 스프링 같은 기능은 자유로이 팽창 및 수축하기 위해 금속박을 제공하는 쪽으로 설계되어, 이들은 열팽창계수의 불일치에 기인하여 CE 또는 TFSS를 파열시키지 않는다.

[0042] d. 유전체 및 도전성 연결 물질의 선택: 이러한 물질의 선택 기준은 이미 앞에서 논의되었다.

[0043] e. CE 및 DE 물질을 증착하는 방법: 바람직한 실시예에서 이들은 스크린 프린팅된다. 이러한 프린트는 TFSS 상에서 또는 백플레인 상에서일 수 있다.

[0044] f. 직각 대 평행 디자인: 백플레인 금속화(제2 레벨 금속 또는 M2)가 온-셀 TFSS 금속화(제1 레벨 금속 또는

M1)에 평행한지 또는 직각인지는 몇 가지 고려 사항에 의해 영향을 받는다. 직각 백플레인(M1에 직각 또는 크로스컷 또는 수직인 M2 핑거)은, 백플레인 상의 선폭(또는 M2 핑거의 폭)이 독립적일 수 있고, 일반적으로 구체적으로는 M1 핑거보다 더 넓을 수 있다는 이점이 있다. 이는 이러한 금속화를 더 거칠고 M1보다 덜 엄중한 얼라인먼트 요건을 가지도록 도와준다. 그러나, 직각선이 짧지 않도록 하는 주의가 필요하다. 따라서, 유전체 물질은 우수한 적용 범위를 갖는다. 평행 디자인은 온-셀 TFSS 금속(M1) 디자인과 같도록 백플레인 금속(M2)의 피치 및 치수를 제한한다. 전지 상의 이러한 디자인은 일반적으로 상당히 타이트하고, 결국 감소된 베이스 저항, 감소된 전기적 셰이딩 등을 포함하는 몇몇의 장치 고려 사항에 의해 영향을 받는다.

[0045] g. 모듈 연결을 위한 박 부스바의 접근 스캠(Access scheme of the foil busbars for the module connections): 예컨대 이는 보호층을 통해 스루홀을 통할 수 있거나(may be through through-holes through the protective layer), 알루미늄박이 백플레인의 상부를 둘러싸고, 예컨대 전측이 가공 동안 라미네이팅된 폴리머에 의해 보호되도록 둘러싸질 수 있고, 박으로의 접촉 접근이 공정의 마지막에 가능해진다.

[0046] 도 2는 SLG-기반 후면 접촉 태양 전지 실시예의 단면도이다. 여기에 개시된 소다 라임 유리 또는 SLG 기반 실시예는 소위 OASIS 백플레인의 서브 카테고리이고, 여기서 백플레이트 물질은 도 2에 도시된 바와 같은 소다 라임 유리 시트이다. 이는 Z68 (또는 다른 적당한 봉합재) 물질을 이용하여 Sn-코팅된(또는 코팅된 솔더 합금) 알루미늄박 금속화에 부착된다. 알루미늄박은 유리 백플레인의 상부 상에 부스바를 갖도록 유리를 둘러싸고, 따라서 또한 측부 상에 보호적 z68로 밀봉된다. "비기판측 상의 금속화" 후면 접촉 태양 전지 실시예는 TFSS로부터 빗겨가는 측 상의 백플레인의 통합된 금속화를 갖는다.

[0047] 이러한 백플레인이 후면 접촉 태양 전지를 형성하기 위한 공정 흐름으로 맞춰질 수 있는 특정 실시예는 이하 제조 방법으로 설명된다.

[0048] **TFSS 기반의 후면 접합/후면 접촉 태양 전지의 일반적인 구조체 및 방법**

[0049] 상기 논의는, TFSS 후면 접합/후면 접촉 태양 전지에 높은 가공/제조 가능한 수율을 보증하기 위해 제1 및 제2 (백플레인) 캐리어와 관련되는 선택 및 조합과 관련된다. 이하 부분은 이러한 캐리어를 갖는 전체 TFSS 기반의 태양 전지에 대한 제조 방법 및 공정 흐름을 다룬다. 공정 흐름을 묘사하지만, 일부 경우에, 백플레인은 요약된다(abstracted). 이 요약은 상기 부분에 논의된 임의의 몇몇의 백플레인 옵션에 의해 대체될 수 있다. 또한, 특정 흐름을 갖는 백플레인의 조합은 템플레이트/다공성 실리콘(PS) 기반의 캐리어 1 또는 잉곳(또는 두꺼운 웨이퍼)/임플란트 기반의 캐리어 1가 사용될 수 있다. 이러한 두 가지 케이스에 관한 특정 흐름은 도시될 것이다. 도 1은 캐리어 1 및 캐리어 2의 관계 및 공정 흐름 옵션을 도시한다; 그러나, 도 1의 공정 흐름 또는 이하 공정 흐름은 예를 서술하는 것이고, 제한된 의미로 사용되어서는 안된다는 것에 주의해야 한다. 또한, 이러한 예시적 공정 흐름의 실시예는 임의의 두 개의 캐리어 1 옵션 및 무수히 많은 백플레인 옵션으로 사용될 수 있다고 이해되어야 한다. 이것에 공지된 예외는, 인시투 에미터 기반의 공정 흐름은 잉곳(또는 두꺼운 웨이퍼)/임플란트 캐리어 1 옵션이 사용될 수 없다는 것이다.

[0050] 엑스시투 대 인시투 에미터. 도 1에 도시된 공정 흐름은 공정 흐름의 두 가지 큰 카테고리로 더 분류될 수 있다: 에미터는 에피택셜 성장 공정의 통합부로서 형성되고, 대기압 화학 증기 증착(APCVD) 에피택셜 성장과 같은 기술을 이용하여 TFSS가 제조된 후 제조되는, 엑스시투 에미터. 또한, 캐리어 1 템플레이트/다공성 실리콘 옵션에 적당하고, TFSS의 실리콘 에피택셜 성장의 일부로 성장되는(그 결과에미터의 이후 형성의 필요성을 제거하는), 인시투 에미터. 본 발명은 엑스시투 에미터 형성을 이용하는 실시예에 초점을 맞춘다; 그러나, 인시투 에미터 기반의 흐름도 당업자에 의해 일부 예에 적용될 수 있다. 엑스시투 및 인시투 에미터의 상기 옵션에 관해서, 이하 고려 사항을 주의해야 한다.

[0051] 1. 엑스시투 보론 도핑된 p+ 에미터는, 인시투 인 기반의 n형 에피택셜 기판이 에피택시를 이용하여 성장된 후에 형성된다. 패터닝된 엑스시투 에미터는 바람직하게는 APCVD BSG (보론과 함께 많이 도핑된 유리), BSG의 레이저 제거 후 에미터의 주입(drive-in)의 조합을 이용하여 형성된다.

[0052] 2. 엑스시투 에미터는, 인시투 에미터의 경우에 존재하는 태양 전지의 고체적 제조 동안 에피택셜 자동-도핑의

위험을 제거한다.

[0053] 3. 엑스시투 에미터는 에미터를 갖는 베이스를 제거하기 위해(또는 패터닝된 에미터 및 베이스 영역을 형성하기 위해서) 실리콘의 펄스 피코세컨 레이저 제거의 필요성을 제거한다.

[0054] 공정 흐름에 의해 공유된 일반적인 구조체 및 제조 방법의 성질. 최종 후면 접합/후면 접촉 태양 전지 구조체 및 제조 방법의 클래스의 특정 실시예는 이하에 설명된다. 구조체 및 방법은 이러한 특정 실시예에 제한되지 않는 것을 주의한다. 실시예의 더 넓은 범위는 당업자에 의해 상기 일반적인 캐리어 방법을 이용하여 유도될 것이다. 여기에 설명되는 특정 구조체 및 방법에 있어서, 확인된 공통된 성질은 이하를 포함한다:

[0055] 1. 개시되는 공정의 실시예에서의 공통된 구조적 성질:

[0056] a. 약 25㎛ (미크론) 내지 50 ㎛ 에피 두께. 더욱 일반적으로, 이 범위는 5 ㎛ 내지 약 200 ㎛의 종래 두께까지일 수 있다.

[0057] b. 인 기반의 n형 베이스 도핑. 일반적으로, 이는 그것에 제한되지 않지만 보론 또는 갈륨 도핑에 의해 형성되는 p형 베이스 및 다른 n형 도펀트 물질(예컨대 비소 또는 안티몬 또는 인듐)일 수 있다.

[0058] 2. 개시되는 공정의 실시예에서의 공통적인 제조 방법적 성질:

[0059] a. 캐리어 1의 공정(두꺼운 웨이퍼/잉곳의 템플레이트)는 이하를 포함한다:

[0060] i. APCVD-기반의 공정은 바람직하게는 엑스시투 에미터를 형성하기 위해 로 어닐링과 함께 사용된다. 일반적으로 APCVD는 보론 실리케이트 유리 (BSG) 및 인 실리케이트 유리 (PSG)를 갖는다. 그러나, APCVD PSG의 다른 치환체도 가능하고 논의된다.

[0061] ii. 상기 논의된 바와 같이, 템플레이트/다공성 실리콘 (PS) 제 캐리어에 관련된 다른 실시예에서, 엑스시투 APCVD 에미터는 에피택셜 기반의 인시투 에미터에 의해 대체된 후 에미터 영역으로부터 베이스를 분리하기 위해 레이저 베이스 실리콘 제거될 수 있다.

[0062] iii. 에미터-베이스 분리, 에미터 및 베이스 접촉, 및 전지 상의 부스바 없는 Al 핑거를 위한 펄스 피코세컨 기반의 레이저 제거 패턴. 일반적인 경우, 패턴은 나노세컨 (ns) 레이저와 같은 다른 레이저에 의해 정의될 수 있다. 또한, 전지 상의 Al (또는 Al-Si과 같은 알루미늄 합금) 핑거는 더 우수한 전지 성능에 도움이 되는 비트레이(bitrary) 디자인일 수 있다. 이는 그것에 제한되지 않지만, 백플레인에서와 같은 온 셀 금속화 레벨 이상의 레벨에서 연결된 부스바를 갖는 미니셀 (단일 기판 상에)을 포함한다.

[0063] iv. BSG 도펀트 (및 존재한다면 PSG)의 드라이빙(driving) 및 활동 및 열 산화물 기반의 후면 패시베이션을 형성하는 것에 주의를 기울이는 선택적 산화를 이용하는 어닐링 단계. 바람직한 실시예에서, 이는 동일한 단계에서 수행되지만, 필요에 따라, 일반적으로 분리된 단계로 분리될 수 있다. 또한, 이는 튜브 기반 또는 인라인 열 가공 로(tube based or an in-line thermal processing furnace)에서 수행될 수 있다.

[0064] v. 플라즈마 스퍼터링 또는 증착(evaporation)과 같은 물리적 증기 증착(PVD)과 같은 진공 기반의 증착일 수 있는 금속 1 증착 단계, 그 후 상기 금속 1 층을 패터닝하기 위한 펄스 피코세컨 레이저 제거 단계와 같은 레이저 제거. 또는, 금속 1(M1) 증착 단계는 패터닝된 금속 잉크를 직접 증착 또는 가공된 TFSS 후측에 부착하기 위해 예컨대 잉크젯, 스크린 프린팅, 스텐실 프린팅 또는 에어로졸 제트 프린팅을 이용하여 직접 라이팅 프린팅을 수반한다.

[0065] vi. 캐리어 1이 템플레이트/다공성 실리콘 (PS)인 경우에, 바람직한 가공 방법의 실시예는 이르게 TFSS 리프팅 또는 버블링의 위험 때문에 그 후(에피택셜 성장에서 캐리어 2에 부착된 TFSS의 리프트 오프 분리의 완료까지)에 그 위에 웨트 가공을 이용하지 않는 것이다. 그러나, 이는 제한된 의미로 해석되어서는 안된다. 개시된 주제는 실리케이트 유리와 같은 유전체 막을 제거하기 위해서 예컨대 HF 증기와 같은 증기를 에칭을 이용함으로써 웨트 가공 또는 세미 웨트 가공을 하는 것이 가능한 일반적인 경우를 포함한다.

[0066] vii. 캐리어 2에 부착된 때 캐리어 1로부터 TFSS의 분리 및 백플레인의 캐리어 1 상의 라미네이션.

[0067] b. 캐리어 2 상의 가공 (백플레인)

[0068] i. 가공된 다공성 실리콘층으로부터 발생하는 쿼시 단결정 실리콘 (QMS) 층을 제거하기 위한 후 분리 웨트 에칭 (Post-release wet etch). 또한 이는 전면을 텍스처링하기 위해 웨트 가공을 이용하는 것을 포함한다. 바람직한 실시예에서, 웨트 단계는 KOH 기반 (또는 NAOH 기반) 에칭 화학물질을 이용하는 단일 단계에서 수행된다. 그러나, 필요에 따라, 일반적으로 이들은 KOH 기반을 이용하는 둘다의 단계 또는 TMAH 기반 또는 분리된 KOH 기반 (또는 NAOH 기반) 화학물질을 이용하여 QMS 제거 단계를 이용하는 두개의 분리된 단계로 분리될 수 있다. 또한, KOH 또는 TMAH를 이용하는 텍스처링 없이 QMS 제거가 행해지는 가능성이 있다(KOH는 더 낮은 비용 이유로 유용할 수 있다). 또한, 웨트 텍스처링 대신에, 레이저 또는 플라즈마 가공에 기반된 드라이 텍스처링을 이용하거나, 또는 텍스처링을 하지 않고, 브로드 밴드 태양광에 효율적으로 커플링하기 위해 다른 방법을 이용한다-이러한 "다른"의 의미는 유전체 입자 또는 은 또는 금 입자와 같은 분산된 나노 입자에 의존한다.

[0069] ii. 텍스처링이 관련되는 경우에, 후 텍스처링된 표면 세정 공정은 후면 접합/후면 접촉 전지에 중요한 단계이다. 이러한 세정 단계는 세정 공정 후 고품질의 전면 패시베이션층의 형성을 가능하게 한다. 소위 RCA 세정과 같은 더욱 비싼 대안들이 사용될 수도 있지만, 이러한 목적을 위한 특정 세정 화학물질은 HF/HCl 화학물질 및/또는 오존처리된(ozonated) HF 화학물질에 기반될 수 있다. 또한, 희석된 HF 딥 후 텍스처링 세정 및 전 패시베이션을 수행하는 것은 전면 재조합 속도를 더 낮추는데 중요하다(Performing a diluted HF dip post texture clean and just before passivation is also critical to get lower front surface recombination velocities)(그 결과 더 고품질의 패시베이션). 텍스처링 및 후 텍스처링 세정 공정 동안 백플레인의 미미한 통합을 갖고, 언더라잉 추가적인 접착층을 갖는 프리프레그 또는 프리프레그와 같은 유기 백플레인 물질(organic backplane material)의 경우에, a-Si 또는 a-SiOx (비정질 실리콘 산화물) 플러스 실리콘 나이트라이드와 같은 층 또는 패시베이션층의 증착 전에 추가적인 공정 단계는, 본래의 산화물 및 백플레인 물질로부터 재증착되는 유기 잔여물을 제거하기 위해 라디칼(예컨대 수소 라디칼 및/또는 이온)의 스트림 또는 감압 또는 대기압 플라즈마를 이용하는 것이 개시된다. 이러한 공정은 바람직하게는 패시베이션 툴 (예컨대 PECVD 패시베이션)의 최초 단계에서 통합될 수 있거나 또는 그 대신에 오프라인에서 수행될 수 있다.

[0070] c. 요구되는 디바이스 사양을 충족하는 저온 전면 패시베이션 및 ARC층. 일반적으로 이는 선택된 백플레인이 적합하면서, 가공에 적용할 수 있는 온도에서 증착되는 패시베이션층을 포함한다(this includes a passivation layer which is deposited at a temperature which can accommodate processing with the chosen backplane is adequate). 패시베이션의 허용 가능한 최대 온도는, TFSS의 크래킹 없이, 백플레인 물질의 열화 없이 이를 견디는 백플레인의 능력 및/또는 태양 전지 충전율 및 다른 신뢰성 관련 파라미터를 절충한 것에 따라 달라진다. 우수한 패시베이션은 PECVD SiN에 대해 약 150 ℃ 이상의 범위 온도에서 예측된다. 일 실시예는, 박형 비정질 실리콘의 PECVD (약 150 ℃ 내지 200 ℃ 범위의 기판 온도에서 PECVD를 이용하여 증착된) 후 저온 SiN 증착 (바람직하게는 비정질 실리콘 또는 비정질 실리콘 산화물로 동일한 온도에서)을 이용하는 것이다. 더욱 일반적으로, 우수한 패시베이션은, 전면으로부터 빗겨가는 소수 캐리어를 격퇴하는 전하의 극성 및 실리콘을 이용하여 매우 낮은 계면 전하포획 밀도를 가져야 한다. n형 물질에 있어서, 이런 임베딩된 전하는 안정한 포지티브 전하가 될 필요가 있다. 포밍 가스(forming gas), 중성, 또는 진공 또는 패시베이션 후 적당한 시점에서 다른 적당한 주변(ambient)에서 이후의 열적 어닐링은 패시베이션 품질을 개선하기 위해 유익할 수 있다. 이러한 열적 어닐링은 PECVD 패시베이션 온도 이상에서 수행될 수 있다(열 안정성 및 백플레인 물질의 CTE-매치에 따라 약 300 ℃ 까지).

[0071] d. 백플레인 금속 및 이의 부스바에 접근. 이의 세부사항은 백플레인의 형태에 따라 달라진다. 백플레인이 통합된 또는 임베딩된 금속박 금속화를 갖는 경우(상기 논의된)에는, 선택은 미리 제조된 스루홀(a pre-made through hole)(웨트 가공 동안 커버될) 또는 랩 어라운드 부스바 개방부(a wrap around bus bar opening)(웨트 가공 동안 커버될)이다. 백플레인 금속화가 최종 가공 단계인 백플레인에 있어서는, 접근이 쟁점이 아니다.

[0072] 도 3은 개시된 주제에 따른 엑스시투 에미터 공정 흐름의 실시예를 도시한 도면이다. 이 공정 흐름은 베이스 접촉이 제조되는 방법에서 차이점에 의해 구별되는 4가지 카테고리 흐름 1 내지 4로 나뉜다. 도 3에 도시되는 흐름 전체는 본 발명에 설명되는 임의의 백플레인 옵션 및 벌크 웨이퍼 잉곳/임플란트 캐리어 1 또는 템플레이트/다공성 실리콘 캐리어 1이 사용될 수 있다.

[0073] 흐름 옵션 1: 이 공정 흐름은 베이스 도핑을 제조하기 위해 APCVD PSG를 이용한다. PSG 층은 증착되고, 인은 배치 로 어닐링 (batch furnace anneal)을 이용하여 또는 PSG 층의 펄스 나노세컨 레이저 고온 제거를 이용하여 드라이빙된다(driven in)(후자의 경우, 언더라잉 TFSS를 도핑하기 위해 그리고 베이스 접촉 개방부의 PSG 층을 제거하기 위해).

[0074] 흐름 옵션 2: 이 공정 흐름은 스크린 프린팅된(또는 스텐실 프린팅된) 실리콘 나노입자 인 또는 잉크젯(또는 에어로졸 제트) 프린팅에 의해 적용되는 실리콘 나노입자 인 잉크를 이용한다.

[0075] 흐름 옵션 3: 이 옵션은 잉크젯 프린팅에 의해 적용되는 인 잉크 또는 인 페이스트의 스크린 프린팅을 사용한다. 이는 그 후 도펀트에 드라이빙하기 위해(to drive in) 배치 로 장치에 열적 어닐링된다.

[0076] 흐름 옵션 4: 이 공정은 개시 인 도펀트 물질로서 인 옥시클로라이드 POCl3을 이용한다(공정은 바람직하게는 POCl3 튜브 로에서 수행된다). 후 디퓨전 인 유리 웨트 에칭 또는 HF 증기 에칭을 필요로 한다.

[0077] 도 3의 4가지 공정 흐름 옵션 카테고리의 서브카테고리가 이하에 설명된다.

[0078] **흐름 옵션 1: APCVD PSG 기반의 베이스 도핑**. 이러한 클래스에 두개의 서브 카테고리가 있다: a) 레이저를 이용하여 베이스 및 에미터 접촉을 드라이빙하기 위해(to drive)(또한 베이스 및 에미터 접촉 홀을 동시에 개방하기 위해) 펄스 ns 레이저 가공을 이용한 고온 제거(Hot ablation), b) 열적 어닐링이 베이스 접촉 디퓨전 영역을 제조하는(바람직하게는 펄스 ps 레이저 가공을 이용하는) 저온 제거(Cold ablation). 도 4는 2개의 캐리어를 갖는 박형 후면 접합/후면 접촉 태양 전지를 제조하기 위한 선택적 에미터를 이용하는 (바람직하게는 펄스 ns 레이저 가공을 이용하는) 고온 레이저 제거를 이용하는 공정 흐름이다(도 3의 흐름 옵션 1A1에 대응함). 공정은 모 템플레이트 결정 실리콘 웨이퍼(mother template crystalline silicon wafer)의 세정을 시작한다. 일 실시예에서, 이는 200mm 직경, 200 ㎛ 내지 1.2 mm 두께의 반도체 표준 웨이퍼일 수 있다. 다른 실시예에서, 이는 165mm 측 풀 스퀘어(side full square), 200 ㎛ 내지 1.2 mm 두께의 결정 실리콘 웨이퍼일 수 있다. 템플레이트는, 예컨대 KOH, 및 HF, HCl 또는 이들의 조합 (HF/HCl)과 같은 산과 같은 화학물질, 및/또는 오존처리된 HF를 포함하는 화학물질을 이용하여 세정된다. 또한, 세정은 금속 및 유기 불순물의 세정에 알려진 다른 화학 세정을 이용하여 수행될 수 있다. 다른 예는 RCA 세정이다; 그러나, RCA 세정은 태양 전지 제조의 목적을 위해서는 더욱 비싸다. 세정 후 전기화학 에칭(바람직하게는 HF/IPA에서)을 이용하여 이중층 또는 다층 (적어도 2개의 다른 공극률) 다공성 실리콘의 형성이 이어진다. 형성된 제1층(또는 상부층)은 낮은 공극률의 층이다 (예컨대 이는 그것에 제한되지 않지만 15-40% 범위의 공극률을 갖는 층일 수 있다). 이후 아래에 형성되어 템플레이트에 가까워지고 템플레이트로부터 더 낮은 공극률의 층을 분리하는, 더 높은 공극률을 갖는 제2층(매립층)(예컨대 이는 그것에 제한되지 않지만 45-70% 범위의 공극률을 갖는 층일 수 있다)이다. 일반적으로 층이 이하를 포함하는 몇몇의 주요 요건을 가능하게 하는 한, 단층 또는 3층 또는 그레이드된 공극률의 다공성 실리콘과 같은 다른 배열 형태도 가능하다: 낮은 공극률 다공성 실리콘층의 상부 상에 우수한 품질의 에피택셜 실리콘층의 형성을 가능하게 하기 위한 우수한 상부 에피택셜 시드층, 템플레이트로부터 TFSS 리프트오프 분리를 위한 높은 공극률층의 온-디멘드(on-demand) 파괴에 기인한 믿을 만하고 높은 분리 수율, 온-템플레이트 가공 단계(on-template processing step)(바람직하게는 그것에 제한되지 않지만, TFSS 형성 후 리프트 오프 분리까지 전체-드라이 온-템플레이트(all-dry on-template) 가공 단계) 동안 템플레이트 캐리어로부터 TFSS의 너무 이른 분리 또는 버블링 없음. 다공성 실리콘 형성 공정 후 건조 단계, 그 후 수소 프리베이크 및 바람직하게는 약 5 ㎛ 내지 약 50 ㎛의 두께 범위로 에피택셜 성장이 이어진다. 수소 프리베이크 및 에피택셜 성장 공정 둘다는 바람직하게는, 프리베이크 조건의 선택인 성장 공장의 동일한 통합 부분에서 수행된다(are preferably performed in the same An integral part of the growth process is the selection of the pre-bake condition). 수소 프리베이크 공정 단계(바람직하게는 에피택셜 성장 리엑터에서 인시투 프리베이크) 동안, 프리베이크는 본래의 산화물 및 다른 잠재적 표면 오염물질을 제거할뿐만 아니라, 실리콘의 고형상 디퓨전 및 리플로우를 야기하여 다공성 실리콘의 표면 기공은 낮은 공극률의 층의 표면에서 밀봉하고(낮은 공극률의 다공성

실리콘의 표면 에너지를 감소시킴으로써 야기되는 구동력에 기인한), 그 결과 고품질의 TFSS 층의 이후 에피택셜 성정을 위해 우수한 에피택셜 시드층을 제조한다. 이는, 결국 높은 소수 캐리어 수명을 갖는 고품질 인시투 도핑된 TFSS 층의 형성 및 더 우수한 에피택셜 성장을 가능하게 한다. 에피택셜 성장 공정은 그 후, 바람직하게는 인라인 대기압 CVD (APCVD) 리엑터를 이용하여 BSG 증착이 이어진다. BSG 층은 결국 고온 언닐링을 이용하여 BSG로부터 언더라잉 TFSS로 붕소의 고온 디퓨전에 의해 에미터 영역을 형성하기 위해 보론 원(boron source)으로 작용한다. 150nm 두께가 도 4에 도시되지만, 이는 백 미러 및 에미터 도핑의 요건에 따라 조절될 수 있다. 실제는, BSG 두께는 약 50 nm 내지 250 nm의 범위일 수 있고, BSG 층은 산화물이 언도핑된 층(약 10 nm 내지 100 nm 범위의 언도핑된 유리 두께를 갖는)으로 캡핑될 수 있다. BSG 층 증착 후 BSG 층의 피코세컨(ps) 펄스 레이저 제거가 이어지고, 이러한 레이저 제거는 실리콘에서 정지되어 언더라잉 실리콘을 손상시키지 않는다(펄스 ns 레이저 제거와 비교하여 미미한 열-영향을 받은 영역). 제거된 영역은 결국 디바이스의 베이스 부분이 된다-에미터는 디퓨전되지 않을 것이고, 도핑된 베이스 접촉 영역은 노출될 것이다. 디바이스 디자인에 따라, 이러한 영역의 분율(베이스 개방부의 분획)은 약 3% 내지 약 20% 범위일 수 있다(대략 80% 내지 97% 범위의 에미터 영역 분율에 대응하는). 더 큰 에미터 영역의 분율은 더 높은 전지 효율에 바람직하고, 이는 펄스 ps 레이저 가공을 이용하는 것을 통해 가능하다. 매우 큰 개방부, 따라서 큰 분율의 베이스는 에미터를 얻기 위해 더 큰 거리를 이동해야 하는 소수 캐리어를 야기한다. 이는 전지 전환 효율을 떨어뜨리는 더 많은 재조합을 야기한다(전기적 셰이딩으로도 알려져 있음). 개방부의 더 좁은 사이즈의 폭은, 이 영역 내에 베이스 디퓨전 및 접촉 영역을 얼라인 및 놓도록 함으로써(by being able to align and put) 제한된다. BSG의 레이저 제거는 그 후 선택적으로 언도핑된 실리케이트 유리 (USG)의 APCVD, 그 후 PSG/USG, 따라서 3층의 형성이 이어진다. 그 두께에 따라 달라지는 언더라잉 USG 층은 어닐링 동안 인 디퓨전의 범위를 통제한다. 더 두꺼운 USG 층은 인 디퓨전을 방지할 것이고, 후면 전계(이후, BSF) 없이 진정한 분리된 접합을 야기할 것이다(에미터 및 베이스 디퓨전 영역은 접촉하지 않음). BSF 층은 디바이스의 개방 서킷 전압(Voc)의 증가를 도울 수 있다. 언더라잉 USG 층이 얇은(또는 전혀 증착되지 않은) 경우, 일부 인은 열적 어닐링 단계 동안 TFSS 표면 영역에 디퓨전된다. 이는, 결국 소위 인접한(abutted) 접합 전지 구조체 뿐만 아니라 BSF 형성을 야기한다. PSG 및 BSG 층에서 각각의 인 및 보론의 농도는, 에미터 및 베이스 영역에서 적당한 도핑 농도를 얻기 위해 제어된다. 전지 디자인 요건에 따라, BSG 및 PSG 층에서 이러한 도펀트 농도는 약 2% 내지 7% 범위일 수 있다. USG/PSG/USG 가 증착된 후(펄스 ps 레이저 제거 직접 패터닝 공정 후), 디바이스는, 질소(또는 불활성 가스) 주변에서 불활성 어닐링 및 선택적 산화 어닐링, 그 후 선택적으로 저온 인시투 게더링 어닐링(바람직하게는 철과 같은 금속성 오염물질을 모으기 위해 약 550 ℃ 내지 650 ℃의 온도 범위에서 수행됨), 선택적으로 저온 인시투 포밍 가스 어닐링(약 400 ℃ 내지 500 ℃의 온도 범위에서)일 수 있는 다기능 로 어닐링 단계를 통해 가공된다. 동일한 다기능 로 어닐링 공정 레시피에서 이러한 인시투 어닐링 단계의 조건을 최적화하여, 우수한 품질의 후면 산화물 패시베이션, 바람직한 인 및 보론 도펀트 드라이브인(drive-ins) 및 도펀트 활성, 금속 불순물의 게더링 및 후측 패시베이션 특성의 개선을 단일 툴로 완성시키는 것이 목표이다. 또한, 결국 그 표면으로부터 에미터 소수 캐리어, 전자를 격퇴하는 네거티브 전하의 도입을 가능하게 하고, 그 이유로 매우 우수한 표면 패시베이션을 제공할 수 있는 경향이 있기 때문에, 인접한 후면에 알루미늄 산화물 Al2O3의 박층을 갖는 것은 유용할 수 있다. 이러한 Al2O3 층은 BSG 층의 증착에 사용되는 동일한 APCVD 툴의 제1단계로서 및 인시투로 증착될 수 있다. Al2O3을 도입하는 흐름은 본 명세서의 이하에 개시된다.

[0079] 도 4에 도시된 바와 같이, 어닐링 단계 후 개방 접촉에 피코세컨 펄스 레이저 제거가 이어진다(펄스 ns 레이저와 같은 다른 형태의 레이저도 사용될 수 있다). 그러나, 고온 레이저 제거라 불리는 특별한 레이저 제거 공정은, 에미터 및 베이스의 접촉을 개방할 뿐만 아니라 동시에 접촉 개방 영역에 TFSS 실리콘 표면으로 각각의 도펀트를 빠르게 드라이빙하는(driving in) 이중의 역할을 수행하는데 사용될 수 있다. 따라서, 베이스 접촉은 실리콘으로 PSG에서 드라이빙되는(driven from) 인을 갖는 USG/PSG 층을 통해 형성되지만, 에미터 접촉은 USG/PSG/USG/BSG 스택을 통해 형성되고, 보론이 드라이빙된다(is driven in)(Al2O3 초박층만을 갖는 실리콘으로부터 분리되거나 실리콘과 접촉되는 BSG 층으로부터). 고온 제거 가공은, 금속이 결국 실리콘과 접촉하는 곳 아래의 높게 도핑된 n+ 및 p+ 접촉 영역을 형성할 수 있다(베이스 및 에미터 접촉 금속화를 위해). 이는 접촉 저항을 감소시키고, 금속 접촉에서 재조합 속도를 감소시키는데 바람직하다. 따라서, 접촉 영역으로부터 멀리, 패시베이션 하에 더욱 가볍게 도핑된 에미터 영역(더 높은 전지 효율에 바람직한)과 같은 가볍게 도핑된 영역(어닐링에 의해 영향을 받은)을 유지하면서, 국부적으로 높은 도펀트 영역이 생성될 수 있다. 이는 접촉으로부터 떨어진 접촉에 가까운 영역에서 도핑 농도의 독립된 최적화를 보증하고, 결국 더 높은 Voc, 우수한 적외 양자 효율 및 더 높은 전체 전지 효율에 유용한 선택적인 에미터 및 베이스의 효율적인 형성을 가능하게 한다.

[0080] 레이저 고온 제거 후 박형 알루미늄 또는 Al-Si 층의 물리적 증기 증착(PVD) 기반 증착(예컨대 플라즈마 스퍼터링 또는 증착(evaporation)을 이용하여)에 의한 금속 1에 대한 일 실시예가 이어진다. 이러한 알루미늄(Al) 층은 후측 패시베이션 유전체 스택과 함께 후면 리플렉터 (BSR)의 기능으로 작용할 뿐만 아니라, 디바이스 베이스 및 에미터 영역과 우수한 전기적 접촉을 제공하는데 중요하다. 도핑된 에미터 및 베이스 접촉 영역 둘다에 대한 Al (또는 Si로 도핑된 Al) PVD의 접촉 저항은 중요하다. 또한, PVD 공정은 고온 PVD (전지 기판이 약 150 ℃ 내지 450 ℃ 범위의 온도까지 가열되면서 Al 층을 증착)로 수행될 수 있고, 또는 필요에 따라 150 ℃ 내지 450 ℃에서 후 PVD 어닐링이 수행될 수 있다. 이는, 우수한 접촉 저항(그 결과, 더 높은 충전율)을 보증하고, 게다가 APCVD 층으로부터 알루미늄(Al 어닐링) 및 H2의 존재 하에 우수한 패시베이션을 이용하는 것이다(후측 패시베이션을 개선하고 전지 Voc를 개선하도록 포밍 가스 어닐링을 효율적으로 수행함). 이어서, 다른 PVD 금속층은 접착성, 반사성 요건 및 레이저 금속 분리 요건의 필요에 따라 증착될 수 있다. 일 해석에 있어서, NiV (또는 Ni) 및 Sn의 조합 역시 Al의 스퍼터 증착 후 PVD 및 인시투를 이용하여 Al의 상부 상에 제2 및 제3층으로 스퍼터링될 수 있다. Sn의 상부층을 갖는 이 금속 스택의 기능은, 백플레인 금속 또는 M2의 접착이 절충되지 않는 것을 보증할 것이다(그 결과, 전지 충전율 및 장기간 신뢰성을 개선한다). 이 스택의 변경에 있어서, Al/NiV/Sn 스택은 Sn과 NiV 사이에 어닐링과 같은 솔더를 제공하기 위해 Sn의 용융점 이하에서 어닐링될 수 있다. 이어서, 펄스 피코세컨 레이저가 베이스 및 에미터 금속 영역을 분리 및 패터닝하기 위해 사용된다. 일반적인 디자인은 맞물려진 핑거 디자인이다. 바람직한 실시예에서, 부스바 없이 맞물려진 핑거만이 M1의 전지에 정의되었다(defined). 이는 부스바 하에 전기적 셰이딩을 최소화하고, 전지 효능을 증가시킨다. 그러나, 부스바를 갖는 다른 실시예 및 미니-전지와 같은 다른 디자인은, 금속 레이저 공정으로 정의될 수 있다. 일반적으로, 에미터/베이스 선의 피치를 포함하는 특정 치수는, 그것에 제한되지 않지만 베이스 및 에미터 디퓨전 저항을 포함하는 몇몇의 디바이스 디자인 고려 사항에 의해 영향을 받는다. PVD는 진공 스퍼터링, 진공 증착, 이온 빔 증착(IBD), 대기 아크 스프레이 및 다른 열적 물리 증기 코팅법을 수반할 수 있다. 다른 그리고 덜 바람직한 실시예에서, 레지스트의 스크린 프린팅 후 에칭도 베이스 및 에미터 패턴을 분리하기 위해 사용될 수 있다. 그러나, 템플레이트 상에 웨트 가공의 수행에 기인한 이러한 접근(금속 에칭 및 레지스트 스트리핑 웨트 단계를 위한)에 위험이 있다.

[0081] 금속화 공정의 다른 변경에 있어서, PVD 금속을 이용하는 것(스퍼터링, 증착 등과 같은 진공 기술을 포함하는) 대신에, 일반적인 금속 스크린 프린팅 접근법이 사용될 수 있다. 이러한 접근법은, 전지가 진공일 때 다공성 실리콘으로부터 박리 압력에 기인하여 모 템플레이트로부터 이르게 에피 기판을 제거하는 위험이 존재하고, 비싼 경향이 있는 진공 공정을 이용하지 않는 이점이 있다. 금속 스크린 인쇄의 실시예에서, 일반적으로 베이스 및 에미터 금속은 스크린 프린팅되고(이는 단일 알루미늄 페이스트 물질을 이용하는 단일 스크린 프린트 공정일 수 있다), 에미터 및 베이스 디퓨전 영역에 금속화 접촉을 제조하기 위해 발화되고(fired), 여기서 베이스 및 에미터 디퓨전이 몇몇의 가능한 기술을 이용하여 생성되고, 이들 중 하나는 상기 기재된 것이고, 몇몇의 다른 것들은 이후에 설명될 것이다. 공정 흐름의 나머지는 유사하다. 스크린 프린팅된 금속 또는 금속들은 함께 발화되거나(co-fired) 순차적으로 발화될 수 있고, 베이스 및 에미터에 동일하거나 다를 수 있다. 또한, 스크린 프린팅된 금속은 융해(fritted), 약하게 융해, 또는 융해되지 않을 수 있다(frit-less)(예컨대 적합한 융해되지 않은 알루미늄 페이스트). 이 공정의 특정 실시예는 동일한 공정 단계를 이용하여 함께 발화 및 에미터 및 베이스 상에 융해되지 않은 Al 금속 페이스트를 스크린 프린팅하는 것을 수반할 수 있다. M1 금속 패턴은 언더라잉 전지 디자인에 따라 달라진다; 그러나 일반적으로 TFSS의 마이크로크랙 형성의 위험을 감소시키고, 웨이퍼 레벨 스트레스를 감소시키기 위해 세그먼트화된 금속선을 포함할 수 있다. 이 공정의 다른 실시예는, 베이스 접촉에 Al을 스크린 프린팅 및 발화하면서, 인 접촉에 Ag를 스크린 프린팅 및 발화하는 것을 수반할 수 있다. 이러한 스크린 인쇄된 선 또는 핑거는 계속적이거나 세그먼트화될 수 있다. 이 해석에 있어서, 베이스 상에 세그먼트화되어 있으면, PSG는 베이스 영역에 선택적으로 증착되어, 따라서 베이스 접촉 도핑의 포켓을 형성할 수 있다. 이어서, Ag 금속은, 베이스 포켓 내에 접촉을 생성하기 위해 도핑 원(doping sources) (본 경우에 PSG)을 통해 발화될 수 있다. 이러한 접근법은 매우 더 작은 베이스 접촉 소수 캐리어 재조합을 보증하여, 태양 전지의 Voc 및 Jsc을 개선함으로써 효율 이점을 가질 수 있다. 또한, 레이저 공정을 이용하여 베이스 접촉을 개방할 필요를 제거한다. 이러한 세그먼트화된 금속 디자인은, 백플레인의 융통성 있음 때문에 가능하다. 백플레인은 백플레인 층에 이를 합치면서 전류의 수직 끌어당김을 가능하게 한다(allows a vertical draw of current). Ag 금속 분할된 부분(다른 디바이스의 제한에 영향을 줄 수 있는) 과 동일한 타이트 피치에서 백플

레인 레벨 연결을 제공하는 것에 어려움이 있는 경우, 연속 금속(continuous metal)은 에미터 금속이 프린팅되는 동시에 Ag 세그먼트의 상부에 스크린 프린팅(예컨대 Al) 될 수 있다. 이러한 금속(Al)이 금속 페이스트의 옳은 선택을 이용하여 방지될 수 있는 PSG 산화물을 통과시키지 않는다는 것을 보증하기 위해 주의를 기울여야 한다.

[0082] 공정 흐름의 다른 변형을 다루고 있는 이하 부분에 분명하게 논의되지 않지만, 직접 라이팅 금속 스크린 프린팅된 옵션은 이후 논의되는 공정 흐름의 PVD 금속 옵션 대신에 사용될 수 있는 것으로 이해된다.

[0083] 도 4에 도시되는 특정 실시예에서, 다음 단계는 전지 상의 패터닝된 금속 선에 도전성 물질(예컨대 에폭시 물질)을 스크린 프린트하는 것이다. 필요에 따라, 유전체 접착층은 단락(shunting)으로부터 전지를 보호하기 위해 프린팅될 수도 있다. 이는 필요에 따라, 도전성 접착제와 관련되는 이어서 논의되는 공정 흐름 전체에 대한 옵션이 되는 것으로 이해된다(공정 흐름 도에 명확히 도시하지 않지만). 이후 금속선에 백플레인의 얼라인먼트, 부착 및 라미네이션이 이어진다. 분리된 실시예에서, 도전성 및/또는 유전체 물질의 스크린 프린트는 백플레인 금속 상에서 수행될 수 있다. 이어서, 도전성 물질을 갖는 백플레인 어셈블리는 템플레이트 상의 금속선에 얼라인 및 부착될 수 있다. 백플레인 상에 도전성 에폭시를 프린팅하는 이점은, 템플레이트 상에 완전한 접촉 프리 가공(complete contact free processing)을 보증하고, 기계적 수율을 증가시키는, 템플레이트 상의 스크린 프린트 단계가 없다는 것이다. 얼라인먼트가 더욱 엄중해지는 시도이다.

[0084] 또한, 백플레인의 몇몇의 형태가 앞선 부분에 논의되었지만, 2가지 실시예가 다음과 같이 설명된다:

[0085] a. 페이스 투 페이스 결합(Face to Face Bond): 바람직하게는 50 ㎛ 내지 300 ㎛ 두께의 패터닝된 Al 박으로 제조되는 두꺼운 상호 접속 스택은, 저항 손실 없이 비스듬히 전기 전류를 전도하는 것을 돕는다. 도전성 박은, 예컨대 Z68에 제한되지 않지만 PV 자격을 갖춘, 준수한 봉합재 물질을 이용하는 유리 또는 플라스틱일 수 있는 백플레인에 부착된다. Al 박, Z68, 및 백플레인 물질(예컨대 유리 또는 플라스틱)은 백플레인 어셈블리라 한다. 어셈블리는 상기 도전성 에폭시를 이용하여 템플레이트에 부착되어, 맞물려진 미리 패터닝(pre-patterned) 박 패턴은 템플레이트 상에 거꾸로 부착한다. 이하 두개의 배열 형태에서, Al 박 패턴의 치수는 다를 수 있다. 첫번째 배열 형태에서, Al 박의 선은 템플레이트 상의 패터닝된 선에 평행이다. 두번째 배열 형태에서, 백플레인 Al 선은 템플레이트 상의 금속선에 수직이다. 수직의 경우에, 에미터 및 베이스 선의 단락을 방지하기 위해서, 다른 템플레이트 금속선은 장기판 교차점 패턴으로 백플레인 박의 선을 오버러닝하도록 접촉을 만든다. 수직의 배열 형태는, 백플레인 선 또는 핑거(M2 핑거)를 더 넓게 숫자가 적게 하여, 그 제조를 조절가능하게 하고, 그 비용을 감소시킬 수 있어 유용할 수 있다. 평행선은 결국 디바이스 디자인에 의해 제한되는 온-템플레이트 금속선의 피치/치수에 따라야 한다. 박형 전지 케이스에서, 이러한 피치는 박형 전지용 베이스의 높은 시트 저항 때문에 더 제한된다. 몇몇의 주의 사항은, 교차 접합에서 수직선들 사이의 단락이 없고, M1에 접촉이 없는 것이 바람직한 것을 보증하도록 제안된다. 이는 라미네이션 동안 Al 박 아래에 Z68 또는 다른 적합한 유전체 봉합재 물질을 흐르게 함으로써 보증될 수 있다. 흐름은 Al 박이 천공되어 있는 경우에 강화될 수 있다. 직각 배열 형태를 이용하여 단락의 위험을 방지하기 위한 다른 방법은 네거티브 장기판 패턴으로 유전체(비도전성) 포스트(post)를 더미 프린팅(dummy print)하는 것이다. 이는 접촉이 바람직하지 않은 교차점에서, Al 박을 오버러닝하는 것이 비전도성 포스트(non-conductive posts)에 의해 지지되고, 결과적으로 온-템플레이트 금속선을 터치하기 위해 처지지 않는(does not sag)다는 것을 보증한다. 전류는 여전히 거꾸로된 측으로부터 백플레인의 상부까지 끌어질 필요가 있다. 이하는 이의 두 가지 일반적인 도식이다: 첫번째, 다른 측(이후, 랩 어라운드 부스바) 상에 백플레인의 에지 주변에 Al 박을 둘러싸는 것. 이러한 도식을 이용한 위험은, 이후 단계의 일부 동안 랩핑된 박을 보호하는 것의 어려움을 포함한다. 두번째 도식에서, 조금의 스루홀은 드릴링되고, 전류는 언더라잉 박으로부터 이 위치에 접근된다. 이러한 홀을 생성하기 위한 몇 가지 방법이 여기에 개시된다.

[0086] b. 백플레인의 두번째 배열 형태는 임의의 Al 박을 가지지 않는다. 백플레인 어셈블리는 백플레인 물질(거의 폴리머 또는 플라스틱 물질, 또는 가능하게는 유리) 및 Z68 등 물질만으로 이루어진다. 폴리머 또는 플라스틱 물질 시트는, 그것을 통과하는 더욱 많은 홀을 드릴링하기 쉽고/싸고, 얻어지는 태양 전지를 플렉서블하거나 반플렉서블(semi-flexible) 하도록 해주기 때문에(그 결과 더 낮은 비용의 전지의 플렉서블한 모듈 패키징을 가능

하게 할 수 있음) 단단한 유리보다 유용할 수 있다. 폴리머 또는 플라스틱 백플레인을 이용하는 시도는, 유리와 비교하여 실리콘과의 CTE 불일치가 더 높기 때문에(임베딩된 낮은 CTE 섬유 또는 입자로 제조되지 않는다면), 플라스틱을 이용하는 이후 단계가 더 낮은 값으로(예컨대 고작 ~ 150 ℃ 내지 300 ℃) 온도를 캡핑(capping)하는 것을 요구할 수 있는 것이다. 홀은 Z68을 통과하지 않고, 백플레인만을 통과하여 드릴링된다. 이후 웨트 및 드라이 가공 동안, Z68은 커버는 언더라잉 디바이스를 보호한다. 마지막으로, Z68은 개방되고, 모듈 어셈블리는 언더라잉 전지로부터 전류를 직접 끌어오도록 사용된다. 이는, 모듈에 다소 더욱 복잡한 어셈블리 공정을 요구하지만, 전지 비용을 극적으로 싸게 해준다.

[0087] 공정 흐름은 상기 논의된 백플레인 실시예와 유사하지만, Al 박 배열 형태는 남아 있는 공정 흐름에서 설명된다. 백플레인 어셈블리는 셀/템플레이트에 부착되고(도 4), 라미네이팅되고 경화된다. 이후 전지 바운더리 및 분리 바운더리를 정의하기 위해 레이저 트렌칭된다. 이어서, 기계적 분리가 기계적 분리 (MR) 또는 소니케이트 기계적 분리(sonicated mechanical release, SMR)와 같은 이용 가능한 기술을 이용하여 수행된다.

[0088] 분리 후, 템플레이트는 세정되고, 다음 재사용을 위한 에피 및 다공성 실리콘의 재사용을 위해 되돌려진다. 백플레인 어셈블리에 부착되는 TFSS(제2 영구적 캐리어인)는 QMS(또는 다공성 실리콘) 측 상에 세정되고, 텍스처링된다. 일 특정 실시예에서, 이는 KOH/SCD 또는 KOH/IPA 조합과 같은 고온의 KOH 기반의 화학물질을 이용하여 한번에 수행될 수 있다(KOH는 NaOH로 대체될 수 있다). 이후 하나의 경우에 HF/HCl 조합을 이용하여 행해질 수 있는 후 텍스처링 세정이 이어진다. 이어서, TFSS는 (수소화된) SiNx ARC 및 패시베이션층의 증착인 태양이 비치는 측 상의 최종 가공 단계가 취해진다(is taken for its final process step). 백플레인 어셈블리의 존재 때문에, 이 공정의 최대 온도는, 백플레인 물질의 선택에 따라 150 ℃ 내지 300 ℃ 범위일 수 있는 낮은 값으로 제한된다. 만족스러운 패시베이션이 후면 접촉 전지에 대해서 저온에서 수행될 수 있는 방법은 앞선 패시베이션에서 논의되었다. 이는, SiN 전에 박형(예컨대 3 nm 내지 10 nm) 비정질 실리콘(a-Si) 또는 비정질 실리콘 산화물층의 우수한 세정 후 텍스처링 및 증착을 포함할 것이라고만 해도 충분할 것이다. SiN은 바람직하게는, 표면 재조합을 감소시키고 표면으로부터 떨어진 포지티브하게 하전된 소수 캐리어 홀을 격퇴하기 위해 포지티브 전하에 풍부해야 한다.

[0089] 도 4의 공정 흐름의 최종 단계는 백플레인의 이미 존재하는 홀을 통과하여 Z68 물질의 접근 홀(access hole)을 개방하는 것이다. 이는 Al 박으로부터 에미터 및 베이스 전류를 (또는 에미터 및 베이스 전류에) 수직적으로 끌기 위한 것이다. 일 특정 실시예에 있어서, Z68의 스루-접근 홀은 Z68 물질을 통해 연소하는 고온의 솔더 물질을 이용하여 생성하고, 언더라잉 Al 박과 접촉을 만든다. 이어서, 솔더는 모듈 어셈블리에 사용될 수 있다. 다른 실시예에 있어서, Z68 (또는 다른 적합한 봉합재) 물질은, 그것을 끌어올리고 Sn 또는 솔더 합금에 접근점을 개방하는(which pulls it back and opens the access point to Sn or solder alloy) 빠른 방사선(잠재적으로는 IR)에 노출될 수 있다. 또 다른 배열 형태에 있어서, 홀은 Z68에만 또는 유리 및 Z68 둘다에 결국에 레이저를 이용하여 드릴링된다. 또 다른 배열 구조에 있어서, 홀은 백플레인 어셈블리 시에 Z68 및 유리 둘다를 통과하여 드릴링되지만, 언더라잉 디바이스는, 홀의 상부 상의 Z68을 일시적으로 태깅함으로써 또는 단일 측 텍스처링을 이용하여 텍스처 배스로부터 보호된다(is now protected through from the texture bath).

[0090] 도 5는 직접 금속 라이팅 기술(direct metal write techniques)을 이용하는 것을 제외하고 도 4에 묘사되는 것과 동일한 본 발명의 대표적인 선택적 에미터 및 고온 제거 공정 흐름이다(도 3의 공정 옵션 1A1에 대응함). 직접 라이팅 기술은 PVD 금속 증착 및 이후 레이저 금속 분리 단계의 필요성을 제거할 수 있다. 도 4에 도시된 공정 흐름의 변경으로서, PVD 금속 증착 후 레이저 금속 분리는 임의의 수많은 직접 금속 라이팅 기술로 대체될 수 있다. 이들은, 그것에 한정되지 않지만, 하나 이상의 금속 페이스트의 스크린 프린팅, 하나 이상의 금속 기반의 잉크의 잉크젯/에어로졸 프린팅 및 레이저 트랜스퍼 프린팅을 포함할 수 있다. 이러한 직접 금속 라이팅 기술은 이어서 더 높은 온도 어닐링이 이어질 수 있다.

[0091] 도 6 및 도 7은, 각가 도 6 및 7에 설명된 흐름이 전측의 텍스처를 제거함으로써 에피택셜 실리콘 성장 동안 인시투 전면 전계(FSF)를 형성시키는 차이점을 가지는, 도 4 및 도 5에 병행하는 2개의 선택적 에미터 및 고온 제

거 공정 흐름이다. 따라서, 도 6 및 7은 도 3의 흐름 옵션 1A2에 대응한다. FSF의 이점은, 베이스 저항을 감소시키고, 전면 재조합 속도를 감소시킴으로써(감소된 FSRV) Voc를 증가시키는 것을 돕는 것이다. 이를 지지하는 발상은 어떠한 텍스처 흐름도 인시투 도핑된 전면 전계를 보호할 수 없다는 것이다. QMS 제거를 행한 후(전면으로부터 소량의 실리콘 제거), 흐름은 텍스처링을 수행하지 않고 패시베이션으로 직접 이동한다. 텍스처링 또는 광 포획의 기능은 전면 패시베이션 후 추가적 이후 단계에 의해 수행된다. 이러한 단계는 적합한 유전체 또는 금속 입자층을 증착, 일 예로 스프레이 코팅 및 경화를 수반한다.

[0092] 도 6은 PVD 금속 스택 증착을 도시하고, 도 7은 직접 라이팅 금속 기술을 도시한다. 도 6은 텍스처링 없는 공정을 이용하여 수행되는 인시투 전면 전계를 갖는 PVD 금속 증착을 이용하는 공정 흐름을 묘사한다. 광 포획은 전지의 전측 상에 입자성 층을 이용하여 수행된다. 도 7은 도 6에 도시되는 PVD 금속 및 레이저 분리 방법 대신에 직접 금속 라이팅을 묘사한다.

[0093] 도 8은 도 3의 흐름 옵션 1B에 대응하는 공정 흐름의 실시예이다. 이 흐름은, 하나의 차이점, 즉 도 8의 흐름은 고온 제거 대신에 저온 제거(바람직하게는 펄스 ps 레이저를 이용하여)를 사용한다는 것을 제외하고 상기 논의된 변경을 가진 도 1에 설명된 흐름과 유사하다. 후 단계는 최초 온-템플레이트 단계의 약간의 변경이 있는 도 4의 흐름 옵션 1A와 유사하다. 저온 제거의 공정은 템플레이트 상에 몇 가지 단계를 변경할 수 있다. 도시된 바와 같이, 흐름은 에미터 및 베이스 디퓨전 영역을 분리하기 위해 BSG 층의 레이저 제거까지 동일하다. 이 레이저 단계 후 USG/PSG/(USG) 스택(고온 제거 공정의 경우에 사용될 수 있는) 대신에 APCVD USG 층만의 증착이 이어진다. 이어서, USG 층은 인 도핑 개방부를 생성하기 위해서 레이저 제거를 이용하여 제거된다. 이후 PSG/USG (PSG 상부에 USG 캡) 스택 증착이 이어진다. 이제 열적 산화 어닐링 및 드라이브(drive)가 행해진다. 이는, 에미터 접합의 형성, 실리콘에 베이스 도핑의 형성, 열적 산화물로 후면 패시베이션을 보증한다. 다음 단계는 저온 펄스 ps 레이저 제거를 이용하여 에미터 및 베이스 접촉을 개방하는 것이다. 고온 제거와의 차이점은, 저온 펄스 ps 레이저 제거의 경우에, 레이저가 도펀트를 드라이빙할 동시적 부담(concurrent burden of driving the dopant in)을 가지지 않는다는 것이다(이는 고온 어닐링을 이용하여 베이스 및 에미터에 이미 행해졌다). 레이저는 접촉만을 개방하고, 실리콘을 거의 손상시키지 않고 실리콘에서 중단된다. 저온 레이저 제거가 더욱 용이한 제조 공정으로 여겨질 수 있지만, 고온 제거는 적어도 2가지의 이점을 유지한다. 첫째, 단계의 수를 둘로 감소시켜 비용 절감을 제공할 수 있다. 둘째, 에미터/베이스 분리에 베이스 접촉을 얼라인하는 것만이 요구되지만, 저온 제거는 에미터/베이스 분리 영역에 USG 개방 영역을 우선 얼라인한 후 USG 개방 영역에 베이스 접촉을 얼라인하는 것이 요구된다. 제공되는 얼라인먼트 능력 및 접촉 사이즈에 있어서, 저온 제거는 더 넓은 에미터/베이스 분리 영역으로 개시하는 것이 요구될 것이다. 도 8에 도시된 이후 공정 단계는 이전에 묘사된 흐름과 유사하다.

[0094] 도 9A-L은 도 8의 저온 제거의 주요 제조 단계를 묘사하는 단면도이다(도 3의 흐름 옵션 1B에 대응함). 도 9A는 USG/BSG (BSG 상부에 USG 캡) 증착 단계를 도시하고, 도 9B는 USG/BSG 레이저 제거 단계를 도시하고, 도 9C는 USG 증착 단계를 도시하고, 도 9D는 USG/PSG/(USG) 증착 단계를 도시하고, 도 9E는 산화 어닐링/도펀트 드라이브 증착 단계(oxidizing anneal/dopant drive-in deposition step)를 도시하고, 도 9F는 레이저 저온 제거 및 접촉 개방 단계를 도시하고, 도 9G는 PVD Al (또는 Al/NiV/Sn 또는 Al의 아래층 및 적합한 솔더 합금의 윗층을 포함하는 다른 적합한 스택) 증착 단계를 도시하고, 도 9H는 레이저 금속 제거 및 에폭시 프린트 단계를 도시하고, 도 9I는 백플레인 부착 단계를 도시하고, 도 9J는 전지/템플레이트 분리 단계를 나타내고, 도 9K는 QMS (TFSS 상의 다공성 실리콘 잔여물의 나머지) 제거 및 텍스처링 단계를 도시하고, 도 9L은 저온 전면 패시베이션 단계를 도시한다.

[0095] 도 3 공정 흐름 옵션 2: 실리콘 나노 입자 인 기반의 베이스 도핑. 도 10은 실리콘 나노 입자 인 기반의 베이스 도핑 (페이스트 또는 잉크)의 공정 흐름을 설명한다. Al PVD로 개시하는 공정 흐름의 말미 및 템플레이트 세정/다공성 실리콘/에피/APCVD BSG/USG 증착 및 BSG 스택의 레이저 제거로 이루어진 흐름의 전단은 이미 개시되었고, 도 4 및 도 8을 참조한다. 흐름 옵션 2(옵션 2A, 2B 및 2C)의 3가지 기재된 서브 변형 중, 옵션 2A 및 2B는 고온 제거를 이용하고 옵션 2C는 저온 제거를 이용한다. 도 10, 11 및 12는 각각 도 2의 옵션 2A, 2B 및

2C에 대한 공정 흐름을 묘사한다.

[0096] 옵션 2A를 나타내는 도 10은 후 BSG 레이저 제거, 산화 어닐링은 열적 로 어닐링 툴에서 행해지는 것을 도시한다. 이는 다기능적 공정이고, 실리콘으로 BSG에서 보론을 드라이빙함으로써 에미터를 형성하고, 결국 베이스 영역이 되는 패시베이션으로 작용하는, BSG가 제거되는 영역에서 열적 산화층을 형성하는 적어도 이중의 목적을 갖는다. 이후 흐름 옵션 1A에 설명되는 공정과 유사한 선택적 에미터를 형성하기 위해 에미터 영역의 고온 레이저 제거가 이어진다. 동시에 베이스 도핑 접촉의 산화물을 개방하기 위해 베이스 영역에 저온 제거가 사용된다. 이어서, 실리콘 나노 입자 기반의 인 페이스트는 스크린 프린팅되거나, 베이스 개방 영역에 인젝션과 같은 다른 방법을 이용하여 디스펜싱된다. 이어서, 페이스트는 베이스 도핑을 드라이브하도록 어닐링된다. 이후 PVD A1에서 개시되는 옵션 1(그 변형을 모두 함께)과 동일한 공정 흐름이 이어진다.

[0097] 도 11은 2개의 APCVD 툴을 이용하여 고온 제거 및 실리콘 나노 입자 인 페이스트 또는 잉크로 흐름 옵션 2B를 도시한다. 옵션 2B(도 11), 후 BSG 레이저 제거에 있어서, APCVD는 USG를 증착하기 위해 사용되었다(옵션 2A의 열적 산화물 대신에). 이후 에미터의 고온 제거 및 베이스 접촉 개방부의 USG의 저온 제거가 이어진다. 이어서, 스크린 프린팅 또는 인 기반의 실리콘 나노 입자(페이스트 또는 잉크)의 잉크젯이 수행된다. 이후 베이스 접촉 및 선택적 에미터를 형성하기 위해 열적 어닐링이 이어진다. 이후 가공은 흐름 옵션 1에 변형을 가지며 동일할 수 있다.

[0098] 옵션 2C(도 12)는 저온 제거 흐름이다. 도 12는 인 도핑을 위한 실리콘 나노 입자 페이스트로 저온 제거를 이용하는 흐름 옵션 2C를 도시한다. 여기서, 후 BSG 레이저 제거, APCVD는 옵션 2B에서와 같이 USG를 증착하기 위해 사용된다. 그러나, 이후 저온 제거를 이용하여 베이스 및 에미터 접촉 개방이 이어진다. 이어서, 나노 입자 인 페이스트는 베이스 영역에 적용되고(페이스트의 스크린 프린팅 또는 잉크의 잉크젯 프린팅에 의해), 어닐링된다. 어닐링 동작은 에메터를 드라이브하고(drive), 베이스 도핑 영역을 형성한다. 이후 가공은 이전에 개시된 것과 유사할 수 있다.

[0099] 실리콘 나노 입자를 이용하는 모든 옵션에서(도 3에서 흐름 옵션 2), 페이스트는 실리콘 나노 입자 기반이기 때문에, 페이스트가 적용된 후 다시 베이스 접촉을 개방할 필요가 없다는 것을 주의한다. 그 결과, 금속은 경화된 페이스트 상에 직접 놓아질 수 있다(may be put down). 또한, 필요에 따라, 흐름은 PVD A1을 놓기 전에 영역의 개방을 적용하기 위해 변형될 수 있다.

[0100] 도 3의 흐름 옵션 2: 인 페이스트 기반의 베이스 도핑. 여기서 이전 흐름과 비교된 차이점은, 베이스 접촉은 상업적으로 이용 가능한 인 페이스트를 이용하여 형성된다는 점이다. A1 PVD를 포함하고 후 및 BSG 스택의 레이저 제거 전까지 모든 공정 단계는 옵션 1과 동일하게 유지될 수 있다. 각각 도 3의 흐름 옵션 3A, 3B 및 3C에 대응하는 도 13, 14 및 15에 도시되는 3가지 인 페이스트 기반의 베이스 도핑 변형이 있다. 많은 방법에서, 이러한 3가지 서브 옵션은 소수의 차이점을 가지고 이전에 논의된 나노 입자 페이스트에 대해 3가지 서브 옵션을 반영한다. 도 13(흐름 옵션 3A) 및 도 14(흐름 옵션 3B)는 고온 제거를 이용하지만, 도 15(옵션 3C)는 저온 제거 공정을 이용한다. 추가적으로 도 13(흐름 옵션 3A)은 하나의 APCVD를 이용하지만, 도 14(흐름 옵션 3B) 및 도 15(옵션 3C)는 2개의 APCVD 툴을 이용한다.

[0101] 옵션 3A(도 13) 후(post) BSG 제거에 있어서, 흐름 옵션 2A와 유사한 열적 산화물을 이용하여 베이스 영역 패시베이션 및 에미터 형성을 위해 산화 어닐링이 있다. 이어서, 레이저 제거는 흐름 옵션 2A와 다른 저온 제거로 베이스 접촉만을 개방하기 위해 사용된다. 이 단계 후 스크린 프린팅(또는 잉크젯 프린팅과 같은 직접 라이팅을 위한 인 페이스트의 디스펜싱의 임의의 다른 방법) 후, 베이스 접촉 인 디퓨전 영역을 드라이브(drive)하기 위한 어닐링이 이어진다. 이어서, 에미터의 고온 제거 및 베이스 영역의 저온 제거는 선택적 에미터 및 베이스 접촉을 제조하기 위해 수행된다. PVD A1로부터 개시되는 것을 따르는 모든 단계는 이전에 개시되었다.

[0102] 옵션 3B(도 14)는 제거 후 APCVD USG 증착, 이후 베이스 접촉을 개방하기 위해 USG의 펄스 ps 레이저 (또는 저온 제거가 본 발명의 임의의 공정 흐름에 요구되는 경우에 펄스 ps 레이저 대신에 사용될 수 있는 펄스 fs 레이저) 저온 레이저 제거가 이어진다. 옵션 3A에서와 같이, 이후 인 페이스트의 스크린 인쇄 및 에미터 영역 및 인 베이스 접촉의 드라이브 및 어닐링이 이어진다. 이후 인 페이스트를 통해 베이스의 접촉을 재개방하기 위해 베이스의 저온 제거 및 에미터의 고온 제거가 이어진다. 이를 따르는 PVD Al로부터 개시되는 모든 단계는 이전에 개시되었다.

[0103] 옵션 3C(도 15)는, BSG 제거 후 APCVD USG를 사용한다. 이후 베이스 개방부에서 USG의 제거, 이후 인 페이스트의 스크린 프린팅, 이후 에미터, 베이스 도핑 및 패시베이션을 형성하기 위해 산화 어닐링 및/또는 어닐링이 이어진다. 이어서, Al PVD를 개시하는 모든 단계는 이전에 개시되었다.

[0104] 흐름 옵션 4: POCl3 기반의 베이스 도핑. 도 16, 17 및 18은 베이스 도핑에 로 POCl3 (인 옥시클로라이드) 도핑을 이용하여 흐름의 세트이다. 도시된 바와 같이, BSG 레이저 제거를 포함하는 것까지의 모든 단계 및 Al PVD를 포함하고 후의 모든 단계는 이전에 개시된 바와 같을 수 있다. 각각 도 3의 흐름 옵션 4A, 4B 및 4C에 대응하는 도 16, 17 및 18에 도시되는 3가지 POCl3 기반의 베이스 도핑 변형이 있다. 도 16(흐름 옵션 4A) 및 도 17(흐름 옵션 4B)은 고온 제거를 이용하지만, 도 18(옵션 4C)은 저온 제거 공정이다. 추가적으로, 도 16(흐름 옵션 3A)은 하나의 APCVD를 이용하지만, 도 17(흐름 옵션 3B) 및 도 18(옵션 3C)은 두개의 APCVD 툴을 이용한다.

[0105] 옵션 4A(도 16)에서, BSG 스택의 레이저 제거 후 동시에 에미터를 드라이브하고, 베이스 영역에 패시베이팅 열적 산화물을 형성하는 배치로에서 산화 어닐링이 이어진다. 이후 베이스 접촉 디퓨전 영역을 형성하기 위해 POCl3 로 도핑되는 베이스 접촉에 열적 산화물의 저온 제거가 이어진다. 이어서, 고온 제거가 에미터 접촉 개방부에 사용되고, 저온 제거가 베이스 영역의 POCl3-형성된 유리를 통한다(hot ablation is used for emitter contact open, and cold ablation to go through the POCl3-formed glass in the base area). 또한, 백 미러 시각으로부터 바람직할 수 있는 POCl3-형성된 유리 전체를 제거하기 위해 레이저가 사용된다는 것이 가능하다. 이후 이전에 개시된 바와 같이 Al PVD가 이어진다.

[0106] 옵션 4B(도 17)에서, APCVD 산화물은 열적 산화물 어닐링 대신에 증착된다. 이후 베이스 접촉을 형성하기 위해 USG 물질의 저온 레이저 제거가 이어진다. 이후, 베이스 디퓨전의 형성 및 실리콘으로 에미터 영역을 드라이빙에 주의를 기울이는 POCl3 도핑이 이어진다. 이어서, 고온 제거가 에미터 접촉 개방부에 사용되고, POCl3 유리 물질을 통과하고 베이스 접촉을 개방하는데 저온 제거가 사용되는 선택적인 에미터를 형성하기 위해 드라이브(drive)한다. 이후 PVD Al에서 시작하는 표준 공정이 이어진다.

[0107] 옵션 4C(도 18)에서, 열적 산화물 대신에, USG의 APCVD는 POCl3의 블로킹을 형성하기 위해 사용되었다. 이후 베이스 접촉 개방부의 USG의 저온 제거 및 POCl 3 공정이 이어진다. POCl3 공정은 베이스 접촉을 형성할 뿐만 아니라 동시에 에미터를 디퓨전한다. 이후 에미터 및 베이스 접촉 개방부의 저온 제거가 이어진다. 남아 있는 공정 흐름은 전과 같이 유지된다.

[0108] 최소 전지 공정 흐름. 이 부분은 상기 옵션 1과 같이 기재되는 공정 흐름의 변형이 기재된다(베이스 접촉을 제조하기 위해 PSG를 이용하여). 본 변형에서, 몇몇의 단계는 조합되고, CE 프린트 단계는 고효율 후면 접촉 박형 전지를 형성하기 위해 감소된 수의 툴을 이용하기 위해 제거된다. 이러한 최소 단계 흐름의 속성의 정의는, 도전성 에폭시의 스크린 프린팅은 저온 솔더 합금(예컨대 138 ℃ 솔더 용융점을 갖는 58%Bi-42%Sn 또는 140-145 ℃의 용융점을 갖는 Bi-45%Sn-0.33%Ag)을 이용하여 제거되고, 전지 Al 금속/미러의 상부 상에 오버레이어로서 및 금속 핑거 상에 미리 형성된 핀 그리드 어레이를 갖는 백플레인 금속 핑거상에 형성되는 것이다(formed both

as an overlayer on top of the cell Al metal/mirror as well as on the backplane metal fingers with a pre-formed pin grid array on the metal fingers). 백플레인이 전지 상에 얼라인 및 위치되면, 백플레인 핀 그리드 어레이는, 열적 라미네이션 공정 동안 전지에 솔더 부착된다.

[0109] 도 19, 고온 제거 직접 라이팅 공정은, 이하 공지된 성질을 갖는 최소 단계 공정 흐름의 제1 실시예를 묘사한다: 사용되는 2개의 APCVD 공정 단계는 텍스처링 공정을 가지고, 베이스 디퓨전, 레이저를 이용하여 형성되는 선택적 에미터를 형성하기 위해 PSG 및 고온 제거를 사용하고, 스크린 프린트, 잉크젯, 에어로졸 프린트, 레이저 트랜스퍼 프린트 및 CE 스크린 프린트 없이 직접 솔더 결합과 같은 직접 금속 라이팅 공정을 갖는다.

[0110] 도 20, 저온 제거 직접 라이팅 공정은, 최소 공정 흐름의 제2 실시예를 묘사한다. 몇 개의 공정 단계를 제거하기 위해 직접 금속 라이팅 및 솔더 부착의 도 19의 공통 성질을 유지한다. 그러나, 고온 제거에 의존하지 않고, 3가지 APCVD 단계를 갖는다는 점에서 도 19와 다르다.

[0111] 논 에피 벌크 박형 기판 공정 흐름(Non Epi Bulk thin substrate process flows). 이전에, 캐리어 1 실시예의 2가지 형태가 개시된다. 캐리어 1의 제1 형태는 템플레이트를 이용하고, 캐리어의 제2 형태는 수소 이온 주입을 포함하는 이용 가능한 기술을 이용하여 박형 CZ 또는 FZ 슬라이스가 분열 또는 박리되는 두꺼운 웨이퍼 또는 잉곳이다. 이하 부분은, 백플레인 혁신을 이용하는 전지 레벨 공정 흐름과 함께 박형 실리콘 기판을 얻기 위한 웨이퍼 분열 접근법이 기재된다. 양자 주입 기반의 분열(Proton implant based cleaving)은 바람직하게는 드라이 텍스처링을 요구하는 <111> 텍스처링된 기판을 제조한다. 실시예는 초박형 기판(예컨대 수 mm 또는 수 cm 두께의 웨이퍼 또는 브릭과 같은 훨씬 더 두꺼운 재사용 가능한 웨이퍼로부터 분리된/분열된 약 1 ㎛ 내지 80 ㎛ 두께의 기판)의 양자 주입 분열/슬라이싱을 보여준다.

[0112] 도 21은 박형 실리콘을 얻기 위해 웨이퍼 분열 접근법을 이용하는 제1 공정 흐름을 도시한다. 공정 흐름은, 기판을 생성하는데 사용되는 최초 단계를 제외하고 도 4(캐리어 1에 재사용 가능한 템플레이트를 사용하는)에 설명된 흐름 1A1에 평행하다. 이러한 흐름의 특정 성질은: 2개의 APCVD 공정(APCVD PSG 및 고온 레이저 제거를 이용하여 형성되는 베이스 접촉 디퓨전), 인시투 전면 전계 (FSF) 인 도핑을 가지거나 또는 가지지 않는 평면 또는 미리 텍스처링된 템플레이트 상에 수행될 수 있는 전지 전면 텍스처링, 진공 스퍼터링, 진공 증착, 대기 아크(arc)/열 스프레이 코팅 등을 이용하여 수행될 수 있는 금속 증착을 이용한다. 제1 단계는 재사용 가능한 두꺼운 웨이퍼로 시작하는 것이다.

[0113] 도 21에서, 우선 기판 두께를 세팅하는 임플란트 에너지를 가지고, 웨이퍼가 MeV 양자 임플란트가 주입된다. 이러한 기판 생성 단계 이후, 도시되는 단계는, 백플레인 부착 단계까지 도 4에 도시된 흐름과 유사하다. 백플레인 부착 후, 웨이퍼는 임플란트에 의해 생성되는 분열로부터 두꺼운 웨이퍼로부터 분리된다. 이후, 이는 <111> 표면이기 때문에, 레이저 또는 드라이 플라즈마 공정을 이용하여 수행될 수 있는 드라이 텍스처링 공정이 이어진다. 선택적 후 텍스처 세정(post texture clean)은 그 뒤에 수행될 수 있다-재사용 가능한 템플레이트를 이용하는 이전 실시예는 드라이 텍스처 공정을 필수적으로 요구하지 않는다. 도 21에 도시된 바와 같이, 드라이 텍스처링 패시베이션 후 백플레인 접근 단계가 수행된다.

[0114] 도 22 내지 35는 박형 실리콘 전지에 주입 및 분열되는 양자를 이용하여 후면 접촉 박형 결정 태양 전지에 대한 도 21으로 설명되는 공정 흐름의 몇 가지 변형 및 예를 도시한다. 변형들은 템플레이트 공정 흐름 상에 재사용 가능한 PS/에피택셜 TFSS를 이용하여 기재되는 동일한 흐름을 반영한다. 공정 흐름의 4가지 카테고리는 도 3의 흐름 옵션과 유사하다-이러한 4가지 카테고리는 베이스 디퓨전 영역을 생성하기 위해 사용되는 방법의 베이스 상에 서로로부터 구별된다. 도 21의 흐름을 포함하는 첫번째 카테고리는 베이스 디퓨전 영역을 생성하기 위해 PSG 층을 이용한다; 두번째 카테고리는 실리콘 나노 입자를 이용한다; 세번째 카테고리는 인 페이스트를 이용한

다; 네번째 카테고리는 베이스 디퓨전 영역을 생성하기 위해 POCl 공정을 이용한다.

[0115] 도 22 내지 26은 PSG 기반의 도핑 카테고리에 속하는 흐름을 도시한다. 이 공정 흐름의 각각은 이후 직접적으로 리스트되는 하기 성질에 의해 특징화될 수 있다.

[0116] 도 22는 도 3의 흐름 옵션 1A1에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0117] ·재사용 가능한 두꺼운 웨이퍼 또는 브릭 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다(합리적인 양자 주입량으로 분열을 가능하게 하기 위해).

[0118] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0119] ·2개의 APCVD 공정을 사용함

[0120] ·APCVD PSG & 고온 레이저 제거를 이용하여 형성된 베이스 접촉 디퓨전

[0121] ·전지 전면 텍스처링을 포함함

[0122] ·인시투 전면 전계 (FSF) 인 도핑을 하거나 하지 않고 평면 또는 미리 텍스처링된 템플레이트 상에 수행될 수 있음

[0123] ·맞물려진 전지 금속(예컨대 Al 또는 Al/Sn 또는 Al/NiV/Sn) 핑거에 직접 라이팅 공정을 이용하지만 흐름 1A1과 동일함

[0124] ·금속 증착은 스크린 프린팅, 레이저 트랜스퍼 프린팅, 잉크젯 프린팅, 에어로졸 프린팅과 같은 직접 라이팅 공정을 이용하여 수행될 수 있다.

[0125] 도 23은 도 3의 흐름 옵션 1A2에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0126] ·재사용 가능한 두꺼운 웨이퍼 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다.

[0127] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0128] ·2개의 APCVD 공정을 사용함

[0129] ·APCVD PSG & 고온 레이저 제거를 이용하여 형성된 베이스 접촉 디퓨전

[0130] ·전지 전면 텍스처링 없음(텍스처 없는)-대신 입자성 물질의 광 포획 층을 코팅함으로써 광 포획이 도와진다(예컨대 유전체 또는 금속성 입자성 물질)

[0131] ·전면 전계 (FSF) 인 도핑을 포함함

[0132] ·금속 증착은 플라즈마 스퍼터링, 진공 증착, 대기 아크/열적 스프레이 코팅 등을 이용하여 수행될 수 있다.

[0133] 도 24는 도 3의 흐름 옵션 1A2에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0134] ·재사용 가능한 두꺼운 웨이퍼 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다.

[0135] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0136] ·2개의 APCVD 공정을 사용함

[0137] ·APCVD PSG 및 고온 레이저 제거를 이용하여 형성된 베이스 접촉 디퓨전

[0138] ·전지 전면 텍스처링 없음(텍스처 없는)-대신 입자성 물질의 광 포획 층을 코팅함으로써 광 포획이 도와진다(예컨대 유전체 또는 금속성 입자성 물질)

[0139] ·전면 전계 (FSF) 인 도핑을 포함함

[0140] ·금속 증착은 스크린 프린팅, 레이저 트랜스퍼 프린팅, 잉크젯 프린팅, 에어로졸 프린팅 등과 같은 직접 라이팅 공정을 이용하여 수행될 수 있다.

[0141] 도 25는 도 3의 흐름 옵션 1B에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0142] ·재사용 가능한 두꺼운 웨이퍼 또는 브릭 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다.

[0143] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0144] ·3개의 APCVD 공정을 사용함

[0145] ·APCVD PSG 및 로 어닐링을 이용하여 형성된 베이스 접촉 디퓨전

[0146] ·금속 증착은 플라즈마 스퍼터링, 진공 증착, 대기 아크/열적 스프레이 코팅 등을 이용하여 수행될 수 있다.

[0147] 도 26은 도 3의 흐름 옵션 1B에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0148] ·재사용 가능한 두꺼운 웨이퍼 또는 브릭 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다.

[0149] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0150] ·3개의 APCVD 공정을 사용함

[0151] ·APCVD PSG 및 로 어닐링을 이용하여 형성된 베이스 접촉 디퓨전

[0152] ·금속 증착은 레이저 트랜스퍼 프린팅, 잉크젯 프린팅, 에어로졸 프린팅 등과 같은 직접 라이팅 공정을 이용하여 수행될 수 있다.

[0153] 도 27은 도 3의 흐름 옵션 2A에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0154] ·재사용 가능한 두꺼운 웨이퍼 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다.

[0155] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0156] ·하나의 APCVD 공정 단계만을 사용함

[0157] ·스크린 프린팅 또는 잉크젯 프린팅된 실리콘 나노 입자 인 페이스트를 이용하여 형성된 베이스 접촉 디퓨전

[0158] 도 28은 도 3의 흐름 옵션 2B에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0159] ·재사용 가능한 두꺼운 웨이퍼 또는 브릭 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다.

[0160] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0161] ·2개의 APCVD 공정 단계를 사용함

[0162] · 스크린 프린팅 또는 잉크젯 프린팅된 실리콘 나노 입자 인 페이스트를 이용하여 형성된 베이스 접촉 디퓨전

[0163] 도 29는 도 3의 흐름 옵션 2C에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0164] · 재사용 가능한 두꺼운 웨이퍼 또는 브릭 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다.

[0165] · 고온 제거 공정이 없고 선택적 에미터가 없음

[0166] · 2개의 APCVD 공정 단계를 사용함

[0167] · 스크린 프린팅 또는 잉크젯 프린팅된 실리콘 나노 입자 인 페이스트를 이용하여 형성된 베이스 접촉 디퓨전

[0168] 도 30은 도 3의 흐름 옵션 3A에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0169] · 재사용 가능한 두꺼운 웨이퍼 또는 브릭 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다.

[0170] · 추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0171] · 하나의 APCVD 공정 단계만을 사용함

[0172] · 표준 시판의 인 페이스트를 이용하여 형성된 베이스 접촉 디퓨전(예컨대 스크린 프린팅에 의해 적용된)

[0173] 도 31은 도 3의 흐름 옵션 3B에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0174] · 재사용 가능한 두꺼운 웨이퍼 또는 브릭 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다.

[0175] · 추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0176] · 2개의 APCVD 공정 단계를 사용함

[0177] · 표준 시판의 인 페이스트를 이용하여 형성된 베이스 접촉 디퓨전(예컨대 스크린 프린팅에 의해 적용된)

[0178] 도 32는 도 3의 흐름 옵션 3C에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0179] · 재사용 가능한 두꺼운 웨이퍼 또는 브릭 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다.

[0180] · 고온 제거 공정이 없고 선택적 에미터가 없음

[0181] · 2개의 APCVD 공정 단계를 사용함

[0182] · 표준 시판의 인 페이스트를 이용하여 형성된 베이스 접촉 디퓨전(예컨대 스크린 프린팅에 의해 적용된)

[0183] 도 33은 도 3의 흐름 옵션 4A에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0184] · 재사용 가능한 두꺼운 웨이퍼 또는 브릭 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다.

[0185] · 추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0186] ·하나의 APCVD 공정 단계만을 사용함

[0187] ·$POCl_3$로 도핑을 이용하여 형성된 베이스 접촉 디퓨전

[0188] 도 34는 도 3의 흐름 옵션 4B에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0189] ·재사용 가능한 두꺼운 웨이퍼 또는 브릭 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다.

[0190] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0191] ·2개의 APCVD 공정 단계를 사용함

[0192] ·$POCl_3$로 도핑을 이용하여 형성된 베이스 접촉 디퓨전

[0193] 도 35는 도 3의 흐름 옵션 4C에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0194] ·재사용 가능한 두꺼운 웨이퍼 또는 브릭 또는 잉곳 피스로부터 슬라이싱/분열됨으로써 형성되는 박형 기판(예컨대 MeV 양자 임플란트 후); 박형 기판은 일반적으로 드라이 레이저 또는 플라즈마 텍스처링을 필요로 하는 (111) 배향된 기판이다.

[0195] ·고온 제거 공정이 없고 선택적 에미터가 없음

[0196] ·2개의 APCVD 공정 단계를 사용함

[0197] ·$POCl_3$로 도핑을 이용하여 형성된 베이스 접촉 디퓨전

[0198] 백플레인 기술을 이용하여 벌크 CZ 및 FZ을 위한 특정 공정 흐름. 흐름의 이 카테고리에서, 백플레인 기술을 이용하는 벌크 CZ(Czochralski) 및 FZ(Float Zone) 웨이퍼에 대한 대표적인 후면 접촉/후면 접합 공정 흐름이 설명된다. 구별 요소들 중에서 백플레인의 삽입 및 직접 패턴 정의를 위한 피코세컨 레이저 공정의 광범위한 사용도 포함한다. 명확히 언급하지 않지만, 바람직하다면, 백플레인 기술은, 매우 높은 수명을 주지 않을 수 있는 저렴한 벌크 웨이퍼가 소망되는 경우에 유용할 수 있는 더 얇은 전지 흡수체를 형성하기 위해 에칭에 의해 이들을 박육화 하기 위한 벌크 FZ 및 CZ 웨이퍼 상에 사용될 수 있다. 또한, 더 저렴하고, 상대적으로 더 낮은 수명 웨이퍼는 p형 벌크 도핑일 수 있다. 묘사되는 공정 흐름 전체는 n형 베이스(벌크) 도핑인 바람직한 도핑을 이용하는 웨이퍼의 예이다.

[0199] 흐름의 5가지 카테고리가 이하에 설명된다-각각의 카테고리는 2개의 서브 카테고리를 갖는다. 서브카테고리는 전지 상에 금속을 증착 및 패터닝하기 위해 사용되는 방법으로 구별된다. 본 명세서에서 이전에 기재된 흐름과 동일한 첫번째 서브-카테고리에 있어서, 레이저 기반 분리 공정과 함께 PVD가 패터닝된 베이스 및 에미터 금속을 얻기 위해 사용되었다. 두번째 서브-카테고리에 있어서, 직접 패터닝된 금속 라이팅 기술은 PVD/레이저 분리 단계 대신에 사용된다. 5개의 주요 카테고리의 전체 공정 흐름은 도면 및 상세한 설명에 설명된다; 그러나, 카테고리가 이하 특성에 따라 정의될 수 있다:

[0200] CZ/FZ 옵션 I: 텍스처링 전에 형성되는 PSG 기반의 전면 전계 (FSF).

[0201] CZ/FZ 옵션 II: 텍스처링 전에 형성되는 POCl3 기반의 FSF. 이 공정은 POCl3 유리 디글레이즈(deglaze) 단계가 없다.

[0202] CZ/FZ 옵션 III: POCl3 유리 디글레이즈를 갖는 POCl3 기반의 FSF.

[0203] CZ/FZ 옵션 IV: 텍스처링 후 형성된 PSG 기반의 FSF.

[0204] CZ/FZ 옵션 V: FSF가 없음.

[0205] 도 36은 CZ/FZ 옵션 I에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0206] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0207] ·분리된 베이스-에미터 접합

[0208] ·2개의 APCVD 공정 단계를 사용함

[0209] ·APCVD PSG & 고온 레이저 제거를 이용하여 형성된 베이스 접촉 디퓨전

[0210] ·전측 FSF에 사용되는 APCVD PSG 및 후측 베이스 접촉 디퓨전

[0211] ·미리 텍스처 FSF 형성

[0212] ·인라인 백플레인 부착

[0213] ·금속 증착은 플라즈마 스퍼터링, 진공 증착, 대기 아크/열적 스프레이 코팅 등을 이용하여 수행될 수 있다.

[0214] 도 37은 CZ/FZ 옵션 I에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0215] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0216] ·분리된 베이스-에미터 접합

[0217] ·2개의 APCVD 공정 단계를 사용함

[0218] ·APCVD PSG & 고온 레이저 제거를 이용하여 형성된 베이스 접촉 디퓨전

[0219] ·전측 FSF에 사용되는 APCVD PSG 및 후측 베이스 접촉 디퓨전

[0220] ·미리 텍스처 FSF 형성

[0221] ·인라인 백플레인 부착

[0222] ·금속 증착은 레이저 트랜스퍼 프린팅, 잉크젯 프린팅, 에어로졸 프린팅 등과 같은 직접 라이팅 공정을 이용하여 수행될 수 있다.

[0223] 도 38은 CZ/FZ 옵션 II에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0224] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0225] ·분리된 베이스-에미터 접합

[0226] ·2개의 APCVD 공정을 사용함

[0227] ·APCVD PSG & 고온 레이저 제거를 이용하여 형성된 베이스 접촉 디퓨전

[0228] ·후측 베이스 접촉 디퓨전만을 위해 사용되는 APCVD PSG

[0229] ·동시 또는 순차적으로 어닐링 및 산화하기 위해 사용되는 POCl3-튜브-기반의 어닐링

[0230] ·POCl3 유리 디글레이즈 없음

[0231] ·미리 텍스처 FSF 형성

[0232] ·금속 증착은 진공 스퍼터링, 진공 증착, 대기 아크/열적 스프레이 코팅 등을 이용하여 수행될 수 있다.

[0233] 도 39는 금속에 대해 직접 라이팅하는 것을 제외하고는 도 38과 주요 성질이 유사한 CZ/FZ 옵션 II에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0234] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0235] ·분리된 베이스-에미터 접합

[0236] ·2개의 APCVD 공정을 사용함

[0237] ·APCVD PSG 및 고온 레이저 제거를 이용하여 형성된 베이스 접촉 디퓨전

[0238] ·후측 베이스 접촉 디퓨전만을 위해 사용되는 APCVD PSG

[0239] ·동시 또는 순차적으로 어닐링 및 산화하기 위해 사용되는 POCl3-기반의 로 어닐링

[0240] ·POCl3 유리 디글레이즈 없음

[0241] ·미리 텍스처 FSF 형성

[0242] ·금속 증착은 스크린 프린팅, 레이저 트랜스퍼 프린팅, 잉크젯 프린팅, 에어로졸 프린팅 등과 같은 직접 라이팅 공정을 이용하여 수행될 수 있다.

[0243] 도 40은 CZ/FZ 옵션 III에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0244] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0245] ·분리된 베이스-에미터 접합

[0246] ·2개의 APCVD 공정을 사용함

[0247] ·APCVD PSG 및 고온 레이저 제거를 이용하여 형성된 베이스 접촉 디퓨전

[0248] ·후측 베이스 접촉 디퓨전만을 위해 사용되는 APCVD PSG

[0249] ·동시 또는 순차적으로 어닐링 및 산화하기 위해 사용되는 POCl3-기반의 로 어닐링

[0250] ·POCl3 유리 디글레이즈 있음

[0251] ·미리 텍스처 FSF 형성

[0252] ·금속 증착은 플라즈마 스퍼터링, 진공 증착, 대기 아크/열적 스프레이 코팅 등을 이용하여 수행될 수 있다.

[0253] 도 41은 CZ/FZ 옵션 III에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0254] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0255] ·분리된 베이스-에미터 접합

[0256] ·2개의 APCVD 공정을 사용함

[0257] ·APCVD PSG 및 고온 레이저 제거를 이용하여 형성된 베이스 접촉 디퓨전

[0258] ·후측 베이스 접촉 디퓨전만을 위해 사용되는 APCVD PSG

[0259] ·동시 또는 순차적으로 어닐링 및 산화하기 위해 사용되는 POCl3-기반의 로 어닐링

[0260] ·POCl3 유리 디글레이즈 있음

[0261] ·미리 텍스처 FSF 형성

[0262] ·금속 증착은 스크린 프린팅, 레이저 트랜스퍼 프린팅, 잉크젯 프린팅, 에어로졸 프린팅 등과 같은 직접 라이팅 공정을 이용하여 수행될 수 있다.

[0263] 도 42는 CZ/FZ 옵션 IV에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0264] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0265] ·분리된 베이스-에미터 접합

[0266] ·2개의 APCVD 공정을 사용함

[0267] ·APCVD PSG 및 고온 레이저 제거를 이용하여 형성된 베이스 접촉 디퓨전

[0268] ·전측 FSF에 사용되는 APCVD PSG 및 후측 베이스 접촉 디퓨전

[0269] ·포스트-텍스처(Post-texture) FSF 형성

[0270] ·금속 증착은 플라즈마 스퍼터링, 진공 증착, 대기 아크/열적 스프레이 코팅 등을 이용하여 수행될 수 있다.

[0271] 도 43은 CZ/FZ 옵션 IV에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0272] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0273] ·분리된 베이스-에미터 접합

[0274] ·2개의 APCVD 공정을 사용함

[0275] ·APCVD PSG 및 고온 레이저 제거를 이용하여 형성된 베이스 접촉 디퓨전

[0276] ·전측 FSF에 사용되는 APCVD PSG 및 후측 베이스 접촉 디퓨전

[0277] ·포스트-텍스처 FSF 형성

[0278] ·금속 증착은 스크린 프린팅, 레이저 트랜스퍼 프린팅, 잉크젯 프린팅, 에어로졸 프린팅 등과 같은 직접 라이팅 공정을 이용하여 수행될 수 있다.

[0279] 도 44는 CZ/FZ 옵션 V에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0280] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0281] ·분리된 베이스-에미터 접합

[0282] ·2개의 APCVD 공정을 사용함

[0283] ·APCVD PSG 및 고온 레이저 제거를 이용하여 형성된 베이스 접촉 디퓨전

[0284] ·후측 베이스 접촉 디퓨전을 위해 사용되는 APCVD PSG

[0285] ·FSF 없음

[0286] ·금속 증착은 플라즈마 스퍼터링, 진공 증착, 대기 아크/열적 스프레이 코팅 등을 이용하여 수행될 수 있다.

[0287] 도 45는 CZ/FZ 옵션 V에 대응하고, 이하 성질에 의해 특징화될 수 있다:

[0288] ·추가적인 공정 단계 없이 선택적 에미터 포함함(고온 제거 공정을 이용하여)

[0289] ·분리된 베이스-에미터 접합

[0290] ·2개의 APCVD 공정을 사용함

[0291] ·APCVD PSG 및 고온 레이저 제거를 이용하여 형성된 베이스 접촉 디퓨전

[0292] ·후측 베이스 접촉 디퓨전을 위해 사용되는 APCVD PSG

[0293] ·FSF 없음

[0294] ·금속 증착은 스크린 프린팅, 레이저 트랜스퍼 프린팅, 잉크젯 프린팅, 에어로졸 프린팅 등과 같은 직접 라이팅 공정을 이용하여 수행될 수 있다.

[0295] 도 3에 설명되는 흐름 패밀리 1B 이외에, 추가적인 저온 펄스 ps (또는 fs) 레이저 제거 단계와 함께, 2개의 분리 BSG 층 증착의 이용에 의해 후측 상에 선택적 에미터 구조체를 생성하는 것도 가능하고 바람직하다. APCVD 층 및 레이저 제거를 이용하는 이러한 선택적 에미터 구조체는, 에피택셜 증착된 막으로부터, CZ 웨이퍼로부터, MeV 주입 및 스플릿팅과 같은 고에너지를 이용하여 분열되는 것과 같은 달리 가공되는 흡수층으로부터 생성된 흡수층 상에 있게 되는(be they on absorber layers generated from epitaxially deposited films, from CZ wafer or from otherwise processed absorber layers such as those cleaved using high energy such as MeV implantation and splitting), 이전에 기재된 구조체 및 흐름 전체의 변형으로서 적용 가능하다. 도 46은 추가적인 BSG 층 및 피코세컨 레이저 제거 패터닝을 이용하여 선택적 에미터 구조체(더 가벼운 에미터 접합 도핑 및 더 무거운 에미터 접촉 도핑 농도를 가진)를 생성하기 위해 전지 공정 흐름을 도시한다. 도 47은 도 46의 흐름으로부터 얻어지는 전지 구조체의 단면도를 나타내는 도식이고, 상기 전지는 다양한 디퓨전 시트 저항을 갖는 2개의 BSG 증착에 의해 형성되는 선택적 에미터를 함유한다.

[0296] 도 46에 도시된 바와 같이, 세정된 템플레이트로 개시되는 다공성 실리콘 이중층 또는 층 구조가 형성된다. 가볍게 n형 도핑된 에피택셜막(일반적으로 약 $5x10^{14}$ cm^{-3} 내지 $1x10^{18}$ cm^{-3}의 범위의 인시투 베이스 도핑, 약 5 ㎛ 내지 100 ㎛의 두께)이 증착된다. 베이스 인 도핑 농도는 에피택셜 성장 공정 동안 미리 구체화된 프로파일에 기반하여 변경될 수 있다(바람직하게는 약 $5x10^{14}$ cm^{-3} 내지 $1x10^{18}$ cm^{-3}의 범위). 이전에 설명한 바와 같이, 도핑은 예컨대 높은 Voc(높은 소수 캐리어 수명) 및 높은 충전율(감소된 기생 베이스 저항(parasitic base resistance))을 달성하기 위해 최적화된 도핑을 시행하도록 하나 이상의 도핑 레벨을 이용하여 선택적으로 수행된다. 이러한 최적화된 도핑은 장치의 태양이 비치는 측에 근접하여 더 높은 도핑이 시행되는 전면 전계로 이루어질 수 있다. 그러나, 다른 효과로부터지만, 결국 우수한 전면 재조합 속도를 야기할 수 있는 체제로 더 낮은 도핑을 갖는 것이 유리할 수도 있다(it may also be advantageous to have a lower doping in that regime, which in turn can also lead to a better front surface recombination velocity but from a different effect). 이 효과는 계면 상태의 밴드 위치에 대하여 표면에서의 밴드 라인업(band lineup)에 기인한 것으로 알려져 있고, 이러한 계면 상태가 덜 심하게 해준다.

[0297] 에피택셜 실리콘층 증착 후, 제1 BSG 층은, 후면 영역의 벌크에 가볍게 도핑된 에미터를 이후에 제공하기 위해 약간 낮은 농도의 보론으로 증착된다. 이 공정 후, 에미터 접촉이 형성될 영역의 레이저 제거(바람직하게는 피코세컨 레이저)가 이어진다. 이러한 그리고 이후의 구조화 공정은 구조 전체에 걸쳐 평행선을 유리하게 함유할 수 있다. 에미터 접촉 및 베이스 접촉 영역은 다른 맞물려진 패턴으로 얼라인된다. 소정의 영역에서, 즉 이후의 공정에서 부스바가 금속 2 층 상에 위치되는(제2 금속 증착) 영역에서, 선형, 평행한, 맞물려진 베이스 및 에미터 접촉 패턴으로부터 빗나가는 것이 유리할 수 있다. 이러한 빗나감(deviation)은 각각의 부스바 하에서 경험되는 것과는 다른 전기적 셰이딩을 과감하게 저감하기 위해 적용된다. 이어서, 제2 BSG 층은 높게 도핑된 에미터 접촉 영역(예컨대 p++ 도핑을 갖는)을 제공하는 것과 같은 상대적으로 높은 농도의 보론으로 증착된다. 이어서, 베이스 접촉의 영역은 바람직하게는 피코세컨 레이저를 이용하여 레이저 제거된다. 이어서, PSG 층은 인 도핑된 베이스 접촉에 전구체로서 작용하기 위해 증착된다. 이어서, 도펀트는, 선택적으로 질소와 같은 중성 주변(neutral ambient), 선택적으로 그 후에 산소 또는 증기와 같은 산화 주변(oxidizing ambient)을 함유할 수 있는(또한, 선택적으로 이후 더 낮은 온도의 게더링 및 최종 포밍 가스의 어닐링을 포함하는) 다기능 고온 공정 단계 동안 드라이빙된다. 접합은 이제 드라이빙된다. 이어서 바람직하게는 피코세컨 레이저를 이용하여 접촉 영역에 레이저 제거에 의해 접촉이 제조될 수 있다. 이어서, 금속 1(전지 가장 가까이에 위치된 금속 및 증착된 제1 금속)은 예컨대 Al, Ni 또는 NiV 및 Sn의 스택의 PVD를 이용, 이후 예컨대 피코세컨 레이저 제거를 이용하여 패터닝하거나, 또는 알루미늄 함유 페이스의 하나 이상의 층을 스크린 프린팅, 에어로졸 프린팅, 잉크젯 또는 다른 프린팅함으로써 증착 및 구조화된다. 알루미늄 페이스트는, 이후 어닐링 동안 접합으로 스파이킹을 줄이기 위한 제1층 일부 실리콘 또는 다른 스파이크 저감제를 함유하도록 선택될 수 있다. 금속 1의 구조체의 결과이기도한(also attributed to the structure of metal 1) 제2층에서, 페이스트 또는 잉크는, 금속 1과 금속 2 사이에 접촉을 만들기 위해 적용되는 이후 비아 접근 홀 드릴링(the later via access hole drilling)과 잘 조화를 이루도록 적합한 그레인(grain) 구조를 함유하기 위해 선택될 수 있다. 다른 선택 조건은 금속 1 (M1) 내에 낮은 선 저항을 갖기 위한 최적하된 도전성이다. 특히 더 낮은 잉크 또는 페이스트(lower ink or paste)에 있어서, 베이스 및 에미터에 낮은 접촉 저항을 위해 옳은 페이스트를 선택하는 것은 중요하다.

필요하다면, 다른 금속 물질도 함유하는 다른 페이스트 또는 잉크는 에미터 접촉 디퓨전에 대한 베이스 접촉 디퓨전으로 접촉을 만들기 위해 적용될 수 있다. 예컨대, 최초 금속 1층은, 접촉 영역에 국부적으로 증착되고, 바람직하게는 셀프 제한 공정(self limiting process)으로 가열에 의해 규화물로 변형될 수 있는 니켈 잉크와 같은 잉크의 박층일 수 있다. 그러나, 금속 1의 이후 층은 형성되는 대표적인 규화물의 가장 낮은 저항률 상(lowest resistivity phase)을 제공하기 위해 충분히 낮은 온도에서 처리된다. 이후 비아 접근 홀 레이저 드릴링에 우수한 공정 윈도우(process window)를 가능하게 하면서, 동시에 금속 1 소모(두께) 및 전지 당 비용을 억제하기 위해, 고안된 비아 홀 영역 아래에 알루미늄 금속 페이스트 패드를 국부적으로 더 두껍게 프린팅하지만, 연속 또는 세그먼트화된 핑거를 형성하기 위해 전지 상의 다른 곳에서 알루미늄 페이스트를 더 얇게 프린팅하는 것이 바람직할 수 있다는 것에 주목해야 한다. 이러한 디자인은, 예컨대 비아홀의 영역에 추가적인 금속 페이스 물질을 프린팅함으로써(그 결과 금속 페이스트의 이중 스크린 프린팅), 또는 우수한 얼라인먼트 내성을 위해 비아홀의 영역에 선 폭을 증가시킴으로써, 또는 이둘을 조합함으로써 형성될 수 있다.

[0298] 본 발명에 기재된 모든 흐름 및 구조체들은 다른 실시예에서, PVD 후 피코세컨 (또는 fs) 레이저 제거 패터닝은 금속 1 증착을 위한 방법과 같이 명확하게 언급되지 않지만, 잉크젯, 에어로졸 또는 스크린 프린팅과 같은 금속 1 페이스트에 프린팅 공정을 이용할 수 있다는 것에 주목해야 한다. 페이스트 또는 잉크 프린팅 이후에, 페이스트 또는 잉크는 적합하게 베이킹 또는 어닐링될 수 있다. 이어서, 백플레인은, 예컨대 그것에 한정되지 않지만 적합한 낮은-CTE 프리프레그 물질의 라미네이션, 또는 백플레인의 라미네이션 전제 표면을 수평화를 위해 선택적으로 금속 1 스페이스들 사이에서 다른 접착 필러의 UV 조사와 같은 열 또는 조사 처리 및 제1 스크린 프린팅에 의해 접착될 수 있다. 이러한 추가적인 접착제가 사용되는 경우에, 프리프레그와 같은 백플레인 물질은 나중에 상대적으로 평면화된 표면 구조체에 라미네이팅될 수 있다.

[0299] 프리프레그와 같은 라미네이션 물질은 템플레이트 측 치수보다 각 측 상에 예컨대 몇 밀리미터의 범위로 더 작아질 수 있다. 예컨대, 표준화된 156 ㎜ x156 ㎜ 최종 전지에 있어서, 예컨대 약 158 ㎜ x158 ㎜ 커진 라미네이션 물질, 예컨대 약 165 ㎜ x165 ㎜ 커진 템플레이트를 갖는 것이 유용할 수 있다.

[0300] 라미네이션 후, 라미네이션 외측 영역에서, 실리콘의 제거된 트랜치는 레이저, 바람직하게는 나노세컨 UV 레이저, 또는 다르게 적용한 열 레이저 분리, 국부적으로 영역이 이동하는 레이저 빔을 이용하여 가열되고, 이어서 미스트, 물 또는 헬륨과 같은 다른 냉각재의 트레일링 제트를 이용하여 냉각되어, 다공성 실리콘에 의해 형성되고, 에피택셜층과 템플레이트 사이 계면에서 분리층의 영역에 종결될 수 있는 분열 전면을 형성하는 공정으로 에피택셜 막을 통해 부분적으로 또는 전체적으로 커팅될 수 있다.

[0301] 이러한 제조 후, 라미네이팅된 강화 박막 태양 기판(TFSS)은 바람직하게는, 풀링 공정, 필링 공정, 풀-필링 공정(pull-peeling process)에 의해 또는 초음파 배스에서 TFSS 및 템플레이트 스택을 침지하거나 또는 스택의 양측에 진공을 가할 능력을 가진 드라이 분리 스테이션(dry release station)에 초음파 에너지를 가함으로써 또는 진공 진동에 의해 또는 이들의 조합에 의한 것과 같은 초음파의 지지를 통해, 템플레이트로부터 분리될 수 있다. TFSS의 분리 후, 남아 있는 템플레이트는, 활성 분리된 영역의 외부 영역은 그라인딩에 의해, 물 또는 다른 액체 압력의 사용에 의해, 화학적 제거에 의해 또는 상기 조합에 의해 남아 있는 에피택셜 물질이 박리되는 공정을 겪는다. 이어서, 템플레이트는 세정되고, 조사된 후 다공성 실리콘 형성의 다른 라운드(round), 에피택셜 막 증착 등을 위해 순환으로 피드백된다.

[0302] 그 후, 분리된 TFSS는, 바람직하게는 하나 이상의 몇가지 레이저, 예컨대 UV 또는 녹색 나노세컨 레이저를 이용하여 치수를 변경하도록 트리밍된다. 또한, 이러한 치수를 변경하도록 트리밍하는 것은, 디바이스의 외부로부터 마이크로크랙의 확대의 경향이 덜한 구조체를 제조하기 위해 에지 바운더리의 내부에 부분적 제거 트랜치를 함유할 수 있다. 트리밍 후, TFSS는, 예컨대 KOH와 적합한 첨가제와 같은 알칼리성 텍스처 화학물질을 이용하여 텍스처링되고, 그 후 예컨대 HF 및 HCl을 이용하여 후 텍스처 세정 및 소수성 표면(예컨대 HF-지속 세정 단계를 이용하여)으로 피니싱이 이어진다. 이어서, TFSS는 예컨대 a-Si 또는 a-SiOx의 증착에 의해 전측 패시베이션, 그 후 바람직하게는 PECVD를 이용하여 수행되는, 실리콘 나이트라이드(SiN)와 같은 ARC 층 증착을 받는다

(receive).

[0303] 또한, 실리콘 나이트라이드는, 베이스 소수 캐리어를 격퇴하도록 포지티브 전하 및 수소를 제공함으로써 전측 패시베이션에 기여한다. 증착 동안 또는 선의 끝과 같은 나중 단계에서, 패시베이션층 및 계면은, 패시베이션을 개선하기 위해 예컨대 포밍 가스 또는 중성 주변 또는 진공에서 어닐링될 수 있다. 이러한 어닐링은, 약 200 ℃에서 백플레인 물질에 의해 허용 가능하고, 비정질 실리콘(또는 실리콘 산화물)의 결정화가 없는 것으로 보증하고, 마이크로크랙이 없이 형성되는 것을 보증하는 최대 온도까지의 온도 범위에서 수행될 수 있다. 최대 허용 가능한 온도는 약 300 ℃ 내지 350 ℃ 만큼 높을 수 있다.

[0304] 이어서, 웨이퍼의 후측은 바람직하게는 CO2 레이저를 이용하여 드릴링된 및 금속 1 층의 내부 또는 그 위에 정지한 비아홀을 받는다(receives via holes, preferably drilled using a CO2 laser and stopping on or just inside the metal 1 layer). 이어서, 금속 2 증착은, 금속 1에 수직으로 배열될 수 있도록 적용된다. 금속 2의 일부에 바람직하다면 부스바 영역은 제외이다. 상술한 바와 같이, 부스바 아래에, 금속 1 핑거 및 에미터 및 베이스 영역은, 부스바 영역으로부터 전체 전기적 세이딩을 최소화하기 위해 바람직하게는 다르게 배열된다.

[0305] 금속 2 증착 전에, 접촉의 표면 세정은, 예컨대 대기보다 낮은 또는 대기 플라즈마 에칭 또는 본래 산화물을 제거하도록 클린업(cleanup)이 적용될 수 있다. 금속 2 어플리케이션에서, 상술된 바와 같은 다양한 기술은, 레지스트 프린트, Cu 및 Sn의 도금, 레지스트 스트립 및 국부적 시드층 에칭 또는 프린팅된 니켈 잉크 또는 페이스트(또는 구리 잉크 또는 페이스트)와 같은 패터닝되거나 패터닝되지 않은 프린팅된 시드층을 이용하여 나중에 패터닝되는 PVD 시드를 포함하여 적용된 후, 적합한 베이킹 및 이후 구리 도금될 수 있다. 또는, 금속 2층은 Al, Al 및 Zn, 또는 Cu 또는 Cu 후 Sn의 플레임 스프레잉과 같은 열적 스프레잉을 이용하여 적용될 수 있다. 열적 스프레잉은 인 라인 또는 주기적으로 세정되는 패터닝된 마스크를 통해 수행될 수 있다.

[0306] 금속 2층의 치수는, 영역 접근이 주로 더 작은 치수의 금속 1층에 의해 수행되기 때문에 완화될 수 있고(may be relaxed), 금속 2층은 금속 1에 수직으로 배열된다. 라미네이팅된 백플레인은 다른 기능들(예컨대 영구적 지지체 및 보강재) 및 두 층 (M1 및 M2) 사이에 접근을 제공하는 비아 홀에 매트릭스를 제공하도록 및 금속 1과 금속 2 층 사이에 분리된 유전체의 기능들 중에 제공한다(serves among other functions(such as permanent support and reinforcement) also that of the isolating dielectric between metal 1 and metal 2 layers and to provide the matrix for the via holes which provide access between the two layers (M1 and M2)). 도 47의 전지의 예시적인 두께 치수는 이하를 포함한다: 에피택셜 Si ~10 내지 50 ㎛, 후측 패시베이션 산화물 50 내지 250nm, 백플레인(프리프레그, 양극산화된 Al 합금 또는 산화된 야금학적 등급 실리콘: mg-Si) ~150 내지 500 ㎛, 스퍼터링된 (PVD) Al 또는 프린팅된 (AlSi, Al) 접촉/미러 ~50 내지 250 nm, 도금된 Ni (상부 및 하부) ~100 내지 500 nm, 도금된 상부 Sn ~0.5 내지 5 ㎛, 도금된 구리 금속 ~25 내지 50 ㎛.

[0307] 부스바가 전지의 일부보다는 모듈의 일부인 경우, 전지의 기하학은 단순해질 수 있고, 금속 1과 금속 2 사이에 수직으로 배열되는, 평행하게 맞물려진 핑거만을 완전히 함유하고 금속 1 및 금속 2 모두를 갖는 것이 가능하다.

[0308] 그러나, 완전히 선형이 아닌 금속 1의 구조체를 갖는 다른 이점은, 이러한 디자인은 TFSS 내에 금속 2 범위의 영역의 제외 또는 리세스(recess)를 가능하게 하여, 도금 공정 동안 TFSS의 에지를 실링하는 것이다. 이러한 실링은 예컨대 Cu를 함유하는 잠재적으로 해로운 금속 도금 용액으로 활성 흡수체 영역의 오염을 방지한다.

[0309] 또한, 특히 덜 두꺼운 프린팅된 금속 페이스트의 경우에, 세그먼트화된 금속 1 층의 맞물려진 금속선을 갖는 것은 유리할 수 있다. 세그먼테이션은, 금속 2에의 접촉은 여전히 만들어져서 선 전체에 시리즈 저항이 현저히 열화되지 않도록 배열된다. 이러한 요건이, 예컨대 선 세그먼트가 약 0.5 내지 5 센티미터의 길이로 충족되는

경우에, 마이크로크랙의 생성 및 페이스트 어닐링 동안 또는 금속 증착 또는 금속 페이스트 어닐링 후 공정 단계들 동안 금속 1의 수축에 의해 시작되는 과도한 바우(bow) 및 스트레스를 방지할 수 있다.

[0310] 중요하게, 다른 유전체들은 전지의 후측 상에 형성되고 사용될 수 있다. 보론 도핑된 에미터와 같은 p형 에미터에 있어서, 네커티브 전하를 제공하는 에미터 영역과 접촉하는 패시베이션 유전체를 갖는 것이 유리할 수 있다. 따라서, MeV 주입 및 스플릿팅과 같은 고에너지를 이용하여 분열되는 것과 같은 달리 가공된 흡수체층 또는 CZ 웨이퍼로부터, 에피택셜 증착된 막으로부터 제조되는 흡수체층 상에 있는 이전에 기재된 구조체 및 흐름 모두의 변형에서, 후측(및 따라서 에피택셜층의 상부)에 접촉하는 제1층으로서 박형(예컨대 약 5 nm 내지 50 nm 범위의 두께) 알루미늄 산화물(바람직하게는 APCVD 또는 ALD로 형성되는)을 갖는 것이 바람직하다. 도 48은 활성 흡수체층의 후면 패시베이션으로 알루미늄 산화물의 증착을 도입하는 예시적 공정 흐름이고, 도 49는 활성 흡수체층의 후면 패시베이션으로 증착된 알루미늄 산화물을 도입하는 도 48에 도시된 공정에 의해 형성되는 전지 구조체의 예시적 실시예의 단면도이다. 도 49의 전지는 후측 패시베이션 유전체로서 알루미늄 산화물을 도시한다. 알루미늄 산화물은 바람직하게는 APCVD, 또는 원자층 증착(ALD)와 같은 대기 공정을 이용하여 증착될 수 있다. 이러한 층은 제1 BSG 층의 증착 바로 전에 바람직하게는 동일한 툴로 증착될 수 있고, BSG를 이용하는 에미터 도핑이 이 층을 통해 진행한다. 또는, 층은 보론을 함유할 수 있고, 가능성은 적지만, 에미터 영역, 특히 선택적 에미터 버전에서, 가볍게 도핑되는 에미터 영역를 형성하고 도펀트로서 디퓨즈하기 위해 활성화될 충분한 알루미늄을 함유할 수 있다. 이어서 알루미늄 산화물층은 BSG, USG 및 PSG를 이용하는 경우에 상기 기재되는 동일한 레이저 제거 공정을 겪는다.

[0311] 도 49의 전지의 예시적인 두께 치수는 이하를 포함한다: 에피택셜 Si ~10 내지 50 ㎛, 후측 패시베이션 산화물 50 내지 200nm, 백플레인(프리프레그, 양극 산화된 Al 합금 또는 산화된 mg-Si) ~150 내지 500 ㎛, 스퍼터링된 (PVD) Al 또는 프린팅된 (AlSi, Al) 접촉/미러 ~50 내지 250 nm, 도금된 Ni (상부 및 하부) ~100 내지 500 nm, 도금된 상부 Sn ~0.5 내지 5 ㎛, 도금된 구리 금속 ~25 내지 50 ㎛.

[0312] 상기 증착 순서의 대안으로서, 도 50의 흐름에 의해 나타낸 시간 흐름에서 나중 시점에(at a later point in time-as shown by the flow in Fig. 50) 알루미늄 산화물을 적용하는 것도 가능하다. 도 50은 활성 흡수체층의 후면 패시베이션으로 알루미늄 산화물의 증착을 도입하는 다른 공정 흐름의 실시예이다. 이 흐름에 있어서, 알루미늄 산화물은 에미터 및 베이스 접촉 디퓨전 도핑의 전구체로서 작용하는 도핑된 유리층의 제거 후 증착된다.

[0313] 예컨대, BSG, PSG 및 USG를 이용하는 상기 도식 중 하나를 이용하는 접합의 디퓨전 후, 예컨대 HF 딥 또는 바람직하게는 HF 증기 에칭을 이용하여 이러한 APCVD 산화물층을 스트립한 후 가스 스트림에 의한 적합한 잔여물 제거가 가능하다. 그 후, 알루미늄 산화물은 실리콘 상에 직접 증착되고, 이는 결국 적합한 에미터 및 베이스 접촉 디퓨전을 함유한다. 선택적으로 알루미늄 산화물은, 이후 금속 1 증착의 핀홀 단락을 방지하기 위해 USG와 같은 다른 증착된 산화물로 캡핑되거나 충분히 두꺼워질 수 있다. 또한, 모든 다른 실시예에 상기 기재된 바와 같은 가공이 진행된다.

[0314] 금속 1층은, 전기적 접촉 이외에, 박형 흡수체층을 통과하는 양자의 미러를 제공한다. 따라서, 매우 효율적인 미러는 양지 포획 및 에너지 하비스팅을 위해 적외 양자를 반사함으로써 더 많은 양의 양자의 하비스팅 및 전환에 유리하다. 금속의 영역 범위 및 그 특정 반사성은 이 기능에 중요한 역할을 한다. 영역 범위를 증가시키기 위해, 도 51에 도시된 바와 같은 이전에 패터닝된 구조체 상에 박형의 PVD 기반의 금속, PVD 층을 증착한다(In order to increase the area of coverage, deposit a thin, PVD based metal, the PVD layer on a previously patterned structure-as shown in Fig. 51). 도 51은 블랭킷(blanket) 증착된 금속층막의 패터닝 및 분리를 가능하게 하는 구조체의 단면도이고, 이 구조체는 후측 접촉 전지의 후면 상에 금속 범위의 보강 영역(enhanced area)을 제공한다. 도 51의 구조체는 PVD 또는 증착과 같은 충분하게 라인 오프 사이트 기반의 증착 공정에 금속층의 분리(전기적 분리)를 제공하고, 반사될 양자에 매우 투명한 물질의 오버행잉 구조체로 이루어진다. 또한, 이러한 층은 금속 1층의 분리에 레이저 제거의 필요성을 제거한다. 청결 및 공정 제어는, 인접한 에미터

및 베이스 금속선의 직접 단락을 방지하기 위해 이러한 공정에 중요하다. 도 51의 구조체는, 레지스트의 이중 스크린 프린팅에 의해 형성될 수 있는 역행하는 레지스트 측벽을 도시한다. 또한, 선택적으로 투명한 EVA 또는 PV 실리콘은 레지스트 물질로서 사용될 수 있다. 또는, 레지스트 물질은 리어 미러 반사율에 추가적으로 기여하고 전지에서 영구적으로 유지될 수 있기 때문에, 장기간의 신뢰성을 갖는 임의의 적합한 물질이 사용될 수 있다.

[0315] 추가적으로, 온-템플레이트 공정의 기하학적 구조체가 최적화될 수 있다. 부스바 영역 아래에 전기 전류를 하비스팅할 수 있는 상기 언급된 구조체 이외에, 유리하게 적용될 수 있고, 금속층 2 상에 위치되는 부스바 아래로 펼쳐지는 특히 금속 1에서의 다른 기하학적 구조체가 있다. 그러나, 간소함을 위해, 에미터 및 베이스 영역 및 접촉의 대부분의 선은 평행한 맞물려진 선-도 52 및 53에 묘사된 단순화된 구조체이다.

[0316] 도 52는 선형의 맞물려진 에미터 및 베이스 핑거의 경우에 접촉 개방부를 포함하는 베이스 접촉 윈도우 및 에미터의 레이아웃을 보여주는 전지 백플레인의 상면도이다. 도 53은 금속 1과 금속 2층 사이에 접촉을 가능하게 하는 백플레인 물질에 비아 홀의 위치를 묘사하는 큰 라운드 영역의 추가와 금속 1 증착을 포함하는 전지 백플레인 구조체 도 52의 상면도이다.

[0317] 그러나, 에미터 영역의 바다의 섬 형상-도 54 및 55에 도시된 기하학으로 나타내는 베이스 디퓨전 영역과 베이스 접촉 개방 영역 모두를 갖는 것도 가능하다. 이러한 레이아웃으로, 베이스 영역 아래에 전기 셰이딩이 감소될 수 있다. 홀이 에미터 영역으로 수직으로 이동해야 하는 것보다, 에미터 영역으로 비스듬히 이동해야하는 경우, 베이스 소수 캐리어(n형 물질의 홀)의 전기적 셰이딩이 발생한다. 이는 베이스 디퓨전 영역 아래의 경우이다. 도 54는 베이스 접촉 섬의 어레이의 경우에 접촉 개방부를 포함하는 베이스 접촉 윈도우 및 에미터의 레이아웃을 보여주는 전지 백플레인의 상면도이다. 도 55는 비아 홀 위치 및 금속 1 선의 존재 하에 베이스 접촉 섬의 어레이의 경우에 접촉 개방부를 포함하는 베이스 접촉 윈도우 및 에미터의 레이아웃을 보여주는 전지 백플레인의 상면도이다. 베이스 접촉 섬에 관한 비아홀들의 위치 사이에 직접적인 상관관계는 추정되지 않는다는 것을 주의한다.

[0318] 베이스 섬이 적용되는 경우에, 전류 집전을 위해 에미터로 이동하기 위한 홀의 평균 경로는 감소되어, 홀 집전 효율은 증가될 수 있다. 도 52 내지 55는 선형 구조체와 비교하여 베이스 접촉 섬 구조체를 도시한다. 베이스 디퓨전 섬 및 베이스 접촉 홀 개방부는 레이저 제거 공정 동안 조심스럽게 얼라인되어야 한다. 이러한 얼라인먼트 및 동기화(synchronization)는 이러한 구조체의 성공에 중요하다. 선형 영역에 대한 섬의 기하학적 양태는 여기에 개시되는 모든 구조체에 유지된다.

[0319] 동일한 컨셉은, 상기 기재된 바와 같이 2개의 보론 도펀트 원(boron dopant sources), 예컨대 2개의 다른 BSG 층을 이용하여 상기 기재된 선택적 에미터 형성의 경우에 유효하다-도 56 및 57은 생성된 선택적 에미터에 대한 레이저 패턴의 예시적 기하학을 묘사한다. 도 56은 에미터로 접촉의 에미터 디퓨전 영역이 상기 접촉 영역으로부터 빗겨가는 에미터 디퓨전 영역보다 더 높게 도핑되는, 선택적 에미터 영역 및 베이스 핑거 및 선형 맞물려진 에미터의 경우에 접촉 개방부를 포함하는 베이스 접촉 윈도우 및 에미터의 레이아웃을 보여주는 전지 백플레인의 상면도이다. 도 57은 금속 1 증착을 포함하는 도 56과 동일한 선택적 에미터 구조체의 레이아웃 도식을 보여주는 전지 백플레인의 상면도이다. 큰 라운드 영역은, 백플레인 물질의 비아홀이 금속 1과 금속 2 층 사이에 접촉을 가능하게 하는 위치이다.

[0320] 마찬가지로, 제시된 명세서의 대부분에, 금속 1은 PVD 및 이후 레이저 제거를 이용하여 생성된다. 그러나, 모든 구조체 및 방법은, 스크린 프린팅, 잉크젯 또는 에어로졸 제트 프린팅 및 열적 또는 플레임 스프레잉과 같은 임의의 직접 라이팅 금속 1 어플리케이션 방법과 완전히 양립 가능하고 적용 가능하다.

[0321] 또한, 본 발명의 실시예 대부분에서, 패시베이션의 어닐링은 인시투 어닐링 방법으로 적용된다. 그러나, 모든 공정 및 구조체는, 패시베이션 어닐링이 패시베이션 물질 증착 후 적합한 시점에서 엑스시투로 구행되는 조건에 완전히 적용 가능하다. 엑스시투 어닐링의 이점은 이하를 포함한다: 엑스시투 어닐링은, 포함되는 모든 물질들 사이에, 주로 활성 TFSS 흡수체 물질, 예컨대 실리콘, 백플레인 물질, 및 금속 1 페이스트 물질 및 금속 1 선들 사이에, 실리콘과 같은 활성 흡수체 물질과 백플레인 라미네이트 사이에 적어도 적용되는 선택적 추가적인 첨가제의 열팽창계수의 일치의 엄중함을 감소시킨다. 패시베이션이 PECVD 기기와 같은 복잡한 증착 툴에서 220 ℃ 이하라고 하는 충분히 낮은 온도에서 수행되는 경우에, 그 후, 300 ℃ d와 같은 더 고온에서 이후 어닐링이 오븐과 같은 매우 단순한 툴로 그리고 TFSS 사이에 선택적 간지를 갖는 단순하고, 잠재적으로 코인 적층된 방법으로 수행될 수 있다. 가공의 이러한 순서는 포함되는 물질들 사이에 잔여 CTE 불일치에 의해 야기되는 문제의 처리를 완화해준다.

[0322] 헤테로접합. 오늘날 시판되는 대부분의 실리콘 기반의 태양 전지는 호모접합에 기반된다. 헤테로접합, 특히 더 넓은 밴드갭 에미터를 갖는 것은 더 높은 Voc의 포텐셜 및 더 높은 효율능(efficiency capability)의 이익을 얻는다. 박형 실리콘 전지와 함께 헤테로접합을 제공하는 몇 가지 비용 효율적인 방법이 제공된다. 헤테로접합은, 결정 실리콘과 비교하는 경우에 더 넓은 밴드갭을 제공하는 에미터에서 수소화된 비정질 실리콘(a-Si)의 도입에 의해 주로 수행된다. 비정질 실리콘으로 이러한 전지를 가공하는 경우에 하나의 주요 업무는, 실리콘의 결정 온도 이하, 일반적으로 400 deg C 이하에서 비정질 실리콘 증착 후 효율적인 공정 온도를 유지하는 것이다. 실제로, 비정질 Si (또는 실리콘 산화물)의 증착은 약 150 ℃ 내지 200 ℃ 범위의 온도에서 PECVD를 이용하여 수행된다.

[0323] 도 58 및 59는, a-Si 에미터에 기반한, 에피택셜 증착된 박형 실리콘 흡수체 구조체를 이용하는 것에 기반한 헤테로접합 전지(로 가공 및 잉크젯 인 프린트를 이용하지 않음)를 생성하기 위한 공정 흐름의 실시예이다. 도 60은 에피 기반의 전지를 이용하여 헤테로접합 박형 실리콘 전지 구조체를 적용하는 생성 구조체의 단면도이다. 이러한 전지의 구조적 디자인은, 더 두꺼운 실리콘이 적용될 수 있는 것을 제외하고는 CZ 웨이퍼 기반의 흐름과 동일하다. 그러나, 수명과 적외선의 흡수 사이에서 최적화된 트레이드오프를 갖는 두께로 그 뒤에 CZ 실리콘이 얇아지는 것도 가능하고, 후자는 더 두꺼운 흡수층에 의한다. 도 60의 전지의 예시적인 두께 치수는 이하를 포함한다: 에피택셜 Si ~10 내지 50 ㎛, 후측 패시베이션 산화물 150 내지 200nm, 백플레인(프리프레그, 양극 산화된 Al 합금 또는 산화된 mg-Si) ~150 내지 500 ㎛, 스퍼터링된 (PVD) Al 또는 프린팅된 (AlSi, Al) 접촉/미러 ~50 내지 250 nm, 도금된 Ni (상부 및 하부) ~100 내지 500 nm, 도금된 상부 Sn ~0.5 내지 5 ㎛, 도금된 구리 금속 ~25 내지 50 ㎛.

[0324] 공정은, CZ 웨이퍼 및 박육화된 CZ 웨이퍼 기판의 전지 및 임플란트/분열 기반의 박형 실리콘 구조 및 다공성 실리콘층의 상부에 에피택셜 증착을 이용하여 생성된 실리콘과 같은 박형 실리콘이 이용 가능하다. 도 61은 이러한 실시예에 대한 공정 흐름의 실시예를 설명한다. 템플레이트 세정, 다공성 실리콘 형성 및 n형 베이스의 에피택셜 Si 증착은 다른 흐름과 같다. 에피택시 후, 박형(일반적으로 < 200 nm 두께)의 증착 순서는 우선 고유하고, 그 후 비정질 실리콘 (a-Si) 스택으로 p+ 도핑된다. a-Si는 낮은 도전성을 갖는 경향이 있지만, 충분히 낮은 저항을 갖는 전류를 캐링하는 것을 돕기 위해 비정질 Si 후 지지층(backing layer) 증착을 더하는 것이 요구될 수 있다. 이러한 지지층(backing layer)은 a-Si가 결정화되는 것을 방지하기 위해 충분히 낮은 온도에서 증착되어야 한다. 이러한 종류의 예시적인 층은, 충분히 낮은 온도에서 다결정으로 증착될 수 있는, 충분한 Ge 함량을 갖는 실리콘과 게르마늄의 다결정 합금(Si1-xGex) 또는 ITO 또는 ZnO와 같은 투명 도전성 산화물 층들이다. 이어서, 베이스 접촉이 위치되는 영역에서, a-Si 에미터 물질 및 선택적 지지 물질(backing material)은 바람직하게는 피코세컨 레이저를 이용하여 제거된다. 이어서, 실리콘 이산화물 또는 알루미늄 산화물로 이루어질 수 있는, 리어 패시베이션층(rear passivation layer)이 증착된다. 베이스 접촉의 영역에서, 이어서 인 도펀트 원은 인 잉크 도트의 인쇄에 의해서와 같이 국부적으로 적용될 수 있다. 이후 단계에서, 베이스 접촉의 도펀트는, 예컨대 실리콘의 상부를 용융하고, 실리콘 격자로 증착된 도펀트를 도입하는 나노세컨 레이저를 이용하여 드라이빙된다(driven in). 또한, 피코세컨 레이저는 유전체를 제거하고 a-Si 에미터와 접촉을 만들기 위해 에미터 접촉측 상에 적용된다. 금속 1 증착에 있어서, PVD 후 금속층을 정의하도록 제거 및 스크린 프린팅은 적용될 수 있고, 단 모든 공정의 열적 버짓(thermal budget)이 a-Si 결정화를 위한 스레홀드(threshold)를

초과하지 않는다. 백플레인 라미네이션 및 각종 실시예를 갖는 다른 다운스트림 가공은 호모접합 공정에서 기재되는 것과 동일한 방법으로 이어서 진행될 수 있다.

[0325] 이하 설명은, 전면 또는 후면 접촉된 박형 Si 태양 전지와 함께 태양 모듈 패널에 사용될 수 있고, 박형 Si 웨이퍼에 적용된 후 제거되지 않는 영구적인 보강재를 제공하는 영구적 지지 구조체("백플레인")을 이용하는 디자인 및 가공 방법을 제공한다. 추가적으로, 개시된 백플레인은 적당히 낮은 손실을 갖는 박형 태양 전지로부터 전류 및 전력의 추출을 제공한다. 개시된 영구적 지지 구조체는, 그것에 한정되지 않지만, 레이저 에너지와 같은 조사 또는 열적 마이크로파를 이용하여 선택적 팔로우-온(follow-on) 어닐링 및 반사 방지 코팅(ARC) 및 세정 및 텍스처링화, 트리밍 또는 에지 정의(edge definition)를 포함하는 필요한 공정 단계를 통해 태양 전지의 지지 및 처리를 가능하게 한다. 추가적으로, 영구적 지지 구조체는, 그것에 한정되지 않지만, 증착, 프린팅, 도금, 라미네이팅 금속 또는 금속 함유 또는 일반적으로 도전성막 및 인트라-셀(intra-cell), 셀투셀(cell to cell) 및 셀 투 모듈 접촉(cell to module contacting)을 포함하는 유전체를 포함하는 유전체 물질 어플리케이션 도식 및 각종 금속화 및 비아 개방부(via openings)와 같은 접촉 도식을 더 지지한다(further support contacting schemes).

[0326] 개시된 주제는, 제조 공정 동안 에미터 및 베이스에 접촉을 제공하기 위해, 파손을 감소시키기 위해 초박형 실리콘(Si) 태양 웨이퍼 및 전지를 보강하기 위한 새로운 방법 및 구조체를 설명한다. 이러한 방법 및 구조체는, Si 사용 및 물질의 비용을 감소시키기 위해 표준 Si 태양 전지 두께가 180 내지 250 ㎛에서 더 얇은 전지로의 태양 전지 산업의 이행에 의해 동기화되었다-Si 웨이퍼 생산 기술이 웨이퍼 두께가 감소되도록 빠르게 발전되었다. 30 ㎛ 미만의 두께를 갖는 Si 웨이퍼의 제조는 층 트랜스퍼 및 에피택셜 Si 증착과 같은 각종 방법을 통해 설명된다. 그러나, 산업은 일반적으로, 전지 파손 및 더 낮은 제조 수율을 현저히 증가시키기 때문에 약 140 ㎛ 미만 두께의 Si 태양 전지를 제조할 수 없다. 개시된 주제는 수율이 높고, 두께가 10 미크론 이하까지 얇아져 파손과 관련된 비용을 저감하는 태양 전지를 통해 더 얇은 실리콘의 처리를 제공한다. 현재, 산업 표준 기판 두께는 180 ㎛보다 훨씬 크다. 또한, 태양 전지 제조자가 140 ㎛ 정도로 얇은 Si 웨이퍼를 사용하기 시작하지만, 140 ㎛ 미만 두께의 Si 웨이퍼는 종종 고체적 제조 공정에 사용하기에 너무 약하다. 공격적인 비용 절감은, 더 저렴한 태양 전지를 가능하게 하는 실리콘으로 전지 성능에 현저히 해로운 영향 없이 약 50 ㎛ 미만 두께 태양 전지 물질로 얻어질 수 있다는 것이 예상된다(실리콘 물질 비용은 총 태양 전지 비용의 상당한 분율을 구성한다). 이전에 공지된 바와 같이, 태양 전지 기판은, 그것에 한정되지 않지만 표준 수도 스퀘어(pseudo square), 스퀘어 및 헥사곤을 포함하는 다양한 형태로 형성될 수 있다. 또한, 기판의 사이즈 및 영역은, 예컨대 125mm x 125mm 또는 x 156mm 또는 그것에 한정되지 않지만 210 mm x 210 mm를 포함하는 훨씬 큰 전지로 달라진다. 또한, 기판 물질은 모노-, 폴리- 또는 다(multi)-결정 실리콘일 수 있다. 개시된 주제는 기판의 형태 및 원(source)에 의해 구별되는 각종 형태의 기판에 적용 가능하다. 예컨대 적어도 2개의 카테고리에 이용 가능하다:

[0327] A) 초크랄스키(Czochralski, CZ) 또는 플로트 영역 (float zone, FZ) 기술(텍스처링된 또는 언텍스처링된)을 이용하여 얻어진 잉곳으로부터의 플랫 웨이퍼(Flat wafers from ingot) 또는 와이어-쏘잉(wire-sawing), 폴리싱(polishing), 래핑(lapping), 에칭, 또는 벌크 잉곳의 이온 주입(수소 또는 헬륨) 기반의 슬라이싱과 같은 기술을 이용하여 얻어진 다결정 캐스트 잉곳(multi-crystalline cast ingot)

[0328] B) 실리콘 테트라클로라이드 (STC), 트리클로로실란 (TCS), 디클로로실란 (DCS), 또는 실란과 같은 실리콘을 증착하기 위해 사용되는 임의의 전구체를 이용하여 직접 제조되는 에피택셜 또는 다결정 성장 기판. 이러한 기판은, 에피택셜 성장 공정의 일부로서, 후면 전계(BSF), 벌크 도핑, 전면 전계(FSF), 및 에미터와 같이 완료된 태양 전지의 관례적인 도펀트 디퓨전을 갖거나 갖지 않을 수 있다. 상기 방법은 태양 전지를 형성하는 임의의 몇 가지 조합의 도핑에 널리 및 동등하게 적용 가능하다. 예컨대: (1) 보론-도핑된 p형 에미터로 인을 이용하는 n형 벌크 도핑 및 (2) 인 기반의 n형 에미터로 보론을 이용하는 p형 벌크 도핑. 이러한 n형 기반의 태양 전지는 보론 도핑된 p형 베이스로 실리콘 태양 전지 물질에 보이는 광 유도된 열화 효과를 나타내는 경향이 있기 때문에 p형 에미터로 n형 도핑된 베이스층을 이용하는 것에 대한 선호가 공지되어 있다.

[0329] 에피택셜 기판을 제조하는 몇 가지 실시예가 가능하다. 일 실시예에서, 에피택셜 기판은 모 템플레이트(mother

template) 상의 희생층의 상부에 성장되고, 이어서 제거된다. 그 후, 모 템플레이트는 에피택셜 기판을 더욱 성장시키기 위해 몇번 재사용된다(예컨대 잔여물 제거에 의해, 예컨대 베벨(bevel) 또는 영역 레핑 또는 그라인딩, 세정 및 희생층의 재형성에 의해 선택적 재생(reconditioning)). 희생층은 에피택셜층에 모 템플레이트의 결정 구조체에 대한 정보를 트랜스퍼해야 하고, 기판 및 모 템플레이트에 대해 선택적으로 제거된다. 희생층의 일 특정 실리예는 다공성 실리콘이고, 다공성 실리콘의 공극률은 상술된 기준 기능을 수행하기 위해 조절될 수 있다.

[0330] 에피택셜 기판의 실시예 내에서, 언더라잉, 개시, 모 템플레이트에 의해 구별되는 몇 가지 가능성이 가능하다. 그것에 한정되지 않지만 이들 가능성의 몇몇은 이하 실시예로 설명된다.

[0331] i) 실질적으로 평면인 에피택셜 기판: 적어도 두 가지 구별되는 경우를 갖는다. 첫번째 경우에서, 에피택셜층은 패턴을 가지지 않는 플랫하고, 언텍스처링된 템플레이트의 상부 상에 성장된다. 템플레이트는 표준 초크랄스키(CZ) 성장을 이용하여 성장될 수 있거나, 또는 템플레이트 제조의 비용을 절약하기 위해 시딩된 캐스트 쿼시-단결정 잉곳(seeded cast quasi-monocrystalline ingot)으로 제조될 수 있다. 또한, 다결정 템플레이트 물질이 사용될 수 있어 결국 다결정 박형 전지를 얻을 수 있다. 여기서, 실질적으로 평면인 기판은 에피택셜 기판이라고도 한다. 또한, 분리된 에피택셜 기판은 패턴 없이 평평하다. 두번째 경우는, 템플레이트 상에 언더라잉 패턴 또는 텍스처가 있는 것이다; 그러나, 이러한 텍스처의 사이즈 스케일은 에피택셜 기판의 두께보다 실질적으로 작다. 따라서, 분리된 에피택셜층은 텍스처링되지만, 실질적으로 평면이다. 이러한 기판은 여기서 에피택셜 기판이라고도 한다.

[0332] ii) 3차원 에피택셜 기판: 여기서 언더라잉 템플레이트는 미리 패터닝 또는 미리 구조체화되고, 패턴 기하학 또는 텍스처는 에피택셜막의 두께보다 크거나 실질적으로 동등한 순(order)이다. 따라서, 에피택셜막이 분리되는 경우에, 실질적으로 비평면 3D 기하학을 갖는다. 이 패러다임에서, 미리 패터닝된 기하학의 몇몇 예는, 예컨대 피라미드 기반의 전지가 가능하다. 이러한 기판은 여기서 에피택셜 기판이라고도 한다.

[0333] 상기 기재에서, 분리층은 다공성 실리콘으로 이루어지고, 에피택셜층은 실리콘이다. 그러나, 개시된 주제는 분열 분리된 영역을 형성하기 위해 수소의 주입에 의해 생성되는 것과 같은 다른 분리층 방법의 이용, 또는 분리 또는 분열 영역을 형성하기 위해 실리콘 내부에 초점이 맞춰지는 레이저의 이용이 적용 가능하다. 또한, 개시된 주제는, 실리콘과 게르마늄, 카본 또는 이들의 혼합물과 같은 헤테로-에피택셜 조합을 포함하는 실리콘을 제외한 활성 흡수체 물질, 및 예컨대 게르마늄 또는 그레이드된 실리콘 게르마늄 영역 상부 상에 성장되어, 결국 다공성 실리콘층 상에 성장되고, 분리층을 갖는 필수적으로 실리콘 기판 상에 우수한 품질의 GaAs을 성장시키기 위해 GaAs와 언더라잉 실리콘 사이에 격자 일치가 가능하도록 지정된 갈륨 비소 (GaAs)와 같은 III-V 패밀리로부터의 물질에 적용 가능하다.

[0334] 상기 기판(에피택셜 기판 및 잉곳으로부터의 플랫 웨이퍼)에 있어서, 증착된 실리콘의 두께가 실질적으로 박형인 경우 또는 가공 조건이 영구적 보강재에 사용되는 물질과 양립가능하지 않은 경우, 영구적 보강재에 적합할 때까지 가공 동안 태양 전지를 일시적으로 지지하기 위해 캐리어를 도입하는 것이 필요할 수 있다. 일시적 보강재의 가능성은 정전기, 진공 또는 정전기와 진공법 등의 조합을 이용하는 모바일 캐리어를 포함한다(그것에 한정되지 않지만). 이들 구조체는 박형 기판을 실질적으로 강화 및 보강하여 높은 제조 수율을 보증할 것이다. 그러나, 개시된 주제는 전면 또는 후면 접촉 박형 Si 태양 전지와 함께 태양 모듈 패털의 사용을 위해 영구적 보강재를 제공한다.

[0335] 또한, 분리층을 갖는 템플레이트 상에 형성되는 에피택셜 기판의 경우에, 개시된 주제는 제조 공정 동안 연속 박형 기판 지지체를 제공한다. 예컨대, 이전에, 바람직하게는 보강재로서 템플레이트를 이용하는 드라이 및 잠재적으로 높은 온도의 공정 단계, 이후에, 바람직하게는 백플레인 보강 구조체 및 방법을 이용하여 낮은 온도 및 잠재적으로 웨트 공정 단계.

[0336] 따라서, 개시된 주제는 얻어지는 태양 전지의 구조체 및 활성 흡수체층("박형 태양 전지")을 갖는 태양 전지의 제조를 가능하게 하는 영구적 지지 구조체를 제조하기 위한 방법, 구조체, 디자인, 물질을 수반한다. 또한, 개시된 주제는 전지 제조 흐름의 각종 실시예 내에서 영구적 지지 구조체의 통합을 제공한다-개시된 백플레인 구조체, 물질 및 방법은 고효율 박막 태양 전지 기판을 이용하는 광기전 태양 전지의 제조를 위해 적용될 수

있다.

[0337] 개시된 박막 태양 전지 구조체의 유리한 디자인은 후면 접합, 후면 접촉 전지이고, 보강재는 후면 접합 및 후면 접촉을 함유하는 측 상에 적용된다. 그러나, 전측 상에 적어도 하나의 극성의 접촉을 갖는 전지 디자인은, 보강재의 부착 후 전측 접촉이 제조되는 경우에 전측 접촉을 제조하기 위해 사용되는 일반적으로 250 ℃ 미만 내지 350 ℃의 저온 가공과의 조합으로 개시된 주제를 이용하여 지지될 수 있다. 효율적으로 저온 공정은 공정을 지속하기 위해 백플레인 물질에 충분히 저온의 후면을 유지하면서 전면만을 가열하는 레이저 어닐링을 이용할 수 있다. 전측 접촉 방법은, 예컨대 접촉 및 선택적 에미터 접합 형성을 위한 이후 레이저 어닐링을 갖는 Al 또는 다른 금속의 전측선의 형성, 및 전측의 접촉 또는 패터닝된 주입 후 접합을 형성하기 위해 레이저 또는 다른 실질적으로 저온 어닐링 후 증착, 프린팅 또는 스프레잉을 이용하여 패터닝된, 또는 이후 패터닝을 갖는 패터닝되지 않은 알루미늄 증착과 같은 적합한 금속화 도식(the formation of front side lines of Al or other metals with subsequent laser annealing for contacting and optional emitter junction formation, and contacts at the front side or patterned implantation followed by laser or other substantially low temperature annealing for forming the junctions, followed by a suitable metallization scheme such as Aluminum deposition, either patterned using deposition, printing or spraying, or unpatterned with subsequent patterning)을 포함한다.

[0338] 본 발명의 목적은, 개시된 실시예의 초점은 후면 접촉 전지를 제조하는 더욱 도전적인 공정을 위한 하나의 제시된 해결방안이지만, 보강재를 가능하게 하여 다양한 형태의 박막 구조체를 고수율 제조하는 것이다. 금속화의 점까지 박막 태양 기판(TFSS)을 제조하기 위한 실행 가능한 구조체 및 방법의 예는 도 61A-C의 공정 흐름에 일반적으로 설명된다. 도 61A-C는, 본 명세서에서 더 설명되는 일반적인 백플레인 보강을 포함하는 후면 접촉 태양 전지 형성의 주요 가공 단계를 보여주는 공정 흐름이다.

[0339] 공정 흐름은 템플레이트로 불리는 세정된 재사용 가능한 반도체 웨이퍼로 시작한다. 그 후, 다공성 반도체 물질과 같은 분리층은 상기 템플레이트의 표면 상에 증착된다. 실리콘 웨이퍼의 경우에, 이는 다공성 실리콘일 수 있다. 다공성 실리콘층은 다양한 공극률의 적어도 2개의 영역을 포함할 수 있고, 상부층(top layer)은 바람직하게는 하부층(bottom layer)보다 더 낮은 공극률인 것이 바람직하다. 하부층은 지정된 약한 층으로 작용하지만, 상부층은 실리콘층 증착 전에 에피 리엑터에 다음 베이킹 단계로 리플로우되고, 리플로우는 에피택셜 증착을 가능하게 하기 위해 시드 표면(seed surface)을 제공하도록 표면을 재구성한다. 수소(H2)에 혼합된 트리클로로실란(TCS)와 같은 가스를 함유하는 적어도 하나의 실리콘을 이용하여 고온에서 수행될 수 있는 에피택셜 증착을 보증함에 있어서, 반도체의 박층, 예컨대 실리콘은 템플레이트의 상부 상에 다공성층의 상부 상에 증착된다. 이러한 층은 태양 전지의 박형 활성 흡수체층, 또는 광포획층으로 작용할 수 있다. 도시된 활성 흡수체 베이스 층은 예컨대 증착 단계 동안 포스핀(PH3)의 첨가에 의해 형성되는 n형층이다. PH3은 수소에 선택적으로 희석될 수 있다. 증착 동안 PH3 흐름의 그라듀에이션(Graduation)은 소망되는 막에 도핑 변화도(doping gradients)를 달성하기 위해 적용될 수 있다.

[0340] 에피택셜 증착 후, 다른 단계는 소망되는 경우 베이스 접촉에 개방부를 만들기 위해, 예컨대 보로실리케이트 유리((BSG))의 대기압 화학 증기 증착(APCVD) 및 BSG의 레이저 제거에 의해 에미터층의 형성 및 구조화를 포함한다. 이후 선택적 단계는 언도핑된 실리케이트 유리(USG)의 증착 후 베이스 접촉과 에미터 사이에 분리 영역을 나중에 생성하기 위해 레이저 제거를 포함한다. 그 후, 인-실리케이트 유리(phosphorus-silicate glass, PSG)는 높게 n-도핑된 베이스 접촉을 나중에 형성하기 위해 전구체로서 증착될 수 있다. 언도핑된 층은 필요에 따라 각각의 층의 분리에 사용될 수 있다. 반도체(예컨대 실리콘)을 갖는 우수한 계면을 형성하기 위해 적어도 하나의 단계에서 선택적으로 산화를 갖는 이후 열적 드라이빙(drive-in) 단계는 도핑된 디퓨전 프로파일을 드라이빙(drive-in)하기 위해 사용될 수 있다. 그 후, 레이저는 이후 금속화 단계와 접촉을 가능하게 하는 바람직한 접촉 영역에서 유전체를 제거하기 위해 사용될 수 있다. 상기 제거 공정을 위해 적합한 레이저는, 언더라잉 반도체에 표면 손상을 거의 일으키지 않거나 일으키지 않을 수 있는 피코세컨 레이저, 특히 피코세컨 UV 레이저를 포함한다.

[0341] 여기에 개시되는 백플레인 부착 및 구조체 공정 후, 템플레이트는 상기 템플레이트로부터 백플레인 보강 구조화된 박막 태양 전지(TFSS)의 분리 후 재사용될 수 있다는 것이 알려져 있다. 이러한 재사용(re-use)은 다공성층 형성 및 에피택셜 증착의 다음 라운드를 위해 다시 템플레이트를 준비하게 하는 세정 단계를 필요로한다.

[0342] 도 62A-C는 백플레인 보강 단계 전 구조체의 도식이다. 도 62A 및 B는 PVD 및 금속 접촉 개방 후 온 셀 구조체(on cell structures)의 각각의 상면도 및 단면도이다. 도 62C는 선택적 에미터 구조체의 PVD 및 금속 접촉 개방 후 온 셀 구조체의 단면도이다. 어떻게 선택적 에미터 구조체에 도달하는지에 대한 방법적 예시가 도 73F 내지 73J에 설명된다.

[0343] 도 62D는 유전체층 및 에폭시 기둥(pillar) 형성 후 도 62B의 구조체의 단면도이다. 도 62E는 유전체층 및 에폭시 기둥 형성 후 도 62D의 구조체의 상면도이다. 도 62F는 금속 핑거(알루미늄박으로 도시되는 금속층 2) 형성 후 도 62E의 구조체의 상면도이다. 도 62G는 도 62F의 봉합된 구조체의 단면도이다.

[0344] 일반적으로, 개시된 백플레인 구조체는 수직 전류 추출(orthogonal current extraction)을 이용한다. 후면 접촉 태양 전지에서, 전류는 일반적으로, 양접촉이 동일한 측 상에 있기 때문에 긴 거리를 따라 이동할 필요가 있다-따라서 넓은 영역 평면 전기 접촉은 용이하게 현실화되지 않을 수 있다. 전기적 셰이딩을 감소시키기 위해 금속 핑거 피치는 일반적으로 작게 유지할 필요가 있지만, 핑거 높이는 크고 튼튼하게 할 필요가 있어, 후면 접촉 태양 전지 상에 금속 핑거의 형성을 위해 비싸고 고스트레스의 공정을 종종 야기한다. 이러한 고스트레스는 종래의 후면 접촉 전지를 더 큰 기판 사이즈로 이동하는 것을 방지할 수 있다.

[0345] 개시된 주제는 수직 전류 추출의 이용을 통해 후면 접촉 금속 핑거와 관련된 고비용 및 고스트레스 공정에 해결 방안을 제공한다. 박형 태양 전지 상의 금속 핑거는 얇게 유지되고, 전류는, 그것에 한정되지 않지만 은 에폭시와 같은 도전성 접착제 또는 솔더, 또는 증착되거나 프린팅된 다음 레벨 금속으로 이루어질 수 있는 접촉점(contacting dot)을 통해 가이딩된다(guided up). 영역의 나머지 또는 접촉점을 둘러싸는 나머지의 대부분은, 백플레인에 대해 전기적 분리를 제공하는 유전체 접착 시트에 의해 또는 프린팅된 유전체 접착제에 의해 커버된다. 이러한 유전체 시트는 예컨대 박막 태양 기판(TFSS)에 라미네이팅되는 프리프레그로 이루어질 수 있고, 이후 금속층 1과 금속층 2 사이에 접촉이 확립되는 영역에 드릴링되는 바이어스를 갖는다.

[0346] 그 후, 전류는, 백플레인 구조체의 큰 에미터 및 베이스 핑거가 박막 태양 전지 기판(TFSS) 상에 상대적으로 작은 에미터 및 베이스 핑거를 접촉하도록 수직으로 추출된다. 이러한 수직적 트랜스퍼를 이용함으로써, 전지 상의 박형 금속층 내에 전류가 이동해야하는 각각의 거리는 최소화되거나, 상대적으로 작게 유지되어 구조체 내에서 경험되는 전기 직렬 저항을 강하게 감소시키고, 결국 박형 태양 전지 상의 박형 금속 핑거를 가능하게 한다.

[0347] 제1 및 제2층 금속선이 일반적으로 서로 수직이지만, 일부 변형이 이용될 수 있다. 부스바가 제2층 금속의 일부로서 전지 상에 시행되는 경우, 각각의 부스바의 영역에서 마주보는 제1 금속층선에 접촉하기 위한 비아 드릴링은 부스바의 존재에 의해 불가능해지고, 마주보는 캐리어는 집전되지 않거나 또는 각각의 제2층 금속의 가장 가까운 핑거에 의해 집전될 활성 흡수체 영역(예컨대 실리콘) 내에 멀리 이동해야하기 때문에, 보통의 완전히 수직적 배열에서 부스바 아래 영역은 상당한 전기적 셰이딩을 겪게 된다. 여기서, 부스바 아래에 부스바에 직접적으로(부스바와 동일한 극성을 갖는 금속선) 또는 제2 금속선의 가장 가까운 핑거에 다른 극성을 연결하는 뒤섞인 제1 금속선의 패턴을 갖는 것은 유리할 수 있다. 이러한 구조체를 이용하여, 전기적 셰이딩은 매우 감소되고, 오직 제1 금속층의 직렬 저항은, 제1 금속층 선과 제2 금속층 선이 각각 수직으로, 다른 극성으로 배열되는 전지의 벌크에서의 상황과 비교하여 추가적인 손실에 기여한다.

[0348] 각종 백플레인 흐름의 실시예의 변경의 넓고 일반적인 용어의 설명은 개시되는 백플레인 보강 흐름과 관련된 일반적인 층, 구조체, 물질, 기능 및 유닛 공정을 따른다. 중요하게는, 백플레인 또는 가공 방법의 모든 실시예가 모든 기재된 층들 및 기능을 필요로 하지 않는다.

[0349] 일부 전치층 및 구조체는, 백플레인 구조체 및 방법에 즉시 영향을 줄 수 있는 층 및 백플레인 흐름과 관련될 수 있다. 이하에서, 이러한 층들 및 구조체는 일반적으로 박막 태양 전지 (TFSS)에 가장 가까운 층 및 구조체에서 시작하여, 전지의 후측(모듈과 접촉하는 층에 가장 가까운) 상의 층으로 끝나는 순서로 나열 및 기재된다.

[0350] 예컨대 박막이 템플레이트 상에 있는, 박막 상에 증착 또는 성장되는 박막 태양 기판의 상부 상에 유전체층 또는 층들이 적합하게 TFSS 상에 패터닝된다. 유전체 또는 유전체들 아래에 박막 시판의 베이스 접촉, 에미터 및 베이스(에미터 및 베이스 영역)의 영역이다. 이러한 층의 기능 중 하나는, 박막 태양 기판의 활성 영역으로부터 금속선 및 터미널들 사이의 유전체적 분리를 제공하는 것이고, 두번째는 에미터 및/또는 베이스 접촉을 형성하기 위해 도펀트 원으로서 사용되는 것이다. 유전체층을 제공하는 방법 및 실시예는, 언도핑된 또는 도핑된 유리와 같은 유전체층을 선택적 이후 도펀트 드라이브, 열적 어닐링, 및/또는 열적 산화로 성장 또는 증착하는 것을 포함한다.

[0351] 레이저 제거, 에칭 페이스트, 리소그래피 및 에칭과 같은 적합한 패터닝 방법을 이용하는 에미터 및/또는 베이스(에미터 및 베이스 영역)의 영역 중 적어도 하나의 접촉 개방부는 적합한 접촉 영역으로 도핑된 영역에 국부적 접근을 제공하기 위해 적용된다. 접촉 영역은 최고 접촉 및 단락 저항의 파라미터 및 캐리어에 대해 높은 재조합율을 갖는 최소화된 영역을 제공하여 최적화시킬 필요가 있다. 공정 흐름에 따라서, 이러한 접촉 개방은 전지 공정 흐름의 나중에 수행될 수 있지만, 일반적으로 제1층 금속화를 형성하기 전에 수행된다.

[0352] 금속 접촉(여기서 제1 금속화층 또는 제1 전기 전도성 상호 접속층이라고도 함)은 에미터 및 베이스 영역 중 적어도 하나 또는 둘다에 TFSS 상에 증착된다. 제1 금속화층(또는 층들)은, PVD 또는 패터닝된 금속층 또는 층들의 프린팅과 같은 다른 방법을 이용하여 증착될 수 있는 TFSS(기판을 형성하기 위해 템플레이트 가공이 사용되는 경우에 템플레이트에 부착되는) 상의 맞물려진 금속 전극과 같은 금속 핑거로서 패터닝될 수 있다. 제1 금속화층을 형성하는 베이스 및 에미터 금속 접촉층은 적합하게는 서로로부터 분리되고, 레이저 제거, 프린팅, 리소그래피 및 에칭, 에칭 페이스트, 또는 다른 방법을 이용하여 패터닝될 수 있다. 제1 금속화층의 기능은, 전지의 에미터 및 베이스 영역 중 적어도 하나에 접촉을 제공하고, 다음 백플레인층/레벨에 전지 터미널(에미터 및 베이스)로부터 전류를 보내는 것이다; 둘째로, 알루미늄의 상부 상에 선택적 물질이 다음 층/레벨에 우수한 접촉 저항을 제공할 수 있지만, 실리콘에서 p- 및 높게 도핑된 n-형 물질에 낮은 접촉 저항을 제공하는 알루미늄과 같은 낮은 접촉 저항을 제공할 수 있는 표면을 제공하는 것이다. 셋째, 제1 금속화층은, 금속의 다른 레벨이 도금을 이용하여 적용되는 경우에, Sn 또는 Ni 또는 NiV 또는 Ta 코팅된 표면과 같이 나중에 도금될 수 있는 표면을 제공할 수 있다. 넷째, 제1 금속층은, 제1 금속층의 상부 상에 예컨대 라미네이션에 의해 증착되는 유전체층이 예컨대 레이저 드릴링을 이용하여 드릴링되는 경우, 우수한 정지층(stopping layer)을 제공할 수 있다. 제1 금속화층을 증착하는 예시적인 방법은 PVD, 증착, 스크린 프린팅, 잉크젯 프린팅 및 에어로졸 제트 프린팅이다. 예시적인 물질 및 실시예는 PVD 층 또는 Al 자체 또는 AlSi1%, Al과 Ni 또는 NiV, 및 선택적으로 Sn 또는 SnAg, Al과 Ta 또는 Pd 또는 Ag과 같은 스택이다. 0.5 미크론 이상의 두께의 층과 같은 두꺼운 Al 또는 AlSi1%은 원적외에서 특히 적합한 리플렉터로 작용할 수 있고, 따라서 다른 전지 가공에서 이후 비아홀의 CO2 레이저 기반의 드릴링을 위한 정지층으로 작용한다. 다른 예는, 레이저 드릴링을 정지하기 위해 우수한 마진(margin)을 제공하고, 얼라인된 미리 드릴링된 유전체가 라미네이션 동안 시프트되는 것을 방지하기 위해 기계적 잠금을 제공하기 위해, 다음층과 더 좋은 접촉을 하기 위한 추가적인 국부적 프린팅된 패드를 갖는 PVD 스택이다. 이러한 패드는 도전성 에폭시와 같은 Al 또는 Ag를 함유하는 페이스트로 이루어질 수 있다. 또는, 프린팅된 금속 또는 금속은, 예컨대 프린팅된 Al 또는 프린팅된 Al과 소량의 Si(AlSi) 또는 이들의 조합, 선택적으로 레이저 드릴링 공정을 보증하기 위해 우수한 접촉 및 우수한 반사율을 위해 Ag의 국부적 캡을 가지고 사용될 수 있다. 이러한 프린팅된 층에 있어서, 금속은 핑거, 차단된 핑거(interrupted finger), 또는 이후 금속 바이어스에 얼라인된 도트로 프린팅될 수 있다. 예컨대 잉크젯 또는 스크린 프린팅을 이용하여 프린팅될 수 있고, 적합하게 가열되는 경우 국부적으로 규화물을 형성할 수 있는 Ti, Co 또는 Ni과 같은 내화 금속(Refractory metal)은 제1 금속화층 또는 제1 금속화층의 일부로 사용될 수 있다. 이러한 규화물은 선택적으로 다른 금속 아래에, 예컨대 프린팅된 Al 또는 AlSi 아래에 사용될 수 있다.

[0353] 다음 레벨 유전체층(여기서 제2 유전체층이라고도 함)은 TFSS의 접착층 및 백플레인의 추가적인 성분으로 작용한다. 또한, 제2 유전체층은 TFSS 상의 금속 핑거(제1 전기 전도성 상호 접속층)과 백플레인 내 또는 유전체의 상부 상에 큰 금속 핑거(제2 전기 전도성 상호 접속층) 사이에 수직적 배열을 가능하게 하는 분리 유전체로서 작용한다. 또한, 제2 유전체는, 제2 유전체가 텍스처링 및 후 텍스처링 세정과 같은 웨트 가공 시에 구조체의 최외층으로 작용하는 가공 실시예에서 제1 전기 전도성 상호 접속층 및 제1 유전체층과 함께 TFSS의 후측에 화학적 공격으로부터 보호를 제공할 수 있다. 또한, 제2 유전체는 박막 실리콘 태양 전지 기판으로 이루어진, 부착된 활성 흡수체층에 백플레인 보강재의 기계적 안정성을 제공하도록 제공된다. 제2 유전체층의 증착 방법은, 라미네이션 공정을 이용하여 부착되는 미리 드릴링된 유전체 시트(a pre-drilled dielectric sheet), 라미네이션 공정을 이용하여 부착되고, 라미네이션 시, 그 후 웨트 공정에서 언드릴링되고 상기 웨트 가공 단계 후 드릴링되는 후 드릴링되는 시트(a post-drilled sheet), 및 예컨대 TFSS 표면 상에 또는 TFSS-백플레인 구조체의 백플레인 측 상에 프린팅될 수 있는 패터닝된 유전체 접착제를 포함한다. 제2 유전체층의 예시적인 물질은 프리프레그, EVA, Z68 PE 시트와 같은 제1 유전체 시트 및 전-라미네이션 또는 후-라미네이션 드릴링을 통해 패터닝되는(바람직하게는 예컨대 CO2 레이저와 같은 레이저를 이용하는 프리프레그의 경우) 다른 것들을 포함한다. 또는, 펀칭 또는 스탬핑 공정은 이러한 시트의 천공에 사용될 수 있다. 또한, 열가소성 또는 B-스테이지 가능한 물질과 같은 프린팅된 유전체 접착제는 제2 유전체로서 사용될 수 있다. 다른 예시적인 제2 유전체층은, Tedlar, Mylar, Teonex 예컨대 Q83 또는 다른 PEN 또는 PET과 같은 보호적 물질로 커버된 프리프레그, EVA, Z68, 또는 다른 것들과 같은 유전체 시트의 샌드위치 구조체를 포함하고, 여기서 적어도 하나의 층은 보호를 지키기 위해 계속되고, 다른층의 적어도 하나 또는 모두는 계속되거나 또는 미리 라미네이션 드릴링의 경우 천공된다. 후자는 언더라잉 금속 핑거에 용이하게 낮은 접촉 저항 접근을 가능하게 한다. 다른 예시적 제2 유전체층은 침지 접촉 결합 구조체의 경우와 같이 얼라인되지 않은 천공된 시트를 임의로 또는 규칙적으로 포함한다.

[0354] 이후 웨트 가공 단계를 수행하는 경우에, 백플레인-보강된 TFSS의 후측에 웨트 화학 접촉이 없는 일 실시예에서, 보호 시트는 웨트 가공 동안 필요하지 않을 수 있고, 또한 홀을 통한 접근의 드릴링(drilling of access via holes)은 웨트 가공 전에 임의의 시점에 수행될 수 있다는 것에 주의해야 한다.

[0355] 부착된 유전체에 비아 홀(접촉 개방부라고도 함)은 TFSS 상의 언더라잉 제1 레벨 금속 핑거(제1 전기 전도성 상호 접속층)과 백플레인 상의 다음 레벨 금속(제2 전기 전도성 상호 접속층) 사이에 접촉을 제공한다. 라미네이션 후 비아홀을 드릴링하거나 보호 시트로 커버된 비아홀을 유지하는 것은, 이하 기재된 플루토 구조체의 경우에서와 같이 텍스처링, 세정, 및 전면 패시베이션 단계 동안 TFSS 상의 언더라잉 금속의 보호를 제공하고, 웨트 화학 배스로 보강된 구조체의 침지를 가능하게 한다.

[0356] 유전체에서 비아홀(접촉 개방부)은 바람직하게는 상기 기재된 바와 같이 레이저를 이용하여 드릴링되거나, 프린팅된 유전체 접착제의 경우에는 비아홀이 소망되는 프린팅되지 않은 영역을 이탈(leaving)시킴으로써 형성될 수 있다.

[0357] 다음 레벨의 금속은 바이어스를 통해 및 백플레인 상의 다음 레벨의 금속 상에 또는 직접적으로 셀-투-셀로 또는 백플레인 구조체 및 공정 실시예에 따라 커넥터를 조절하기 위해 전류를 보낸다. 일반적인 물질 및 비아 충전 물질의 실시예는, 바이어스로 스텐실 또는 스크린 프린팅되거나 미리 드릴링된 유전체 시트를 적용하기 전에 적용될 수 있는 도전성 에폭시 또는 더욱 일반적으로 도전성 접착제이다. 또한, 일반적인 물질은, Ag, Cu,Sn, Bi 또는 매혹적인 백플레인 유전체 가공 온도와 동일한 범위 또는 그보다 낮은 범위인 약 140 ℃의 낮은 솔더 적용 온도에 기인하여 특히 유용할 수 있는 SnBi 혼합을 포함하는 이들의 혼합을 함유하는 것과 같은 솔더 또는 솔더 페이스트를 포함한다.

[0358] 적어도 부분적 비아 충전 또는 비아 충전의 생략에 이어서, 증착된 다음 레벨 금속은 유전체(여기서 제2 전기 전도성 상호접속층 또는 제2 금속화층이라고도 함)의 상부 상에 넓은 폭의 금속 핑거를 제공하도록 제공한다. 추가적인 비아 충전 금속이 그 사이에 사용되지 않는 더욱 바람직한 경우에 있어서, 상기 제2 레벨 금속은 드릴링된 바이어스에 언더라잉 제1 레벨 금속과 접촉을 만들기 위해 직접 사용된다. 이러한 큰 금속 핑거는, 패터닝에 의해 커버되고, 이후에 베이스 금속 분리로부터 에미터 금속에 유전체 프린트가 제거되는 전 블랭킷 PVD

시드를 선택적으로 갖는 도금된 금속으로 이루어질 수 있다. 후자의 프린트는 나중에 제거되고, 에치백 공정은 블랭킷 시드 금속을 제거하기 위해 수행될 수 있다. 도금된 핑거에 있어서, 선택적으로 시드는 세도우 마스크를 이용하여 프린트 또는 증착되어 미리 패터닝(pre-patterned)될 수 있다. 부스바 구조체의 존재에 따라서, 핑거 구조체의 도금 동안 더 많은 양의 접촉점이 적용될 수 있다. 프린팅, 스프레잉 또는 도금과 같은 방법에 의해 증착 또는 빌드업되는 것 이외에, 큰 금속 핑거(제2 전기 전도성 상호 접속층)은, 예컨대 솔더 가능한 알루미늄, 즉 Al과 Ni, NiV 및 선택적으로 Sn의 박형 코팅으로 제조된 미리 형성된 핑거로 이루어질 수도 있다. 구조적 강도에 있어서, 이러한 핑거 선(finger lines)은 인터락될 수 있거나, 선택적으로 인터락될 수 있는 타일일 수 있다. 수직의 핑러를 증착하는 다른 예는, 플레임 또는 열적 스프레잉의 사용과 같은 스프레잉 금속을 포함한다. 또 다른 옵션은 솔더 또는 도전성 접착점에 의해 언더라잉 바이어스에 국부적으로 부착될 수 있는 플렉서블한 프린팅된 박이다-이러한 프린팅된 박은 플렉스 전기 회로 또는 플렉스 커넥터에 사용되는 것과는 다르다.

[0359] 금속 핑거의 실시예는 부스바 디자인을 선택적으로 포함할 수 있다. 그렇지 않다면, 도전성 접착제의 솔더링 또는 프린팅을 통한 이후 접촉은 백플레인 및 최신의 전지를 모듈에 연결할 수 있다(may connect the backplane and with it the cell to the module). 일부 실시예에서, 홀로 도전성 물질의 프린팅은 요구되지 않고, 대신 드릴링된 비아홀의 선택적 세정 후, 선택적으로 금속 상의 본래의 산화물의 제거와 함께하고, 다음 레벨의 금속(제2 전기 전도성 상호 접속층)의 시드층은 개방된 비아홀로 직접적으로 적용될 수 있다는 것을 주의해야 한다.

[0360] 특히 여기에 기재되는 오아시스 및 하이브리드 구조체에 적용되는 다른 추가적인 층은 이하를 포함한다:

[0361] a. 제2층 금속이 이미 백플레인 상인 경우, 백플레인 보강된 TFSS가 텍스처링 및 후 텍스처링 세정과 같은 화학처리를 겪은 경우에, 제2 레벨 금속의 상부 상에 보호적 유전체층을 갖는 것이 바람직할 수 있다. 이러한 층의 기능은 화학물질로부터 보호를 제공하는 것이고, 선택적으로 CTE 불일치 및 구조체 바우를 제어하는 것을 돕고, 나중에 시럼 및 모듈 상호 접속을 위해 전지의 접촉을 위한 영역을 보호 및 제공하는 것이다. 이러한 접촉 영역은, 예컨대 커팅 또는 레이저로 시트 또는 층을 통해 드릴링함으로써 웨트 가공 단계 또는 단계들을 겪은 후 이러한 보호층을 통해 개방될 수 있다. 예시적인 물질의 실시예는 프리프레그, EVA, Z68, Tedlar, Mylar PEN(예컨대 Teonex Q83)의 이용을 포함한다. 선택적으로 2개 이상의 샌드위치는 층들 중의 적어도 하나는 화학물질로부터 에지 및 후측의 화학적 보호를 제공하는 일을 위해 사용될 수 있다.

[0362] b. 상기 유전체층 이외에, 대부분의 태양 전지 모듈 실시예에 요구되는 충분한 평탄함 및 단단함을 공급하기 위해 또는 구조체에 소정의 형태 또는 곡률을 제공하기 위해 제공하는 지지층(backing layer)이 첨가될 수 있다. 후자는 평평하지 않은 전지가 적용되는 구조적 디자인에서 유리하게 사용될 수 있다. 그러나, 이러한 곡률은, 프리프레그, 여기서 언급되는 다른 것들과 같은 적합하게 선택되는 최초 백플레인 유전체층의 사용에 의해 잠재적으로 충분한 범위로 변경될 수 있다. 또한, 이러한 지지층 또는 지지층들은, 그것을 통과해 아래에 있는 금속층 상에 접촉시켜, 금속성 접촉이 그것을 통해 제공될 수 있도록 천공될 필요가 있을 수 있다. 선택적으로 지지층은 접촉의 극성들 중 하나로 할당될 수 있다. 물질의 일반적인 실시예는, 박형인 바람직하게는 1 또는 0.5 ㎜보다 얇은 알루미늄, 스틸, 유리 또는 다른 적합하게 단단한 플레이트이다.

[0363] c. 금속성 또는 그렇지 않으면 내화학성이 아닌 물질이 지지층으로 사용되는 경우, 지지층의 화학적 공격을 방지하고, 지지층 아래에 금속으로 전기적 접촉 접근을 제공하여 멀티-셀 모듈에 백플레인 보강된 전지의 접촉을 가능하게 하기 위해서, 예컨대 기계적 커팅 또는 레이저 커팅을 이용하여 화학적 노출 후 천공될 수 있는 추가적인 상부 보호 커버층이 적용될 수 있다. 이러한 보호층의 일반적인 물질 실시예는 프리프레그, Mylar, PEN, 예컨대 Teonex's Q83이다. 백플레인 강화된 전지에 이러한 보호층의 부착은, 아래에 추가적인 접착제를 통해 또는 지지층의 에지를 둘러싸고 지지층 내에 천공을 통해 접촉하는 접착제를 통해 수행될 수 있다. 접착제는, 예컨대 프리프레그, EVA 또는 Z68로 이루어질 수 있다. 지지층은 상부 보호 커버층에 언더라잉 접착제의 에지 랩 어라운드를 가능하게 하기 위해 약하게 언더사이징되는 경향이 있다. 라미네이션 공정 동안, 백플레인 보강된 TFSS의 백플레인측 상에 적합하게 형성된 커버 프레싱을 갖는 것은 유용할 수 있고, 이러한 커버는 라미네이션 공정 동안 플로잉되는 접착제에 의해 영역의 폐쇄를 방지하기 위한 수단을 제공한다. 이는 결국 라미네이션 공정 후 적합한 점에서 백플레인 접촉에 전기적 접근의 더 큰 용이성을 가능하게 할 수 있다. 유리가 지지층으로 사용되는 경우에, 유리를 통해 드릴링된 홀을 통해 또는 유리의 에지를 둘러싸는 와이드한 금속 핑거를 랩칭함으로써, 그리고 내화학성 물질로 이후 커버되는 유리의 상부 상에 또는 모듈에 근접한 전지에 접촉을 위해 직

접적으로 사용되는 전지의 외측에 돌출된 금속 핑거를 가짐으로써 접속(connection)이 만들어질 수 있다. 또한, 후자는 전지의 웨트 화학적 노출 동안 내화학성 보호층의 적용을 필요로 할 수 있다.

[0364] 본 발명의 적용이 다수의 실시예에 가능하기 때문에, 본 발명은 다양한 형태의 지지 구조체, 물질 및 공정을 이용하여 몇 가지 가능한 실시예를 제시한다. 이러한 일부의 실시예 내에서, 우리는 고려되어야 할 주요 포인트 및 이점을 갖는 특정 구조체, 물질 및 공정을 지적한다. 명확하게 달리 설명하지 않으면, 이러한 주요 포인트는 개념상으로 동일한 구조체, 물질 및 공정이 기재되는 다른 실시예에서도 유지될 수 있다고 여긴다.

[0365] 또한, 본 발명에 커버되는 구조체, 물질 및 방법은 모두 명확하게 기재될 수는 없지만 다수의 잠재적 시행 변형이 가능하다. 본 발명의 목적은, 제시되는 실시예의 적어도 하나의 부분이 비교 가능한 방법으로 실행 및 이용되는 경우 이러한 모든 시행을 커버하기 위한 것이다. 최종 구조체, 특정 방법 또는 공정 흐름과 수행하기 위한 일부 변경 이외에, 최종 구조체는 각 경우에 도시될 수 있다. 이하 공정 흐름 및 구조체는, 이 경우가 더욱 일반적이기 때문에 캐리어 지지체를 필요로 하는 초박형 실리콘(very thin silicon needing carrier support)으로 추정한다. 캐리어 지지체를 필요로 하지 않는 더 두꺼운 실리콘은 여기에 제시되는 더욱 일반적인 경우의 특정 경우이다.

[0366] 설명을 목적으로, 본 발명은 이하를 포함하는 몇 가지 백플레인 및 공정 흐름 실시예를 제공한다: 플루토 구조체, 오아시스 구조체, 하이브리드 구조체, 및 침지 접촉 결합 구조체. 그러나, 개시되는 백플레인 구조체 및 가공 요소들은 당업자에 의해 임의의 수의 조합 및 변형이 사용될 수 있다.

[0367] 도 63A 내지 63D는 소정의 가공 단계 동안 이후 플루토라고도 하는 제1 실시예의 단면도이다. 도 63A는 프리프레그 라미네이션, 레이저 드릴링, 및 PVD 시드 금속 가공 단계 후 플루토 구조체를 도시한다. 도 63A에 도시된 바와 같이, 플루토 구조체는 이하 요소들로 이루어진다: 첫째 활성 흡수체층, 패터닝된 에미터 및 베이스 영역 및 이 도면에서 PVD 및 이후 패터닝으로 증착된다고 나타내는 패터닝된 제1층 금속으로 이루어지는 박막 태양 기판 (TFSS). 일반적으로 금속 1 핑거는 금속 2 (도 3의 경우에 도금된 Cu/Sn)에 수직으로 확장된 선이다. TFSS의 전측(태양이 비치는 측이라고도 함)은 텍스처링 및 패시베이션된다. 둘째, 플루토는 선택적으로 라미네이션과 동일한 단계에서 TFSS 구조체에 라미네이팅되고, 경화되는, 프리프레그 또는 다른 적합한 접착 유전체 백플레인 형성 물질(other suitable adhesive dielectric backplane forming material)을 포함한다. 유전체 백플레인 물질은 상부 커버 시트에 의해 선택적으로 보호되거나 화학적으로 비활성인 실리콘의 열팽창계수에 우수한 일치, 우수한 접착성을 갖도록 선택된다. 열적 일치는, 예컨대 CO2 레이저를 이용하여 드릴링되는 바이어스의 드릴링을 가능하게 한다. 비아 드릴링은 언더라잉 금속 1에 진행되고, 금속 1층 내에 또는 상부 상에 정지를 위해 필요하다. 또한, 프리프레그 물질은, 언더라잉 실리콘의 열팽창계수에 최고로 일치되고, 라미네이팅 및 나중에 분리되는 샌드위치 구조체에 관련된 스트레스 및 빌트인 바우(built-in bow)를 감소시키는 최적의 비율로 직조 또는 부직포 섬유(예컨대 유리, 케플라(Kevlar) 또는 다른 적합한 물질 및 수지 또는 다양한 수지류)를 도입하는 것과 같은 선택적으로 다양한 특성을 갖는 물질의 하나 이상의 시트로 이루어질 수 있다. 비대칭적으로 수지 코팅된 프리프레그 시트를 가지고 또는 다양한 수지 함량 또는 형태를 갖는 하나 이상의 프리프레그 시트를 라미네이팅하도록 접착성과 열적 불일치의 균형을 맞추는 것이 유리할 수 있다.

[0368] 도 63B, 63C 및 63D는 도금 및 Sn 캡핑층 가공 단계의 플루토 구조체를 도시한다. 도 36C 및 63D는, 프리프레그의 라미네이션 전에, 금속 1 구조체와의 사이에 예컨대 스크린 프린팅함으로써 추가적인 접착제가 놓이는 실시예를 설명한다. 도 36D의 라미네이션 전에 적용되는 접착제는 금속 1 선과 금속 1 사이 공간을 커버한다는 것을 주목한다. 라미네이션 전에 적용되는 접착제는, 몇몇의 추가적인 공정 옵션 및 이익을 제공할 수 있는, 금속 1 선들 사이 공간에만(도 63C) 또는 적어도 부분적으로 금속 1 선 상에(도 62D) 프린팅될 수 있다. 접착제는 더욱 평면인 개시 라미네이션 표면을 제공함으로써 이후 라미네이션 동안 평탄화 요건을 완화하는 것을 도울 수 있다. 또한, 특히 접착제가, 경화될 때 백플레인(예컨대 프리프레그)과 활성 흡수체 물질(예컨대 에피택셜 성장 및 분리된 실리콘) 사이에 열팽창계수의 불일치를 분리시키는 것을 도울 수 있는, 낮은 모듈러스를 갖는 경우, 스트레스 버퍼(stress buffer) 및 개선된 접착성을 제공할 수 있다. 셋째, 상기 언급된 바이어스는 PVD 또는 프린팅된 시드층 또는 도전성 페이스트와 같이 적어도 부분적으로 금속화와 충전 또는 접촉된다. 도

63B-D는 비아홀을 충전시키고, 비아홀로부터 및 비아홀에 전류를 제공하는 핑거를 제공하기 위해 예시적 금속화로서 도금된 구리를 보여준다. 금속 핑거(금속 2)는 제1층 금속의 온-TFSS(on-TFSS) 금속 핑거(금속 1)에 필수적으로 수직 방법으로 배열될 수 있다.

[0369] 다수의 동일한 구조체는 온-TFSS 금속 핑거에 접촉을 형성하기 위해 예컨대 하나 이상의 금속으로 이루어진 구조체의 이러한 도식이 그려질 수 있다. 도시된 구조체에 공통된 점은, 외부, 제2층 금속(금속 2)가 내부, 제1층 금속(금속 1)에 필수적으로 수직으로 배열되는 2층 금속 디자인이다. 또한, 제2층 금속의 치수는 더 크고 쉽게 제조된다.

[0370] 이후 오아시스라고도 하는 두번째 그룹의 구조적 실시예는 이하 두 가지 컨셉에 의해 정의된다. 첫째, 적어도 일부 시점에서 구조체는 수직 또는 쿼시-수직 전류 트랜스퍼에 의존하고, 그 컨셉은 이하 구조체 성질에 설명되는 것이다: 이하를 포함하는 수직 전류 추출의 수직 핑거 디자인: 1) 보우잉 또는 랩핑으로부터 전지-백플레인 배열을 유지하고 구조적 통합성을 제공하기 위한 인터락 핑거; 및 2) 핑거에서 스트레스 완화 커트; 및 이하를 포함하는 수직 전류 추출의 타일 디자인: 1) 핑거의 방향에서 백플레인 물질과 박형 태양 전지 사이에 CTE 불일치 관련된 스트레스를 제거하기 위한 세그먼트화된 핑거(타일), 및 2) 보우잉 또는 랩핑으로부터 전지-백플레이트 배열을 유지하고 구조적 통합성을 제공하기 위한 인터락 타일.

[0371] 제2 오아시스 성질은, 텍스처 및 패시베이션 공정 시 태양 전지 제조 공정에서, 반도체의 베이스 및 에미터에 접촉을 만드는 금속측 옆에 금속의 적어도 하나의 추가적인 층은 이미 백플레인으로 통합되었다. 따라서, 오아시스 백플레인은 2개의 금속층, 금속 1 및 금속 2를 갖는 통합된 구조체이다.

[0372] 도 64A-F는 4층 백플레인 오아시스 구조체(백본 없음) 및 제조 공정 흐름의 실시예의 각종 양태를 도시한다. 도 64A는 6개의 총 금속 핑거(3개의 베이스/에미터 쌍)를 갖는 템플레이트로부터 분리한 후 오아시스 구조체의 단면도이다. 이 구조체는 이하 요소를 포함한다: 첫째, 플루토 구조체와 같이, 패터닝된 제1층 금속 칭거를 함유하는 TFSS. 둘째, 스크린 프린팅을 이용하여 패터닝 방법으로 적용되거나 또는 TFSS에 적용 전에 미리 드릴링되거나 후 드릴링될 수 있는 프리프레그 물질과 같은 시트로서 유전체 접착제. 셋째, 에폭시와 같은 도전성 에폭시와 같은 물질로 이루어지는, 스텐실 또는 스크린 프린팅될 수 있는 도전성 접촉의 어레이. 도전성 물질은, 유전체에 개방부가 있는 영역에 적용된다. 넷째, 구조체는 금속 핑거의 도전성 제2층을 함유한다. 금속 핑거 물질의 제2층은 알루미늄 또는 솔더 가능한 알루미늄 페이스트 (SAP), 예컨대 니켈(Ni) 또는 니켈 바나듐(NiV) 및 주석(Sn)의 박층으로 코팅된 알루미늄일 수 있다. 이 물질은, 다른 유전체, 예컨대 프리프레그, EVA, Z68 또는 다른 상응할만한 유전체로 임베딩된다. 이러한 다른 유전체는 도전성 제2층 금속 핑거에 접촉 접근을 가능하게 하기 위해 선택적으로 미리 펀칭된다(pre-punctured). 예컨대 Mylar, Tedlar 또는 다른 PEN 또는 PET 기반 물질, 예컨대 Teonex, 구체적으로 Teonex Q83로 제조되는 선택적 내화학성 커버 시트는 구조체의 상부에 적용될 수 있다. 몇몇의 공정 흐름의 실시예가 이러한 구조체를 얻기 위해 가능하다. 백플레인의 4개의 층은 1) 유전체/도전성 접착제, 2) SA플레이트 핑거, 3) 다음층 접착제, 및 4) 상부 커버 시트이다.

[0373] 중요한 구조적 차이점은, 모든 성분이 함께 레이업 되고 동시에 라미네이팅되는 단일 백플레인 라미네이션 공정과, 제2층 금속이 플랫한 백플레인으로 라미네이팅되고, 이 시점에서 적합한 강조의 분리층을 이용하여 템플레이트에 의해 지지될 수 있는 TFSS에 제2 라미네이션 전에 둘러싸는 유전체로 임베딩되는 공정 사이에 드로잉될 수 있다(may be drawn). 후자의 경우, 백플레인은 비용 및 로지스틱스에 잠재적 이익을 갖는 TFSS로부터 따로 제조, 저장 및 단계화될 수 있다. 또한, 이 경우에, 옵션이 있다: TFSS와 백플레인 사이에 접착성을 제공하는 유전체 접착제 및 온-TFSS(on-TFSS) 금속 핑거와 백플레인의 일부인 큰 금속 핑거 사이에 접촉을 위해 사용되는 도전성 물질 중 하나 또는 둘다는 백플레인측에 또는 라미네이션 전에 TFSS 측에 적용될 수 있다.

[0374] 도 64B는 백플레인 주변 근처에 형성된 엔드 오브 더 라인(end-of-the-line) 접근 홀을 갖는 백플레인 구조체의 예컨대 25um 플라스틱 또는 프리프레그 물질의 상부 커버 시트의 상면도를 도시한다. 3개의 에미터 접근홀 및 3개의 베이스 접근 홀을 갖도록 도시된다. 접근 홀은 이미 미리 드릴링된 EVA 봉합재 시트를 통해 솔더 가능한 Al 랜딩 패드를 노출하기 위해 박형 백시크로 레이저(또는 기계적으로) 드릴링된다. 접근 홀은 약 5 내지 15 mm의 직경을 가질 수 있고, 라미네이션 및 어셈블리 및 스트링거 접촉을 위해 Pb 프리 솔더(Pb-free solder)로

충전된다. 일 실시예에서, 수직의 핑거 당 하나의 큰 직경 접근 홀이 사용될 수 있다(6개의 언더라잉 수직 핑거에 6개의 접근 홀로 도시된 바와 같이). 도 64C는 외부 모듈 스트링거 접촉에 외부 접근홀의 형태를 나타내는 백플레인 구조체의 상면도를 도시한다. 도 64D는 주요 오아시스 백플레인 제조 단계를 강조하는 공정 흐름이다. 도 64E 및 64F는 오아시스 백플레인 실시예에 구조적 공정 흐름을 도시한다. 도 64E의 구조체 1은 상부에서 하부까지 3개의 층의 스택을 도시한다: 1) 예컨대 투명 플라스틱 또는 프리프레그로부터 제조된 박형(25um) 커버 시트, 2) 예컨대 경화되지 않은 EVA 또는 프리프레그로 제조되는 큰 접근 홀을 갖는 미리 드릴링된 프리프레그 봉합재 또는 박형(200um) EVA, 및 3) 레이저 스크라이브 및 KOH 에칭 또는 스탬핑을 이용하여 미리 제조된 박형(200um) 솔더 가능한 Al 핑거. 도 64E의 구조체 2에서, 3개의 층 스택은 이하의 스택을 형성하기 위해 얼라인된다: 1) 박형 플라스틱 커버 시트, 2) 미리 드릴링된 EVA 또는 프리프레그, 및 3) 수직 인터락된 SA플레이트 Al 핑거. 도 64E의 구조체 3은, 평면 백플레인 백본 구조체를 제조하고, Al 핑거들 사이에 갭을 충전 및 동일 평면화하기 위해 오픈-페이스드 라미네이션 후 스택을 도시한다. 도 64F의 구조체 4는 스크린 프린팅에 의한 전계 유전체(field dielectric)(예컨대 열가소성 유전체 접착제) 또는 레이저-미리 드릴링된 유전체 시트(예컨대 프리프레그 또는 Z68) 의 형성 후 구조체를 도시한다. 도 64F의 구조체 5는 스크린 프린팅에 의해 b-단계화 될 수 있는 도전성 접착제(CA) 기둥의 형성 후 구조체를 도시한다. 도 64F의 구조체 6은 전지에 부착/라미네이팅, 분리 및 백엔드 가공(또한 에지 실 형성) 후 구조체를 도시한다. 도 64F의 구조체 7은 전기 접촉 접근 홀을 형성하기 위해 상부 박형 플라스틱 커버 시트의 최종 레이저 드릴링 후, 시험 및 분류를 위한 접근 홀에 솔더 범프를 적용한 후 구조체를 도시한다.

[0375] 도 65A-D는 백플레인의 일부인 큰 금속 핑거의 잠재적 형태를 설명하는 각종 실시예의 상면도이다. 도 65A는 6개의 핑거를 갖는 인터락 패턴이고, 도 65B는 6개의 핑거를 갖는 스프링 세그먼트화된 밸런스된 패턴 (평행사변형)을 도시하고, 도 65C는 6개의 핑거를 갖는 물리적으로 세그먼트화된 밸런스된 패턴을 도시하고, 도 65D는 인터링크된 접촉 패턴을 도시한다. 핑거는 일반적으로 온-셀 제1층 금속 핑거에 수직으로 배열된다. 수직 트랜스퍼 때문에, 제2 금속층 핑거의 치수는 금속 루팅을 통해 직렬 저항에 기인한 오믹 손실을 절충하지 않고 상대적으로 클 수 있다. 일반적으로, 이러한 금속 핑거는 약 100 내지 몇백 미크론 범위의 두께일 수 있다. 백플레인이 라미네이트되는 주요 물질은, 선호하는 분열 방향으로 작용하는 그 결정면을 따라 선호하는 기계적으로 약한 방향을 갖는 결정 실리콘이다. 따라서, 바람직한 분열 방향을 제공하지 않기 위해서 끼워진(interleaved) 핑거를 갖기 위해 전체 구조체의 강도를 지키는데 바람직할 수 있다. 핑거가 사용되는 경우에(도 65A 및 65B에 도시된 바와 같이), 핑거로 슬릿의 첨가는, 큰 금속 핑거의 방향을 따라 CTE 불일치 관련된 스트레스를 감소하는 스프링 작용을 제공하기 위해 작용할 수 있다. 타일이 사용되는 경우(36 타일을 갖는도 65C에 도시된 바와 같이), 타일의 각각의 컬럼은 동일한 극성을 가지고(에미터 및 베이스 각각), 각각의 타일은 나중에 연결될 필요가 있고, 예컨대 전지가 완성된 후 다른 개방부 접촉홀 또는 커버링된 임베딩 유전체 시트의 미리 펑처칭(pre-puncturing)이 요구될 수 있다. 이러한 접촉 홀은 도전성 에폭시 또는 솔더와 같은 접촉 물질로 충전될 수 있고, 모듈 어셈블리 제조의 일부로서 스트링거에 접촉된다. 수많은 다른 큰 금속 핑거 기하학은, 예컨대 도 65D에 묘사된 디자인이 가능하다. 도 64B 및 64C의 구조체 및 기하학은 서로에 및 모듈에 전지의 접촉의 실시예가 도시된다.

[0376] 도 66은 수직의 오아시스 디자인을 설명하는 전지 후측의 상면도이다. 알루미늄 핑거 에미터 및 베이스 접촉은 수직으로 배열되고, 언더라잉 온-셀 제1층 금속 핑거 온-셀 제1층 금속 핑거에 접촉된다.

[0377] 도 67은 여기서 5 또는 6개층 오아시스 구조체라고도 하는 오아시스 구조체(백본을 갖는) 실시예의 단면도이다. 도 64에 도시된 4개층 오아시스 구조체와 비교하여, 도 67에 도시된 구조체는, 더욱 단단하고, 평평하고 기계적 지지체 구조체를 제공하기 위해 추가적인 플레이트 또는 플레이트들을 함유한다. 지지판은 전기 접촉 접근 홀을 제공하기 위해 미리 펑처링되고, 그 유전체 접착 시트(층을 추가하고 오아시스 구조체, 6개층 구조체를 제조)에 의해 또는 적합한 접착제 및 에지 실링을 위한 장치의 에지 주변 및 미리 천공된 홀을 통해 충분히 언더라잉 유전체 시트를 리플로우함으로써(5개층 오아시스 구조체) 부착된다. 지지판(support plate)은 예컨대 알루미늄, 스틸, 적합한 폴리머, 우리 또는 세라믹과 같은 낮은 비용의 물질이어야 한다. 추가적인 접착 시트는 프리프레그, EVA 및 Z68 및 관련 물질을 포함하여 상기와 같이 동일한 물질로 이루어질 수 있다. 상부 커버 시트에 접착을 보호하기 위해 접착제 물질의 제어된 리플로우는, 라미네이션 공정 동안 적용되는 적당하게 수행

되는 픽스처에 의해 가능해질 수 있고, 이는, 동시에 상부 커버 시트층에 접촉하고 플로우 하기 위해 백본층 아래에 임베딩되는 접착 물질의 리플로우를 가능하게하지만 접착 물질이 바람직한 접촉홀을 폐쇄하는 것을 방지한다.

[0378] 이하 하이브리드 구조체라고도 하는, 구조체적 실시예의 세번째 그룹의 실시예는 각각 도 68A 및 68B-C의 상면도 및 측면도로 묘사된다. 도 68B는 에미터 접촉을 보여주는 하이브리드 구조체의 단면도이고, 도 68C는 베이스 접촉을 보여주는 하이브리드 구조체의 단면도이다. 플루토 및 오아시스 구조체는 실질적인 단순함을 가지고, 다수의 중간체/조합 구조체는 플루토 및 오아시스 컨셉으로부터 유래될 수 있다-도 68A-C는 하나의 예를 설명한다. 도 68A-C의 하이브리드 구조체는, 웨트 가공 및 패시베이션 시에 구조체 상의 금속 성분만이 제1층 금속과 같이 아래의 공정 흐름 설명에서 분류화되는 것과 같은 플루토 성질 요소를 갖는다. 또한, 개시된 하이브리드 구조체는 큰 금속 핑거 어레이를 함유하는 오아시스 특성 요소를 갖는다; 그러나 이러한 큰 금속 핑거 어레이는 텍스처링 및 패시베이션 공정 후에 점에 적용되고, 따라서 오아시스 구조체의 특성인 TFSS에 부착 전 백플레인 구조체로 통합되지 않는다.

[0379] 도 68A-C의 하이브리드 구조체는 이하 요소를 포함한다; 패터닝된 제1층 금속을 갖는 TFSS; 스크린 프린팅을 이용하여 또는 후 또는 전-라미네이션 드릴링된 프리프레그 물질을 이용하여 증착 동안 패터닝될 수 있는 유전체; 유전체의 상부 상에 비아를 통해 또는 큰 금속 핑거의 어레이에 직접적으로 접근 가능한 온-셀 제1층 금속으로부터 금속을 제공하도록 제공되는 금속층 또는 금속층들; 선택적 지지판(backing plate)(예컨대 유리, 폴리머, 세라믹 또는 금속으로 이루어지는)과 프리프레그, EVA 또는 Z68과 같은 유전체에 임베딩되고, TFSS 상의 제1층 금속에 수직으로 배열되는 큰 금속 핑거, 및; 전지와 비교하여 오버사이즈되고 바깥쪽으로 금속 그리드 확장을 가짐으로써 형성될 수 있는 또는 큰 금속 핑거가 임베딩되는 유전체를 통해 접촉함으로써 형성될 수 있는 측에 위치되는 접촉을 조절하기 위한 전지 및 셀투셀을 위한 접촉 영역(a contact area for cell to cell and cell to module contacting). 또는, 접촉은, 임베딩 및 선택적 지지판 물질을 둘러싸고, 전지의 후측에 직접 노출되는 금속을 갖는 큰 금속 핑거를 랩핑함으로써 형성될 수 있다.

[0380] 이후 침지 접촉 결합 구조체라고도 하는 4개 그룹의 구조적 형태의 실시예는 도 69 및 70의 단면도로 묘사된다. 도 69는 결합 전후의 구조체를 나타내는 A1 오아시스 백플레인을 이용하는 침지 접촉 결합 구조체 및 방법의 단면도이다. 도 70은 결합 전후의 구조체를 나타내는 모놀리식 모듈 어레이(MMA)형 백플레인을 이용하는 침지 접촉 결합 구조체 및 방법의 단면도이다.

[0381] 이전에 제시된 플루토, 오아시스 및 플루토-오아시스 하이브리드 구조체는 유전체 접착-스크린 프린팅되는 물질 또는 라미네이트된 프리프레그 시트-다음 층 금속으로부터 전지 상의 제1층 금속을 분리하고, 다음층 금속에 접촉이 그를 통해 제조될 수 있는 비아홀을 개방시키는 것과 같은 얼라인 방법으로 패터닝되는-를 갖는다. 침지 접촉 결합 구조체에서, 유전체 접착제는 백플레인의 일부인 금속과 제1층 금속 사이에 접촉점에 대한 얼라인 방법으로 패터닝되지 않는다. 접촉은 바람직한 접촉 스팟에 위치하고, 라미네이션 공정에서 유전체 라미네이션 시트를 통해 푸시되는 솔더 또는 도전성 에폭시와 같은 프린팅된 도전성 범프의 얼라인, 패터닝된 어레이에 의해 제조된다. 유전체 라미네이션 시트는, 예컨대 EVA or DNP의 Z68와 같은 라미네이션 동안 충분히 부드러워지는 물질로 이루어진다. 이러한 물질은 선택적으로, 다른 금속층들 사이에 낮은 저항 접촉을 제조하기 위해 도전성 범프의 충분한 퍼센트의 개방 영역을 제공하기 위해 천공된 시트로서 제조된다. 따라서, 침지 접촉 결합 구조체는 이하를 포함한다: 패터닝된 제1층 금속을 갖는 TFSS; 도전성 범프의 얼라인된 어레이; 규칙적 또는 임의의 방법으로 천공되거나 결합 공정의 일부로서 천공될 수 있는, 예컨대 EVA 또는 Z68로 이루어지는 유전체 시트; 오아시스 실행에서, 도 69에 묘사된 바와 같이, 임베딩된 큰 금속 핑거를 갖는 오아시스-스타일 미리 라미네이팅된 백플레인, 및; MMA 스타일 백플레인으로 직접 실행에서, 도 70에 묘사된 바와 같이, 유전체 접착 시트를 통해 TFSS와 접속되는 보호 커버(예컨대 PEN 또는 다른 적합한 저항 물질로 이루어지는).

[0382] 도 71은 백플레인 보강제의 제조 및 어셈블리를 갖는 후면 접촉 태양 전지의 공정 흐름 실시예이다. 도 73A-J는 흐름과 같이 프론트 앤드 가공을 설명한다.

[0383] 가공의 프론트 앤드는, 재사용되거나 프레시한 템플레이트의 웨트 세정 후, 분리층, 예컨대 높은 공극률의 상부상에 낮은 공극률을 갖는 다공성 실리콘의 2중층의 형성으로 시작될 수 있다. 이어서, 활성 흡수제 전지 영역은 수소에서 n형 베이스를 생성하기 위해 도펀트, 예컨대 포스핀(PH3) 및 트리클로로실란(TCS)을 이용하여 예컨대 실리콘의 에피택셜 증착을 이용하여 증착된다. 선택적으로, 이러한 증착은 깊이의 기능으로서 하나 이상의 분명한 도핑 농도를 가지도록 배열될 수 있다. 이후, 도핑된 유리의 층은 예컨대 대기압 화학 증기 증착(APCVD)를 이용하여 증착되고, 그 후 피코세컨 레이저를 이용하여 패터닝 가공된다.

[0384] 일 실시예에서, 제1 유리층은, 덜 무겁게 도핑된 에미터를 형성하기 위해 선택적으로 언도핑된 실리케이트 유리(USG)의 층으로 캡핑된 후, 더욱 무겁게 도핑된 에미터가 생성되어, 결국 에미터 금속 1에 낮은 저항 접촉을 제공하도록 제공되는 영역에 보로실리케이트 유리의 제거되는, 더 가벼운 양의 에미터 도펀트(보로실리케이트 유리-BSG 중 보론)를 함유한다. 이후, 더욱 무겁게 도핑된 BSG층(BSG2)은, 선택적으로 USG 캡층을 갖는 에미터에 접촉하는 금속 1의 영역에 증착된다. 그 후, 베이스 접촉의 영역은, 바람직하게는 피코세컨 레이저를 이용하여 제거된다. 이어서, 베이스에 낮은 저항 접촉을 형성하기 위해 무겁게 N+-형 도핑된 접촉 영역을 생성하는 것인 인의 도펀트 원으로 작용하는 포스포실리케이트 유리(PSG) 층이 증착된다. 이후 단계에서, 프로파일은 열적으로 어닐링되어, 접합에 드라이빙(driving in)된다. 선택적으로 어닐링 주변은 중성과 산화된 주변 사이에서 선택될 수 있고, 후자는 낮은 후면 재조합 속도를 가능하게 하기 위해 후측에 높은 품질의 계면을 형성하도록 제공된다. 다음 단계로서, 에미터 및 베이스 도핑된 접합에 접촉 영역은 이후 적용되는 금속 1층의 접촉이 가능하도록 개방되고, 여기서 금속 1은 예컨대 접합을 통해 스파이킹을 방지하지만, 접합에 금속 1의 낮은 저항 접촉을 형성하기 위해 알루미늄 (Al) 또는 AlSi로 이루어지는, 예컨대 프린팅된 층 또는 프린팅된 층들의 서열일 수 있다. 프린팅된 금속층 또는 층들은 다음 단계 전에 선택적으로 열적 어닐링될 수 있다. 이 점에서, 디바이스의 프론트엔드는 완료되는 것으로 여겨질 수 있고, 백플레인 관련 단계는 시작될 수 있다.

[0385] 다음 단계는 단일 단계 라미네이션 또는 백플레인 제조 후 템플레이트 상의 박막 태양 기판으로의 라미네이션을 포함할 수 있다. 이러한 라미네이션은 바람직하게는 진공에서, 라미네이트를 경화하기 위해 승온된 온도에서 수행된다. 압력은 균일함과 신뢰성 있는 접착성을 보호하도록 가해진다. 압력은 구조체가 겪는 열적 및 진공 사이클 전체에서 변경될 수 있다. 라미네이션 공정 및 툴에 관한 다양한 실시예는, 라미네이트로 다중 템플레이트를 적층하고, 분리 시트 및 압력 분산 버퍼층에 의해 분리하고 또는 큰 트레이 배열로 나란히 라미네이트된 다중 템플레이트를 갖는 것을 포함하여 가능하다. 이러한 큰 트레이 배열은, 일반적으로 위 아래로부터 또는 한측만으로부터 모두 가열되는 다중 슬롯(일광)을 갖는 시판 라미네이터로 스택될 수 있다. 유압 프레스 요소는 압력을 가하기 위해 사용될 수 있다. 셀룰로오스 또는 고무의 충분히 선택된 두꺼운 시트 또는 다른 적합하게 부응하는 시트는, 동시에 라미네이팅되는, 재사용수 또는 에이지가 다른 템플레이트에 의해 야기될 수 있는, 국부적 스택 높이 변형에 기인하여 또는 다양한 템플레이트 높이에 기인하여 압력 차를 극복하기 위해 사용될 수 있다. 백플레인 물질(예컨대 프리프레그)의 라미네이션 전에, 본 명세서에서 상술한 바와 같은 추가적인 접착제를 적용하는 것이 유리할 수 있다는 것에 주목해야 한다.

[0386] 다음 단계는, 템플레이트로부터 백플레인까지 라미네이팅되는 박막 태양 기판(TFSS)의 후 라미네이션 분리를 포함한다. 라미네이션 전에 또는 TFSS의 분리 전에, 백플레인의 에피택셜막 외측을 통해 또는 백플레인 및 에피택셜막을 통해 레이저 컷으로 TFSS의 형태를 아웃라인하는 것이 바람직할 수 있다. 템플레이트로 및 에피택셜층을 커팅하는 것으로부터 템플레이트 손상을 최소화하기 위해 케어가 취해져야 한다(Care is to be taken to minimize template damage from cutting past the epitaxial layer and into the template). 열적 레이저 분리라고 하는 레이저 기반의 기술은, 가열 레이저 빔이 즉시 뒤따르고, 예컨대 헬륨과 같은 차가운 가스 또는 물과 같은 차가운 액체 또는 미스트의 제트에 의해 제공되는 냉각점에 의해 추적되는 이 커팅 공정에서 사용될 수 있다. 그렇게 함으로써 분열(cleave)은, 실리콘을 통해 개시되고, 결국 분리층의 영역에 TFSS와 템플레이트 사이의 계면에서 종결된다.

[0387] 이후 에지를 트리밍(커팅), 보강된 박형 기판의 에지로부터 약한 박막을 선택적으로 디커플링하는 것을 포함하는 에지 제조 단계이다. 디바이스의 외부 에지는 전단 또는 스탬핑과 같은 기계적 트리밍에 의해, 또는 레이저

트리밍에 의해 사이즈로 커팅될 수 있다. 디바이스의 코너는 챔퍼 또는 코너가 둔해지고, 이후 공정 단계에서 처리의 손상을 덜 만들도록 적합한 형태를 이용하여 커팅되도록 선택될 수 있다.

[0388] 이후 웨트(또는 선택적으로 드라이) 텍스처링 단계 후 후 텍스처 세정 및 건조이다. 텍스처링에 앞서, 예컨대 적당한 피라미드의 형성으로 돕기 위해 그릿 블라스팅과 같은 기계적 러프닝 단계에 의해 또는 텍스처링을 돕기 위해 유기 잔여물 제거 또는 박형 화학적 산화물을 형성과 같은 표면 처리에 의해, 하나 이상의 표면 제조 단계가 있을 것이다.

[0389] 이후 패시베이션층 증착 전에 진공 도움으로 또는 도움 없이 선택적 드라이 베이크로 저온에서 패시베이션 단계이다. 저온에서 예시적인 실행 가능한 패시베이션층은 비정질 실리콘(a-Si) 또는 실리콘 산화물 또는 반화학량론적 실리콘 산화물, 실리콘 옥시-나이트라이드 또는 실리콘 나이트라이드이다. 또는, 화학적 산화물 또는 옥시나이트라이드와 같은 패시베이션층은 웨트 공정 탱크에서 증착될 수 있다.

[0390] 이후, 바람직하게는 실리콘에 캐리어를 생성할 수 있는 파장 범위에서 매우 낮은 흡수를 가지고, 각각의 소수 캐리어를 격퇴하기 위해 적당히 빌트인되는 전하를 갖는, 실리콘 나이트라이드, Al2O3 또는 다른 적합한 유전체와 같은 물질을 이용하는 반사 방지 코팅 단계이다. 선택적으로, 포밍 가스 또는 다른 열적 어닐링은 전면 패시베이션을 개선하기 위해 사용될 수 있다. 선택적으로, 전면 패시베이션 및 선택적으로 벌크 품질 및 레이저 가공 파라미터 및 선택된 레이저 파장 또는 파장들의 투과 길이에 따라 달라지는 후면 패시베이션을 개선하기 위해 전측으로부터 레이저 어닐링(a laser anneal from the front to improve the front surface passivation and also optionally bulk quality and back surface passivation depending on the laser processing parameters and penetration depth of the chosen laser wavelength or wavelengths). 다음 단계는 전지 터미널의 다음 매립층과의 개방 접촉으로 이루어진다. 선택된 백플레인 구조체에 따라서, 다음 매립층은, 예컨대: 라미네이션 전에, 전지 상에 증착되는 전지 상의 패터닝된 금속층; 접촉 접근이 필요한 영역에만 상기 패터닝된 금속층 상에 증착되는 접촉 패드, 또는; 원래 금속 커넥터에 대해 필수적으로 수직으로 배열되는 매립된 다음 레벨 루팅된 금속일 수 있다. 이 접촉 공정은 보호적/유전체층으로 레이저 또는 기계적 홀 또는 슬릿 드릴링을 이용하여 수행될 수 있다. 선택적으로, 이 단계 전에, 표면은, 나중 도금 공정 동안 전측의 도금 또는 오염을 방지하는 시트 또는 물질에 의해 보호된다.

[0391] 이어서, 언더라잉 금속은 몇몇의 선택적 수단, 예컨대: 시드 금속의 접착성 및/또는 사실성(platability); PVD, 도금, 스크린 프린팅, 잉크젯팅, 에어로졸 제팅, 스텐실 프린팅을 포함하는 프린팅, 또는 플레임 또는 열적 스프레잉과 같은 스프레잉에 의해 시드 금속의 증착; 비패터닝 증착의 경우, 프린팅된 레지스트와 같은 패터닝 단계, 또는; 레지스트가 커버되지 않은 영역에 도금 후, 레지스트 제거 및 시드층 에치백(이들 모두는 도금 기술에 일반적인 공정임) 중 하나에 의해 접촉 개방부를 통해 접촉된다. 일반적인 금속화 물질은, 예컨대 니켈 후 구리의 개시층, 주석 또는 다른 솔더 가능한 캡핑층을 갖는 끝을 포함하고, 프린팅된 층은 은 및 합금, 니켈, 구리, 알루미늄 및 주석을 포함하여 적합한 금속을 함유할 수 있다. PVD 시드층의 경우, 그것에 한정되지 않지만, Sn, Ni, NiV, Al, Pd, Ta, Cu, Ag 또는 합금을 포함한다.

[0392] 선택적 시험 및 비닝(binning) 후, 태양 모듈에 접촉은 예컨대 솔더 가능한 스트링거 리본을 이용하여 쉽게 수행될 수 있다. 스트링거 리본은 예컨대 똑바르거나 개 뼈 형상일 수 있고, 선택적으로 필요에 따라 전기적 분리로서 작용하고, 전체 블랙 형상을 유지하기 위해, 예컨대 모듈 커스토머에 가시적인 영역에 블랙 또는 블랙엔드(blackened) 영역을 함유할 수 있다. 최종 봉합은, 예컨대 일반적인 태양 후측 봉합재를 이용하여 수행된다.

[0393] 이하 설명은 설명의 목적으로 제시되는 공정 흐름 및 예시적인 구조체에 관한 것이다. 플루토와 오아시스 구조체 사이의 주요 차이점은 웨트 가공 또는 다른 형태의 에피택셜 박막의 전면의 텍스처링 시에, 플루토 보강 구조체는, 이후 제1층 금속이라고도 하는 온-셀 금속 에미터 및 베이스 접촉 핑거를 제외하고 다른 임의의 금속 구조체를 함유하지 않지만, 오아시스 구조체는 제2층 금속화의 적어도 일부를 함유한다는 것이다.

[0394] 온-셀 금속은, 이후 예컨대 스크린 프린팅을 이용하여 금속 또는 금속 전구체의 직접 패터닝된 증착 또는 레이

저 제거를 이용하여 패터닝과 함께, 일반적으로 베이킹, 소결(sintering) 또는 드라이빙의 이후 열적 단계와 함께, 물리 증기 증착(PVD) 또는 증착(예컨대 비아 전자빔 또는 열적 증착)과 같은 블랭킷 증착 기술을 이용하여 증착될 수 있다. 중요하게는, 이하 설명은 PVD 및 증착 기반 공정과 유사성을 유지한다. 이하에서, 어디에서도 달리 공지되지 않으면, PVD는 모든 다른 큰 영역 블랭킷 증착형 공정을 나타내기 위해 사용된다. 이러한 블랭킷막은 템플레이트 상의 전체 에피택셜 전지 구조체에 걸쳐 증착될 수 있고 또는 예컨대 활성 구조체의 외측 또는 템플레이트의 에지에서 요구되지 않으면 증착을 방지하기 위해 증착 동안 셰도우 마스킹이 시행될 수 있다. 또한, 셰도우 마스킹은 활성 또는 금속 접촉 영역을 정의하기 위해 사용될 수 있다.

[0395] 플루오 및 오아시스 구조체 및 플루토 및 오아시스 하이브리드 구조체의 다양한 실시예를 위한 예시적인 도식 표현이 도 72A 및 72B에 묘사된다. 도 72A는 플루토 구조체 및 플루토 하이브리드에 관한 공정 흐름이다. 이하 표는 도 72A에 묘사되는 공정 흐름에 사용되는 약어를 정의한다.

표 1

표 1. 도 72A의 용어 및 정의

용어	정의
CE 패드	선택적 CE 프린트(레이저 비아 드릴의 보강된 공정 윈도우를 위해)
CE 범프	
PLC	선택적 전(pre-)라미네이션 에피 레이저 컷(적당한 에미 파손 선(breakage line)을 생성하기 위해)
비아 드릴	프리프레그 시트에서 비아 드릴
얼라인	라미네이션 전에 성분 스택 얼라인(100 um보다 우수한)
램	프리프래그 라미네이션(2-12 밀 프리프레그), 1-2시트(적당한 사이즈로 프리프레그 컷, 잠재적으로는 오버사이즈된)
MR	기계적 분리(진공 척킹, 진공 파동, 정전 척킹을 통해 또는 선택적으로 음파 또는 초음파 액츄에이션의 도움으로)
트림	예컨대 레이저를 이용하여 트리밍
TX-PTC	텍스처 및 후(post-)텍스처 세정
OS-TX-PTC	한쪽 툴에서 텍스처 및 후 텍스처 세정
패스	P형 베이스의 경우, 예컨대 a-Si, SiOx, SiOxNy 후 SixNy 또는 Al2O3, 패시베이션
FS-프로	선택적 전측 보호
러프	노출된 프리프레그 측 또는 다른 마이크로면 러프닝의 선택적 그릿 블라스팅
비아 개방	레이저 비아 홀 드릴링, 예컨대 비아 CO2 레이저
비아 세정	선택적 비아 세정 및 선택적 유기 또는 본래 산화물 제거, 예컨대 비아 퍼옥시드 세정, 퍼망가네이트 세정, 에싱, 라디칼 플라즈마 에칭, 전 스퍼터링 에칭
징케이트	플라즈마 세정이 불가능하고, Al의 직접적인 접촉이 필요한 경우에 선택적 징케이션
시드 e-레스	비전해 Ni 도금과 같은 도금에 의해 시드층 증착
시드 프린트	프린팅(잉크젯 또는 스크린 프린팅)에 의해 시드층 증착, 물질은 Al, Ni 또는 NiV, Cu일 수 있다.
시드 PVD	PVD에 의한 시드층 증착
레지스트	도금의 경우에 에미터 및 베이스 영역을 정의하기 위해 레지스트 증착
금속 프린트	Ni, Cu, 솔더 능력을 위해 표면에서 선택적으로 Sn으로 이루어지는, 주요 제2층 금속의 도금 또는 프린팅
금속 도금	Ni, Cu, 솔더 능력을 위해 표면에서 선택적으로 Sn으로 이루어지는, 주요 제2층 금속의 도금 또는 프린팅
스트립	도금의 경우에 선택적 레지스트 제거
에치백	도금이 이용되는 경우에, 레지스트 하에서 선택적 시드층 제거
CE BP	백플레인에 CE 프린트
BP 어셈블	백플레인(Al 핑거, Z68, 유리)
BP 부착	백플레인 부착(시드에 비아 CE 도트 라미네이트)
준비	시험 준비가 된 전지
시험	시험 및 분류
모듈	솔더링을 포함하는 모듈 통합

[0396]

[0397] 도 72B는 오아시스 구조체 및 오아시스 하이브리드에 관한 공정 흐름이다. 이하 표는 도 73B에 묘사된 공정 흐름에 사용되는 약어를 정의한다.

표 2

표 2. 도 72B의 용어 및 정의

용어	정의
SAP	솔더 가능한 Al 핑거 커팅(Al과 Ni/Sn 면)
전지 상의 DA	전지 상의 DA 프린트
전지 상의 CA	전지 상의 CA 프린트
CE 범프	전지 상의 CE 범프 프린트
비아 미리 드릴	프리프레그 등으로 비아 미리 드릴링
PLC	선택적 전 라미네이션 에피 레이저 컷(적당한 에피 파손 선을 생성하기 위해)
얼라인	라미네이션 전에 성분 스택 얼라인먼트(100 um보다 우수한)
레이업	미리 드릴링된 프리프레그 시트를 포함하는 라미네이션 전에 성분 스택 얼라인먼트(100 um보다 우수한)
BP 램	백플레인 라미네이션(SAP 핑거 플러스 접착제(EVA 또는 Z68 또는 프리프레그) 플러스 선택적 커버 시트(예컨대, 마일러 또는 Tedlar 또는 Teonex-예컨대 Q83)
BP 상의 DA	백플레인 상의 DA 프린트
BP 상의 CA	백플레인 상의 CA 프린트
1스텝 램	라미네이트: 에피 상의 커버 시트, 접착제, SAP 핑거, 미리 드릴링된 프리프레그, CE 범프
최종 램	프리프래그 라미네이션(2-12 밀 프리프레그), 1-2시트(적당한 사이즈로 프리프레그 컷, 잠재적으로는 오버사이즈된)
MR	기계적 분리(진공 척킹, 진공 파동, 정전 척킹을 통해 또는 선택적으로 음파 또는 초음파 액츄에이션의 도움으로)
트림	예컨대 레이저를 이용하여 트리밍
TX-PTC	텍스처 및 후 텍스처 세정
패스	P형 베이스의 경우에 예컨대 a-Si, SiOx, SiOxNy 후 SixNy 또는 Al2O3, 패시베이션
카운트 개방	커버 시트에 접촉 접근 홀 개방(예컨대 레이저에 의해)
준비	시험할 준비가 된 전지
시험	시험 및 분류
모듈	솔더링을 포함하는 모듈 통합

[0398]

[0399] 도 73A-J는 후면 접촉 태양 전지를 제조하기 위한 플루토 구조체의 실시예의 공정 흐름의 주요 제조 단계 동안 전지의 단면도를 도시한다.

[0400] 도 73A-E는 언도핑된 층의 사용 및 이후 패터닝을 통해 베이스와 에미터 접촉 영역 사이에 물리적인 분리를 갖는 것에 기반한 흐름을 도시한다. 도 73A는 BSG 증착 및 에미터 개방 단계 후 전지를 도시한다. 도 73B는 베이스 윈도우 개방 단계 후 전지를 도시한다. 도 73C는 PSG 베이스 증착, 어닐링 및 개방 단계 후 전지를 도시한다. 도 73D는 레이저 접촉 개방 단계 후 전지를 도시한다. 도 73E는 금속 증착 및 레이저 분리 단계 후 전지를 도시한다.

[0401] 도 73F-J는, 금속 1 접촉에 에미커가 형성되는 영역을 제외하는 모든 더욱 가볍게 도핑된 에미터 영역을 가짐으로써 낮은 접촉 저항으로 더 높게 도핑되는 이익이 있는 선택적 에미터 형성을 가능하게 하는 흐름을 도시한다. 도 73F는 더 가볍게 도핑된 에미터 전구체 증착(BSG1) 및 무겁게 도핑된 에미터 영역 개방 단계 후 전지를 도시한다. 도 73G는 무겁게 도핑된 에미터 전구체 증착(BSG2) 및 베이스 접촉 개방 단계 후 전지를 도시한다. 도 73F는 금속 증착 및 레이저 분리 단계 후 전지를 도시한다. 도 73H는 접합 단계를 형성하도록 도펀트 드라이빙(drive-in) 및 PSG (+USG) 증착 후 전지를 도시한다. 도 73I는 레이저 접촉 개방 단계 후 전지를 도시한다. 도 73H는 접합 단계를 형성하도록 도펀트 드라이빙(drive-in) 및 PSG (+USG) 증착 후 전지를 도시한다. 도 73J는 금속 1 증착, 예컨대 프린팅 또는 제거와 함께 PVD 단계 후 전지를 도시한다.

[0402] 도 74A-D는 후면 접촉 태양 전지를 제조하기 위한 오아시스 구조체 실시예의 공정 흐름의 주요 제조 단계 동안 전지의 단면도 및 상면도(도 74A)를 도시한다. 도 74A는 오아시스 구조체 전지의 상면도이다. 도 74B는 베이스 접촉 형성 단계 후 전지를 도시한다. 도 74C는 백플레인 라미네이션 단계 후 오아시스 구조체 전지의 상면도이다. 도 74B는 백플레인을 갖는 최종 오아시스 전지를 도시한다.

[0403] 모든 제시된 백플레인 실시예에 있어서, 공정의 백플레인 부분 전에 구조체 및 실행 가능한 공정 흐름은 여기에 개시되었다. 예컨대, 하나의 개시 기판 실시예에서, 템플레이트에 의해 지지되는 에피택셜 전지 구조체는 에미터 및 베이스의 반도체 영역에 개방된 접촉을 갖는다. 베이스에 접촉은 낮은 접촉 저항을 위해 높게 도핑된 접촉 영역을 갖지만, 에미터는 선택적으로, 최초 금속에 접촉을 둘러싸는 높게 도핑된 영역을 갖는 선택적 에미터이다. 이러한 접촉은 도 73의 실시예에 도시된 바와 같이 다양한 기술을 이용하여 개방될 수 있고, 접촉은 상기 유전체의 레이저 제거를 이용하여 개방된다. 접촉은 에미터 및 베이스 접촉의 교호선 어레이(alternating line array)에서 최고로 형성된다.

[0404] 이어서, 제1층 금속이 형성된다. 이러한 층은, 이 층이 몇몇의 금속 또는 몇몇의 구조체 내에 이루어지는 경우 여기서 제1층 금속이라고도 한다. 일 실시예에서, 제1 금속 구조체는 바람직하게는, p형 및 n형 영역 모두에 오믹 접촉을 보증하도록 스파이킹을 감소시키기 위해 소량의 실리콘을 갖는 알루미늄 또는 알루미늄이다. PVD가 물질을 증착하기 위해 사용되는 경우, 증착이 전체 전지 영역에 대해 일반적으로 수행되고, 후에 구조화되기 때문에 알루미늄과 같은 단일 물질의 것이 일반적으로 선택된다. 블랭킷 증착된 물질은 후에 패터닝된다. 패터닝에 대한 몇가지 옵션이 존재하고, 일 실시예에서 금속은 레이저 제거를 이용하여 구조화된다. 레이저 제거의 몇몇의 옵션은 피코세컨 레이저 제거를 이용하는 것과 같이 가능하다. 금속은 바람직하게는 패터닝되어, 에미터 및 베이스 접촉 금속의 교호선이 에미터 및 베이스 접촉 개방부의 교호선의 상부에 형성된다.

[0405] PVD 대신에, 프린팅 가공이 제1 금속에 사용되고, 물질에 따라 이후 열적 가공과 함께 스크린 프린팅 또는 에어로졸 프린팅과 같이 사용되고, 그 후 양 접촉의 스파이킹을 감소시키기 위해서 알루미늄 또는 소량의 실리콘과 함께 알루미늄은, p형 영역 접촉에 알루미늄, n형 영역 접촉에 은 또는 다른 것들과 같은 다른 금속이 사용될 수 있다. 또한, 미러로서 그 성능에 따라 선택되는 물질이 달라질 것이다. 우수한 미러 성능(스페큘러(specular) 또는 램버트(Lambertian))은 실리콘을 이용하는 전지에 중요한, 특히 더 긴 파장에서 전기 변환을 위한 전체 광을 개선할 수 있다. 또는, 규화물 형성 내화 금속은, 낮은 저항 접촉에도 제1 금속층으로서 사용될 수 있다; 그러나 이들의 미러 품질은 적합하지 않을 수 있고, 공정은 더욱 복잡하다.

[0406] 금속의 프린팅 공정 및 PVD 모두는 적층된 금속층의 증착을 선택적으로 가능하게 한다. PVD 기반의 공정에서, 알루미늄 증착 이후 니켈 바나듐(NiV) 또는 니켈(Ni)층을 개선하는 접착이 이어질 수 있고, Ni은 낮은 스트레스 때문에 종종 바람직하다. 이후, 공정 흐름에서 더 도금시키는 주석(Sn)층이 이어질 수 있다. 이러한 스택의 대안으로 Al 후 탄탈륨 (Ta)이다. 다른 층의 조합도 가능하다. 이후 도입되는 레이저 비아 개방 공정에 미러층으로서 우수한 성능을 위해, 공정의 간단함을 위해, 제1층 금속으로서 Al 만이 사용될 수 있다. 도금된 층이 나중에 다음 금속층에 사용되고, 알루미늄이 오직 베이스 금속층인 경우, 징케이션(zincation) 또는 이중 징케이션과 같은 특별한 표면 처리가 필요하다.

[0407] 금속 및 금속 스택은 몇몇의 성질을 이유로 선택될 필요가 있고, 즉 첫째 에피 상의 언더라잉 산화물 또는 유리층에, 둘째 금속 스택 사이에, 셋째 금속 스택과 백플레인 사이에, 또는 보다 정확하게 백플레인의 접착 성분에 우수한 접착성을 제공할 필요가 있다.

[0408] 이를 위해, 알루미늄이 제1 증착 금속인 경우, 상부 근처에 유리층이 도펀트 원, 예컨대 베이스 접촉에 n형 도펀트 원으로 인 실리케이트 유리(PSG)로 작용하는 경우에, 일반적으로 약 6% 이하의 PSG 함량을 유지하고 및/또는 언도핑된 유리층으로 PSG 층을 캡핑하는데 도움이 된다.

[0409] 증착 동안 및 후의 선택적 처리는 이후 접착성을 개선하기 위해 제공할 수 있다. 이러한 처리는 열적 어닐링, 레이저 어닐링, 표면 러프닝 등을 포함한다. 증착 물질에 있어서, 알루미늄은 여기서 제시되는 백플레인 물질

에 우수한 접착성을 제공하는 경향이 있다.

[0410] 프린팅된 금속은 보통 용매를 베이킹 및 선택적 소결 및/또는 드라이빙 단계하기 위한 하나 이상의 열적 단계를 필요로 한다. 하나 이상의 금속이 프린팅되는 경우, 모두에 하나의 열적 단계를 하는 것 또는 금속들의 프린팅 사이에 하나 이상의 열적 단계를 갖는 것이 가능하다. 또한, 금속의 프린팅은, 나중 시점에 다음 층 금속에 접촉 영역으로 작용하는 영역에서와 같이 유용한 영역에 금속의 선택적인 두껍게 하는 것(thickening)이 가능하다. 스크린 프린팅 금속을 이용하는 경우 선택적인 두껍게 하는 것의 하나의 방법은, 다양한 스크린 구조체를 이용하지만 하나 이상의 프린팅을 하는 것이다.

[0411] 증착된 금속 또는 금속 스택의 표면은, PVD 기반의 공정과 함께 적용되는 금속 제거에 큰 공정 윈도우를 가능하게 하기 위해 최적화된다.

[0412] PVD 및 프린팅된 금속에 있어서, 금속 스택의 상부 금속(또는 금속의 표면)에 유리할 수 있다-오직 하나의 금속이 제1 금속층으로 사용되는 경우-선택되거나 엔지니어링되어, 백플레인 물질을 통해 바이어스를 드릴링하기 위해 나중 시점에서 적용되는 레이저 빔에 높은 반사성 및 충분한 두께를 제공하고, 이러한 바이어스는 제1 금속층에 다음 레벨의 금속 접촉을 제공하기 위한 기능을 갖는다. 이러한 비아 드릴링에 있어서, CO2 레이저는, 예컨대 사용될 수 있고, 알루미늄, 구리, 은 및 몇몇의 다른 금속은 CO2 레이저의 긴 적외 파장 범위에서 우수한 반사율을 제공하는 경향이 있다.

[0413] 프린팅된 금속의 경우, 금속을 국부적으로 두껍게 하고 및/또는 장래 바이어스의 영역에 다른 금속 프린트를 국부적으로 첨가하는 것이 유리할 수 있다. 이는 비아 홀 드릴링을 위한 공정 윈도우를 증가시키고, 접촉되는 제2층 금속에 우수한 금속 영역을 제공하기 위해 제공할 수 있다.

[0414] 제1층 금속 및 그 패터닝 및 처리 후 다음 주요 공정 단계인 라미네이션 전에, 백플레인 보강된 에피택셜 전지 구조체의 분리 동안 공지의 파손 위치를 제공하기 위해, 템플레이트 상에 있을 때 오버사이즈되는 커팅으로 에피택셜층을 제공하는 것이 유리할 수 있다.

[0415] 라미네이션에서 플루토 구조체의 공정 흐름. 패터닝된 제1층 금속을 함유하는 박막 에피택셜 태양 전지 구조체(TFSS)에 라미네이팅될 백플레인 물질로서 선택된 물질은, 몇몇의 중요한 성질, 이하와 같이 제시되는 것들을 고려하여 선택된다: 첫째 금속은 실리콘에 대해 열팽창계수에 적합하게 일치되어야 한다. 둘째, 물질은 스스로 또는 블랭킷 또는 패터닝된 접착층의 도움으로, TFSS에 우수한 접착성을 보이고, 완성된 태양 전지로 백플레인 보강된 TFSS의 제조에 요구되고, 유용한 수명 내내 모듈에서 태양 전지에 요구되는 온도, 압력 및 습도 범위에서 이러한 접착성을 제공해야한다. 셋째, 백플레인 보강된 TFSS는 태양 전지 및 모듈로 제조에서 화학물질, 가스 환경 및 모든 처리 단계를 견딜 수 있을 필요가 있다. 넷째, 물질은 비용 경쟁적, 비독성 및 쉽게 이용가능할 필요가 있다.

[0416] 이후 설명은 활성 흡수체 물질로서 실리콘과 함께 프리프레그 백플레인의 실시예에 초점을 맞춘다. 동일한 컨셉은 Ge,SiGe, SiC, SiGeC, a-Si 또는 a-SiGe과 같은 헤테로접합 물질과 실리콘의 사용 및 GaAs 또는 GaAs와 Si 또는 Ge 또는 이의 합금의 조합과 같은 III-V 물질의 사용에 적용된다.

[0417] 이러한 요건을 충족하기 위한 매력적인 예시적 물질의 패밀리는, 프린팅된 회로판 산업에서 유사한 포뮬레이션으로 사용되는 프리프레그이다. 이러한 프리프레그는, 수지의 매트릭스로 아라미드(aramid), Kevlar 또는 유리섬유와 같은 다양한 종류의 직조 및 부직포 섬유로 이용 가능하다.

[0418] 이러한 시트는 템플레이트 상에 있을 때 TFSS에 라미네이팅된다. 보강재는 단일 시트 또는 하나 이상의 시트로 이루어질 수 있고, 다양한 전처리 또는 다양한 섬유, 섬유 함유 퍼센트 및 수지 형태 및 함량 퍼센트는 접착성 및 CTE 불일치를 최적화하기 위해 모두 적용된다.

[0419] 앞서 지적한 바와 같이, 프리프레그의 라미네이션 전에, 전지 상에 추가적인 접착제를 프린팅하는 것이 유리할 수 있다. 이러한 접착제는 열적으로 또는 UV 경화 가능할 수 있고, 전체 영역에 커버하여(도 63D에 도시된 바와 같음), 나중의 비아 홀 개방 단계에서 드리링될 필요가 있고 그렇지 않으면 비아 홀이 드릴링될 개방부로 프린팅될 수 있고, 또는 금속 1 선들 사이 영역에만 커버할 수 있다(도 63C에 도시된 바와 같음).

[0420] 다른 백플레인 보강재 물질 옵션은 EVA 또는 Z68와 같은 태양 모듈 봉합재에 사용되는 것과 유사한 물질을 포함한다. 이하 실시예에서, 프리프레그 물질 처기가 명확하게 언급되지 않으면, 이는 다른 적합한 백플레인 물질의 사용도 커버하는 것으로 이해해야 한다.

[0421] 선택되는 물질은, 공정 흐름 및 물질 포뮬레이션, 매우 순응하는(compliant) 또는 플렉서블한 전지 구조체를 갖는 옵션, 및 평평하지 않은 태양 모듈과 같은 어플리케이션에 다른 구조적 해결 방법을 가능하게 하는 평평하지 않은 전지 표면을 가능하게 하는 것에 따라 다르게 포함할 수 있다.

[0422] 선택적으로, TFSS와 접촉하는 프리프레그 영역은 도금 및 도금 표면 제조 및 텍스처 및 후 텍스처 세정과 같은 백플레인 보강된 TFSS의 이후 가공 동안 프리프레그 시트의 수분 또는 화학적 흡수를 방지하는 보호 시트를 이용하여 라미네이션 시에 커버될 수 있다. 이러한 커버 시트의 예로는 마일러 또는 내화학성이 있는 다른 PEN 기반의 물질이다.

[0423] 라미네이션 공정을 지배하는 일반적인 파라미터는 압력의 범위 및 타이밍, 온도, 온도차 및 램핑 속도(ramping rate), 수지 및 섬유 형태 및 접촉 퍼센트, 선택적 프리프레그 라미네이션 시트 또는 시트들의 전 태킹(pre-tacking) 또는 전처리, 공정 시간 및 온도에서의 시간, 용도, 진공 레벨이다. 라미네이션을 통해 또는 적어도 물 및 웨트 화학물질에 노출 전에 프리프레그의 전체 경화가 유리할 수 있다.

[0424] 라미네이션 단계로부터 냉각 후, 템플레이트 상의 라미네이팅된 TFSS는 라미네이션 툴로부터 언로딩되고, 이후 기계적으로 또는 에칭과 같은 다른 수단이든 템플레이트로부터 분리된다. 일반적으로, 후측 보강된 TFSS의 상부 및 템플레이트는 직접 풀링(direct pulling)을 이용함으로써, 필링에 의해 또는 구조체의 한쪽이나 양쪽 상의 진공의 진동된 어플리케이션으로 생성되는 포스와 같은 진동된 풀링 포스(pulsated pulling force)에 의해 척킹(chucked) 및 분리된다.

[0425] 분리는 선택적으로, 보강된 TFSS 및/또는 템플레이트의 상부를 척킹하도록 사용되는 플레이트에 결합되는 피에조 엑추에이터에 의해 가해지는 것과 같은 음파 또는 초음파 기계력을 이용함으로써 보조될 수 있다. 또한, 분리 직전에, 분리가 일어나는 곳 내에 또는 그곳을 따라 바람직하게 바운더리를 제공하기 위해, 레이저 커팅 단계가 TFSS 영역 주변에 적용될 수 있다.

[0426] 분리 후, 백플레인 보강된 TFSS의 에지는, 다른 가공에 적합한 사이즈로 또는 최종 사이즈로 트리밍된다. 일반적으로 트리밍 공정은 커팅, 전단 또는 쏘잉(sawing)에 의한 기계적 트리밍을 이용함으로써, 또는 CO2 레이저 또는 펄스 YAG 레이저 또는 유사한 것과 같은 하나 이상의 레이저를 이용함으로써, 또는 기계적 트리밍과 레이저 트리밍의 조합함으로써 수행될 수 있다.

[0427] 기하학 및 커팅의 셋업 및 커팅이 백플레인 측으로부터 또는 TFSS 측으로부터 시작되었는지에 따라, 구조체에 트리밍 커트를 얼라인하는 몇 가지 옵션이 존재한다. 얼라인먼트 옵션 중에 가시 또는 적외 카메라의 사용이 있더(얼라인먼트 타겟을 매립하는 경우 후자가 사용되는 것이다). 분리층 잔여물의 마킹(Marking)은 TFSS의 후측 상에 레이저 가공의 공정을 반영할 수 있다-이러한 캐리드-스루 마킹(carried-through markings)은 직접적으로 가시적인 얼라인먼트 타겟(visible alignment target)으로 작용할 수 있다.

[0428] 에지 트리밍 전후에, 큰 용량의 자동화된 웨트 화학 툴 및 공정에 노출되기 전 임의의 경우에, 선택되는 물질 및 공정 및 템플레이트로부터 백플레인 보강된 TFSS의 분리 후 얻어진 평탄함에 따라서, 분리된 백플레인 보강된 TFSS의 선택적 열적 및 압력 처리는 이후 공정에 유리한 층의 최적화된 평탄함을 제공하는 것을 도울 수 있다.

[0429] 백플레인 보강된 TFSS는 분리층의 리플로우된 상부를 포함하여 분리층의 나머지를 함유한다. 이 층은 매우 결함이 있고, 또한 게더링 위치로서 작용할 수 있다. 이는 이하 텍스처링 단계 또는 텍스처링 전에 분리 단계에서 제거된다. 후 텍스처링 세정은 패시베이션 전에 금속 및 선택적으로 유기 잔여물을 제거하도록 적용된다. 백플레인 물질의 온도 범위에 상응 가능한 패시베이션 및 반사 방지 코팅을 위한 몇몇의 옵션이 있고, 일반적으로 이러한 단계는 200-250 ℃ 이하 온도로 제한될 수 있다.

[0430] 텍스처링된 표면과 접촉하는 최초 패시베이션층은 실리콘 이산화물 또는 실리콘-서브-산화물과 같은 산화물, 즉 산소와 실리콘 사이의 당량비가 2 미만인 실리콘 산화물일 수 있고, 임의의 이러한 산화물층은 화학 증기 증착(CVD) 또는 웨트 화학물질을 통해 증착 또는 성장된다. 또는, 최초 패시베이션층은, 예컨대 본래의 또는 선택적으로 도핑된 비정질 실리콘(a-Si)층 또는 증착된 비아 CVD의 옥시나이트라이드일 수 있다. 이 층은 예컨대 CVD 또는 PVD를 이용하여 증착된다.

[0431] 알루미늄 산화물이 특히 p형 베이스 전지에 옵션이지만, 반사 방지 코팅은 실리콘 나이트라이드를 이용하여 수행될 수 있다. 이 층은, 예컨대 CVD를 이용하여 증착된다.

[0432] 상부면층 또는 층들의 증착 후 또는 대안으로 증착의 사이에, 전면 재조합 속도(FSRV) 및 후면 재조합 속도(BSRV)를 감소시키기 위해 어닐링이 적용될 수 있다. 이러한 어닐링은, 장치, 특히 백플레인이 가능하게 하는 열적 버짓 범위와 양립 가능한 방법으로 제어되도록 하는 것이다. 이러한 어닐링에 적합한 공정은, 포밍 가스 어닐링 또는 공기중이나 불활성 주변에서 어닐링 및 백플레인 물질의 허용 가능한 열적 버짓을 초과하지 않도록 충분히 짧은 시간에 및/또는 표면에 충분히 가까운 에너지를 증착하기 위해 적당히 조절되는 레이저 어닐링을 포함한다. 이 어플리케이션을 위한 레이저 어닐링 공정의 예는, 가시광 또는 근적외 파장 범위에서 펄스된 레이저 어닐링이다.

[0433] 이후 공정 동안 전면을 보호하기 위해 및 개선된 처리를 위해, 전면에 선택적으로 투명한 보호층을 부착하는 것이 유용할 수 있다. 이러한 층은 Z68 또는 z68 등 물질과 같은 EVA 또는 PE 기반 물질과 같은 열경화성 수지(thermoset) 또는 열가소성 물질일 수 있다. 후자는 후에 리플로우되고, 공정의 모듈 어셈블리 부분에서 유리에 전지의 부착에 이용될 수 있다.

[0434] 나중에 제2 레벨의 금속화를 위한 구조체를 준비하기 위해, 우수한 접착성을 위해 후측면을 준비하기 위해 선택적 단계가 삽입될 수 있다. 이러한 단계는 그릿 블라스팅 또는 샌딩과 같은 공정으로 표면을 기계적 러프닝하는 것을 포함할 수 있다. 또는, 표면의 화학적 처리 또는 플라즈마 처리가 접착성을 증진하도록 적용될 수 있다. 이러한 처리는 필요에 따라 텍스처링 전에 수행될 수 있다는 것에 주의해야 한다.

[0435] 백플레인 물질 아래에 어느 정도까지 보호되는 제1 금속층에 접촉을 완성하기 위해 다음 세트의 공정 단계를 제공한다. 이 접촉 개방부는 레이저 기반의 비아 드릴링에 의해 수행될 수 있다. 펄스 UV, 가시적 또는 IR YAG 레이저와 같은 다른 레이저도 백플레인 물질을 제거하기 위해 적용될 수 있지만, 이 공정에 적용되는 예시적인 레이저는 CO2 레이저이다. 홀은 소망되는 비아 홀 사이즈 및 이용 가능한 레이저 펄스 에너지에 따라, 다중 펄스로 영역을 트리패닝(trepanning)함으로써 또는 단일 또는 반복 펄스를 이용하여 동일한 스팟에 직접 펄싱에 의해 드릴링될 수 있다. 언더라잉 제1층 금속에 레이저 드릴링 공정의 최고의 선택에 있어서, 언더라잉 금속은, 예컨대 알루미늄 및 은이 CO2 레이저 파장에 매우 반사적인 것과 같이, 레이저 빔에 매우 반사적이어야 한다. CO2 레이저 파장에 대한 그 흡수 특성에 따라, 드릴링할 물질(예컨대 프리프레그)에 염료를 갖는 것이 유리할 수 있다. 염료는 백플레인(예컨대 프리프레그)에 드릴링 스피드를 증가시켜, 언더라잉 금속에 선택성을 증가시키기 위해 제공하는 것이다. 또한, 염료는 모듈에서 전지의 전체적 어두운 외관을 위해 더 어두운 측벽을 갖는 전지를 제공하는 가시적인 기능을 가질 수 있다.

[0436] 또한, 레이저 드릴링 공정은, 개방된 비아 홀에 잔여물의 플라즈마 에칭, 또는 예컨대 과산화수소를 이용하여 비아 홀의 유기적 세정, 또는 다양한 형태의 레이저 또는 비아 드릴링 공정의 변경 또는 시작과 종료 사이에 레이저의 파라미터 세팅과 같은 다른 공정과 조합될 수 있다.

[0437] 적용되는 경우, 잠재적 플라즈마 에칭은, 특히 이 증착이 PVD를 이용하는 것과 같이 진공에서 일어나는 경우, 다음 레벨의 금속 증착 직전에 실행될 수 있다. 또한, 모듈 라디칼의 이용은 다음 레벨 금속 증착 직전에 세정 공정에 그려진다.

[0438] 공정 흐름의 이러한 실행에 있어서, 비아 홀은 TFSS 상의 언더라잉 구조체에, 특히 제1층 금속으로부터 패터닝된 금속 핑거에 얼라인될 필요가 있다. 레이저 공정 윈도우를 증가시키거나 다음 층에 우수한 접촉성 및 전기적 접촉을 증진하기 위해, 추가적인 금속 접촉이 비아 아래의 제1층 금속의 상부에 프린팅되는 경우, 비아 홀은 이 층에 얼라인되어야 한다.

[0439] TFSS 상의 얼라인먼트 구조체 또는 타겟에 있어서, 온-템플레이트 패터닝 또는 패터닝된 증착 공정 중 하나 동안에, 얼라인먼트 타겟이 내려 놓아질 수 있고, 또는 활성 영역의 에지와 같이 대칭을 깨는 구조체 자체가 얼라인먼트 타겟에 활성 영역을 이용하지 않고 얼라인먼트를 제공하기 위해 제공될 수 있는 것이 상상된다.

[0440] 일반적으로 보강재 물질이 투명하지 않을 수 있기 때문에, 비아 홀 드릴링 공정 동안 TFSS 상의 타겟에 얼라인먼트는 몇 가지 방법으로 수행될 수 있다: 첫째, 라미네이션 전에 보강재 백플레인 물질에 윈도우 컷아웃(cutout)을 가짐으로써. 이러한 윈도우는, 라미네이션 동안 윈도우로 리플로우되고, 얼라인먼트 타겟의 가시적인 인식이 가능하도록 충분히 투명한 일부 수지를 함유하는 것이 필요하다. 또는 둘째, 얼라인먼트 타겟은, 백플레인 물질을 통해 또는 박형 실리콘을 통해 타겟을 위치시키는 적외 카메라와 같은 적당한 감도의 파장을 갖는 카메라를 이용하여 관측될 수 있다.

[0441] TFSS를 통해 적외(IR) 조명에 의해 레이저 드릴링 툴에서 타겟을 위치시키는 적외 카메라를 이용하여, 타겟을 위치시키는 것과 바이어스를 드릴링하는 것 사이에 발생해야 하는 이동 없이 적당한 계측을 하는 이점을 갖는다.

[0442] 바이어스의 드릴링 및 선택적 세정 후, 후측 보강된 TFSS는 제1층 금속에 접촉하기 위한 제2층 금속 형성의 준비가 되었다.

[0443] 제2층 금속 형성을 설명하기 전에, 다른 밀접하게 관련된 실시예가 설명된다. 라미네이션 전에 백플레인 물질로 비아 홀을 드릴링하는 것도 가능하다는 것에 주의해야 한다. 이러한 공정은 이어서 소위 바이어스의 미리 드릴링(pre-drilling)이다. 미리 드릴링은 전체 드릴링 공정 윈도우에 유리할 수 있다. 접촉 홀이 미리 드릴링되면, 언더라잉 제1층 금속 물질에 선택의 요건들은 제거되거나 또는 매우 완화된다. 미리 드릴링에 있어서, 프리프레그와 같은 백플레인 보강 물질의 하나 이상의 시트가 사용되는 경우, 적당히 저온에서 태킹(tacking) 라미네이션을 이용하여 미리 드릴링하기 전에 시트를 태킹하는 것이 바람직할 수 있다. 또한, 비아 미리 드릴링 동안, 레이저는 비아의 에지에 국부 경화를 야기할 수 있다. 이는 개방 홀을 폐쇄하는 경향이 있는 수지의 아웃플로우를 감소시키도록 작용할 수 있다. 라미네이션 후 미리 드릴링된 홀은 텍스처링 공정 및 후 텍스처링 세정의 웨트 화학 공정 동안 적당히 언더라잉 제1층 금속을 필수적으로 보호하지 못할 수 있기 때문에, 상기 마일러, teonex 또는 다른 PEN 또는 PET 기반의 물질의 언드릴링된 보고 시트를 추가하는 것이 유용할 수 있다. 비록 이 시기가 공정 감도에 매우 덜 엄중한 요건을 갖지만, 상기 기재된 비아 드릴링 공정과 마찬가지로, 비아는 영역을 드릴링한 후 드릴링된다. 이러한 공정 감도의 증가는, 다른 후 비아 드릴링 홀 세정 단계의 필요를 잠재적으로 제거할 수 있다. 언드릴링된 보호 시트의 어플리케이션에 대안으로서, 텍스처링 및 후 텍스처링 세정 공정을 견디는데 충분한 화학적으로 내성이 있고, 그러나 제1층 금속에 제2층 금속 접촉 형성 전에 제거될 수 있는 유리 또는 폴리머와 같은 적당한 유전체와 접촉되는 제1층 금속을 국부적으로 커버하는 것도 가능하다. 웨트 가공이 침지에 의하지 않고 단일측 웨트 화학 어플리케이션에 의해 수행되는 경우에, 보호 시트는 미리 드릴링된 시트를 이용하는 경우가 요구되지 않을 수 있다.

[0444] 미리 드릴링된 보강 백플레인이 템플레이트에 의해 지지되는 TFSS에 라미네이팅되는 경우에, 백플레인 시트 또는 라미네이션 동안 템플레이트 상의 TFSS를 갖는 시트는 얼라인먼트와 함께 행해져야 한다. 얼라인된 위치가 라미네이션 동안 유지되는 것을 확보하기 위해, 시트 또는 시트들은 레이저 또는 다른 국부적 열원을 이용하여 표면에 프리태킹(pretacked)될 수 있다. 또는, 제1층 금속 형성의 부분으로서, 비아의 영역은 키가 큰(taller), 바람직하게는 프린팅된 금속 영역이 빌드업될 수 있다. 치수가 적당한 경우, 이러한 국부적 기둥은 라미네이션 동안 제자리에서 미리 드릴링된 시트를 보호하기 위해 제공될 수 있다. 상기 언급된 선택적인 국부적 보호 물질은 이러한 기둥의 상부에 적용되는 경우이다. 이러한 기둥은 상기 기둥에 물질의 사용을 절약하기 위해 매우 드문 패턴으로 적용될 수 있다.

[0445] 제2층 금속 형성. 금속의 제2층은 바람직하게는, 각 터미널에 하나 이상의 부스바 스트립의 잠재적 예외를 가지고 제1층 금속 핑거에 필수적으로 수직의 관계로 구조화된다. 수직의 관계는 제2층 금속을 패터닝하기 위한 요건을 더욱 완화시킬 수 있다. 예컨대, 제1층 금속의 패터닝 요건이 백 또는 수백 마이크로미터인 경우, 제2층 금속의 패터닝 요건은 밀리미터 내지 센티미터 범위이다. 이는 결국 단순한 섀도우 마스크 또는 매우 저렴한 프린팅, 롤러 코팅 또는 스프레잉 어플리케이션과 같은 매우 경제적인 기술의 사용을 가능하게 한다. 또한, 큰 치수의 금속 핑거를 스탬핑하는 것을 가능하게 한다. 이러한 완화는 수직 관계의 기하학에 대한 컨셉에 의해 가능해지고, 전류가 각 제1층 금속 핑거에 이동해야 하는 거리는 추출을 위해 비아에 도달하기 전에 적당히 짧아진다.

[0446] 제2층 금속을 형성하기 위한 각종 공정 흐름 옵션이 실시예 및 이하 대안들을 포함하여 개시된다. 알루미늄이 제2층에 접촉 금속인 경우, 징케이션 공정, 바람직하게는 이중 징케이션은 알루미늄의 상부 상에 믿을 만한 도금에 유리할 수 있다. PVD 공정이 이어지는 경우에, 징케이션은 미리 스퍼터 에칭 세정을 행함으로써 피해질 수 있다(circumvented).

[0447] 제1층 금속을 접촉하기 위한 적당한 PVD 공정은 그 후 전 스퍼터 에칭(pre-sputter etch), Al, 후 Ni 또는 NiV 증착 후 선택적 Sn 증착이 시작될 수 있다. 이러한 PVD 공정은 섀도우 마스크를 이용하여 수행될 수 있어, 패터닝된 금속 증착을 가능하게 한다. 또는, 금속은 제1층 금속의 패터닝과 유사하게 레이저 제거를 이용하여 증착한 후 패터닝될 수 있다. 증착된 금속 또는 금속 스택은 그 성질을 조정하기 위해 증착 후 선택적으로 어닐링될 수 있다.

[0448] 또는 비아는 우선 프린팅, 예컨대 알루미늄, 구리, 니켈 또는 은 페이스트와 같은 도전성 페이스트를 스텐실 프린팅에 의해 충전 또는 부분적으로 충전될 수 있다. 시드 금속 또는 금속 스택은, 적어도 부분적으로 비아를 충전하기 위해 사용되는 금속의 상부 상에 PVD 또는 스크린 프린팅을 이용하여 증착될 수 있다. 프린팅된 페이스트는 적용 후 베이킹 및/또는 어닐링될 수 있다.

[0449] 이 시드의 상부 상에, 금속의 나머지는 도금될 수 있다. 또한, 그 대신에, 제2층 금속의 수직 금속 핑거의 전체 필요한 두께는 적당한 페이스트를 이용하여 프린팅될 수 있다. 도금의 경우, 시드 금속의 증착은 상기와 같이 패터닝되는 방법 또는 베이스 도금 영역으로부터 에미터를 분리하는 레지스트 구조체를 이용하여 이후 패터닝되는 블랭킷 층으로 수행될 수 있다. 도금 후, 레지스트는 박리되고, 시드층은 레지스트를 이용하여 보호되는 영역에서 에치 백 된다(is etched back). 일반적인 도금의 순서는 Ni 후 구리(Cu)로 시작하고 솔더 능력을 위해 Sn으로 끝난다. 그 대신에 및 시드 물질에 따라서, Cu는 직접 도금될 수 있다. 또한, Sn은 솔더링이 요구되는 영역에 프린팅을 이용하여 도금 후 국부적으로 적용될 수 있다. 프린팅된 시드의 경우, 제공 가능하다면, 예컨대 스크린 또는 잉크젯 프린팅을 이용하여 전체 제2 레벨 금속화까지 프린팅하는 것이 가능하다.

[0450] 제2층 금속의 구조체는 터미널 당 단일 또는 다중 부스바를 가질 수 있거나 오직 금속 핑거만을 함유할 수 있다. 제2층 금속의 도금 공정의 경우에, 접촉점의 수는 도금 시에 독립된 부스바의 수와 함께 모듈 통합 스케일이 요구된다(the number of contact points required for module integration scales with the number of

independent bus bars at the time of plating). 전지에서 전지까지 모듈의 접촉은 개 뼈 형상의 접촉 핑거를 이용하여 수행될 수 있다. 오직 핑거의 구조체에 있어서, 측 당 개 뼈 접촉점은 터미널 당 제2층 금속 핑거의 수와 동일할 필요가 있다. 부스바의 영역을 부스바가 적용되지 않는 점까지의 축소는, 부스바 아래 전기적 셰이딩의 영역을 최소화함으로써 전류가 드로잉될 수 있는 전지 상의 전체 활성 영역을 최대화하도록 제공된다.

[0451] 전지 사이의 접촉 금속 스트립(strip)은 Al과 박형 Ni 및 Si 또는 주석-비스무트(SnBi) 코팅과 같은 Cu와 솔더 또는 솔더 가능한 알루미늄으로 이루어질 수 있다. 모듈에 가시적인 영역에서, 스트립은 전체가 블랙인 패널에 추가하기 위해 국부적으로 블랙으로 페인팅될 수 있다. 이러한 페인트 코팅은 유전체로서 작용할 수 있고, 모듈 내에 전지의 타이트한 배열을 가능하게 한다.

[0452] 오아시스 구조체의 제조. 도 64 및 67은 오아시스 구조체의 실시예를 도시한다. 오아시스형 백플레인 구조체는, 템플레이트에 의해 지지되는 점에서 TFSS 상에 하나 이상의 성분의 단일 단계 라미네이션에 의해 실현화될 수 있고, 또는 오아시스형 백플레인은 각각 하나 이상의 라미네이션 단계를 이용하고, 그 후 템플레이트 지지된 TFSS에 적용되어 형성될 수 있다. 후자의 경로가 선택되는 경우, TFSS 측에 또는 백플레인 측에 일부 층들을 적용하기 위해 선택적 옵션들이 있다. 이는, TFSS와 백플레인 사이에 접착성을 제공하고, 전 라미네이션 드릴링 또는 후 라미네이션 드릴링인 프리프레그와 같은 유전체 시트를 라미네이팅함으로써 또는 스크린 프린팅과 같은 공정에 의해 적용되는 예컨대 유전체 접착제를 지지한다. 유전체가 없는 영역에 적용될 수 있는, 즉 TFSS 상의 금속 핑거와 백플레인의 다음층 금속 사이의 유전체에 비아를 통해 도전성 접촉을 제공하기 위해 도전성 접착제 또는 도전성 에폭시와 같은 도전성 물질을 동일하게 유지한다. 이러한 경우에, 유전체는 다른 측에 2개의 라미네이션을 겪어야 하기 때문에, b-단계화되는 또는 적어도 부분적으로 리플로우 가능한 적어도 하나의 유전체 접착제에 유리할 수 있다. 백플레인이 선택되는 TFSS에 연결되어 유전체가 완전히 경화되는 라미네이션 단계의 열적 버짓을 갖는 것이 유리하게 보인다. 일반적인 유전체의 선택은 폴리에스테르 또는 다른 수지와 같은 스크린 프린팅 가능한 유전체 접착제 또는 프리프레그 물질의 시트이다.

[0453] 오아시스 형성 실시예. 도 72B는 오아시스 구조체를 형성하기 위한 옵션을 설명한다. 실시예는 단일 단계 또는 백플레인이 저장되고 단계화될 수 있는 분리된 단계에서의 백플레인의 제조 및 부착을 포함한다.

[0454] 둘째, 패터닝된 제1층 금속 핑거를 갖는 TFSS와 백플레인의 큰 금속 핑거 사이의 부착에 있어서, 실시예는, 라미네이션 전 또는 라미네이션 후 드릴링으로부터 변경될 수 있는 프리프레그와 같은 유전체 시트의 사용에 대한 프린팅되는 유전체 접착제 및 도전성 접착제 또는 에폭시의 조합의 사용을 포함한다.

[0455] 전 라미네이션 드릴링(pre-lamination drilling)의 경우, CA 포스트는, 백플레인이 따로 제조되는 경우에, 구조체의 TFSS 측 또는 구조체의 백플레인 측 상에 프린팅될 수 있다. 미리 드릴링된 프리프레그를 이용하는 단일 단계 라미네이션에 있어서, CA 포스트는 TFSS 상의 금속 핑거 상에 프린팅된다.

[0456] 유전체 접착제를 이용하는 오아시스 라미네이션. 도 64G-F에 묘사되는 것과 같이, 오아시스 백플레인이 템플레이트 상의 TFSS에 부착 전에 제조되고, 프린팅된 유전체 접착제가 백플레인에 TFSS를 결합하기 위해 사용되는 공정 흐름 실시예에 있어서, 이하 개시 물질이 이용될 수 있다. 바람직하게는 Tedlar, Mylar, Teonex에서 제조된 내화학성 상부 커버 시트 또는 다른 PEN 또는 PET 물질 이후 미리 드릴링된 접근 홀을 갖는 유전체 시트(EVA, Z68 또는 프리프레그)가 큰 영역 금속 핑거의 구조체 상에 배열된다. 금속 핑거는 전기적 방전 제조, 레이저 마킹 후 에칭(알루미늄이 사용되는 경우에 KOH와 같은 물질에서)함으로써, 예컨대 솔더 가능한 알루미늄, 즉 Al과 Ni 및 Sn의 박층의 평면 시트로부터 구조화될 수 있고, 또는 이들은 하나 이상의 스탬핑 다이를 이용하여 스탬핑될 수 있다.

[0457] 이러한 구조체는, 양측 상에 분리 시트 또는 비점착성면으로 선택적으로 커버되고, 이후 함께 라미네이팅되는, 서로의 상부 상에 얼라인 및 레이업된다. 물질 및 라미네이션 조건, 예컨대 적당한 진공화, 온도 범위, 램핑 및 라미네이션 압력의 바른 선택으로, 유전체 물질은 구조체는 흐르고, 구조체를 평탄화한다. 후측 접촉 영역과 같이 평탄화가 소망되지 않는 영역은, 홀을 폐쇄하기 위해 에지로부터 물질의 아웃플로우를 방지하기 위해 접촉 홀의 에지를 미리 경화함으로써(예컨대 이러한 홀의 커팅 동안 증가된 레이저 전압을 이용하여) 또는 적당

히 형성된 라미네이션 접촉 척을 제공함으로써 개방을 유지할 수 있다.

[0458] B-단계화 가능한 또는 적어도 부분적으로 리플로우 가능한, 즉 열가소성 프린팅된 유전체 접착제는 TFSS에(도시되지 않음) 또는 백플레인에 적용되는 접착제로서 사용된다. 또한, 도전성 접착제는 각 측에 프린팅될 수 있다. 유전체 및 도전성 접착제 각각은 프린팅 후 적당한 선택적 열 처리를 받는다. 낮은 비용을 유지하기 위해서, 도전성 범프의 전체 영역은 낮게, 바람직하게는 전체 전지 영역의 2% 이하로 유지된다.

[0459] 라미네이션 전에, TFSS는, 라미네이션 후에 일어나는 분리 시에 에피층의 지정된 파손점을 제공하기 위해 활성 영역의 외측 영역에 미리 커팅될 수 있다.

[0460] 그 후, 백플레인 및 템플레이트 상의 TFSS는 함께 라미네이팅된다. 이 공정에서, TFSS 상의 금속 핑거와 백플레인 상의 큰 금속 핑거 사이에 전기적 접촉도 수행된다. 라미네이션 후, 구조체는 플루토 구조체에 기재된 분리와 유사하게 기계적 분리에 의해 분리된다. 분리된 및 백플레인 보강된 장치의 에치는 플루토 구조체에 기재된 트리밍과 유사하게 트리밍될 수 있다. 바람직하게, 트리밍이 일어나는 백플레인 구조체의 에지는 적당히 내화학성인 유전체에 의해 실링된다. 그 후, 플루토 구조체와 유사하게, TFSS의 태양이 비치는 측 상에, 분리층의 잔여물이 세정되고, 표면은 텍스처링, 후 텍스처 세정 및 패시베이션된다. 전지의 최종 공정으로서, 백플레인의 큰 금속 핑거에 접촉 접근점은, 예컨대 커버 시트 물질의 레이저 드릴링에 의해 개방된다.

[0461] 도전성 솔더 범프는 전지에 접촉을 완성하기 위해, 위치될 수 있고, 또는 모듈 어셈블리 제조에 이용되는 스트링거로부터 솔더는 사용될 수 있다. 그의 솔더 범프를 받는(receiving) 전지는, 개별 전지가 시험될 수 있고, 패싱 전지(passing cell)는 이후 모듈로 어셈블리될 수 있다는 이점을 가질 수 있다; 그러나 이러한 시험은 적당한 프로브 카드 배열(probe card arrangement)을 이용하여 완료될 수 있다.

[0462] 유전체 시트를 이용하여 라미네이션. 상기 기재된 프린팅 유전체 접착 공정을 이용하는 라미네이션의 대안으로서, 미리 드릴링되는 유전체 시트, 예컨대 프리프레그 물질은 백플레인을 함유하는 큰 금속 핑거와 TFSS 사이에 접착제로서 사용될 수 있다. 도 75의 단면도는 이 공정을 나타내는 미리 드릴링된 유전체 시트(2단계 라미네이션을 갖는)를 이용하는 오아시스 흐름을 설명한다. 여기서, 도전성 접착제는 바람직한 영역에 프린팅되고, 미리 드릴링된 유전체 시트는 프린팅된 도전성 접착제의 그리드에 얼라인되는 방법으로 레이업된다. 이 공정에서, 도전성 접착제는 B-단계화되어, 건조되고, 레이업 공정 동안 더럽혀지지 않고, TFSS 상의 금속과 백플레인 금속 사이에 우수한 접촉을 제공하기 위해 라미네이션 동안 여전히 리플로우될 수 있는 것이 바람직할 수 있다. 라미네이션 후, 공정의 나머지는 프린팅된 유전체 접착제를 이용하여 이전에 개시된 경우와 동일하다.

[0463] 오아시스 구조체의 단일 단계의 라미네이션 공정. 적당한 열적 버짓 및 라미네이션 동안 열적 시퀀싱을 가지고, 백플레인 라미네이션 및 템플레이트 상의 TFSS에 백플레인의 라미네이션을 갖는 것보다는 단일 단계에서 오아시스 구조체의 모든 성분을 부착하는 것이 가능하다.

[0464] 도 75의 단면도는 미리 드릴링된 유전체 시트(단일 단계 라미네이션을 갖는)를 이용하는 오아시스 흐름을 설명한다. 여기서, 도전성 접착제는 TFSS 측에 프린팅될 필요가 있다. 유전체 접착제가 사용되는 경우에, 이러한 접착제는 바람직하게는 도전성 접착제를 프린팅하기 전에 TFSS 측 상에 프린팅된다. 프리프레그 시트와 같은 유전체 시트가 사용되는 경우에, 이러한 시트는 단일 단계 라미네이션을 위해 미리 드릴링될 필요가 있다. 상기 두 가지 경우에, 도전성 범프는 미리 드릴링된 유전체 시트를 레이업 하기 전에 프린팅되고, 미리 드릴링된 시트는 미리 형성된 범프에 얼라인된다. 백플레인의 큰 금속 핑거는 레이업되고, 상부 천공된 유전체 시트(예컨대 EVA, Z68 또는 프리프레그)는 레이업되고, 마지막으로 커버 시트는 첨가된다. 그 후, 라미네이션 공정은, 일반적인 라미네이션 온도가 300 이하 또는 250 deg C 이하라는 것을 포함하여 물질의 요구되는 공정 파라미터에 맞춰지는 공정 프로파일을 이용하여 수행된다. 이러한 라미네이션 후, 오아시스 구조체의 상기 기재된 공정 흐름과 같은 방법으로 다른 가공이 진행된다.

[0465] 플루토-오아시스 하이브리드 구조체의 공정 흐름. 도 77A-D는 플루토-하이브리드 구조체에 대한 공정 단계를 설명한다. 도 77A는 프리프레그 비아 드릴링 공정 동안 플루토-하이브리드 구조체의 단면도이다. 도 77B는 금속 증착 및 분리 공정 동안의 플루토-하이브리드 구조체의 단면도이다-금속 분리는 도식에 평행이어서 도시되지 않았다. 일 실시예에서, Al (+NiV + Sn) PVD 및 분리. 도 77C는 도전성 에폭시 스크린 프린팅 및 백플레인 라미네이션 후 플루토-하이브리드 구조체의 베이스 접촉을 통한 단면도이다. 도 77C는 도전성 에폭시 스크린 프린팅 및 백플레인 라미네이션 후 플루토-하이브리드 구조체의 에미터 접촉을 통한 단면도이다.

[0466] 하이브리드 구조체의 공정 흐름은 도 73A-E에 설명되는 바와 같이 표면의 패시베이션 및 제조 후 레이저 드릴링에 의해 비아 홀을 개방하는 공정을 포함하여, 그 공정까지 플루토 기반의 흐름과 실질적으로 동일할 수 있다. 오아시스 구조체 및 흐름과 유사성을 갖는, 플루토 구조체 및 흐름과의 차이점은, 도 77의 하이브리드 구조체는, 도금 공정을 이용하여 빌드업되는 금속화 구조체보다는, 백플레인 보강된 TFSS에 부착되는 큰 금속 핑거의 구조체를 포함한다는 것이다. 이렇게 하기 위해, 플루토 흐름에 기재되는 비아 세정 후, 제1 금속 접촉은 프리프레그와 같은 유전체의 상부 상에 비아의 바닥으로부터 보내진다(is routed). 이는 하나 또는 몇몇의 단계로 수행될 수 있다. 몇몇의 단계가 사용되는 경우, 비아는 우선 스텐실 또는 스크린 프린팅되는 페이스트를 이용하여 적어도 부분적으로 충전된다. 그 후, 금속 핑거는 슬릿팅된 섀도우 마스크를 통해 예컨대 PVD에 의해 증착된다. 또는, 금속을 보내는 공정(process of routing the metal)이 하나의 단계 또는 시퀀스로 수행되는 경우에, 비아의 바닥면은 잠재적 유기 잔여물 및 본래 산화물을 제거하기 위해 전 스퍼터 에칭(pre-sputter etching) 및/또는 에싱(ashing)을 행함으로써 예컨대 PVD 증착 직전에 세정될 수 있고, 이들 모두는 높은 접촉 저항 또는 불량한 접촉 신뢰성에 기여할 수 있다.

[0467] 섀도우 마스크를 통해 금속 핑거를 증착하는 것 대신에, 핑거에 약간 굵은 치수적 요건에 기인하여 이것이 가능할 수 있다(Alternatively to depositing the metal fingers through a shadow mask, which may be possible due to the rather coarse dimensional requirements for the finger)(밀리미터 내지 센티미터). 또한, 금속은 블랭킷 금속으로 증착되고, 이후 예컨대 레이저 제거를 이용하여 패터닝될 수 있다.

[0468] TFSS 상의 금속 핑거에 수직으로 동작하고, 플루토 구조체에서 설명된 바와 같이 선택적으로 극성 당 하나 또는 몇몇의 부스바를 함유하는 큰 폭의 금속 핑거의 상부 상에, 도전성 범프 또는 에폭시의 어레이가 프린팅된다. 오아시스 구조체와 마찬가지로, 예컨대 Ni 및/또는 Sn 코팅을 갖는, 예컨대 솔더 가능한 Al로 제조되고, 미리 제조된 후 이미 보강된 TFSS에 라미네이팅되거나 또는 단일 단계에서 라미네이팅될 수 있는 큰 금속 핑거를 갖는 추가적인 백플레인이 있다.

[0469] 백플레인은, 예컨대 유리, 폴리머, 세라믹 또는 금속의 지지판을 가질 수 있는 유전체 접착제에 위해 제자리에 고정되는 예컨대 큰 폭의 금속 핑거로 이루어진다. 다른 전지 또는 일반적으로 모듈 내에 전지의 접촉을 위해, 상기 큰 폭의 금속 핑거 상의 층에 홀을 갖거나 또는 전지의 에지 넘어 확장된 큰 폭의 금속 핑거를 갖는 것이 유리할 수 있다. 이러한 금속 금속은, 기계적 또는 레이저 마킹을 이용하여 에칭 영역의 정의 후, 예컨대 EDM, 스탬핑, 슬릿 커팅 또는 적당한 에칭에 의해 오아시스 구조체에서와 동일한 방법으로 생성될 수 있다. 구조체적인 관점으로부터, 부스바가 되는 영역이 양 극성과 접속되고, 오직 전지 어셈블리 전에 접촉 극성의 각 측이 커팅되는 방법으로 공정 내내 구조체를 유지하는 것이 유리할 수 있다. 큰 폭의 금속 핑거 그리드가 전지와 비교하여 오버사이즈되도록 선택되는 경우에, 이는 특히 간단한 공정이다.

[0470] 다른 대안으로서, 이러한 금속 접속은, 금속 핑거의 넓은 영역이 가공되고, 평행으로 라미네이팅되는 모듈 어셈블리로 통합될 수도 있다. 이는, 보강된 전지의 최초 금속이 전지의 시험 및 분류를 이미 가능하게 하기 때문에 가능하다.

[0471] 하이브리드 구조체에 있어서, 온-셀 박형 핑거와 온-백플레인 와이드 핑거 사이에 금속선의 수직의 트랜스퍼는, 온-셀 금속 핑거에서 제2층 증착 또는 프린팅된 금속으로, 또는 프린팅된 금속에서 백플레인 알루미늄박 핑거로 시행될 수 있다는 것에 주목해야 한다. 후자를 이용하여, 제2층 증착된 또는 프린팅된 금속과 알루미늄박 핑거 사이에 다른 유전체를 시행하기 유리할 수 있다.

[0472] 침지 접촉 결합 구조체의 공정 흐름. 침지 접촉 결합 구조체는 오아시스형 구조체와 유사하게 가공된다. 주요 공정 단계의 차이점은 도 69 및 70에 묘사되고, 이하와 같이 설명될 수 있다: 상기 구조체에서 설명한 바와 같이, 온-TFSS 박형 금속 핑거의 패터닝 후, 이러한 핑거는 도전성 범프의 어레이로 커버된다. 그 후, 오아시스 구조체와 유사하게, 필수적으로 2개의 대안이 있다. 하나는 미리 제조된 백플레인에 도전성 범프의 어레이를 갖는 TFSS를 결합하는 것이고, 두번째는 백플레인의 모든 성분의 레이업 및 동시 라미네이션이다. 두 대안은 오아시스 흐름에 설명된 바와 같이 구조적 및 흐름 옵션을 갖는다.

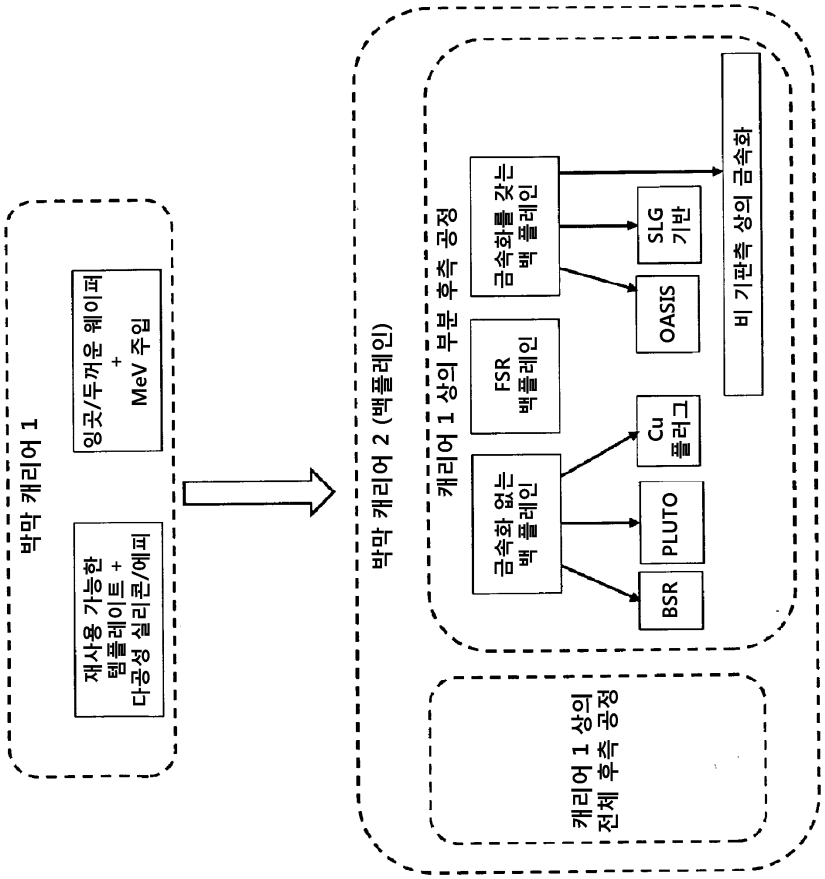
[0473] 두 경우에서, 침지 접촉 결합 구조체에 있어서, 접착 유전체는, 도전성 범프의 어레이에 패터닝되는 비아 홀의 어레이를 함유하지 않는다. 대신, 유전체는 라미네이션에서 발생하는 리플로우 동안 유전체의 연화를 통해 평춰링하기 위해 도전성 범프에 대해 충분한 개방 영역을 제공하기 위해 임의로 또는 규칙적으로 천공된 어레이로서 적용된다. 또는, 유전체는 미리 평춰링되지 않지만, 도전성 범프가 형성되어 적합하게 부응하는 유전체의 선택으로, 범프는 유전체를 여전히 평춰링하고, 유전체를 통해 낮은 접촉 저항을 형성하고, TFSS 금속 핑거와 백플레인 상의 큰 폭의 금속 핑거 사이에 접촉을 완성하도록 제공될 수 있다.

[0474] 실시예의 앞선 설명은 당업자가 청구된 주제를 이용하거나 제조를 가능하게 하기 위해 제공된다. 이 실시예에 각종 변경은 당업자에게 명백하고, 여기에 정의되는 일반적인 원리는 혁신적인 노력을 이용하지 않고 다른 실시예에 적용될 수 있다. 따라서, 청구된 주제는 여기에 나타낸 실시예에 한정되는 것이 아니고, 여기에 개시된 원리 및 새로운 특징과 일치하는 가장 넓은 범위에 따르는 것이다.

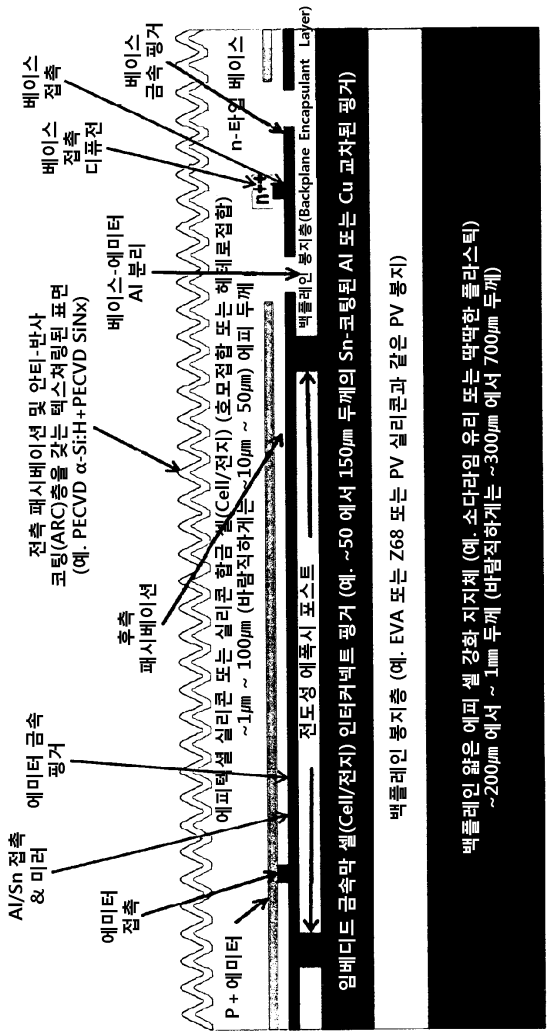
[0475] 이러한 설명 내에 포함되는 모든 이러한 추가적인 시스템, 방법, 특징 및 이점은 청구항의 범위 내인 것을 의도하는 것이다.

도면

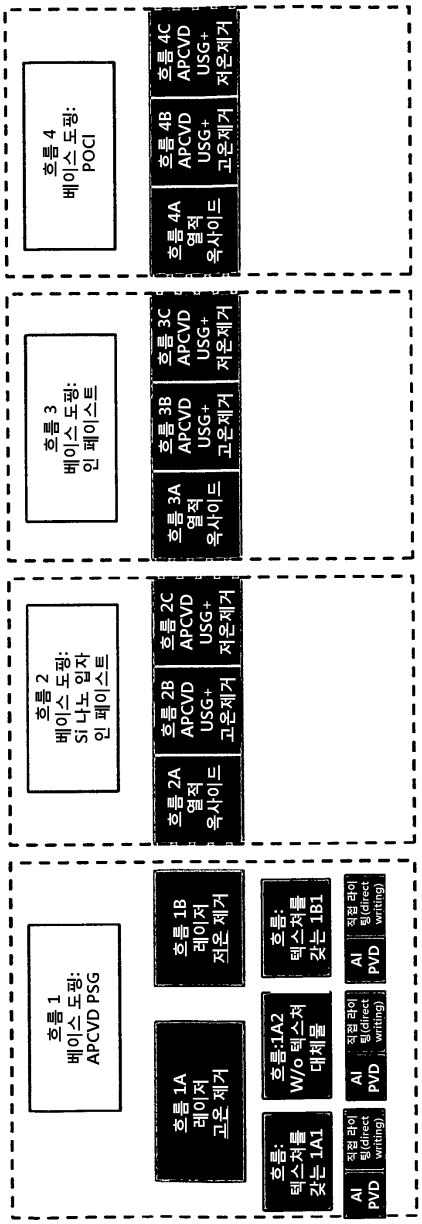
도면1


박막 캐리어 1
재사용 가능한
템플레이트 +
다공성 실리콘/에피
잉곳/두꺼운 웨이퍼
+
MeV 주입
박막 캐리어 2 (백플레인)
캐리어 1 상의 부분 후측 공정
금속화 없는
백 플레인
BSR
PLUTO
Cu
플러그
FSR
백플레인
금속화를 갖는
백 플레인
OASIS
SLG
기판
비 기판측 상의 금속화
캐리어 1 상의
전체 후측 공정

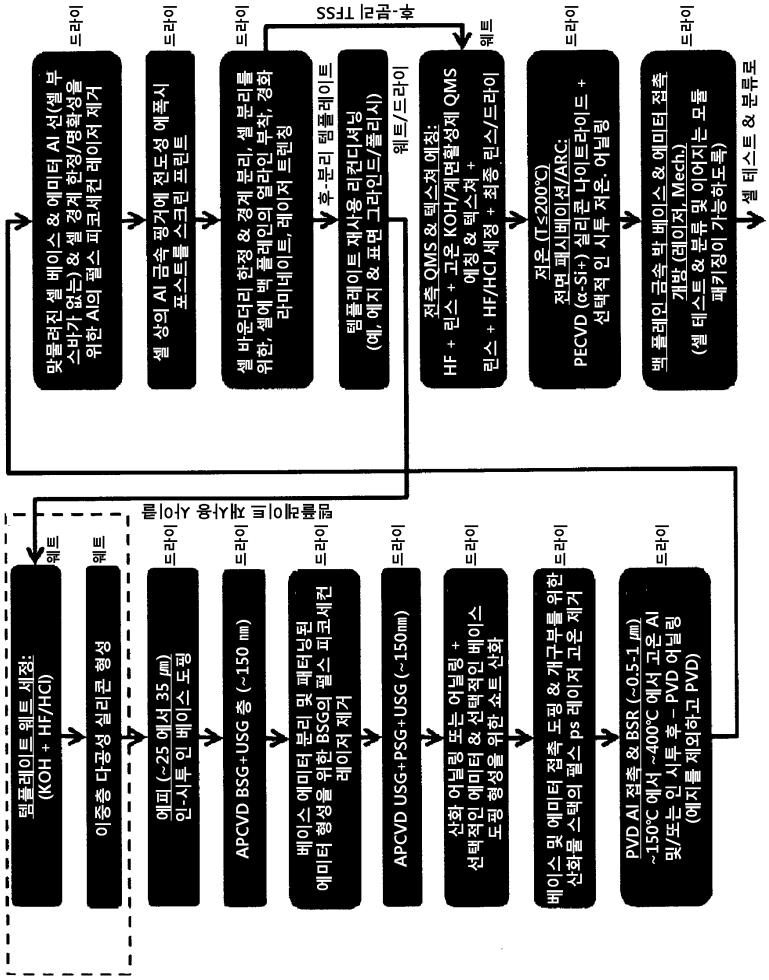
도면2


베이스 접촉
베이스 접촉 디퓨전
베이스 금속 핑거
n-타입 베이스
n+
전측 패시베이션 및 안티-반사 코팅(ARC)층을 갖는 텍스쳐링된 표면 (예. PECVD α-Si:H+PECVD SiNx)
베이스-에미터 Al 분리
후측 패시베이션
에미터 금속 핑거
Al/Sn 접촉 & 미러
에미터 접촉
P + 에미터
에피택셜 실리콘 또는 실리콘 합금 셀(Cell/전지) (호모접합 또는 헤테로접합) ~1μm ~ 100μm (바람직하게는 ~10μm ~ 50μm) 에피 두께
전도성 에폭시 포스트
백플레인 봉지층(Backplane Encapsulant Layer)
임베디드 금속막 셀(Cell/전지) 인터커넥트 핑거 (예. ~50 에서 150μm 두께의 Sn-코팅된 Al 또는 Cu 교차된 핑거)
백플레인 봉지층 (예. EVA 또는 Z68 또는 PV 실리콘과 같은 PV 봉지)
백플레인 얇은 에피 셀 강화 지지체 (예. 소다라임 유리 또는 딱딱한 플라스틱) ~200μm 에서 ~ 1mm 두께 (바람직하게는 ~300μm 에서 700μm 두께)

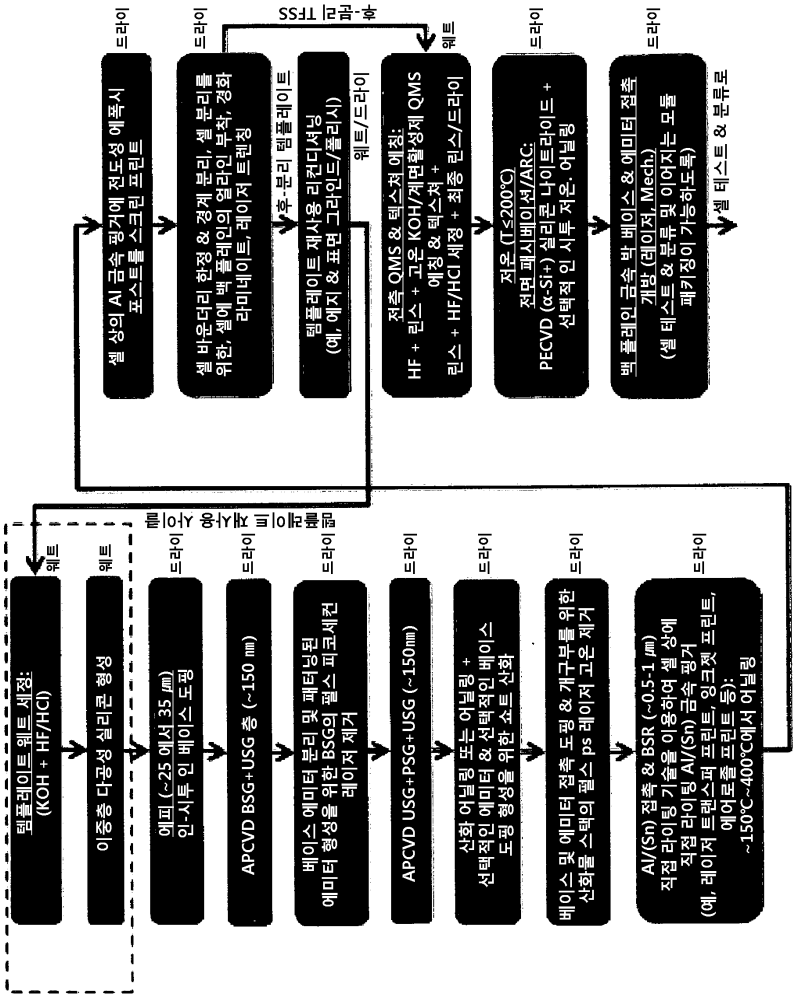
도면3


흐름 1
베이스 도핑:
APCVD PSG
흐름 1A
레이저
고온 제거
흐름:
텍스쳐를
갖는 1A1
AI
PVD
직접 라이팅(direct writing)
흐름:1A2
W/o 텍스쳐
대체물
AI
PVD
직접 라이팅(direct writing)
흐름 1B
레이저
저온 제거
흐름:
텍스쳐를
갖는 1B1
AI
PVD
직접 라이팅(direct writing)
흐름 2
베이스 도핑:
SI 나노 입자
인 페이스트
흐름 2A
열적
옥사이드
흐름 2B
APCVD
USG+
고온제거
흐름 2C
APCVD
USG+
저온제거
흐름 3
베이스 도핑:
인 페이스트
흐름 3A
열적
옥사이드
흐름 3B
APCVD
USG+
고온제거
흐름 3C
APCVD
USG+
저온제거
흐름 4
베이스 도핑:
POCl
흐름 4A
열적
옥사이드
흐름 4B
APCVD
USG+
고온제거
흐름 4C
APCVD
USG+
저온제거

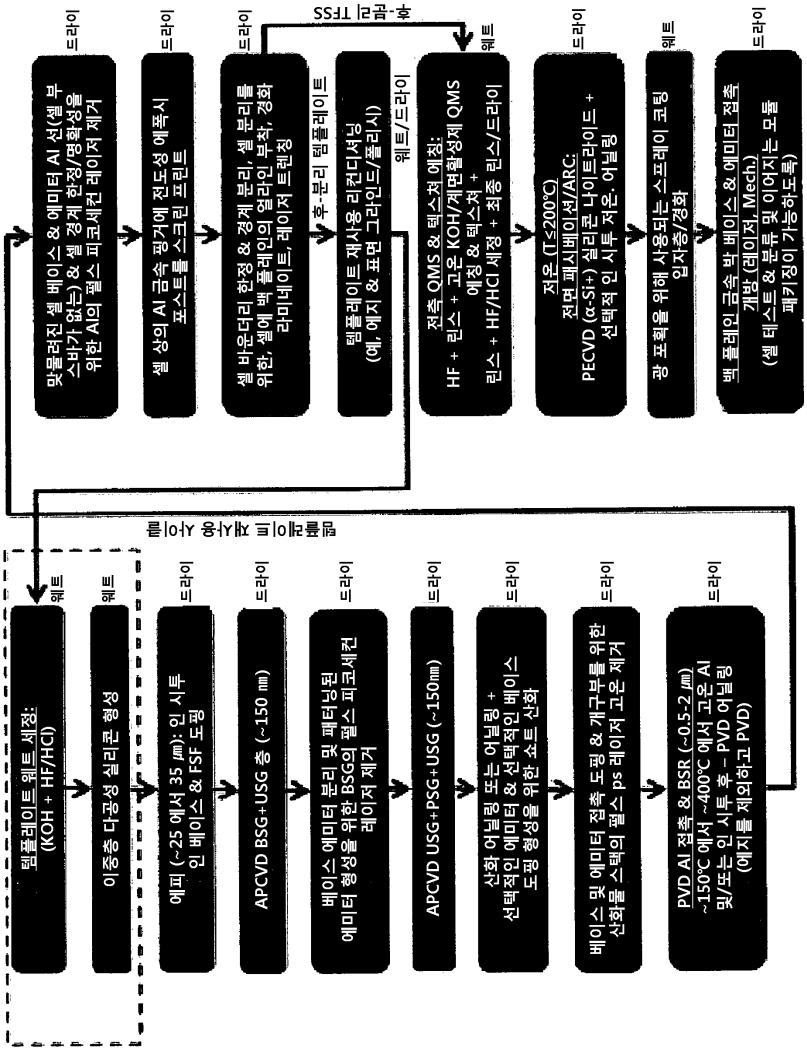
도면4


드라이
맞물려진 셀 베이스 & 에미터 AI 신(셀 부스바가 없는) & 셀 경계 한정/명확성을 위한 AI의 펄스 피코세컨 레이저 제거
드라이
셀 상의 AI 금속 핑거에 전도성 에폭시 포스트를 스크린 프린트
드라이
셀 바운더리 한정 & 경계 분리, 셀 분리를 위한, 셀에 백 폴레인의 얼라인 부착, 경화 라미네이트, 레이저 트렌칭
후-분리 TFSS
후-분리 템플레이트
템플레이트 재사용 리컨디셔닝 (예, 에지 & 표면 그라인드/폴리시)
웨트/드라이
웨트
전측 QMS & 텍스쳐 에칭: HF + 린스 + 고온 KOH/계면활성제 QMS 에칭 & 텍스쳐 + 린스 + HF/HCl 세정 + 최종 린스/드라이
드라이
저온 (T≤200°C) 전면 패시베이션/ARC: PECVD (α-Si+) 실리콘 나이트라이드 + 선택적 인 시투 저온, 어닐링
드라이
백 폴레인 금속 밥 베이스 & 에미터 접촉 개발 (레이저, Mech.) (셀 테스트 & 분류 및 이어지는 모듈 패키징이 가능하도록)
셀 테스트 & 분류로
템플레이트 재사용 사이클
웨트
템플레이트 웨트 세정: (KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
드라이
에피 (~25 에서 35 ㎛) 인-시투 인 베이스 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된 에미터 형성을 위한 BSG의 펄스 피코세컨 레이저 제거
드라이
APCVD USG+PSG+USG (~150㎚)
드라이
산화 어닐링 또는 어닐링 + 선택적인 에미터 & 선택적인 베이스 도핑 형성을 위한 쇼트 산화
드라이
베이스 및 에미터 접촉 도핑 & 개구부를 위한 산화물 스택의 펄스 ps 레이저 고온 제거
드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛) ~150°C 에서 ~400°C 에서 고온 Al 및/또는 인 시투 후 – PVD 어닐링 (에지를 제외하고 PVD)

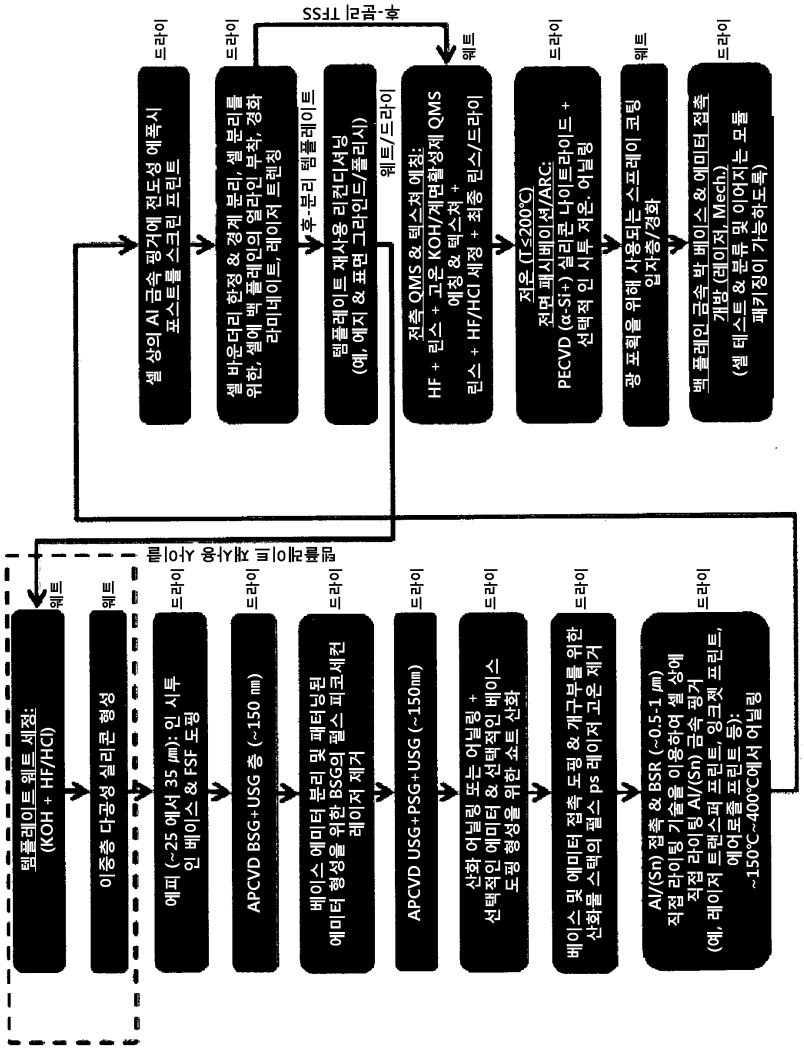
도면5


드라이
셀 상의 Al 금속 펑거에 접도성 에폭시 포스트를 스크린 프린트
드라이
셀 바운더리 한정 & 경계 분리, 셀 분리를 위한, 셀에 백 폴레인의 얼라인 부착, 경화 라미네이트, 레이저 트렌칭
후-분리 템플레이트
템플레이트 재사용 리컨디셔닝 (예, 에지 & 표면 그라인드/폴리시)
웨트/드라이
후-분리 TFSS
웨트
접촉 QMS & 텍스쳐 에칭: HF + 린스 + 고온 KOH/계면활성제 QMS 에칭 & 텍스쳐 + 린스 + HF/HCl 세정 + 최종 린스/드라이
드라이
저온 (T≤200°C) 전면 패시베이션/ARC: PECVD (α-Si+) 실리콘 나이트라이드 + 선택적 인 시투 저온. 어닐링
드라이
백 폴레인 금속 박 베이스 & 에미터 접촉 개방 (예이저, Mech.) (셀 테스트 & 분류 및 이어지는 모듈 패키징이 가능하도록)
셀 테스트 & 분류로
템플레이트 재사용 사이클
웨트
템플레이트 웨트 세정: (KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
드라이
에피 (~25 에서 35 ㎛) 인-시투 인 베이스 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된 에미터 형성을 위한 BSG의 펄스 피코세컨 레이저 제거
드라이
APCVD USG+PSG+USG (~150㎚)
드라이
산화 어닐링 또는 어닐링 + 선택적인 에미터 & 선택적인 베이스 도핑 형성을 위한 쇼트 산화
드라이
베이스 및 에미터 접촉 도핑 & 개구부를 위한 산화물 스택의 펄스 ps 레이저 고온 제거
드라이
Al/(Sn) 접촉 & BSR (~0.5-1 ㎛) 직접 라이팅 기술을 이용하여 셀 상에 직접 라이팅 Al/(Sn) 금속 펑거 (예, 레이저 트랜스퍼 프린트, 잉크젯 프린트, 에어로졸 프린트 등): ~150°C~400°C에서 어닐링

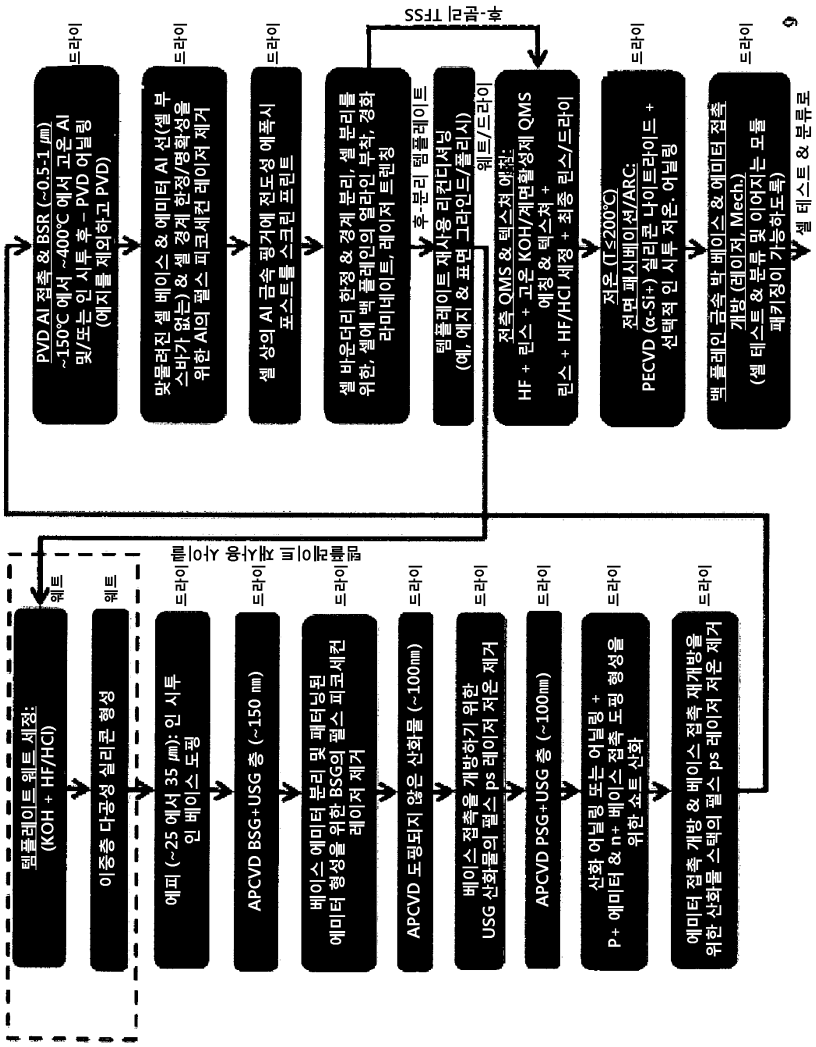
도면6


드라이
맞물려진 셀 베이스 & 에미터 AI 선(셀 부스바가 없는) & 셀 경계 한정/명확성을 위한 AI의 펄스 피코세컨 레이저 제거
드라이
셀 상의 AI 금속 펑거에 전도성 에폭시 포스트를 스크린 프린트
드라이
셀 바운더리 한정 & 경계 분리, 셀 분리를 위한, 셀에 백 플레인의 얼라인 부착, 경화 라미네이트, 레이저 트렌칭
후-분리 템플레이트
템플레이트 재사용 리컨디셔닝 (예, 에지 & 표면 그라인드/폴리시)
웨트/드라이
후-분리 TFSS
웨트
전측 QMS & 텍스쳐 에칭: HF + 린스 + 고온 (KOH/계면활성제 QMS 에칭 & 텍스쳐 + 린스 + HF/HCl 세정 + 최종 린스/드라이
드라이
저온 (T≤200°C) 전면 패시베이션/ARC: PECVD (α-Si+) 실리콘 나이트라이드 + 선택적 인 시투 저온, 어닐링
웨트
광 포획을 위해 사용되는 스프레이 코팅 입자층/경화
드라이
백 플레인 금속 밖 베이스 & 에미터 접촉 개방 (레이저, Mech.) (셀 테스트 & 분류 및 이어지는 모듈 패키징이 가능하도록)
템플레이트 재사용 사이클
웨트
텝플레이트 웨트 세정: (KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
드라이
에피 (~25 에서 35 ㎛): 인 시투 인 베이스 & FSF 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된 에미터 형성을 위한 BSG의 펄스 피코세컨 레이저 제거
드라이
APCVD USG+PSG+USG (~150㎚)
드라이
산화 어닐링 또는 어닐링 + 선택적인 에미터 & 선택적인 베이스 도핑 형성을 위한 쇼트 산화
드라이
베이스 및 에미터 접촉 도핑 & 개구부를 위한 산화물 스택의 펄스 ps 레이저 고온 제거
드라이
PVD Al 접촉 & BSR (~0.5-2 ㎛) ~150°C 에서 ~400°C 에서 고온 Al 및/또는 인 시투 후 - PVD 어닐링 (에지를 제외하고 PVD)

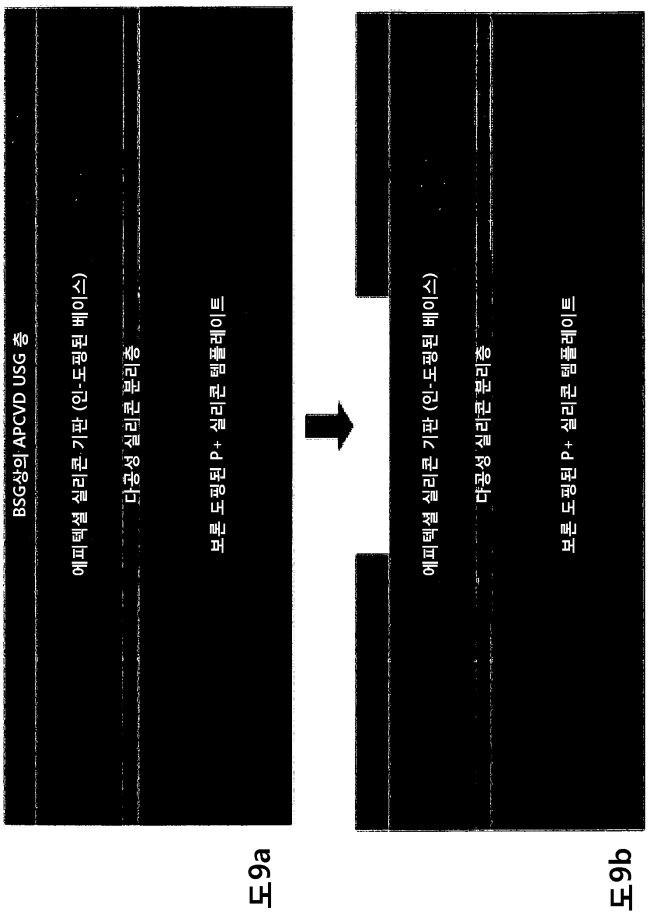
도면7


템플레이트 웨트 세정:
(KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
웨트
에피 (~25 에서 35 ㎛): 인 시투
인 베이스 & FSF 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스 피코세컨
레이저 제거
드라이
APCVD USG+PSG+USG (~150㎚)
드라이
산화 어닐링 또는 어닐링 +
선택적인 에미터 & 선택적인 베이스
도핑 형성을 위한 쇼트 산화
드라이
베이스 및 에미터 접촉 도핑 & 개구부를 위한
산화물 스택의 펄스 ps 레이저 고온 제거
드라이
Al/(Sn) 접촉 & BSR (~0.5-1 ㎛)
직접 라이팅 기술을 이용하여 셀 상에
직접 라이팅 Al/(Sn) 금속 핑거
(예, 레이저 트랜스퍼 프린트, 잉크젯 프린트 등):
에어로졸 프린트 등):
~150℃~400℃에서 어닐링
드라이
웨트
백 폴레인 금속 밖 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
드라이
광 포획을 위해 사용되는 스프레이 코팅
임자층/경화
웨트
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온 어닐링
드라이
전측 QMS & 텍스처 에칭:
HF + 린스 + 고온 KOH/계면활성제 QMS
에칭 & 텍스쳐 +
린스 + HF/HCl 세정 + 최종 린스/드라이
웨트
템플레이트 재사용 리컨디셔닝
(예, 에지 & 표면 그라인드/폴리시)
웨트/드라이
후-분리 템플레이트
셀 바운더리 한정 & 경계 분리, 셀 분리를
위한, 셀에 백 플레인의 얼라인 부착, 경화
라미네이트, 레이저 트렌칭
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
드라이
후-분리 TFSS
템플레이트 재사용 사이클

도면8

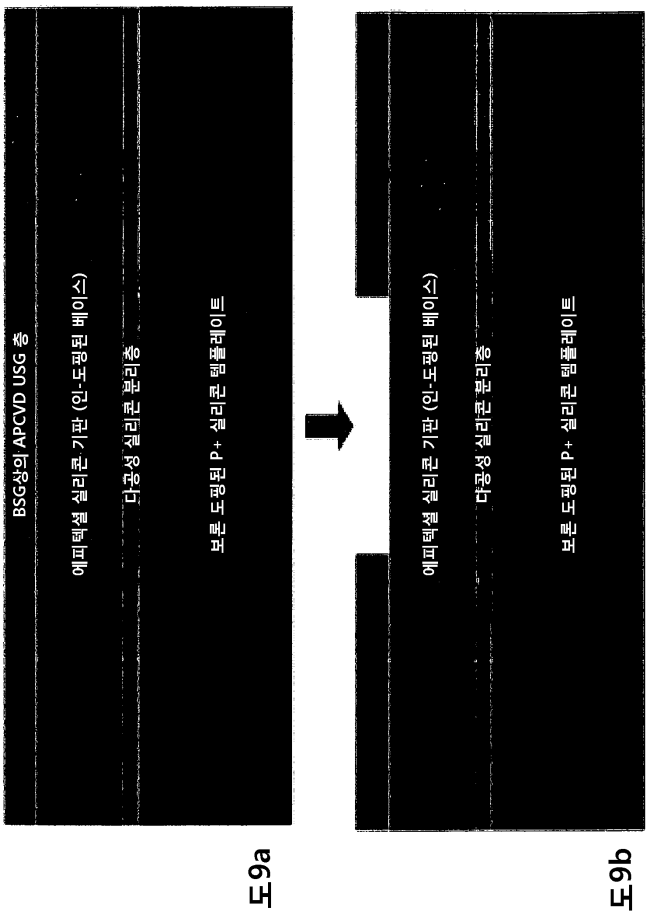

PVD Al 접촉 & BSR (~0.5-1 ㎛) ~150°C 에서 ~400°C 에서 고온 Al 및/또는 인 시투 후 – PVD 어닐링 (에지를 제외하고 PVD)
드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀 부스바가 없는) & 셀 경계 한정/명확성을 위한 Al의 펄스 피코세컨 레이저 제거
드라이
셀 상의 Al 금속 평거에 전도성 에폭시 포스트를 스크린 프린트
드라이
셀 바운더리 한정 & 경계 분리, 셀 분리를 위한, 셀에 백 플레인의 얼라인 부착, 경화 라미네이트, 레이저 트렌칭
후-분리 TFSS
후-분리 템플레이트
템플레이트 재사용 리컨디셔닝 (예, 에지 & 표면 그라인드/폴리시)
웨트/드라이
전측 QMS & 텍스쳐 에칭: HF + 린스 + 고온 KOH/계면활성제 QMS 에칭 & 텍스쳐 + 린스 + HF/HCl 세정 + 최종 린스/드라이
저온 (T≤200°C) 전면 패시베이션/ARC: PECVD (α-Si+) 실리콘 나이트라이드 + 선택적 인 시투 저온. 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉 개방 (레이저, Mech.) (셀 테스트 & 분류 및 이어지는 모듈 패키징이 가능하도록)
드라이
셀 테스트 & 분류로
9
템플레이트 재사용 사이클
템플레이트 웨트 세정: (KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
웨트
에피 (~25 에서 35 ㎛): 인 시투 인 베이스 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된 에미터 형성을 위한 BSG의 펄스 피코세컨 레이저 제거
드라이
APCVD 도핑되지 않은 산화물 (~100㎚)
드라이
베이스 접촉을 개방하기 위한 USG 산화물의 펄스 ps 레이저 저온 제거
드라이
APCVD PSG+USG 층 (~100㎚)
드라이
산화 어닐링 또는 어닐링 + P+ 에미터 & n+ 베이스 접촉 도핑 형성을 위한 쇼트 산화
드라이
에미터 접촉 개방 & 베이스 접촉 재개방을 위한 산화물 스택의 펄스 ps 레이저 저온 제거
드라이

도면9a


BSG상의 APCVD USG 층
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트

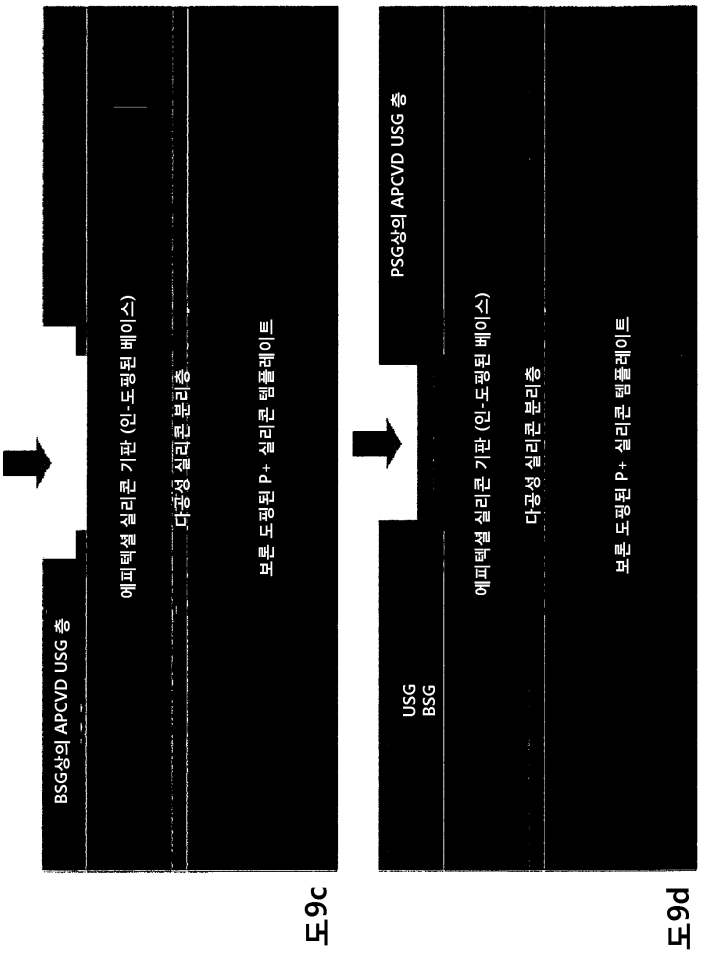
도9a 도9b

도면9b


BSG상의 APCVD USG 층
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트

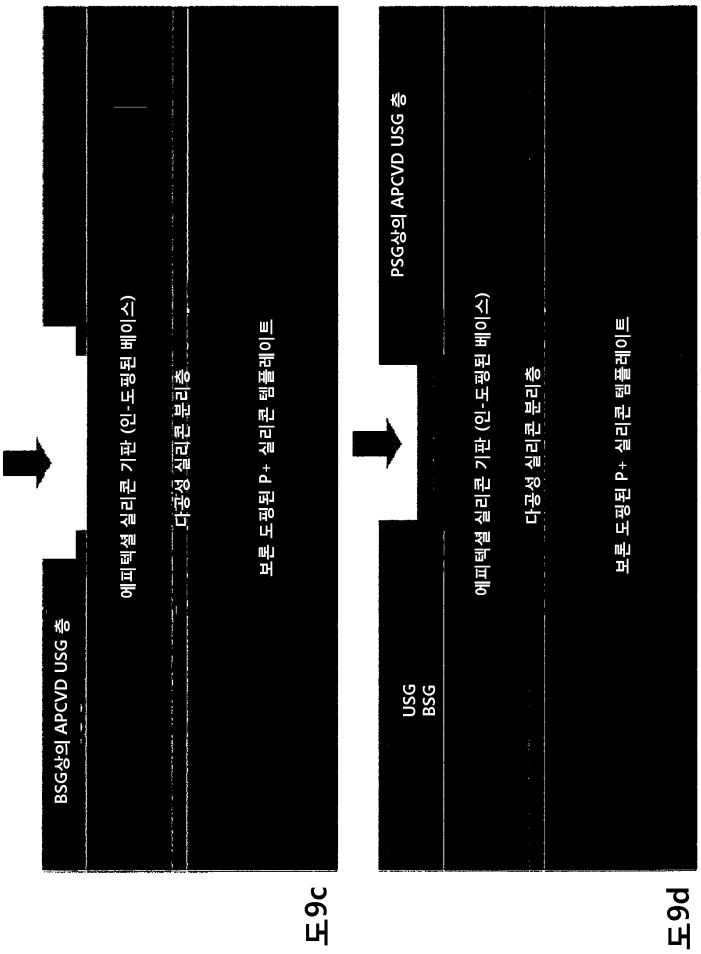
도9a 도9b

도면9c


BSG상의 APCVD USG 층
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트
USG
BSG
PSG상의 APCVD USG 층
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트

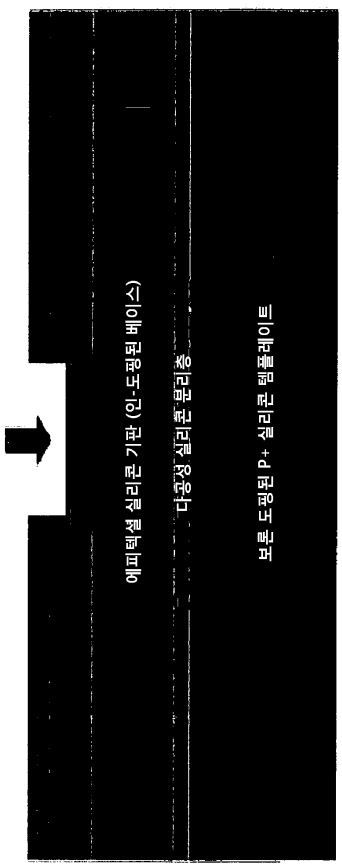
도9c 도9d

도면9d

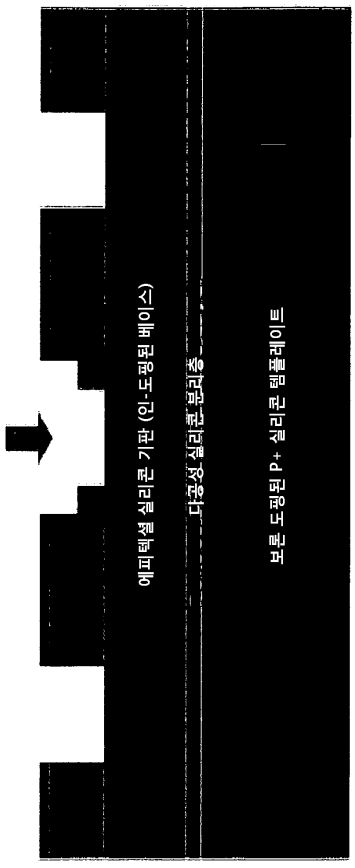

BSG상의 APCVD USG 층
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트
USG
BSG
PSG상의 APCVD USG 층
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트

도9c 도9d

도면9e

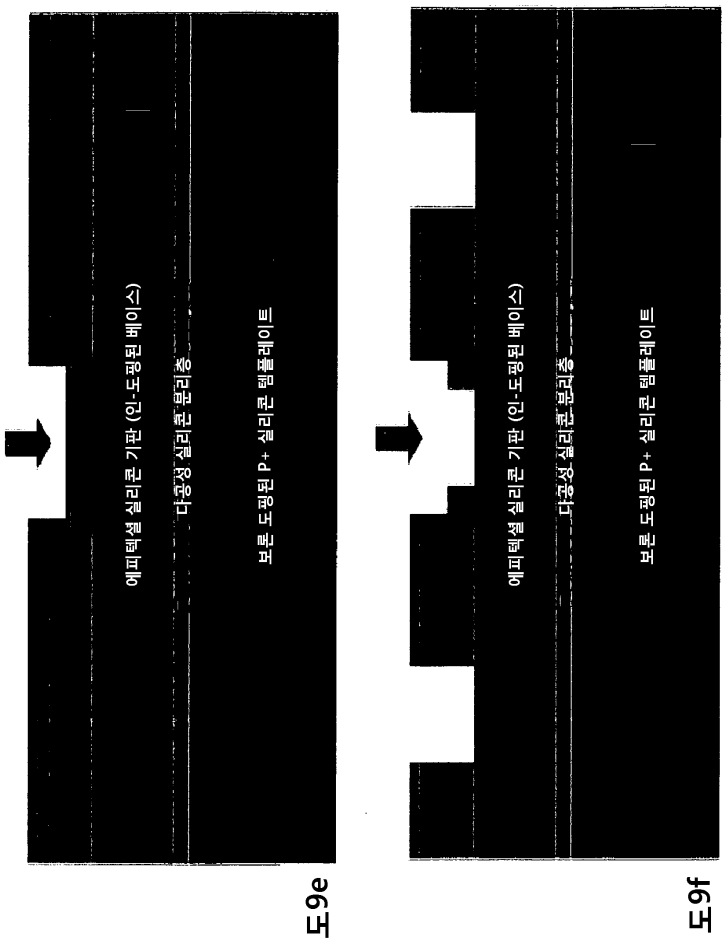

에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트

도9e


에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트

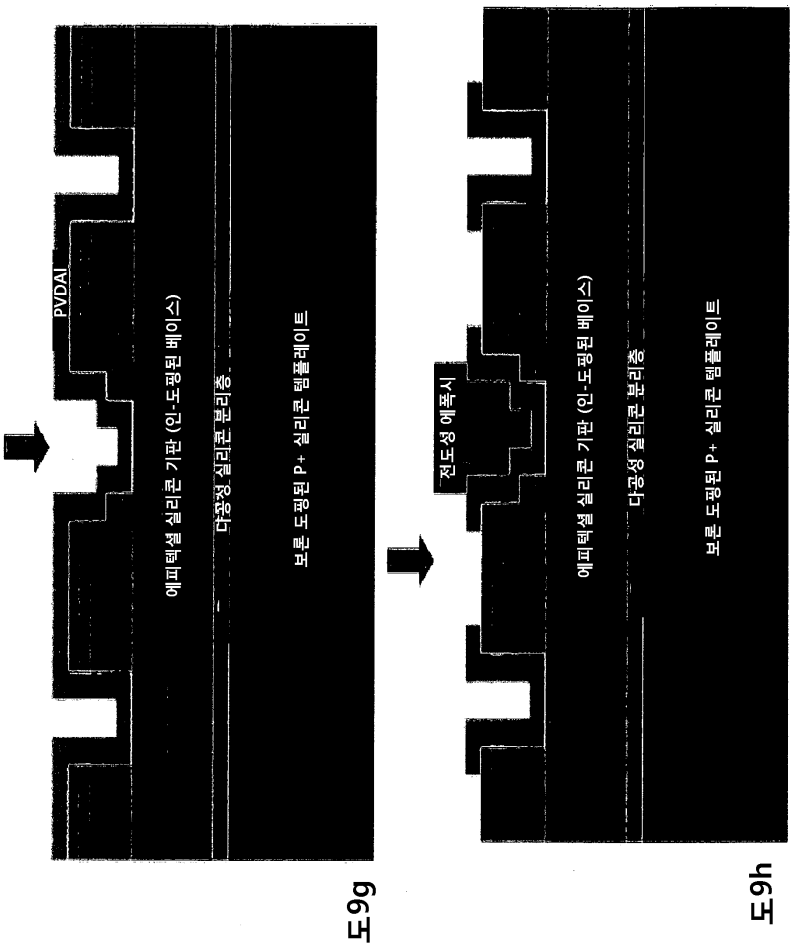
도9f

도면9f


에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트

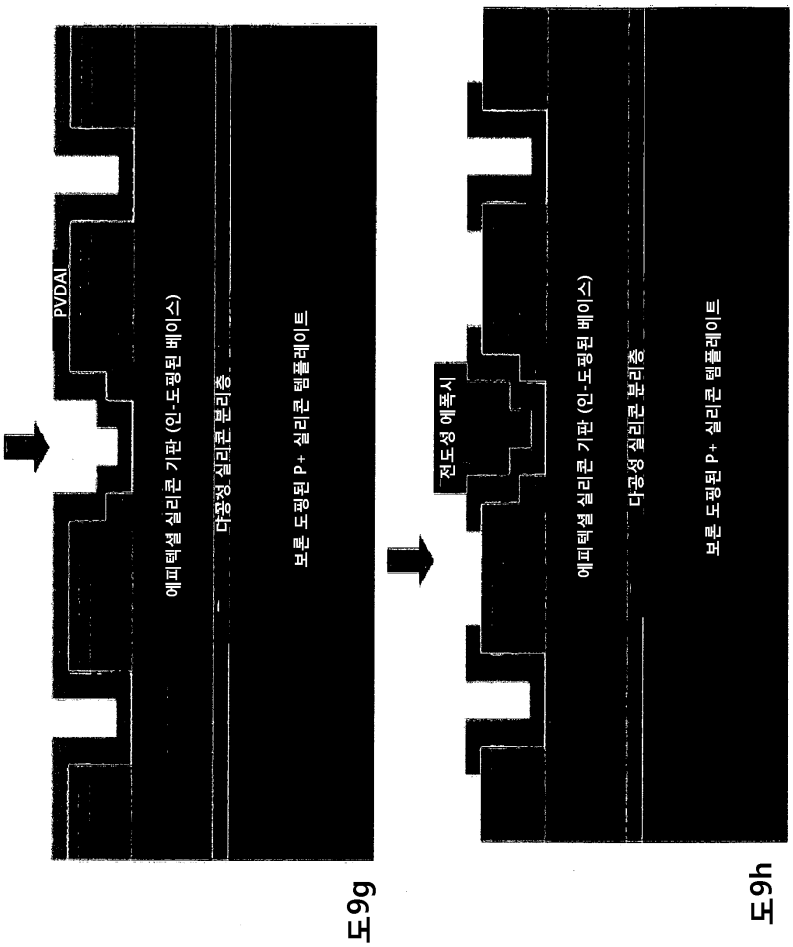
도9e 도9f

도면9g


PVDAl
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트
전도성 에폭시
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트

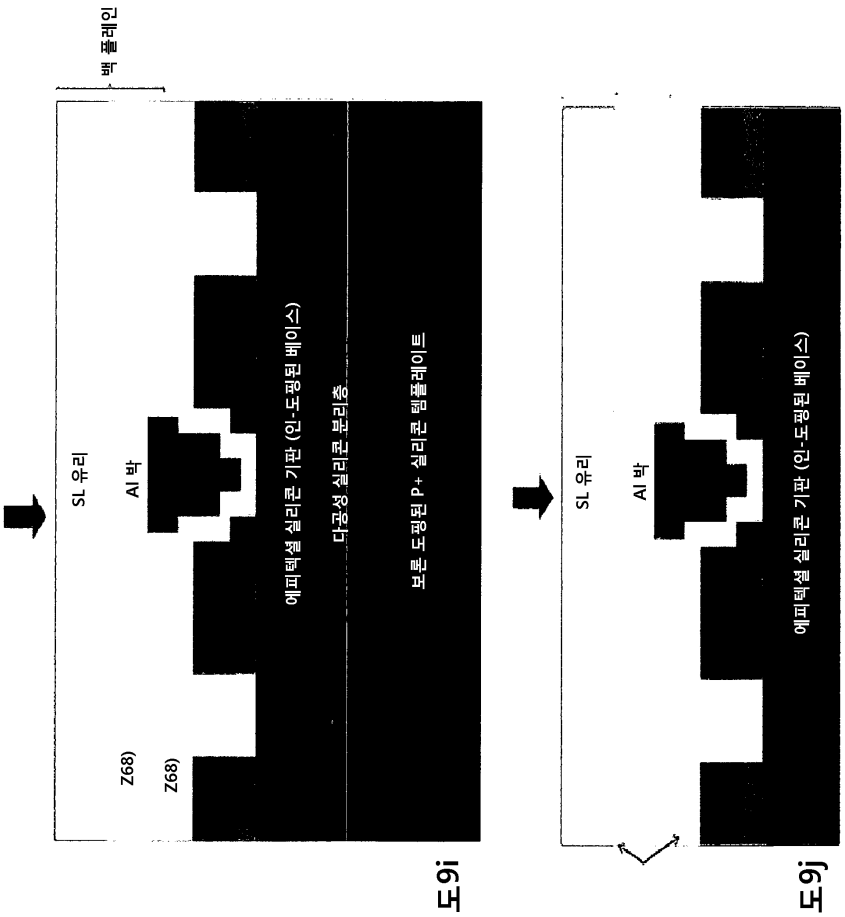
도9g 도9h

도면9h


PVDAI
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공정 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트
전도성 에폭시
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트

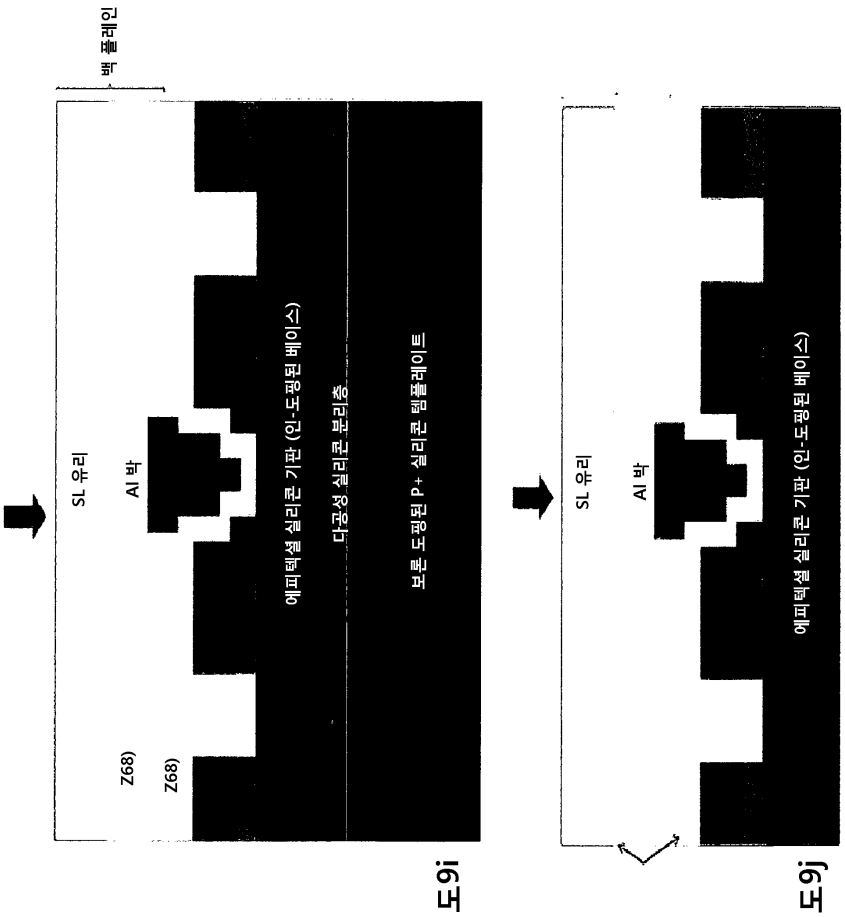
도9g 도9h

도면9i

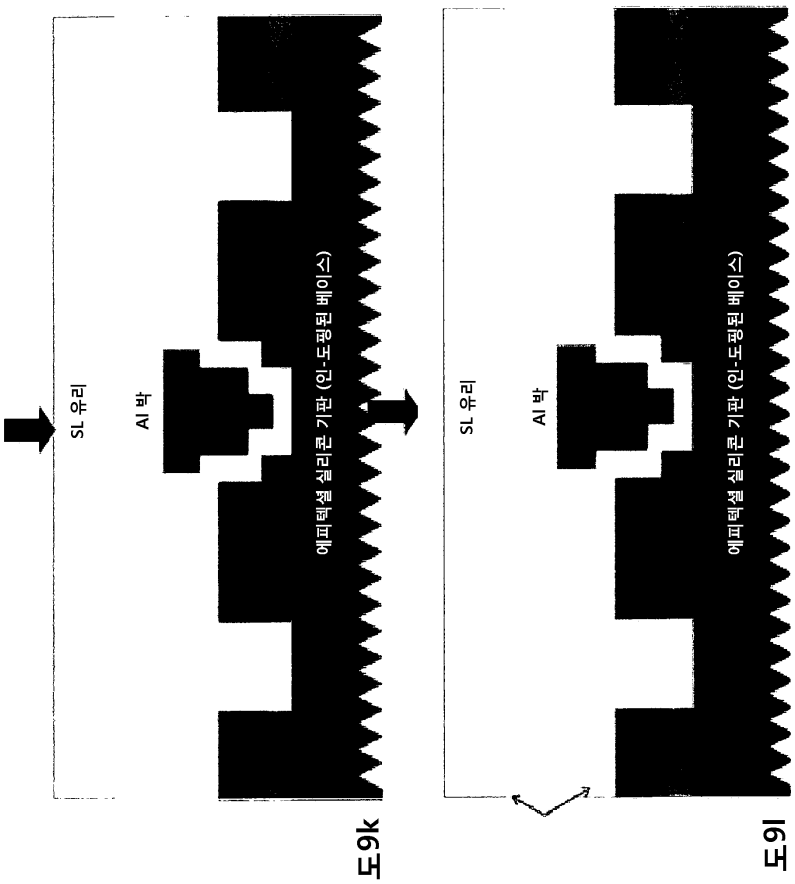

백 플레인
SL 유리
Al 박
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트
Z68)
Z68)
SL 유리
Al 박
에피택셜 실리콘 기판 (인-도핑된 베이스)

도9i 도9j

도면9j


백 플레인
SL 유리
Al 박
Z68)
Z68)
에피택셜 실리콘 기판 (인-도핑된 베이스)
다공성 실리콘 분리층
보론 도핑된 P+ 실리콘 템플레이트
도9i
SL 유리
Al 박
에피택셜 실리콘 기판 (인-도핑된 베이스)
도9j

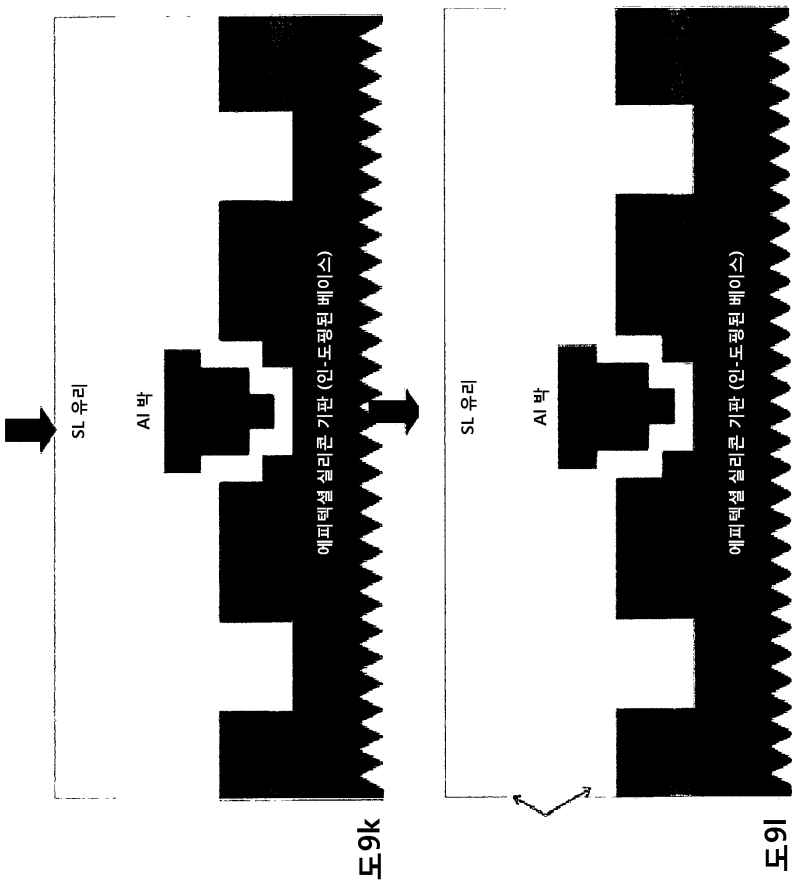
도면9k



도9k

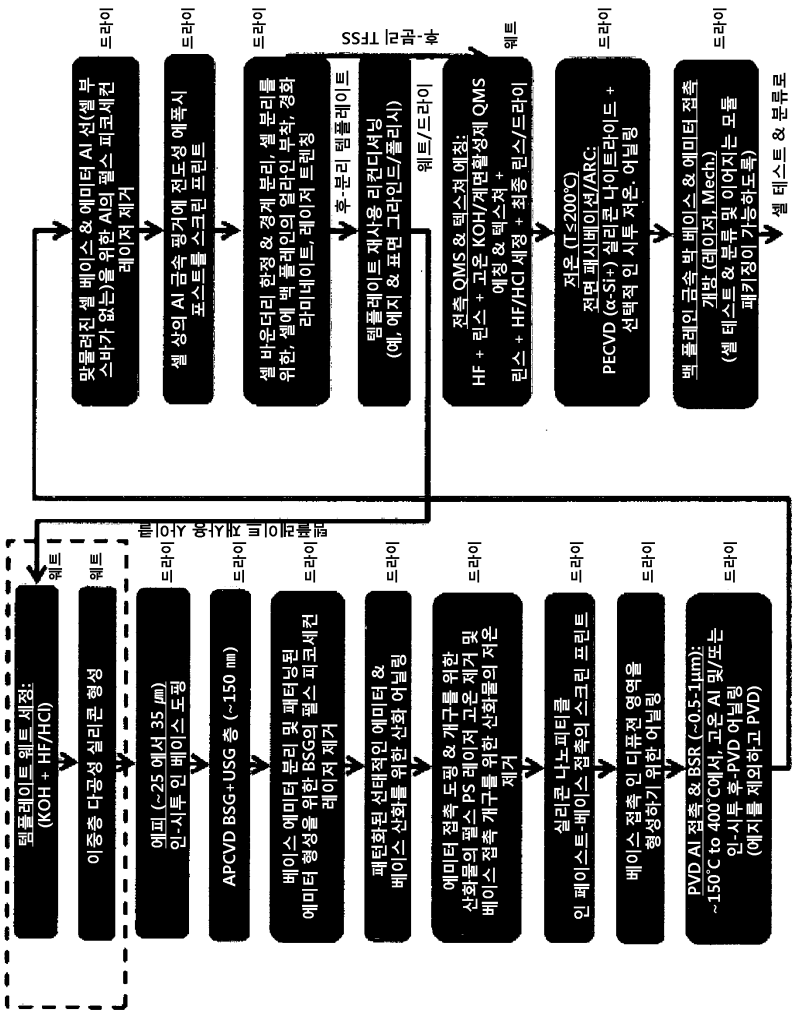
도9l

도면91

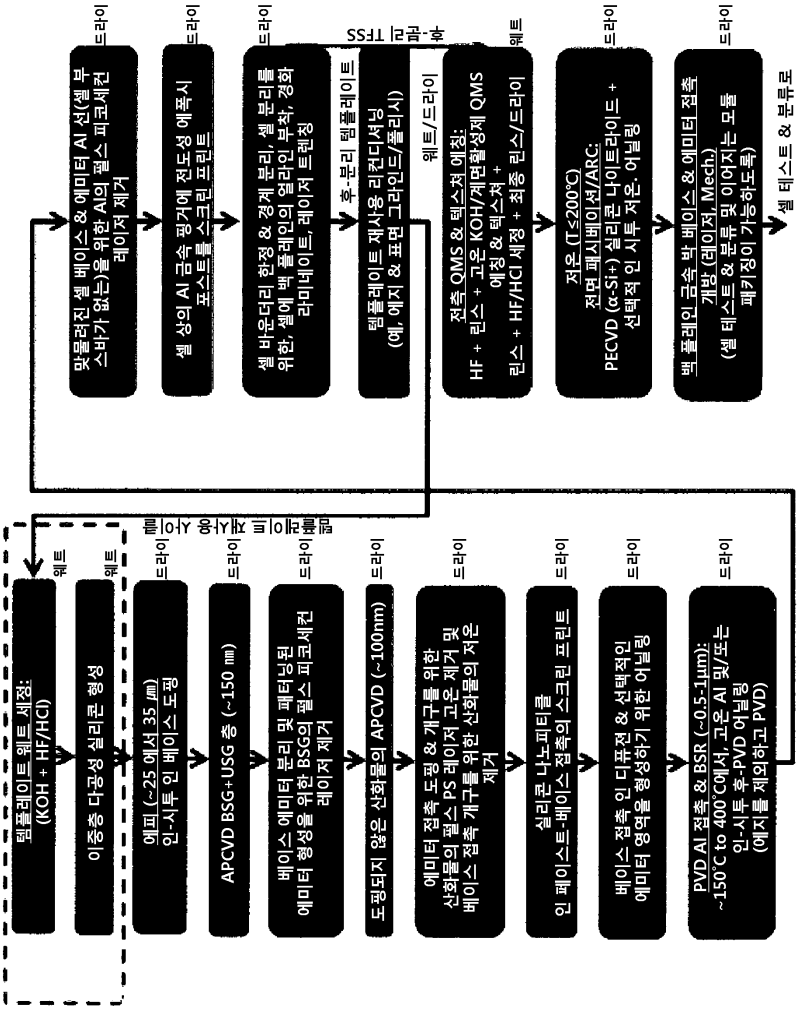


도9k 도9l

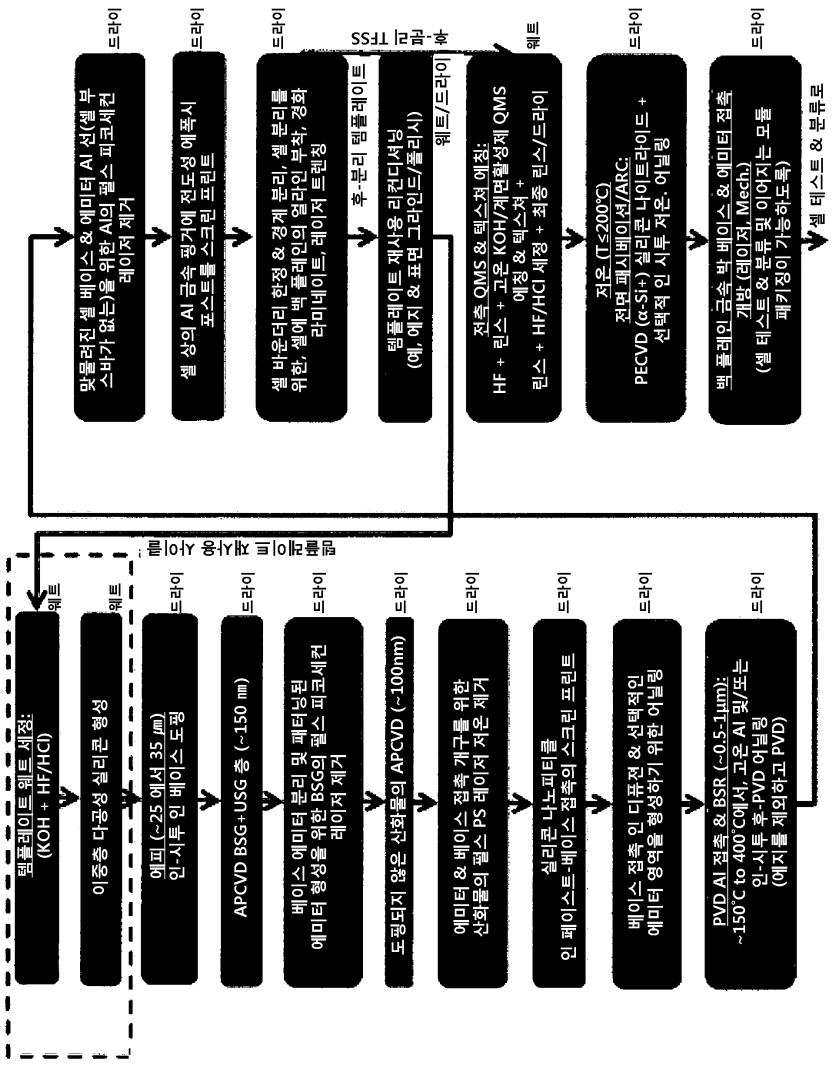
도면10


템플레이트 웨트 세정:
(KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
웨트
에피 (~25 에서 35 ㎛)
인-시투 인 베이스 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스 피코세컨
레이저 제거
드라이
패턴화된 선택적인 에미터 &
베이스 산화를 위한 산화 어닐링
드라이
에미터 접촉 도핑 & 개구를 위한
산화물의 펄스 PS 레이저 고온 제거 및
베이스 접촉 개구를 위한 산화물의 저온
제거
드라이
실리콘 나노피티클
인 페이스트-베이스 접촉의 스크린 프린트
드라이
베이스 접촉 인 디퓨젼 영역을
형성하기 위한 어닐링
드라이
PVD Al 접촉 & BSR (~0.5-1㎛):
~150˚C to 400˚C에서, 고온 Al 및/또는
인-시투 후-PVD 어닐링
(에지를 제외하고 PVD)
드라이
웨트/드라이
템플레이트 재사용 리컨디셔닝
(예, 에지 & 표면 그라인드/폴리시)
후-분리 템플레이트
웨트
셀 바운더리 한정 & 경계 분리, 셀 분리를
위한, 셀에 백 폴레인의 얼라인 부착, 경화
라미네이트, 레이저 트렌칭
드라이
셀 상의 Al 금속 평거에 전도성 에폭시
포스트를 스크린 프린트
드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀 부
스바가 없는)을 위한 Al의 펄스 피코세컨
레이저 제거
드라이
후-분리 TFSS
전측 QMS & 텍스쳐 에칭:
HF + 린스 + 고온 KOH/계면활성제 QMS
에칭 & 텍스쳐 +
린스 + HF/HCl 세정 + 최종 린스/드라이
웨트
저온 (T≤200˚C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적인 시투 저온 어닐링
드라이
백 폴레인 금속 밖 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
드라이
셀 테스트 & 분류로

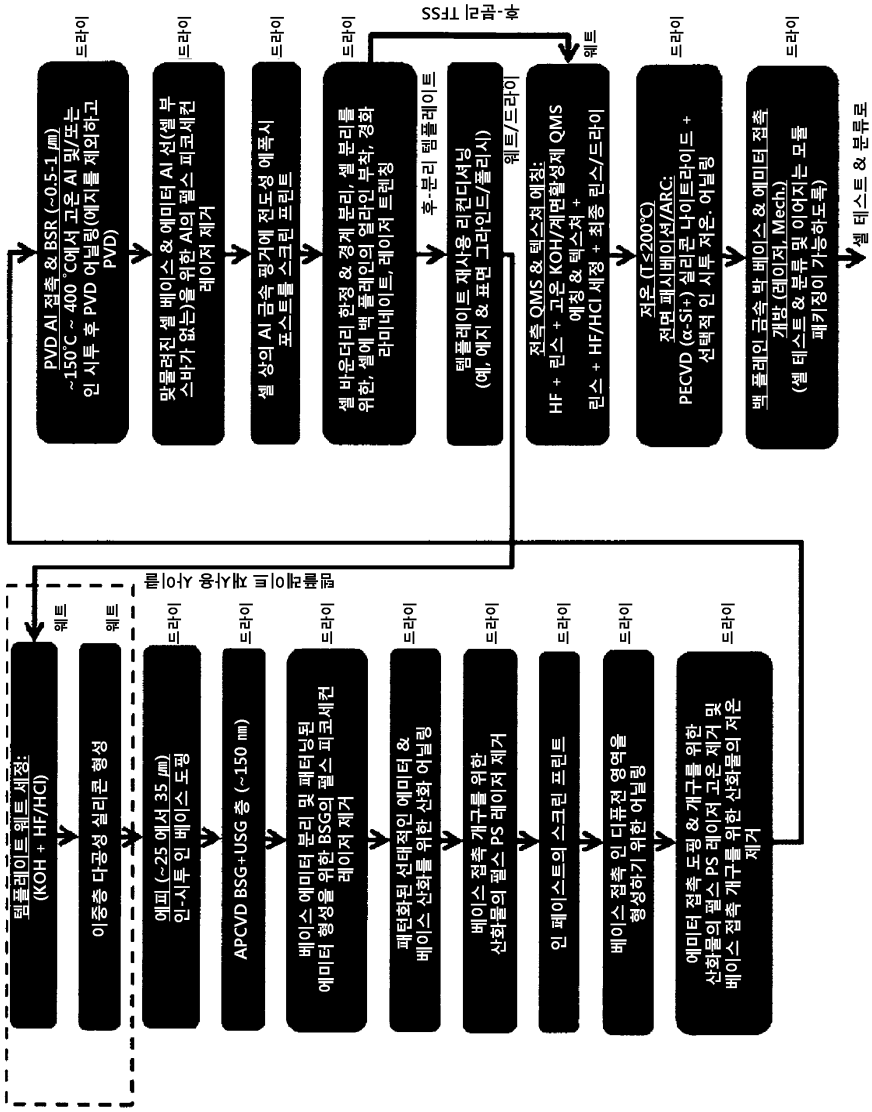
도면11


템플레이트 웨트 세정:
(KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
웨트
에피 (~25 에서 35 ㎛)
인-시투 인 베이스 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스 피코세컨
레이저 제거
드라이
도핑되지 않은 산화물의 APCVD (~100nm)
드라이
에미터 접촉 도핑 & 개구를 위한
산화물의 펄스 PS 레이저 고온 제거 및
베이스 접촉 개구를 위한 산화물의 저온
제거
드라이
실리콘 나노피티클
인 페이스트-베이스 접촉의 스크린 프린트
드라이
베이스 접촉 인 디퓨젼 & 선택적인
에미터 영역을 형성하기 위한 어닐링
드라이
PVD Al 접촉 & BSR (~0.5-1㎛):
~150°C to 400°C에서, 고온 Al 및/또는
인-시투 후-PVD 어닐링
(에지를 제외하고 PVD)
드라이
웨트/드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀 부
스바가 없는)을 위한 Al의 펄스 피코세컨
레이저 제거
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
드라이
셀 바운더리 한정 & 경계 분리, 셀 분리를
위한, 셀에 백 폴레인의 얼라인 부착, 정확
라미네이트, 레이저 트렌칭
드라이
후-분리 템플레이트
템플레이트 재사용 리컨디셔닝
(에, 에지 & 표면 그라인드/폴리시)
후-분리 템플레이트 재사용 사이클
웨트
전측 QMS & 텍스쳐 에칭:
HF + 린스 + 고온 KOH/계면활성제 QMS
에칭 & 텍스쳐 +
린스 + HF/HCl 세정 + 최종 린스/드라이
웨트
저온 (T≤200℃)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온 어닐링
드라이
백 폴레인 금속 밖 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
드라이
셀 테스트 & 분류로

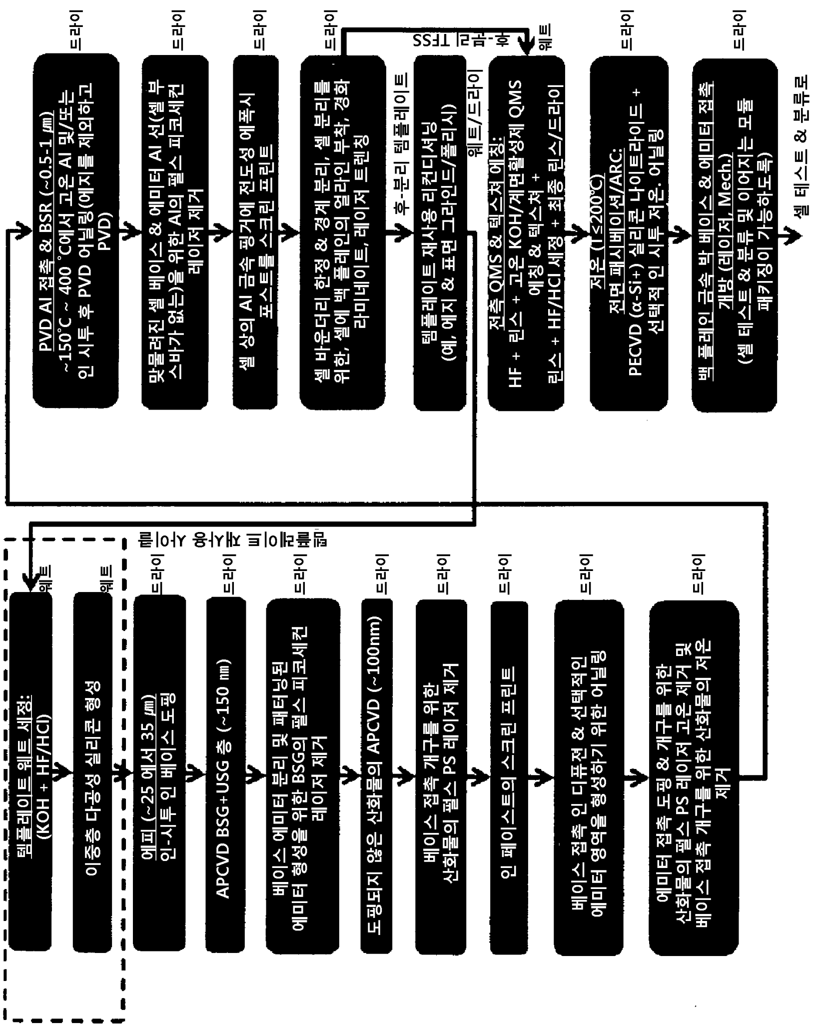
도면12


템플레이트 재사용 사이클
템플레이트 웨트 세정:
(KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
웨트
에피 (~25 에서 35 ㎛)
인-시투 인 베이스 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스 피코세컨
레이저 제거
드라이
도핑되지 않은 산화물의 APCVD (~100nm)
드라이
에미터 & 베이스 접촉 개구를 위한
산화물의 펄스 PS 레이저 저온 제거
드라이
실리콘 나노피티클
인 페이스트-베이스 접촉의 스크린 프린트
드라이
베이스 접촉 인 디퓨젼 & 선택적인
에미터 영역을 형성하기 위한 어닐링
드라이
PVD Al 접촉 & BSR (~0.5-1㎛):
~150°C to 400°C에서, 고온 Al 및/또는
인-시투 후-PVD 어닐링
(에지를 제외하고 PVD)
드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀 분
스바가 없는)을 위한 Al의 펄스 피코세컨
레이저 제거
드라이
셀 상의 Al 금속 핑거에 접도성 에폭시
포스트를 스크린 프린트
드라이
셀 바운더리 한정 & 경계 분리, 셀 분리를
위한, 셀에 백 플레인의 얼라인 부착, 경화
라미네이트, 레이저 트렌칭
드라이
후-분리 템플레이트
TFSS 리곱-후
템플레이트 재사용 리컨디셔닝
(예, 에지 & 표면 그라인드/폴리시)
웨트/드라이
접촉 QMS & 텍스쳐 에칭:
HF + 린스 + 고온 KOH/계면활성제 QMS
에칭 & 텍스쳐 +
린스 + HF/HCl 세정 + 최종 린스/드라이
웨트
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉
개발 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
드라이
셀 테스트 & 분류로

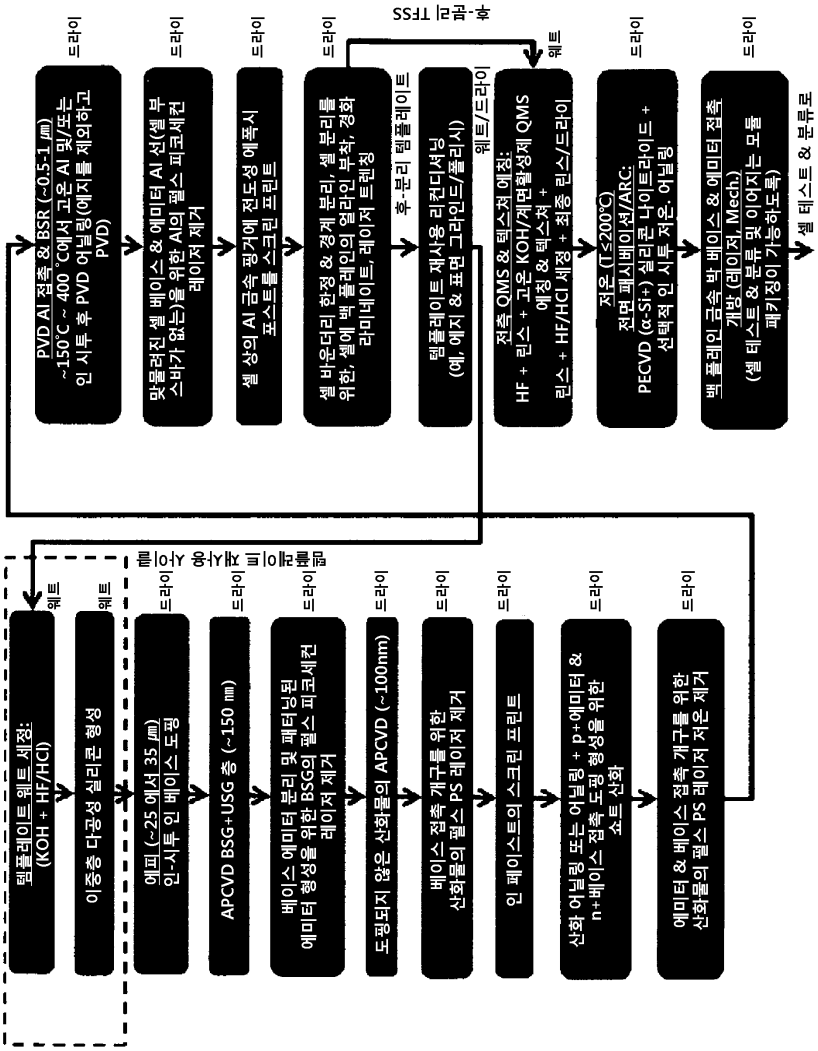
도면13


템플레이트 재사용 사이클
웨트
템플레이트 세정:
(KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
드라이
에피 (~25 에서 35 ㎛)
인-시투 인 베이스 도핑
드라이
APCVD BSG+USG 층 (~150 nm)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스 피코세컨
레이저 제거
드라이
패턴화된 선택적인 에미터 &
베이스 산화를 위한 산화 어닐링
드라이
베이스 접촉 개구를 위한
산화물의 펄스 PS 레이저 제거
드라이
인 페이스트의 스크린 프린트
드라이
베이스 접촉 인 디퓨전 영역을
형성하기 위한 어닐링
드라이
에미터 접촉 도핑 & 개구를 위한
산화물의 펄스 PS 레이저 고온 제거 및
베이스 접촉 개구를 위한 산화물의 저온
제거
드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛)
~150°C ~ 400 °C에서 고온 Al 및/또는
인 시투 후 PVD 어닐링(에지를 제외하고
PVD)
드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀 부
스바가 없는)을 위한 Al의 펄스 피코세컨
레이저 제거
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
드라이
셀 바운더리 한정 & 경계 분리, 셀 분리를
위한, 셀에 백 폴레인의 얼라인 부착, 경화
라미네이트, 레이저 트렌칭
후-분리 템플레이트
템플레이트 재사용 리컨디셔닝
(예, 에지 & 표면 그라인드/폴리시)
웨트/드라이
후-분리 TFSS
웨트
전측 QMS & 텍스처 에칭:
HF + 린스 + 고온 KOH/계면활성제 QMS
에칭 & 텍스쳐 +
린스 + HF/HCl 세정 + 최종 린스/드라이
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si:H) 실리콘 나이트라이드 +
선택적 인 시투 저온, 어닐링
드라이
백 폴레인 금속 박 베이스 & 에미터 접촉
개발 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
드라이
셀 테스트 & 분류로

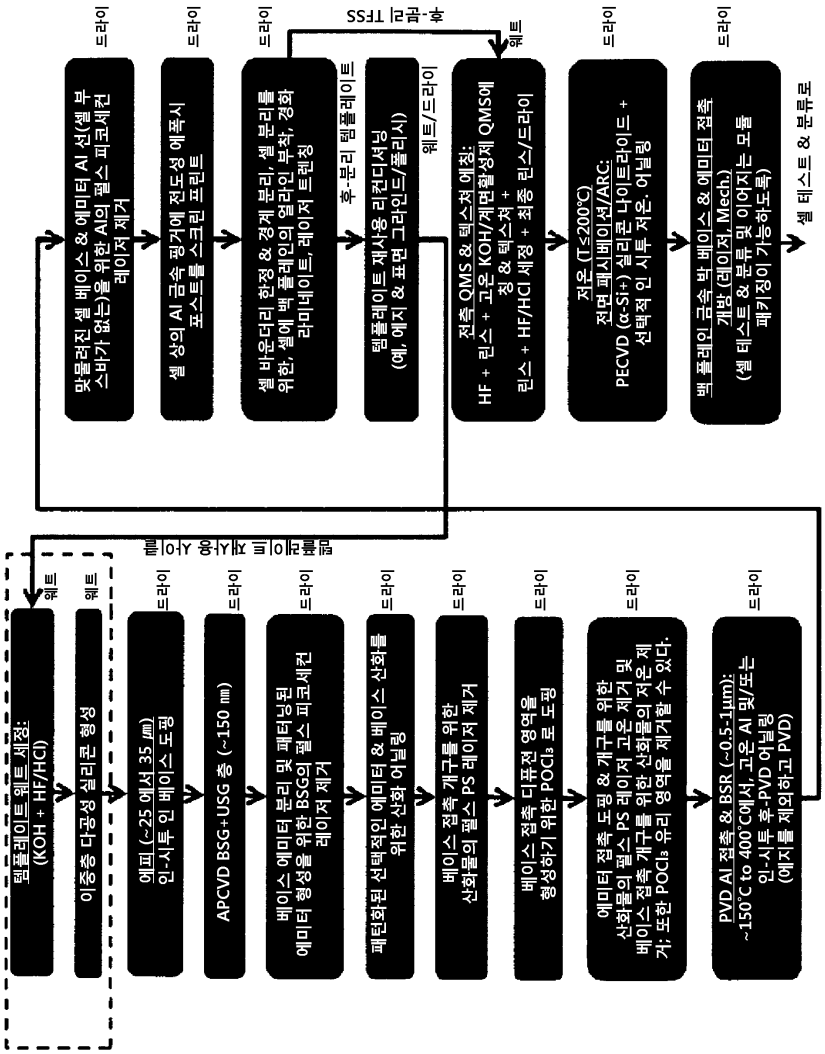
도면14


PVD Al 접촉 & BSR (~0.5-1 ㎛) ~150°C ~ 400 °C에서 고온 Al 및/또는 인 시투 후 PVD 어닐링(예지를 제외하고 PVD)
드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀 부스바가 없는)을 위한 Al의 펄스 피코세컨 레이저 제거
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시 포스트를 스크린 프린트
드라이
셀 바운더리 한정 & 경계 분리, 셀 분리를 위한, 셀에 백 플레인의 열라인 부착, 경화 라미네이트, 레이저 트렌칭
드라이
후-분리 템플레이트
템플레이트 재사용 리컨디셔닝 (예, 에지 & 표면 그라인드/폴리시)
웨트/드라이
후-분리 TFSS
웨트
전측 QMS & 텍스쳐 에칭: HF + 린스 + 고온 KOH/계면활성제 QMS 에칭 & 텍스쳐 + 린스 + HF/HCl 세정 + 최종 린스/드라이
저온 (≤200°C) 전면 패시베이션/ARC: PECVD (α-Si+) 실리콘 나이트라이드 + 선택적 인 시투 저온 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉 개방 (레이저, Mech.) (셀 테스트 & 분류 및 이어지는 모듈 패키징이 가능하도록)
드라이
셀 테스트 & 분류로
템플레이트 웨트 세정: (KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
웨트
에피 (~25 에서 35 ㎛) 인-시투 인 베이스 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된 에미터 형성을 위한 BSG의 펄스 피코세컨 레이저 제거
드라이
도핑되지 않은 산화물의 APCVD (~100nm)
드라이
베이스 접촉 개구를 위한 산화물의 펄스 PS 레이저 제거
드라이
인 페이스트의 스크린 프린트
드라이
베이스 접촉 인 디퓨전 & 선택적인 에미터 영역을 형성하기 위한 어닐링
드라이
에미터 접촉 도핑 & 개구를 위한 산화물의 펄스 PS 레이저 제거 및 베이스 접촉 개구를 위한 산화물의 저온 제거
드라이
템플레이트 재사용 사이클

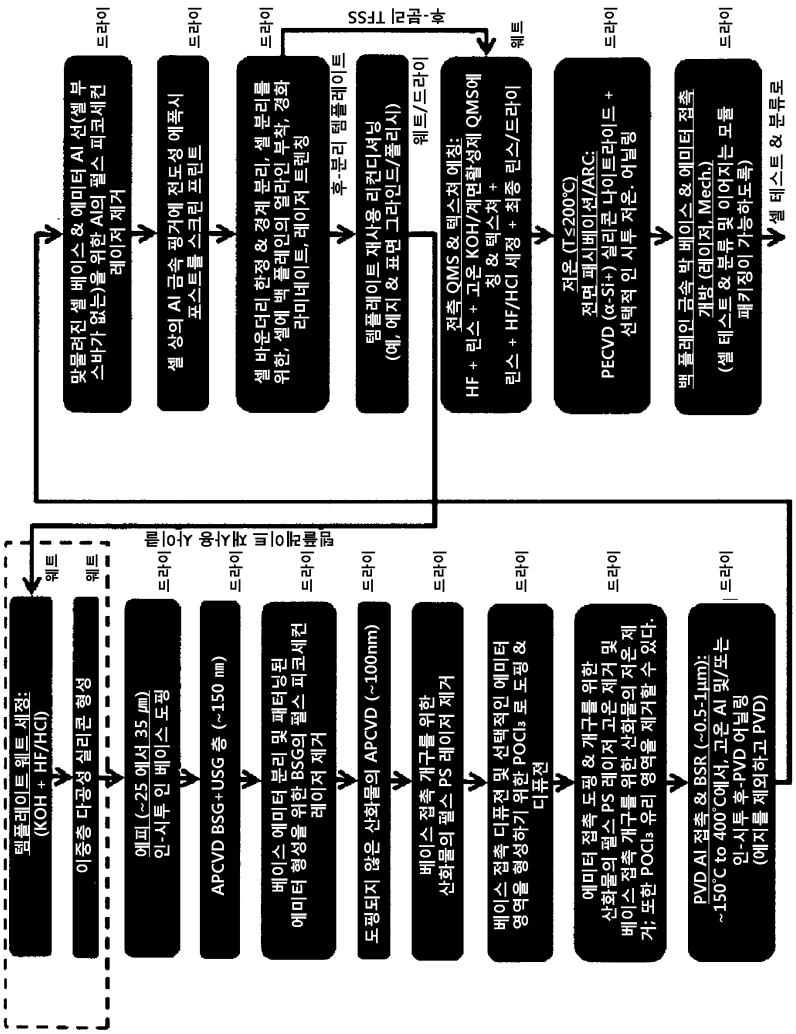
도면15


텝플레이트 재사용 사이클
텝플레이트 웨트 세정:
(KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
웨트
에피 (~25 에서 35 ㎛)
인-시투 인 베이스 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스 피코세컨
레이저 제거
드라이
도핑되지 않은 산화물의 APCVD (~100㎚)
드라이
베이스 접촉 개구를 위한
산화물의 펄스 PS 레이저 제거
드라이
인 페이스트의 스크린 프린트
드라이
산화 어닐링 또는 어닐링 + p+에미터 &
n+베이스 접촉 도핑 형성을 위한
쇼트 산화
드라이
에미터 & 베이스 접촉 개구를 위한
산화물의 펄스 PS 레이저 제거
드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛)
~150°C ~ 400 °C에서 고온 Al 및/또는
인 시투 후 PVD 어닐링(에지를 제외하고
PVD)
드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀 부
스바가 없는)을 위한 Al의 펄스 피코세컨
레이저 제거
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
드라이
셀 바운더리 한정 & 경계 분리, 셀 분리를
위한, 셀에 백 폴레인의 알라인 부착, 경화
라미네이트, 레이저 트렌칭
드라이
후-분리 텝플레이트
텝플레이트 재사용 리컨디셔닝
(예, 에지 & 표면 그라인드/폴리시)
웨트/드라이
전측 QMS & 텍스쳐 에칭:
HF + 린스 + 고온 KOH/계면활성제 QMS
에칭 & 텍스쳐 +
린스 + HF/HCl 세정 + 최종 린스/드라이
웨트
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온 어닐링
드라이
백 폴레인 금속 박 베이스 & 에미터 접촉
개발 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
드라이
셀 테스트 & 분류로

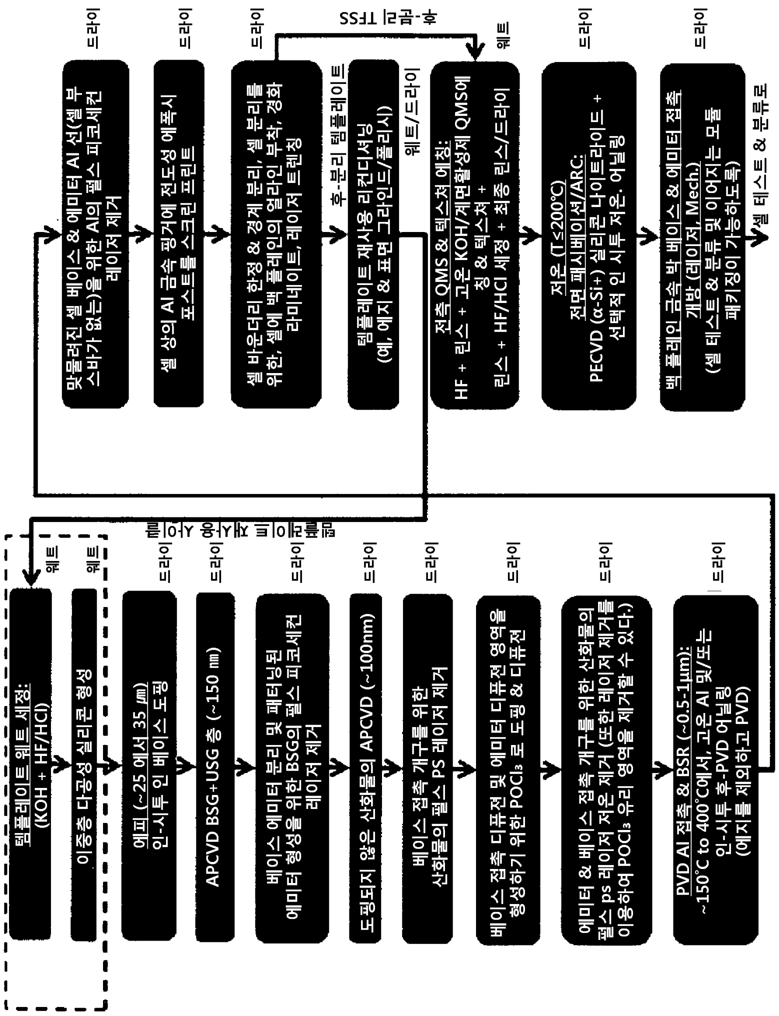
도면16


맞물려진 셀 베이스 & 에미터 AI 선(셀 뷰 엣지가 없는)을 위한 AI의 펄스 피코세컨 레이저 제거
드라이
셀 상의 AI 금속 링거에 전도성 에폭시 포스트를 스크린 프린트
드라이
셀 바운더리 한정 & 경계 분리, 셀 분리를 위한, 셀에 백 플레인의 알라인 부착, 경화 라미네이트, 레이저 트렌칭
드라이
후-분리 템플레이트
템플레이트 재사용 리컨디셔닝 (예, 에지 & 표면 그라인드/폴리시)
웨트/드라이
전측 QMS & 텍스쳐 에칭: HF + 린스 + 고온 KOH/계면활성제 QMS에칭 & 텍스쳐 + 린스 + HF/HCl 세정 + 최종 린스/드라이
웨트
저온 (T≤200°C) 전면 패시베이션/ARC: PECVD (α-Si+) 실리콘 나이트라이드 + 선택적 인 시투 저온. 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉 개방 (레이저, Mech.) (셀 테스트 & 분류 및 이어지는 모듈 패키징이 가능하도록)
드라이
셀 테스트 & 분류로
후-분리 TFSS
템플레이트 재사용 사이클
템플레이트 웨트 세정: (KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
웨트
에피 (~25 에서 35 ㎛) 인-시투 인 베이스 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된 에미터 형성을 위한 BSG의 펄스 피코세컨 레이저 제거
드라이
패턴화된 선택적인 에미터 & 베이스 산화를 위한 산화 어닐링
드라이
베이스 접촉 개구를 위한 산화물의 펄스 PS 레이저 제거
드라이
베이스 접촉 디퓨젼 영역을 형성하기 위한 POCl₃ 로 도핑
드라이
에미터 접촉 도핑 & 개구를 위한 산화물의 펄스 PS 레이저 고온 제거 및 베이스 접촉 개구를 위한 산화물의 저온 제거; 또한 POCl₃ 유리 영역을 제거할 수 있다.
드라이
PVD Al 접촉 & BSR (~0.5-1㎛): ~150°C to 400°C에서, 고온 Al 및/또는 인-시투 후-PVD 어닐링 (에지를 제외하고 PVD)
드라이

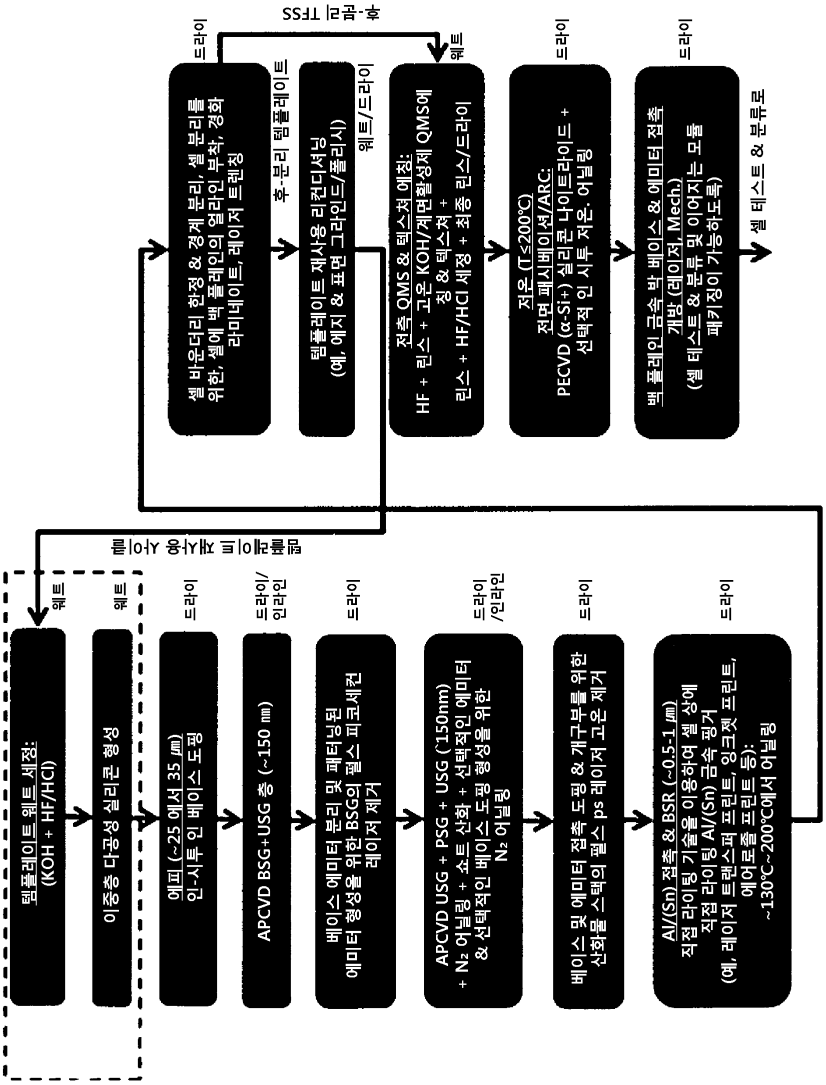
도면17


템플레이트 웨트 세정:
(KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
웨트
에피 (~25 에서 35 ㎛)
인-시투 인 베이스 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스 피코세컨
레이저 제거
드라이
도핑되지 않은 산화물의 APCVD (~100㎚)
드라이
베이스 접촉 개구를 위한
산화물의 펄스 PS 레이저 제거
드라이
베이스 접촉 디퓨전 및 선택적인 에미터
영역을 형성하기 위한 POCl3 로 도핑 &
디퓨전
드라이
에미터 접촉 도핑 & 개구를 위한
산화물의 펄스 PS 레이저 고온 제거 및
베이스 접촉 개구를 위한 산화물의 저온 제
거; 또한 POCl3 유리 영역을 제거할 수 있다.
드라이
PVD Al 접촉 & BSR (~0.5-1㎛):
~150°C to 400°C에서, 고온 Al 및/또는
인-시투 후-PVD 어닐링
(에지를 제외하고 PVD)
드라이
웨트/드라이
템플레이트 재사용 리컨디셔닝
(예, 에지 & 표면 그라인드/폴리시)
후-분리 TFSS
후-분리 템플레이트
셀 바운더리 한정 & 경계 분리, 셀 분리를
위한, 셀에 백 콘택인의 얼라인 부착, 경화
라미네이트, 레이저 트렌칭
드라이
셀 상의 Al 금속 광거에 전도성 에폭시
포스트를 스크린 프린트
드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀 부
스바가 없는)을 위한 Al의 펄스 피코세컨
레이저 제거
드라이
웨트
전측 QMS & 텍스쳐 에칭:
HF + 린스 + 고온 KOH/계면활성제 QMS에
칭 & 텍스쳐 + 린스 + 최종 린스/드라이
린스 + HF/HCl 세정 + 최종 린스/드라이
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온. 어닐링
드라이
백 콘택인 금속 밖 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
셀 테스트 & 분류로

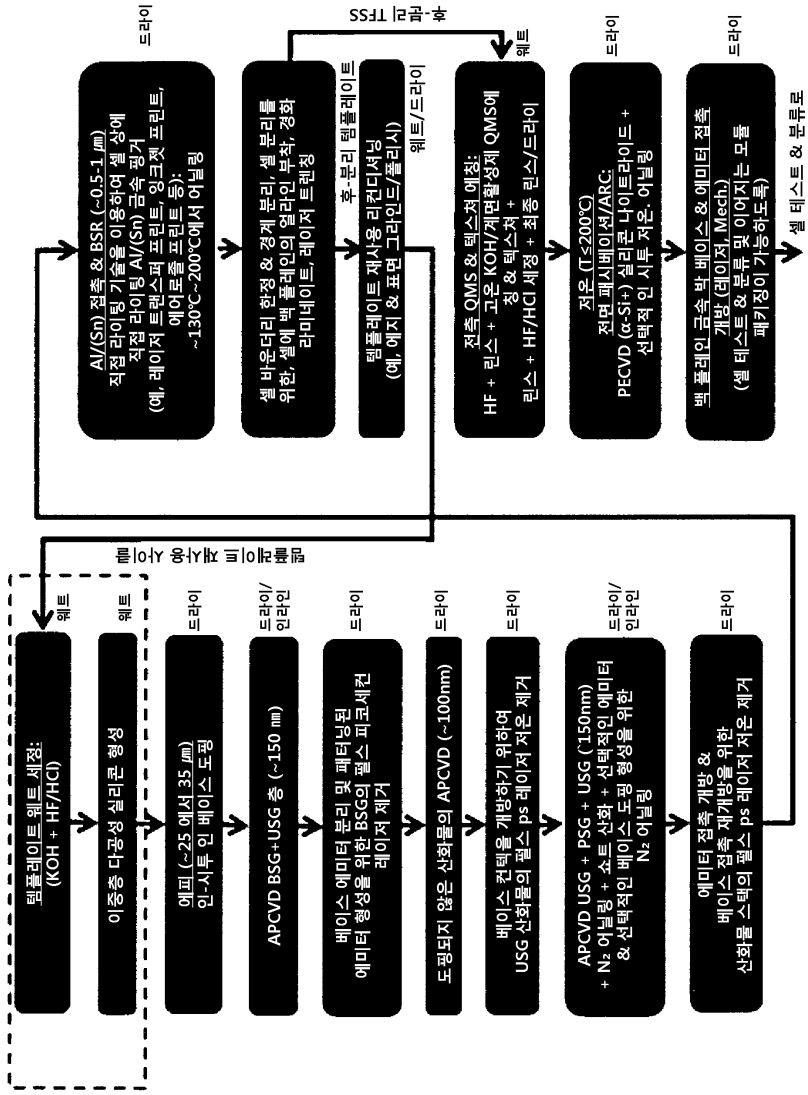
도면18


템플레이트 웨트 세정: (KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
웨트
에피 (~25 에서 35 ㎛) 인-시투 인 베이스 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된 에미터 형성을 위한 BSG의 펄스 피코세컨 레이저 제거
드라이
도핑되지 않은 산화물의 APCVD (~100nm)
드라이
베이스 접촉 개구를 위한 산화물의 펄스 PS 레이저 제거
드라이
베이스 접촉 디퓨전 및 에미터 디퓨전 영역을 형성하기 위한 POCl₃ 로 도핑 & 디퓨전
드라이
에미터 & 베이스 접촉 개구를 위한 산화물의 펄스 ps 레이저 제거 (또한 레이저 제거를 이용하여 POCl₃ 유리 영역을 제거할 수 있다.)
드라이
PVD Al 접촉 & BSR (~0.5-1㎛): ~150°C to 400°C에서, 고온 Al 및/또는 인-시투 후-PVD 어닐링 (에지를 제외하고 PVD)
드라이
템플레이트 재사용 사이클
맞물려진 셀 베이스 & 에미터 Al 선(셀 부스바가 없는)을 위한 Al의 펄스 피코세컨 레이저 제거
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시 포스트를 스크린 프린트
드라이
셀 바운더리 한정 & 경계 분리, 셀 분리를 위한, 셀에 백 플레인의 얼라인 부착, 경화 라미네이트, 레이저 트렌칭
드라이
후-분리 TFSS
후-분리 템플레이트
템플레이트 재사용 리컨디셔닝 (예, 에지 & 표면 그라인드/폴리시)
웨트/드라이
전측 QMS & 텍스처 에칭: HF + 린스 + 고온 KOH/계면활성제 QMS에칭 & 텍스처 + 린스 + HF/HCl 세정 + 최종 린스/드라이
웨트
저온 (T≤200°C) 전면 패시베이션/ARC: PECVD (α-Si+) 실리콘 나이트라이드 + 선택적 인 시투 저온 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉 개방 (레이저, Mech.) (셀 테스트 & 분류 및 이어지는 모듈 패키징이 가능하도록)
드라이
셀 테스트 & 분류로

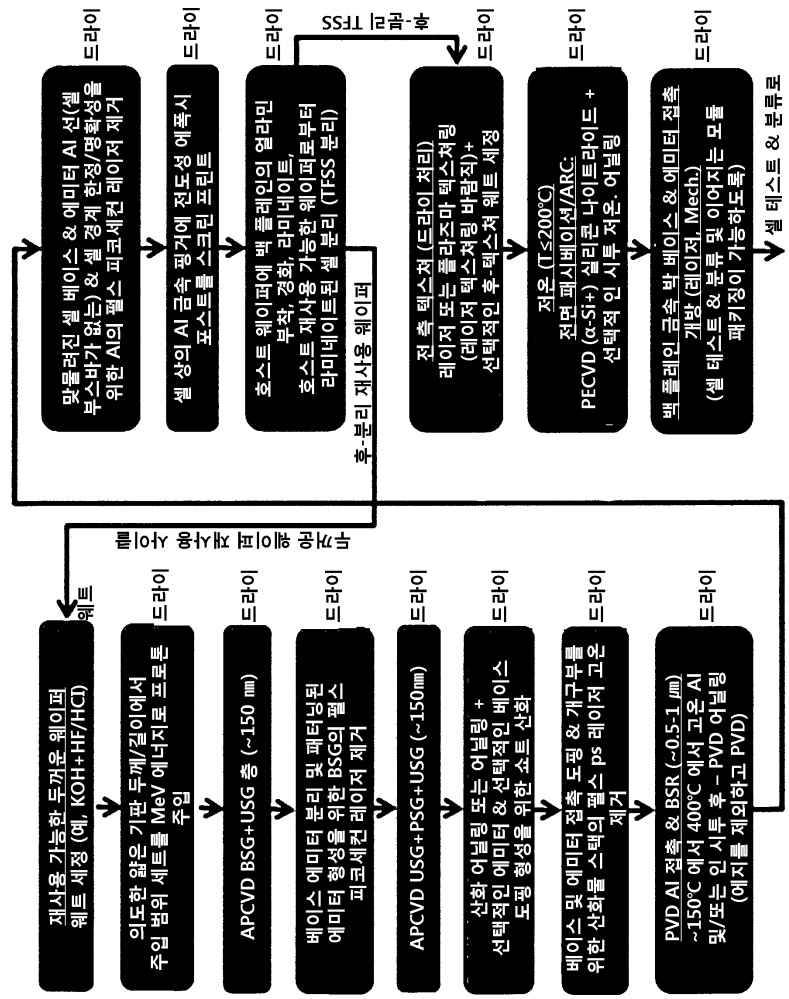
도면19


템플레이트 웨트 세정: (KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
웨트
에피 (~25 에서 35 ㎛) 인-시투 인 베이스 도핑
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이/인라인
베이스 에미터 분리 및 패터닝된 에미터 형성을 위한 BSG의 펄스 피코세컨 레이저 제거
드라이
APCVD USG + PSG + USG ('150nm) + N₂ 어닐링 + 쇼트 산화 + 선택적인 에미터 & 선택적인 베이스 도핑 형성을 위한 N₂ 어닐링
드라이/인라인
베이스 및 에미터 접촉 도핑 & 개구부를 위한 산화물 스택의 펄스 ps 레이저 고온 제거
드라이
Al/(Sn) 접촉 & BSR (~0.5-1 ㎛) 직접 라이팅 기술을 이용하여 셀 상에 직접 라이팅 Al/(Sn) 금속 핑거 (예, 레이저 트랜스퍼 프린트, 잉크젯 프린트, 에어로졸 프린트 등): ~130℃~200℃에서 어닐링
드라이
템플레이트 재사용 사이클
셀 바운더리 한정 & 경계 분리, 셀 분리를 위한, 셀에 백 플레인의 얼라인 부착, 경화 라미네이트, 레이저 트렌칭
드라이
후-분리 템플레이트
템플레이트 재사용 리컨디셔닝 (예, 에지 & 표면 그라인드/폴리시)
웨트/드라이
후-분리 TFSS
전측 QMS & 텍스처 에칭: HF + 린스 + 고온 KOH/계면활성제 QMS에칭 & 텍스처 + 린스 + HF/HCl 세정 + 최종 린스/드라이
웨트
저온 (T≤200℃) 전면 패시베이션/ARC: PECVD (α-Si+) 실리콘 나이트라이드 + 선택적 인 시투 저온. 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉 개방 (레이저, Mech.) (셀 테스트 & 분류 및 이어지는 모듈 패키징이 가능하도록)
드라이
셀 테스트 & 분류로

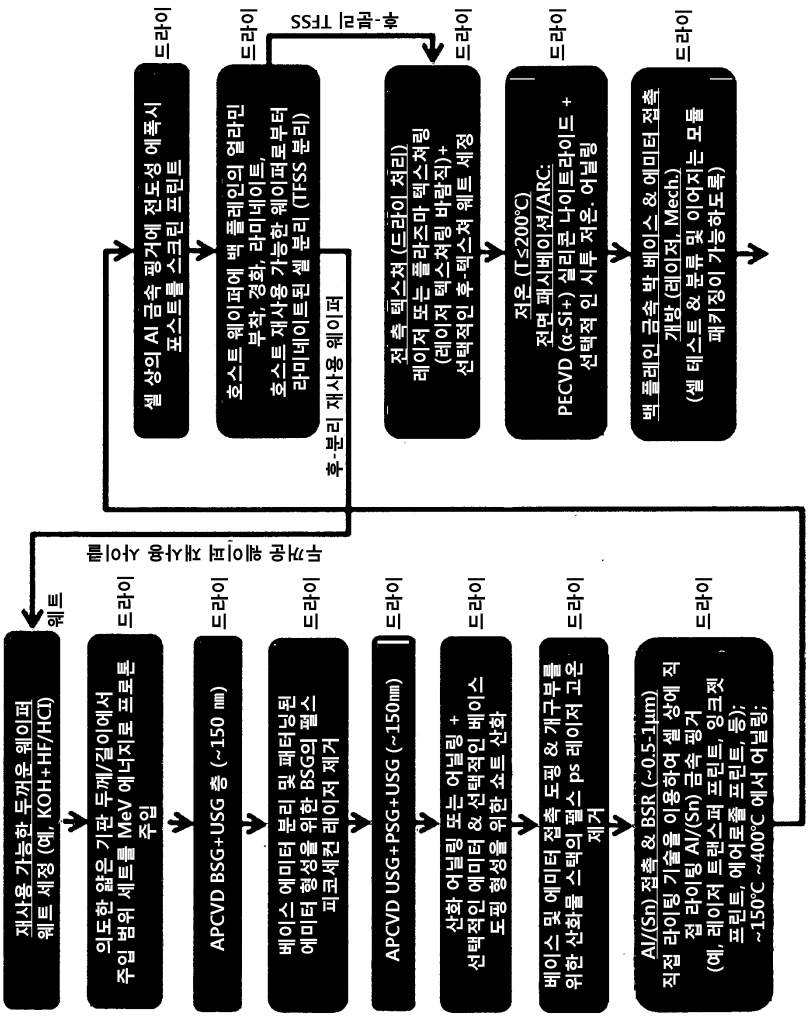
도면20


템플레이트 재사용 사이클
웨트
템플레이트 웨트 세정:
(KOH + HF/HCl)
웨트
이중층 다공성 실리콘 형성
드라이
에피 (~25 에서 35 μm)
인-시투 인 베이스 도핑
드라이/
인라인
APCVD BSG+USG 층 (~150 nm)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스 피크세컨
레이저 제거
드라이
도핑되지 않은 산화물의 APCVD (~100nm)
드라이
베이스 컨택을 개방하기 위하여
USG 산화물의 펄스 ps 레이저 자운 제거
드라이/
인라인
APCVD USG + PSG + USG (150nm)
+ N2 어닐링 + 쇼트 산화 + 선택적인 에미터
& 선택적인 베이스 도핑 형성을 위한
N2 어닐링
드라이
에미터 접촉 개방 &
베이스 접촉 재개방을 위한
산화물 스택의 펄스 ps 레이저 자운 제거
드라이
백 플레인 금속 박 베이스 & 에미터 접촉
개방 (테이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
셀 테스트 & 분류로
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si:H) 실리콘 나이트라이드 +
선택적 인 시투 자운. 어닐링
웨트
전측 QMS & 텍스쳐 에칭:
HF + 린스 + 고온 KOH/계면활성제 QMS에
칭 & 텍스쳐 +
린스 + HF/HCl 세정 + 최종 린스/드라이
후-분리 템플레이트
웨트/드라이
템플레이트 재사용 리컨디셔닝
(예, 에지 & 표면 그라인드/폴리시)
후-분리 TFSS
드라이
셀 바운더리 한정 & 경계 분리, 셀 분리를
위한, 셀에 백 플레인의 얼라인 부착, 경화
라미네이트, 레이저 트렌칭
드라이
AI/(Sn) 접촉 & BSR (~0.5-1 μm)
직접 라이팅 기술을 이용하여 셀 상에
직접 라이팅 AI/(Sn) 금속 핑거
(예, 레이저 트랜스퍼 프린트, 잉크젯 프린트,
에어로졸젯 프린트 등):
~130°C~200°C에서 어닐링

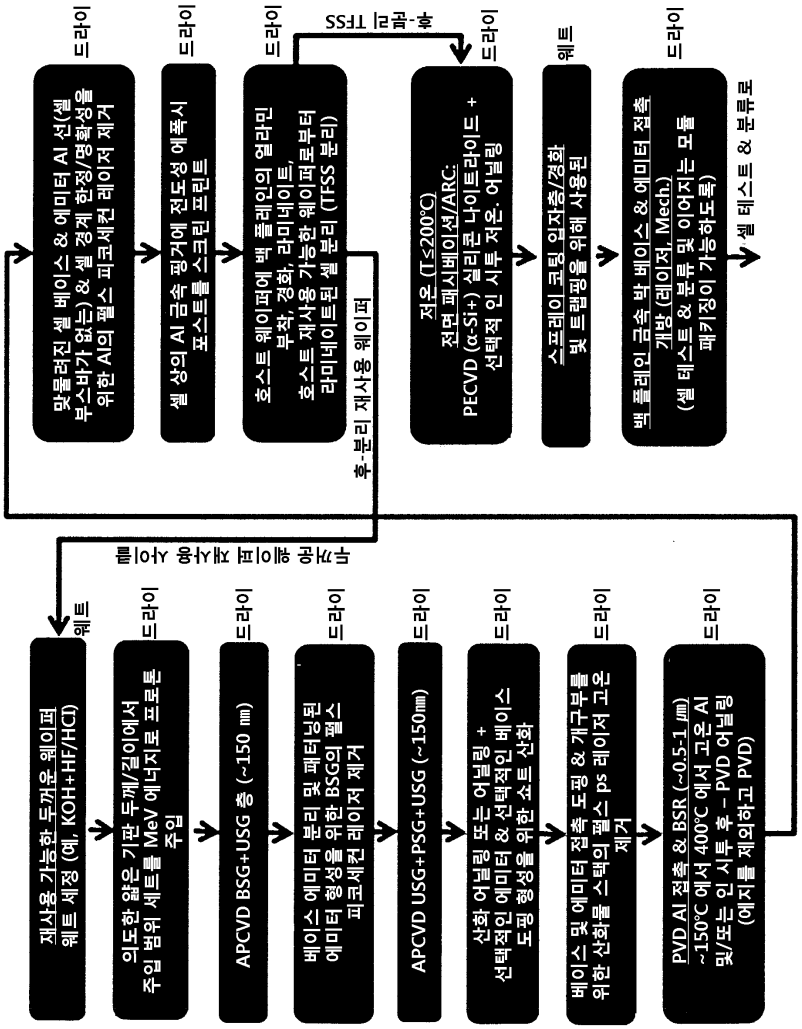
도면21


드라이
맞물려진 셀 베이스 & 에미터 AI 선(셀 부스바가 없는) & 셀 경계 화정/명확성을 위한 AI의 펄스 피코세컨 레이저 제거
드라이
셀 상의 AI 금속 핑거에 전도성 에폭시 포스트를 스크린 프린트
드라이
호스트 웨이퍼에 백 플레인의 얼라민 부착, 경화, 라미네이트, 호스트 재사용 가능한 웨이퍼로부터 라미네이트된 셀 분리 (TFSS 분리)
후-분리 TFSS
후-분리 재사용 웨이퍼
드라이
전 측 텍스쳐 (드라이 처리) 레이저 또는 플라즈마 텍스쳐링 (레이저 텍스쳐링 바람직)+ 선택적인 후-텍스쳐 웨트 세정
드라이
저온 (T≤200°C) 전면 패시베이션/ARC: PECVD (α-Si+) 실리콘 나이트라이드 + 선택적 인 시투 저온 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉 개방 (레이저, Mech.) (셀 테스트 & 분류 및 이어지는 모듈 패키징이 가능하도록)
셀 테스트 & 분류로
재사용 웨이퍼
웨트
재사용 가능한 두꺼운 웨이퍼 웨트 세정 (예, KOH+HF/HCl)
드라이
의도한 얇은 기판 두께/깊이에서 주입 범위 세트를 MeV 에너지로 프로톤 주입
드라이
APCVD BSG+USG 층 (~150 nm)
드라이
베이스 에미터 분리 및 패터닝된 에미터 형성을 위한 BSG의 펄스 피코세컨 레이저 제거
드라이
APCVD USG+PSG+USG (~150nm)
드라이
산화 어닐링 또는 어닐링 + 선택적인 에미터 & 선택적인 베이스 도핑 형성을 위한 쇼트 산화
드라이
베이스 및 에미터 접촉 도핑 & 개구부를 위한 산화물 스택의 펄스 ps 레이저 고온 제거
드라이
PVD Al 접촉 & BSR (~0.5-1 μm) ~150°C 에서 400°C 에서 고온 Al 및/또는 인 시투 후 – PVD 어닐링 (에지를 제외하고 PVD)

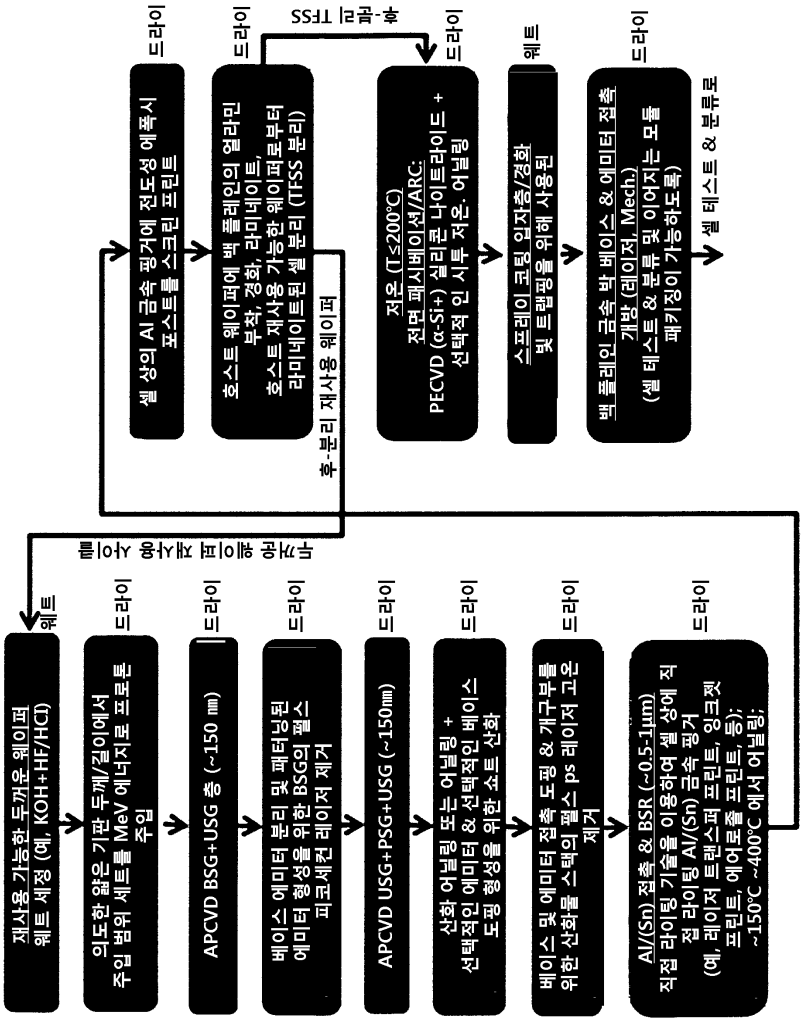
도면22


웨트
재사용 가능한 두꺼운 웨이퍼
웨트 세정 (예, KOH+HF/HCl)
드라이
의도한 얇은 기판 두께/깊이에서
주입 범위 세트를 MeV 에너지로 프로톤
주입
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
드라이
APCVD USG+PSG+USG (~150㎚)
드라이
산화 어닐링 또는 어닐링 +
선택적인 에미터 & 선택적인 베이스
도핑 형성을 위한 쇼트 산화
드라이
베이스 및 에미터 접촉 도핑 & 개구부를
위한 산화물 스택의 펄스 ps 레이저 고온
제거
드라이
Al/(Sn) 접촉 & BSR (~0.5-1㎛)
직접 라이팅 기술을 이용하여 셀 상에 직
접 라이팅 Al/(Sn) 금속 잉크
(예, 레이저 트랜스퍼 프린트, 잉크젯
프린트, 에어로졸 프린트, 등);
~150°C ~400°C 에서 어닐링;
두꺼운 웨이퍼 재사용 사이클
후-분리 재사용 웨이퍼
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
드라이
호스트 웨이퍼에 백 플레인의 얼라인
부착, 경화, 라미네이트,
호스트 재사용 가능한 웨이퍼로부터
라미네이트된 셀 분리 (TFSS 분리)
후-분리 TFSS
드라이
전 측 텍스쳐 (드라이 처리)
레이저 또는 플라즈마 텍스쳐링
(레이저 텍스쳐링 바람직)+
선택적인 후-텍스쳐 웨트 세정
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온. 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)

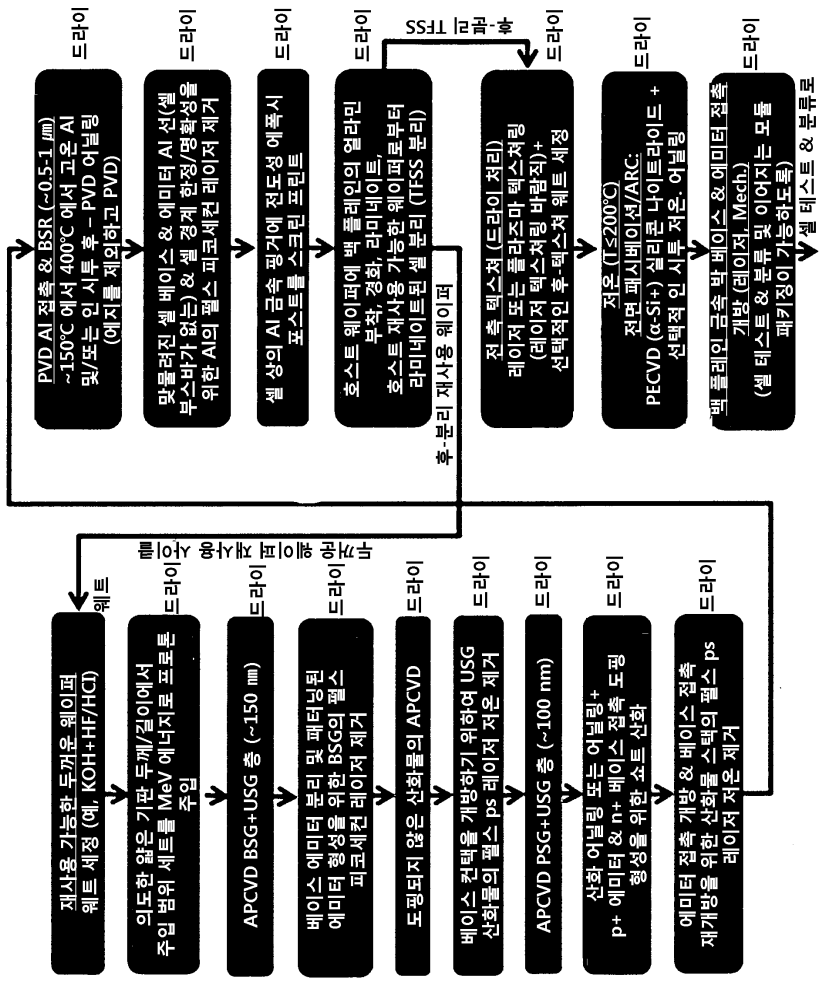
도면23


드라이
맞물려진 셀 베이스 & 에미터 AI 선(셀 부스바가 없는) & 셀 경계 한정/명확성을 위한 AI의 펄스 피코세컨 레이저 제거
드라이
셀 상의 AI 금속 핑거에 전도성 에폭시 포스트를 스크린 프린트
드라이
호스트_웨이퍼에 백 플레인의 엘라민 부착, 경화, 리미네이트, 호스트 재사용 가능한 웨이퍼로부터 라미네이트된 셀 분리 (TFSS 분리)
후-분리 TFSS
드라이
전면 패시베이션/ARC: PECVD (α-Si+) 실리콘 나이트라이드 + 선택적 인 시투 저온. 어닐링
웨트
스프레이 코팅 입자층/경화 빛 트랩핑을 위해 사용됨
드라이
백 플레인 금속 밥 베이스 & 에미터 접촉 개발 (레이저, Mech.) (셀 테스트 & 분류 및 이어지는 모듈 패키징이 가능하도록)
셀 테스트 & 분류로
후-분리 재사용 웨이퍼
후-분리 재사용 웨이퍼
웨트
재사용 가능한 두꺼운 웨이퍼 웨트 세정 (예, KOH+HF/HCl)
드라이
의도한 얇은 기판 두께/깊이에서 주입 범위 세트를 MeV 에너지로 프로톤 주입
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된 에미터 형성을 위한 BSG의 펄스 피코세컨 레이저 제거
드라이
APCVD USG+PSG+USG (~150㎚)
드라이
산화 어닐링 또는 어닐링 + 선택적인 에미터 & 선택적인 베이스 도핑 형성을 위한 쇼트 산화
드라이
베이스 및 에미터 접촉 도핑 & 개구부를 위한 산화물 스택의 펄스 ps 레이저 고온 제거
드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛) ~150°C 에서 400°C 에서 고온 Al 및/또는 인 시투 후 – PVD 어닐링 (에지를 제외하고 PVD)

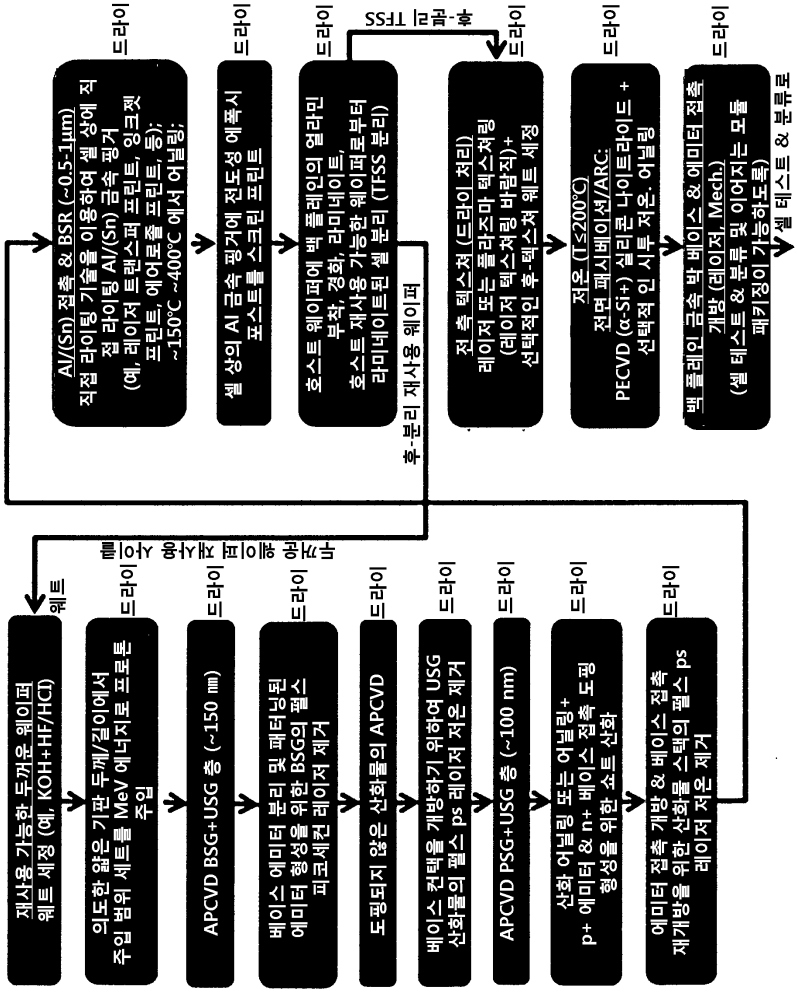
도면24


웨트
재사용 가능한 두꺼운 웨이퍼
웨트 세정 (예, KOH+HF/HCl)
드라이
의도한 얇은 기판 두께/깊이에서
주입 범위 세트를 MeV 에너지로 프로톤
주입
드라이
APCVD BSG+USG 층 (~150 nm)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
드라이
APCVD USG+PSG+USG (~150nm)
드라이
산화 어닐링 또는 어닐링 +
선택적인 에미터 & 선택적인 베이스
도핑 형성을 위한 소프 산화
드라이
베이스 및 에미터 접촉 도핑 & 개구부를
위한 산화물 스택의 펄스 ps 레이저 고온
제거
드라이
Al/(Sn) 접촉 & BSR (~0.5-1μm)
직접 라이팅 기술을 이용하여 셀 상에 직
접 라이팅 Al/(Sn) 금속 핑거
(예, 레이저 트랜스퍼 프린트, 잉크젯
프린트, 에어로졸 프린트, 등);
~150°C ~400°C 에서 어닐링;
셀 테스트 & 분류로
드라이
백 플레인 금속 박 베이스 & 에미터 접촉
개발 (예이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
웨트
스프레이 코팅 입자층/경화
텟 트랩핑을 위해 사용됨
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온, 어닐링
드라이
호스트 웨이퍼에 백 플레인의 얼라인
부착, 경화, 라미네이트,
호스트 재사용 가능한 웨이퍼로부터
라미네이트된 셀 분리 (TFSS 분리)
후-분리 TFSS
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
드라이
후-분리 재사용 웨이퍼
후-분리 재사용 웨이퍼

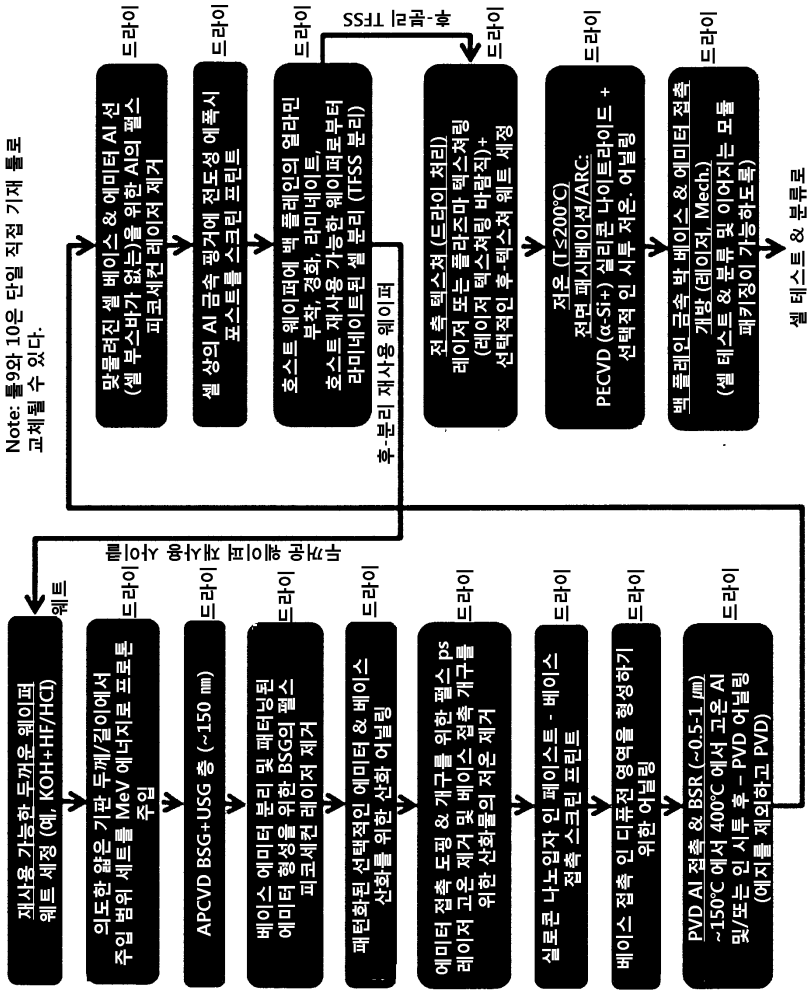
도면25


드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛)
~150°C 에서 400°C 에서 고온 Al
및/또는 인 시투 후 – PVD 어닐링
(에지를 제외하고 PVD)
드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀
부스바가 없는) & 셀 경계 한정/명확성을
위한 Al의 펄스 피코세컨 레이저 제거
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
드라이
호스트 웨이퍼에 백 플레인의 얼라인
부착, 경화, 라미네이트,
호스트 재사용 가능한 웨이퍼로부터
라미네이트된 셀 분리 (TFSS 분리)
후-분리 TFSS
후-분리 재사용 웨이퍼
드라이
접촉 텍스쳐 (드라이 처리)
레이저 또는 플라즈마 텍스쳐링
(레이저 텍스쳐링 바람직)+
선택적인 후-텍스쳐 웨트 세정
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온. 어닐링
드라이
백 플레인 금속 & 베이스 & 에미터 접촉
개발 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
셀 테스트 & 분류로
웨트
재사용 가능한 두꺼운 웨이퍼
웨트 세정 (예, KOH+HF/HCl)
드라이
의도한 얇은 기판 두께/길이에서
주입 범위 세트를 MeV 에너지로 프로톤
주입
드라이
APCVD BSG+USG 층 (~150 nm)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
드라이
도핑되지 않은 산화물의 APCVD
드라이
베이스 컨택을 개방하기 위하여 USG
산화물의 펄스 ps 레이저 저온 제거
드라이
APCVD PSG+USG 층 (~100 nm)
드라이
산화 어닐링 또는 어닐링+
p+ 에미터 & n+ 베이스 접촉 도핑
형성을 위한 쇼트 산화
드라이
에미터 접촉 개방 & 베이스 접촉
재개방을 위한 산화물 스택의 펄스 ps
레이저 저온 제거

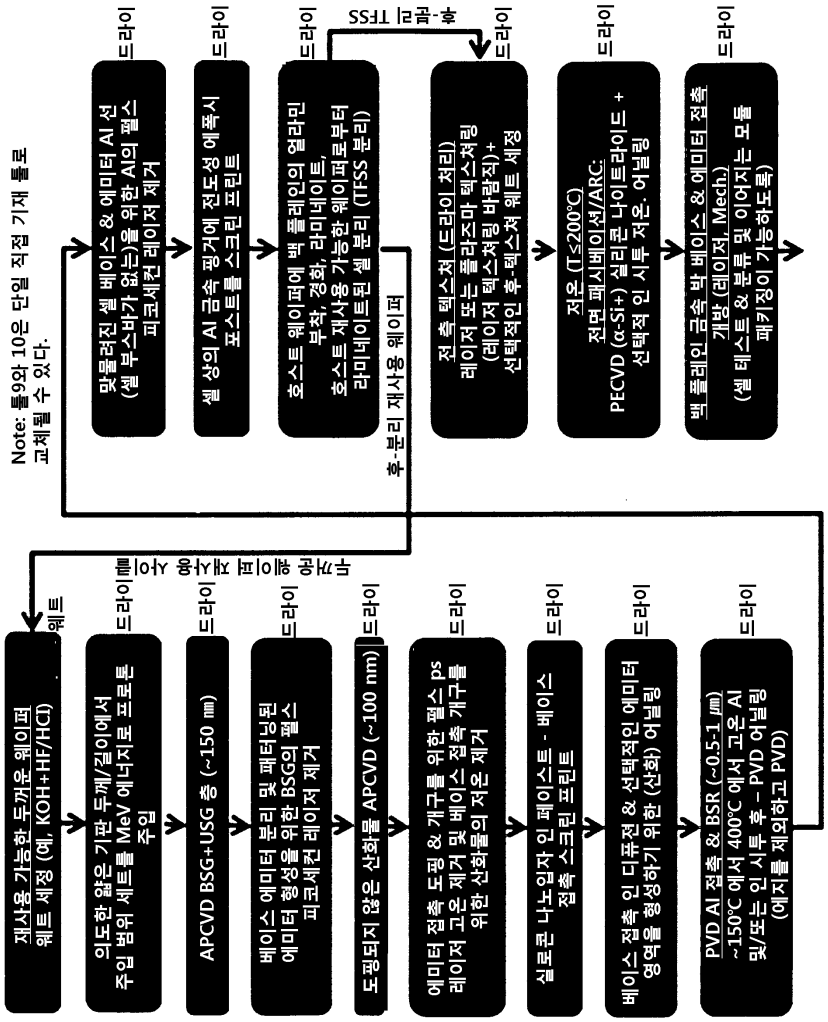
도면26


웨트
재사용 가능한 두꺼운 웨이퍼
웨트 세정 (예, KOH+HF/HCl)
드라이
잉도한 얇은 기판 두께/깊이에서
주입 범위 세트를 MeV 에너지로 프로톤
주입
APCVD BSG+USG 층 (~150 nm)
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
도핑되지 않은 산화물의 APCVD
베이스 컨택을 개방하기 위하여 USG
산화물의 펄스 ps 레이저 제거
APCVD PSG+USG 층 (~100 nm)
산화 어닐링 또는 어닐링+
p+ 에미터 & n+ 베이스 접촉 도핑
형성을 위한 쇼트 산화
에미터 접촉 개방 & 베이스 접촉
재개방을 위한 산화물 스택의 펄스 ps
레이저 저온 제거
후-분리 재사용 웨이퍼
Al/(Sn) 접촉 & BSR (~0.5-1μm)
직접 라이팅 기술을 이용하여 셀 상에 직
접 라이팅 Al/(Sn) 금속 핑거
(예, 레이저 트랜스퍼 프린트, 잉크젯
프린트, 에어로졸 프린트, 등);
~150°C ~400°C 에서 어닐링;
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
호스트 웨이퍼에 백 플레인의 얼라인
부착, 경화, 라미네이트,
호스트 재사용 가능한 웨이퍼로부터
라미네이트된 셀 분리 (TFSS 분리)
후-분리 TFSS
전 측 텍스쳐 (드라이 처리)
레이저 또는 플라즈마 텍스쳐링
(레이저 텍스쳐링 바람직)+
선택적인 후-텍스쳐 웨트 세정
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온. 어닐링
백 플레인 금속 박 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
셀 테스트 & 분류로

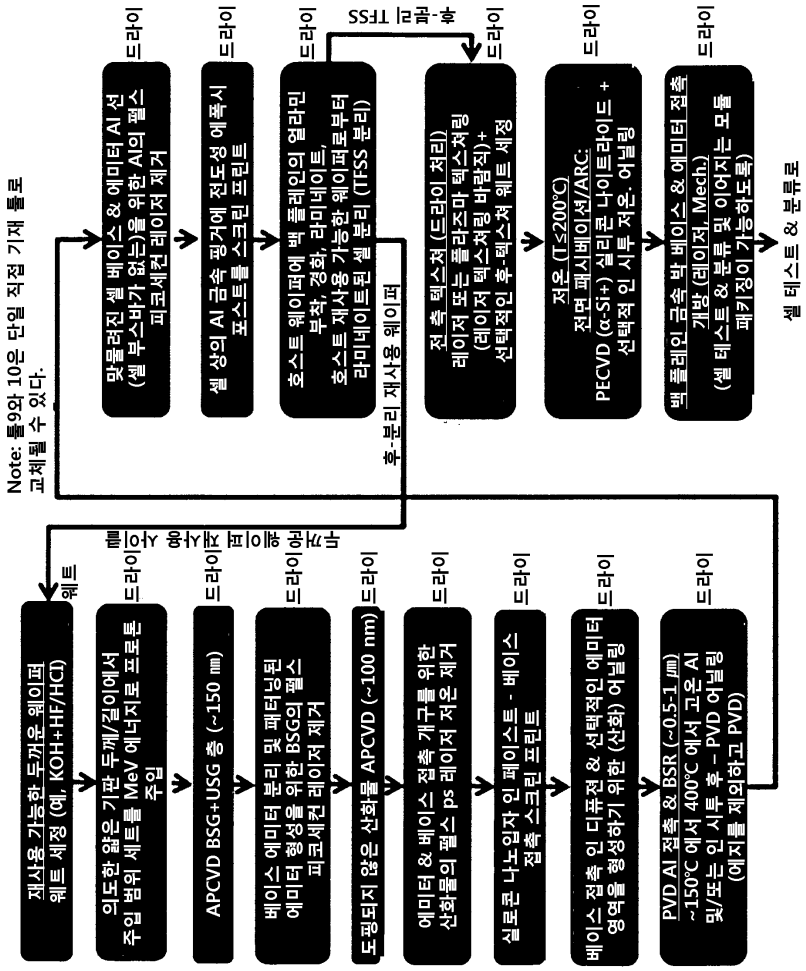
도면27


Note: 틀9와 10은 단일 직접 기재 틀로
교체될 수 있다.
웨트
재사용 가능한 두꺼운 웨이퍼
웨트 세정 (예, KOH+HF/HCl)
드라이
의도한 얇은 기판 두께/깊이에서
주입 범위 세트를 MeV 에너지로 프로톤
주입
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 웨스
피코세컨 레이저 제거
드라이
패턴화된 선택적인 에미터 & 베이스
산화를 위한 산화 어닐링
드라이
에미터 접촉 도핑 & 개구를 위한 펄스 ps
레이저 고온 제거 및 베이스 접촉 개구를
위한 산화물의 저온 제거
드라이
실로콘 나노입자 인 페이스트 - 베이스
접촉 스크린 프린트
드라이
베이스 접촉 인 디퓨전 영역을 형성하기
위한 어닐링
드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛)
~150°C 에서 400°C 에서 고온 Al
및/또는 인 시트 후 – PVD 어닐링
(에지를 제외하고 PVD)
드라이
백 플레인 금속 박 베이스 & 에미터 접촉
개발 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
셀 테스트 & 분류로
드라이
전 촉 텍스쳐 (드라이 처리)
레이저 또는 플라즈마 텍스쳐링
(레이저 텍스쳐링 바람직)+
선택적인 후-텍스쳐 웨트 세정
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온, 어닐링
드라이
호스트 웨이퍼에 백 플레인의 얼라인
부착, 경화, 라미네이트,
호스트 재사용 가능한 웨이퍼로부터
라미네이트된 셀 분리 (TFSS 분리)
후-분리 TFSS
후-분리 재사용 웨이퍼
드라이
맞물려진 셀 베이스 & 에미터 Al 선
(셀 투스바가 없는)을 위한 Al의 펄스
피코세컨 레이저 제거
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트

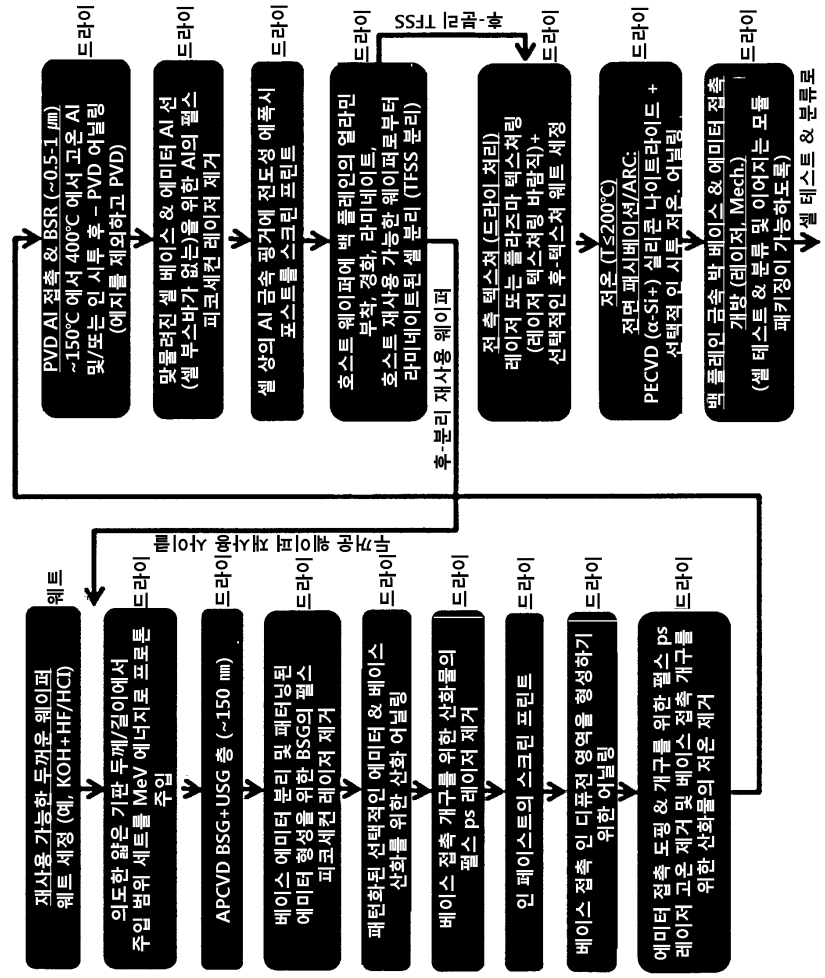
도면28


Note: 툴9와 10은 단일 직접 기재 툴로 교체될 수 있다.
웨트
재사용 가능한 두꺼운 웨이퍼
웨트 세정 (예, KOH+HF/HCl)
드라이
의도한 얇은 기판 두께/깊이에서 주입 범위 세트를 MeV 에너지로 프로톤 주입
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된 에미터 형성을 위한 BSG의 펄스 피코세컨 레이저 제거
드라이
도핑되지 않은 산화물 APCVD (~100 nm)
드라이
에미터 접촉 도핑 & 개구를 위한 펄스 ps 레이저 고온 제거 및 베이스 접촉 개구를 위한 산화물의 저온 제거
드라이
실로콘 나노입자 인 페이스트 - 베이스 접촉 스크린 프린트
드라이
베이스 접촉 인 디퓨젼 & 선택적인 에미터 영역을 형성하기 위한 (산화) 어닐링
드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛) ~150°C 에서 400°C 에서 고온 Al 및/또는 인 시투후 – PVD 어닐링 (에지를 제외하고 PVD)
재가공 웨이퍼 재사용 사이클
후-분리 재사용 웨이퍼
후-분리 TFSS
드라이
맞물려진 셀 베이스 & 에미터 Al 선 (셀 부스바가 없는)을 위한 Al의 펄스 피코세컨 레이저 제거
드라이
셀 상의 Al 금속 핑거에 접도성 에폭시 포스트를 스크린 프린트
드라이
호스트 웨이퍼에 백 플레인의 얼라인 부착, 경화, 라미네이트, 호스트 재사용 가능한 웨이퍼로부터 라미네이트된 셀 분리 (TFSS 분리)
드라이
접 촉 텍스쳐 (드라이 처리) 레이저 또는 플라즈마 텍스쳐링 (레이저 텍스쳐링 바람직)+ 선택적인 후-텍스쳐 웨트 세정
드라이
저온 (T≤200°C) 전면 패시베이션/ARC: PECVD (α-Si+) 실리콘 나이트라이드 + 선택적 인 시투 저온, 어닐링
드라이
백 플레인 금속 밤 베이스 & 에미터 접촉 개발 (레이저, Mech.) (셀 테스트 & 분류 및 이어지는 모듈 패키징이 가능하도록)

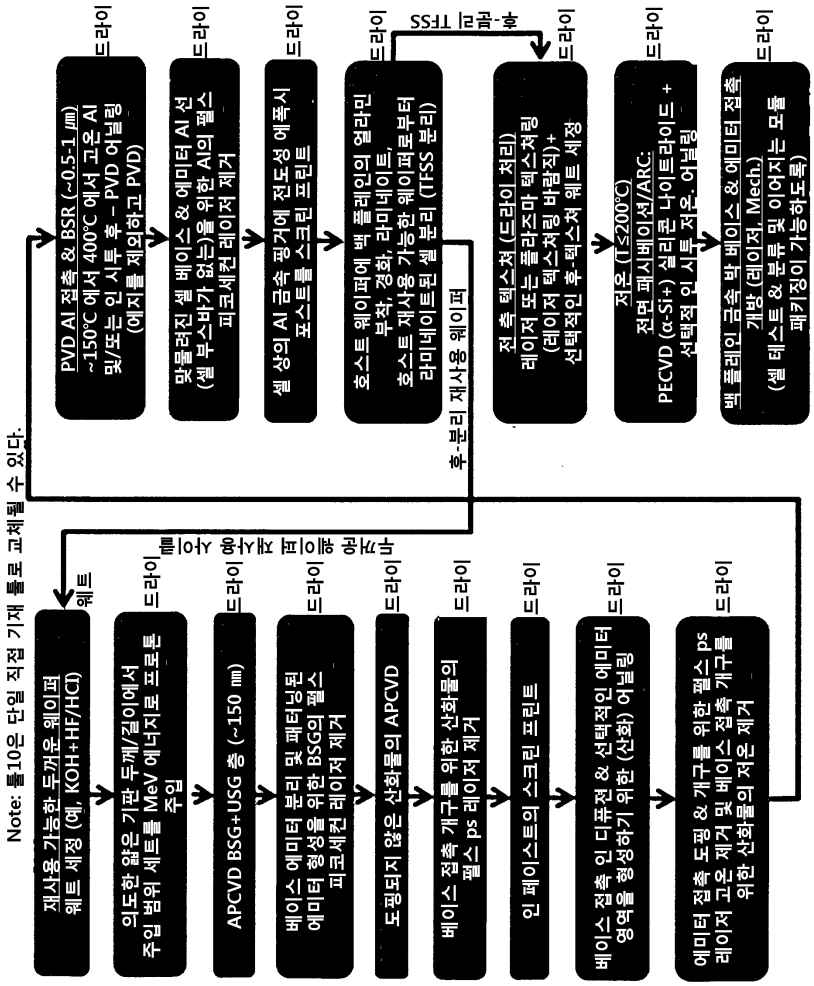
도면29


Note: 틀9와 10은 단일 직접 기재 틀로
교체될 수 있다.
웨트
재사용 가능한 두꺼운 웨이퍼
웨트 세정 (예, KOH+HF/HCl)
드라이
의도한 얇은 기판 두께/깊이에서
주입 범위 세트를 MeV 에너지로 프로톤
주입
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
드라이
도핑되지 않은 산화물 APCVD (~100 nm)
드라이
에미터 & 베이스 접촉 개구를 위한
산화물의 펄스 ps 레이저 저온 제거
드라이
실로콘 나노입자 인 페이스트 - 베이스
접촉 스크린 프린트
드라이
베이스 접촉 인 디퓨젼 & 선택적인 에미터
영역을 형성하기 위한 (산화) 어닐링
드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛)
~150°C 에서 400°C 에서 고온 Al
및/또는 인 시투 후 – PVD 어닐링
(에지를 제외하고 PVD)
드라이
맞물려진 셀 베이스 & 에미터 Al 선
(셀 투스바가 없는)을 위한 Al의 펄스
피코세컨 레이저 제거
드라이
셀 상의 Al 금속 핑거에 전도성 애폭시
포스트를 스크린 프린트
드라이
호스트 웨이퍼에 백 플레인의 얼라인
부착, 경화, 라미네이트,
호스트 재사용 가능한 웨이퍼로부터
라미네이트된 셀 분리 (TFSS 분리)
후-분리 TFSS
후-분리 재사용 웨이퍼
드라이
전 측 텍스쳐 (드라이 처리)
레이저 또는 플라즈마 텍스쳐링
(레이저 텍스쳐링 바람직)+
선택적인 후-텍스쳐 웨트 세정
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온. 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉
개발 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
셀 테스트 & 분류로

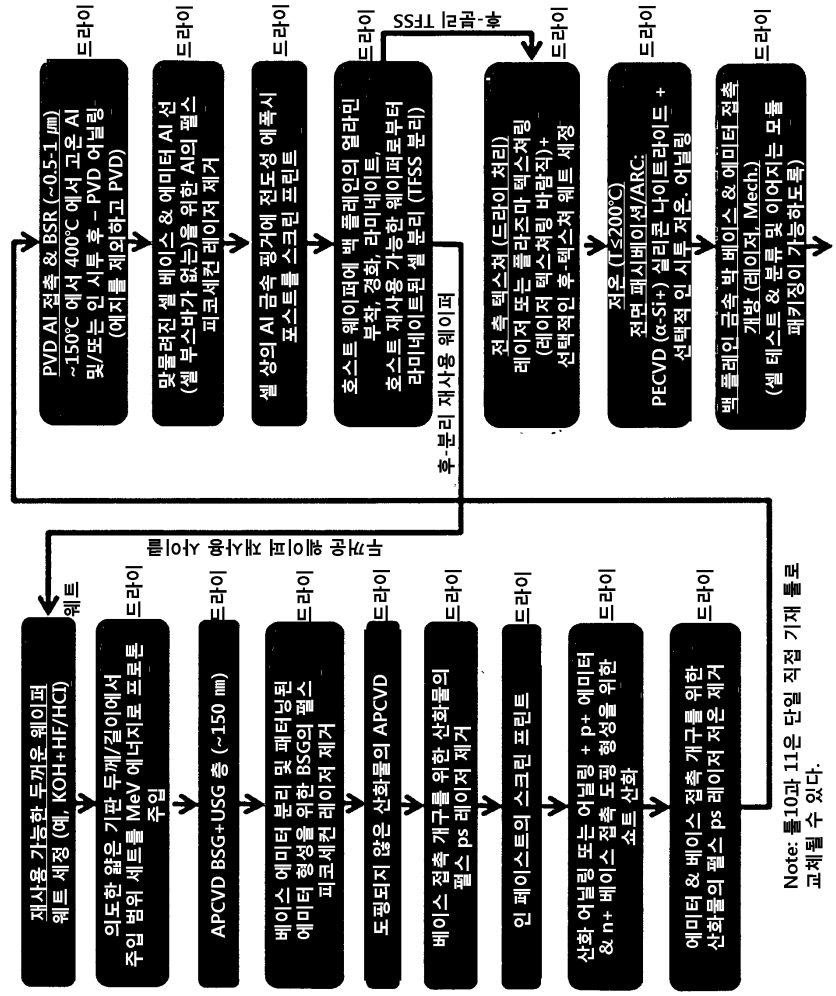
도면30


웨트
제사용 가능한 두꺼운 웨이퍼
웨트 세정 (예, KOH+HF/HCl)
드라이
의도한 얇은 기판 두께/깊이에서
주입 범위 세트를 MeV 에너지로 프로토
주입
드라이
APCVD BSG+USG 층 (~150 nm)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
드라이
패턴화된 선택적인 에미터 & 베이스
산화를 위한 산화 어닐링
드라이
베이스 접촉 개구를 위한 산화물의
펄스 ps 레이저 제거
드라이
인 페이스트의 스크린 프린트
드라이
베이스 접촉 인 디퓨전 영역을 형성하기
위한 어닐링
드라이
에미터 접촉 도핑 & 개구를 위한 펄스 ps
레이저 고온 제거 및 베이스 접촉 개구를
위한 산화물의 저온 제거
후-분리 재사용 웨이퍼
드라이
PVD Al 접촉 & BSR (~0.5-1 μm)
~150°C 에서 400°C 에서 고온 Al
및/또는 인 시투 후 – PVD 어닐링
(에지를 제외하고 PVD)
드라이
맞물려진 셀 베이스 & 에미터 Al 선
(셀 부스바가 없는)을 위한 Al의 펄스
피코세컨 레이저 제거
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
드라이
호스트 웨이퍼에 백 플레인의 얼라인
부착, 경화, 라미네이트,
호스트 재사용 가능한 웨이퍼로부터
라미네이트된 셀 분리 (TFSS 분리)
후-분리 TFSS
드라이
전 측 텍스처 (드라이 처리)
레이저 또는 플라즈마 텍스처링
(레이저 텍스처링 바람직)+
선택적인 후-텍스처 웨트 세정
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온 어닐링
드라이
백 플레인 금속 밖 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
셀 테스트 & 분류로

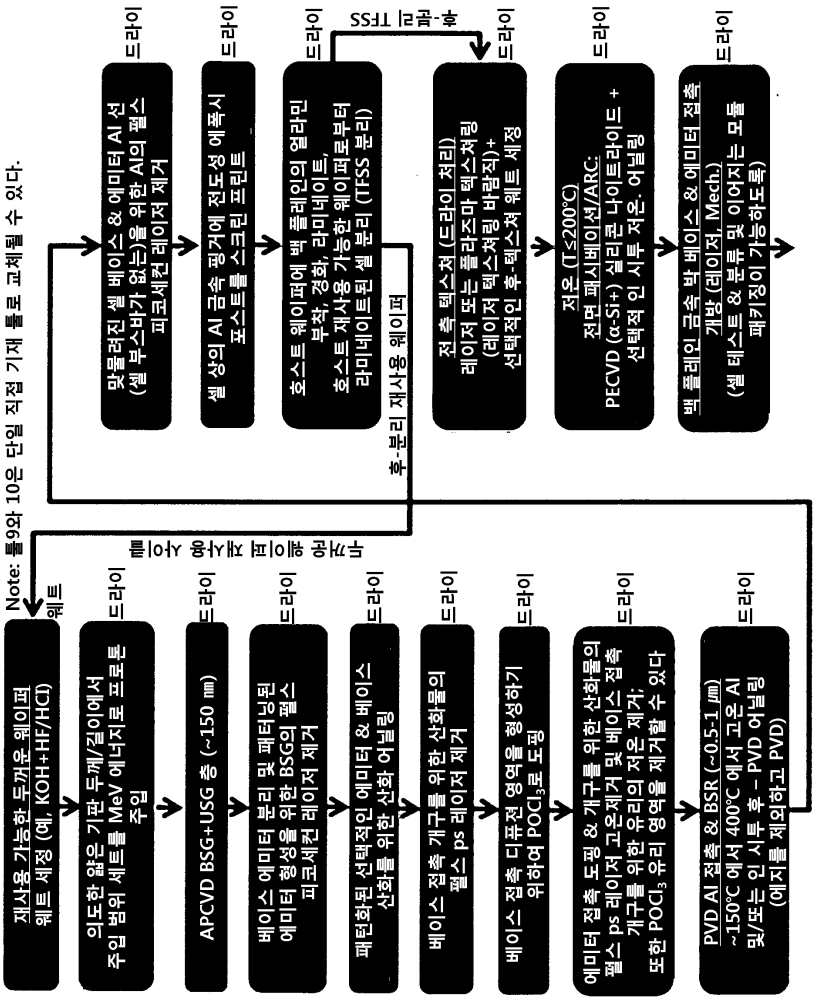
도면31


Note: 툴10은 단일 직접 기재 툴로 교체될 수 있다.
재사용 가능한 두꺼운 웨이퍼
웨트 세정 (예, KOH+HF/HCl)
드라이
의도한 얇은 기판 두께/깊이에서
주입 범위 세트를 MeV 에너지로 프로톤
주입
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
드라이
도핑되지 않은 산화물의 APCVD
드라이
베이스 접촉 개구를 위한 산화물의
펄스 ps 레이저 제거
드라이
인 페이스트의 스크린 프린트
드라이
베이스 접촉 인 디퓨젼 & 선택적인 에미터
영역을 형성하기 위한 (산화) 어닐링
드라이
에미터 접촉 도핑 & 개구를 위한 펄스 ps
레이저 고온 제거 및 베이스 접촉 개구를
위한 산화물의 저온 제거
드라이
백 플레인 금속 밖 베이스 & 에미터 접촉
개발 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적인 후-텍스쳐 저온 어닐링
드라이
전 측 텍스쳐 (드라이 처리)
레이저 또는 플라즈마 텍스쳐링
(레이저 텍스쳐링 바람직)+
선택적인 후-텍스쳐 웨트 세정
후-분리 TFSS
드라이
호스트 웨이퍼에 백 플레인의 얼라인
부착, 경화, 라미네이트,
호스트 재사용 가능한 웨이퍼로부터
라미네이트된 셀 분리 (TFSS 분리)
후-분리 재사용 웨이퍼
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트롤 스크린 프린트
드라이
맞물려진 셀 베이스 & 에미터 Al 선
(셀 부스바가 없는)을 위한 Al의 펄스
피코세컨 레이저 제거
드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛)
~150°C 에서 400°C 에서 고온 Al
및/또는 인 시투 후 – PVD 어닐링
(에지를 제외하고 PVD)

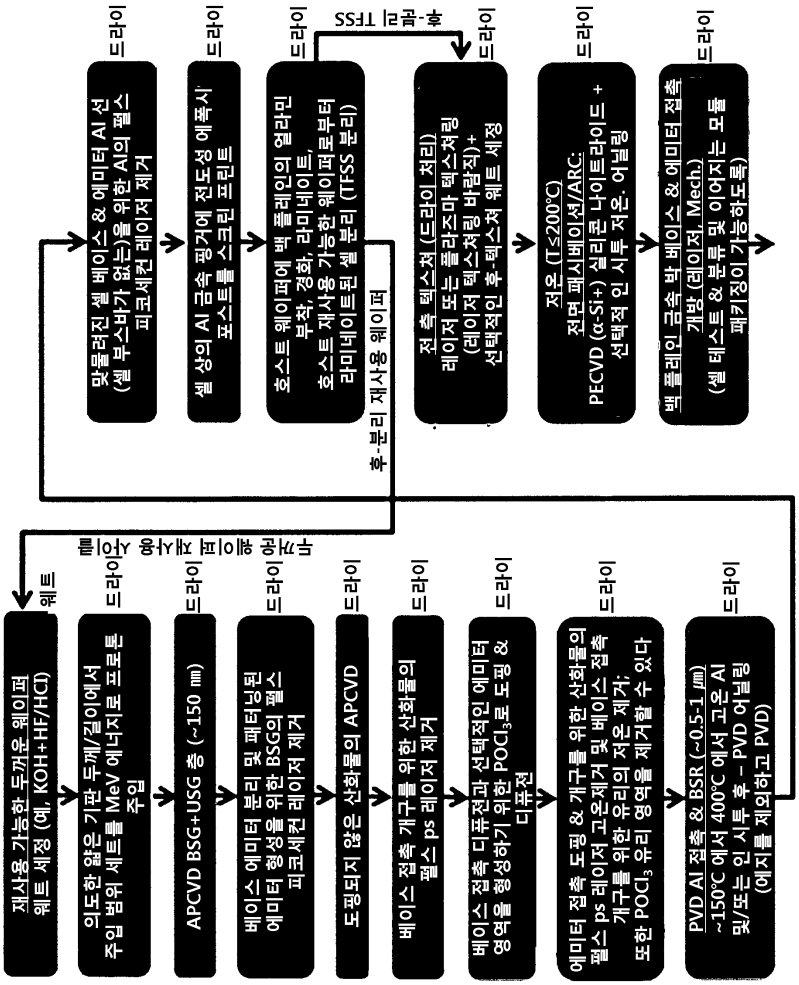
도면32


웨트
재사용 가능한 두꺼운 웨이퍼
웨트 세정 (예, KOH+HF/HCl)
드라이
의도한 얇은 기판 두께/깊이에서
주입 범위 세트를 MeV 에너지로 프로톤
주입
APCVD BSG+USG 층 (~150 ㎚)
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
도핑되지 않은 산화물의 APCVD
베이스 접촉 개구를 위한 산화물의
펄스 ps 레이저 제거
인 페이스트의 스크린 프린트
산화 어닐링 또는 어닐링 + p+ 에미터
& n+ 베이스 접촉 도핑 형성을 위한
쇼트 산화
에미터 & 베이스 접촉 개구를 위한
산화물의 펄스 ps 레이저 저온 제거
Note: 틀10과 11은 단일 직접 기재 틀로
교체될 수 있다.
후-분리 재사용 웨이퍼
후-분리 TFSS
드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛)
~150°C 에서 400°C 에서 고온 Al
및/또는 인 시투후 – PVD 어닐링
(에지를 제외하고 PVD)
맞물려진 셀 베이스 & 에미터 Al 선
(셀 무스바가 없는)을 위한 Al의 펄스
피코세컨 레이저 제거
셀 상의 Al 금속 핑거에 전도성 애폭시
포스트를 스크린 프린트
호스트 웨이퍼에 백 플레인의 얼라민
부착, 경화, 라미네이트,
호스트 재사용 가능한 웨이퍼로부터
라미네이트된 셀 분리 (TFSS 분리)
전 측 텍스쳐 (드라이 처리)
레이저 또는 플라즈마 텍스쳐링
(레이저 텍스쳐링 바람직)+
선택적인 후-텍스쳐 웨트 세정
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온 어닐링
백 플레인 금속 박 베이스 & 에미터 접촉
개방 (예이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)

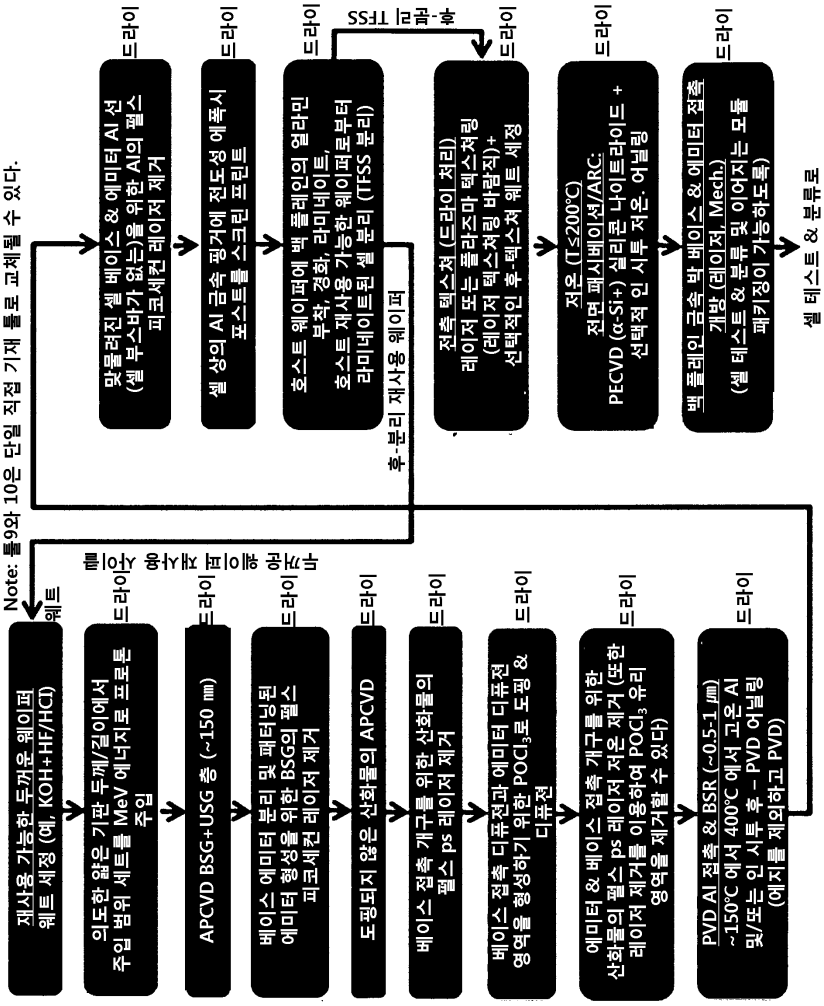
도면33


Note: 틀9와 10은 단일 직접 기재 틀로 교체될 수 있다.
재사용 가능한 두꺼운 웨이퍼
웨트 세정 (예, KOH+HF/HCl)
의도한 얇은 기판 두께/깊이에서
주입 범위 세트를 MeV 에너지로 프로톤
주입
드라이
APCVD BSG+USG 층 (~150 ㎚)
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
패턴화된 선택적인 에미터 & 베이스
산화를 위한 산화 어닐링
베이스 접촉 개구를 위한 산화물의
펄스 ps 레이저 제거
베이스 접촉 디퓨전 영역을 형성하기
위하여 POCl3로 도핑
에미터 접촉 도핑 & 개구를 위한 산화물의
펄스 ps 레이저 고온제거 및 베이스 접촉
개구를 위한 유리의 저온 제거;
또한 POCl3 유리 영역을 제거할 수 있다
PVD Al 접촉 & BSR (~0.5-1 ㎛)
~150℃ 에서 400℃ 에서 고온 Al
및/또는 인 시투 후 – PVD 어닐링
(에지를 제외하고 PVD)
후-분리 재사용 웨이퍼
후-분리 TFSS
맞물려진 셀 베이스 & 에미터 Al 선
(셀 부스바가 없는)을 위한 Al의 펄스
피코세컨 레이저 제거
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
호스트 웨이퍼에 백 플레인의 얼라인
부착, 경화, 라미네이트,
호스트 재사용 가능한 웨이퍼로부터
라미네이트된 셀 분리 (TFSS 분리)
전 측 텍스쳐 (드라이 처리)
레이저 또는 플라즈마 텍스쳐링
(레이저 텍스쳐링 바람직)+
선택적인 후-텍스쳐 웨트 세정
저온 (T≤200℃)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온. 어닐링
백 플레인 금속 박 베이스 & 에미터 접촉
개방 (레이저 Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)

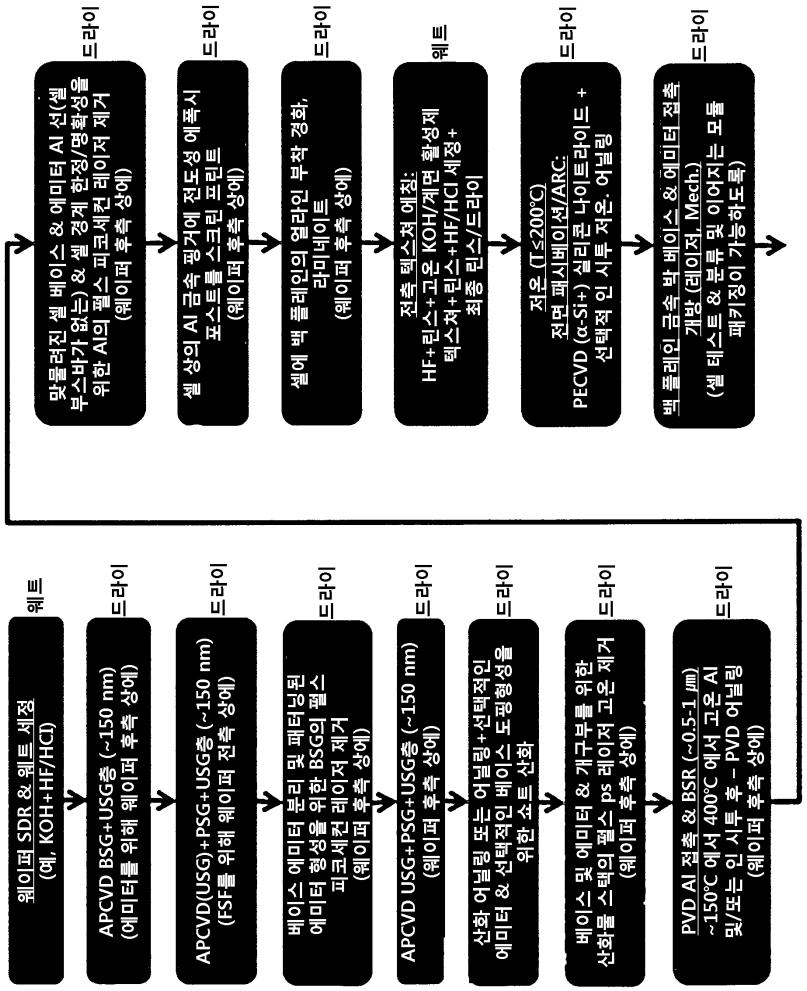
도면34


재사용 가능한 두꺼운 웨이퍼
웨트
재사용 웨이퍼 재사용 사이클
웨트 세정 (예, KOH+HF/HCl)
드라이
의도한 얇은 기판 두께/깊이에서
주입 범위 세트를 MeV 에너지로 프로톤
주입
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
드라이
도핑되지 않은 산화물의 APCVD
드라이
베이스 접촉 개구를 위한 산화물의
펄스 ps 레이저 제거
드라이
베이스 접촉 디퓨전과 선택적인 에미터
영역을 형성하기 위한 $POCl_3$로 도핑 &
디퓨전
드라이
에미터 접촉 도핑 & 개구를 위한 산화물의
펄스 ps 레이저 고온제거 및 베이스 접촉
개구를 위한 유리의 저온 제거;
또한 $POCl_3$ 유리 영역을 제거할 수 있다
드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛)
~150°C 에서 400°C 에서 고온 Al
및/또는 인 시투 후 – PVD 어닐링
(에지를 제외하고 PVD)
드라이
백 플레인 금속 밥 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온. 어닐링
드라이
전 측 텍스쳐 (드라이 처리)
레이저 또는 플라즈마 텍스쳐링
(레이저 텍스쳐링 바람직)+
선택적인 후-텍스쳐 웨트 세정
후-분리 TFSS
드라이
호스트 웨이퍼에 백 플레인의 얼라인
부착, 경화, 라미네이트,
호스트 재사용 가능한 웨이퍼로부터
라미네이트된 셀 분리 (TFSS 분리)
후-분리 재사용 웨이퍼
드라이
셀 상의 Al 금속 핑거에 접도성 에폭시
포스트를 스크린 프린트
드라이
맞물려진 셀 베이스 & 에미터 Al 선
(셀 부스바가 없는)을 위한 Al의 펄스
피코세컨 레이저 제거

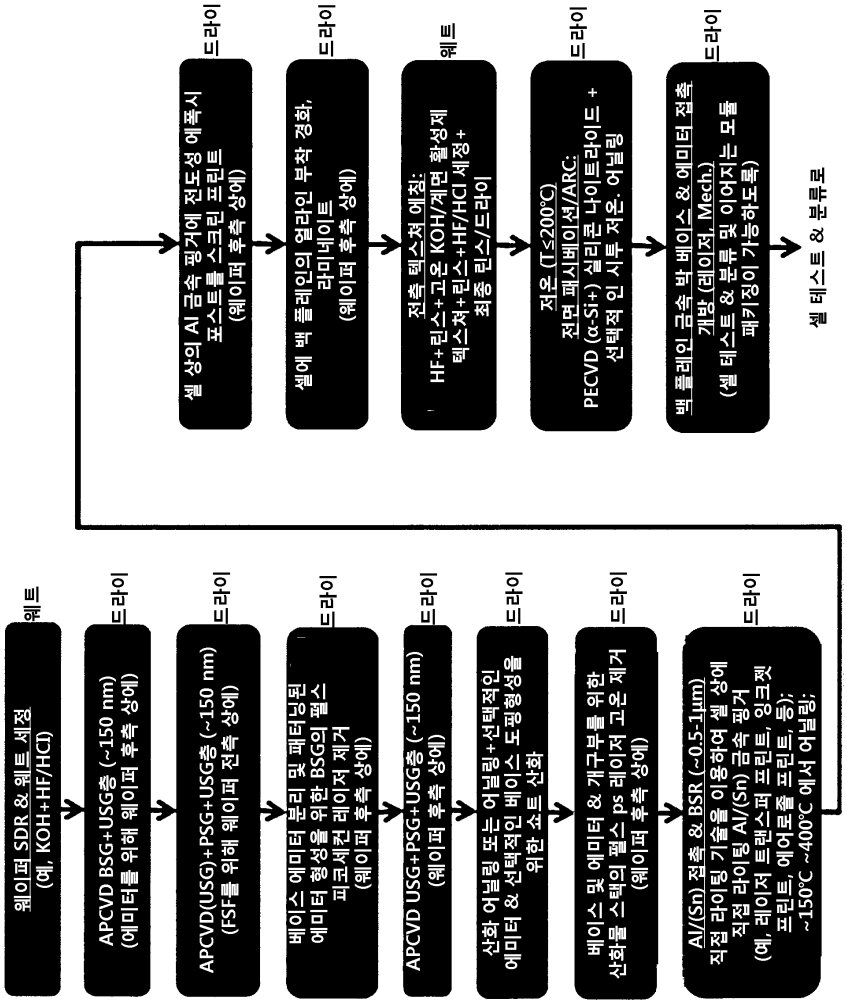
도면35


Note: 툴9와 10은 단일 직접 기재 툴로 교체될 수 있다.
웨트
재사용 가능한 두꺼운 웨이퍼
웨트 세정 (예, KOH+HF/HCl)
드라이
의도한 얇은 기판 두께/깊이에서
주입 범위 세트를 MeV 에너지로 프로톤
주입
드라이
APCVD BSG+USG 층 (~150 ㎚)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
드라이
도핑되지 않은 산화물의 APCVD
드라이
베이스 접촉 개구를 위한 산화물의
펄스 ps 레이저 제거
드라이
베이스 접촉 디퓨전과 에미터 디퓨전
영역을 형성하기 위한 $POCl_3$로 도핑 &
디퓨전
드라이
에미터 & 베이스 접촉 개구를 위한
산화물의 펄스 ps 레이저 저온 제거 (또한
레이저 제거를 이용하여 $POCl_3$ 유리
영역을 제거할 수 있다)
드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛)
~150°C 에서 400°C 에서 고온 Al
및/또는 인 시투 후 – PVD 어닐링
(에지를 제외하고 PVD)
후-분리 재사용 웨이퍼
후-분리 TFSS
드라이
맞물려진 셀 베이스 & 에미터 Al 선
(셀 뷰스바가 없는)을 위한 Al의 펄스
피코세컨 레이저 제거
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
드라이
호스트 웨이퍼에 백 플레인의 얼라인
부착, 경화, 라미네이트,
호스트 재사용 가능한 웨이퍼로부터
라미네이트된 셀 분리 (TFSS 분리)
드라이
전측 텍스쳐 (드라이 처리)
레이저 또는 플라즈마 텍스쳐링
(레이저 텍스쳐링 바람직)+
선택적인 후-텍스쳐 웨트 세정
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온 어닐링
드라이
백 플레인 금속 밖 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
셀 테스트 & 분류로

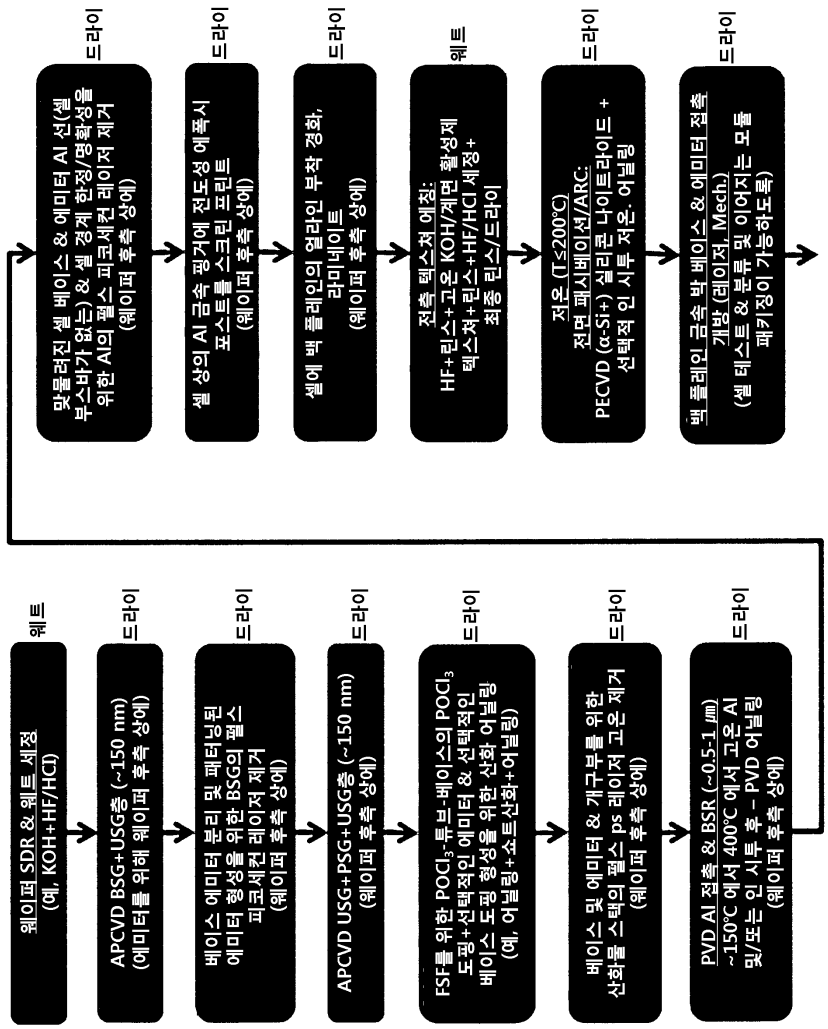
도면36


웨트
웨이퍼 SDR & 웨트 세정
(예, KOH+HF/HCl)
드라이
APCVD BSG+USG층 (~150 nm)
(에미터를 위해 웨이퍼 후측 상에)
드라이
APCVD(USG)+PSG+USG층 (~150 nm)
(FSF를 위해 웨이퍼 전측 상에)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
APCVD USG+PSG+USG층 (~150 nm)
(웨이퍼 후측 상에)
드라이
산화 어닐링 또는 어닐링+선택적인
에미터 & 선택적인 베이스 도핑형성을
위한 쇼트 산화
드라이
베이스 및 에미터 & 개구부를 위한
산화물 스택의 펄스 ps 레이저 고온 제거
(웨이퍼 후측 상에)
드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛)
~150°C 에서 400°C 에서 고온 Al
및/또는 인 시투 후 – PVD 어닐링
(웨이퍼 후측 상에)
드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀
부스바가 없는) & 셀 경계 한정/명확성을
위한 Al의 펄스 피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
(웨이퍼 후측 상에)
드라이
셀에 백 플레인의 열라인 부착 경화,
라미네이트
(웨이퍼 후측 상에)
웨트
전측 텍스쳐 에칭:
HF+린스+고온 KOH/계면 활성제
텍스쳐+린스+HF/HCl 세정+
최종 린스/드라이
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si:+) 실리콘 나이트라이드 +
선택적 인 시투 저온. 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)

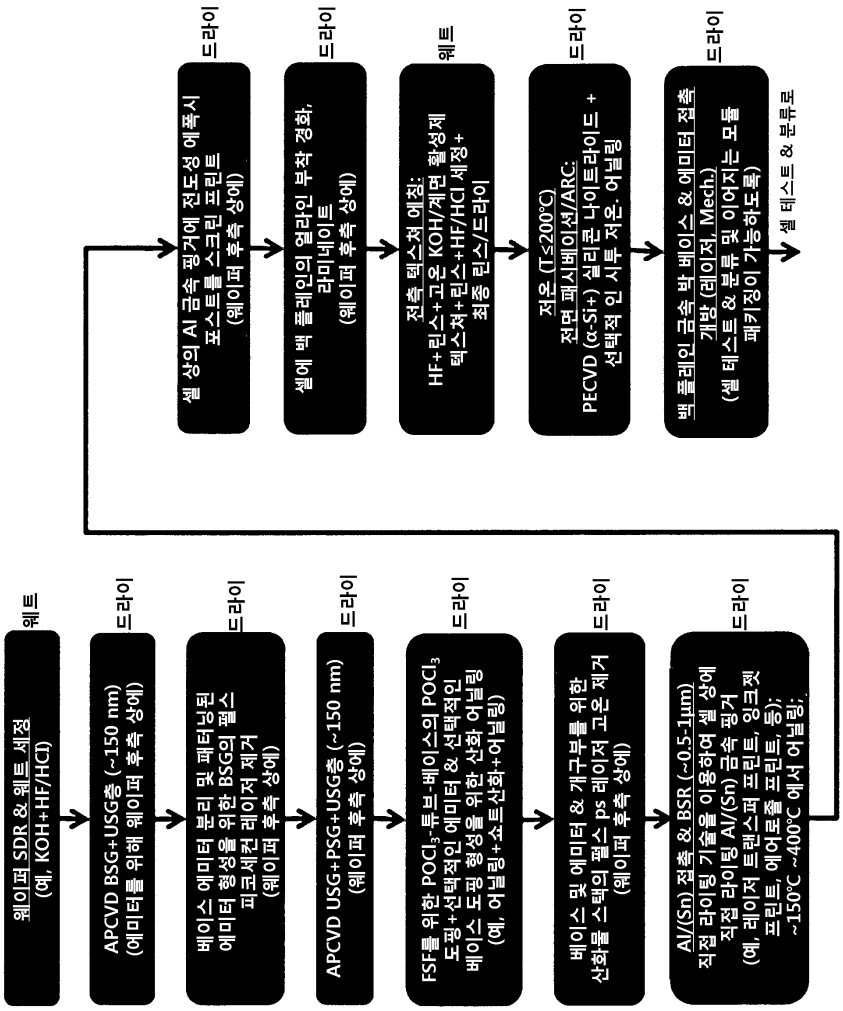
도면37


웨트
웨이퍼 SDR & 웨트 세정
(예, KOH+HF/HCl)
드라이
APCVD BSG+USG층 (~150 nm)
(에미터를 위해 웨이퍼 후측 상에)
드라이
APCVD(USG)+PSG+USG층 (~150 nm)
(FSF를 위해 웨이퍼 전측 상에)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 필스
피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
APCVD USG+PSG+USG층 (~150 nm)
(웨이퍼 후측 상에)
드라이
산화 어닐링 또는 어닐링+선택적인
에미터 & 선택적인 베이스 도핑형성을
위한 쇼트 산화
드라이
베이스 및 에미터 & 개구부를 위한
산화물 스택의 펄스 ps 레이저 고온 제거
(웨이퍼 후측 상에)
드라이
Al/(Sn) 접촉 & BSR (~0.5-1μm)
직접 라이팅 기술을 이용하여 셀 상에
직접 라이팅 Al/(Sn) 금속 핑거
(예, 레이저 트랜스퍼 프린트, 잉크젯
프린트, 에어로졸 프린트, 등);
~150°C ~400°C 에서 어닐링;
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
(웨이퍼 후측 상에)
드라이
셀에 백 플레인의 얼라인 부착 경화,
라미네이트
(웨이퍼 후측 상에)
웨트
전측 텍스쳐 에칭:
HF+린스+고온 KOH/계면 활성제
텍스쳐+린스+HF/HCl 세정+
최종 린스/드라이
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si:+) 실리콘 나이트라이드 +
선택적 인 시투 저온. 어닐링
드라이
백 플레인 금속 밖 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
셀 테스트 & 분류로

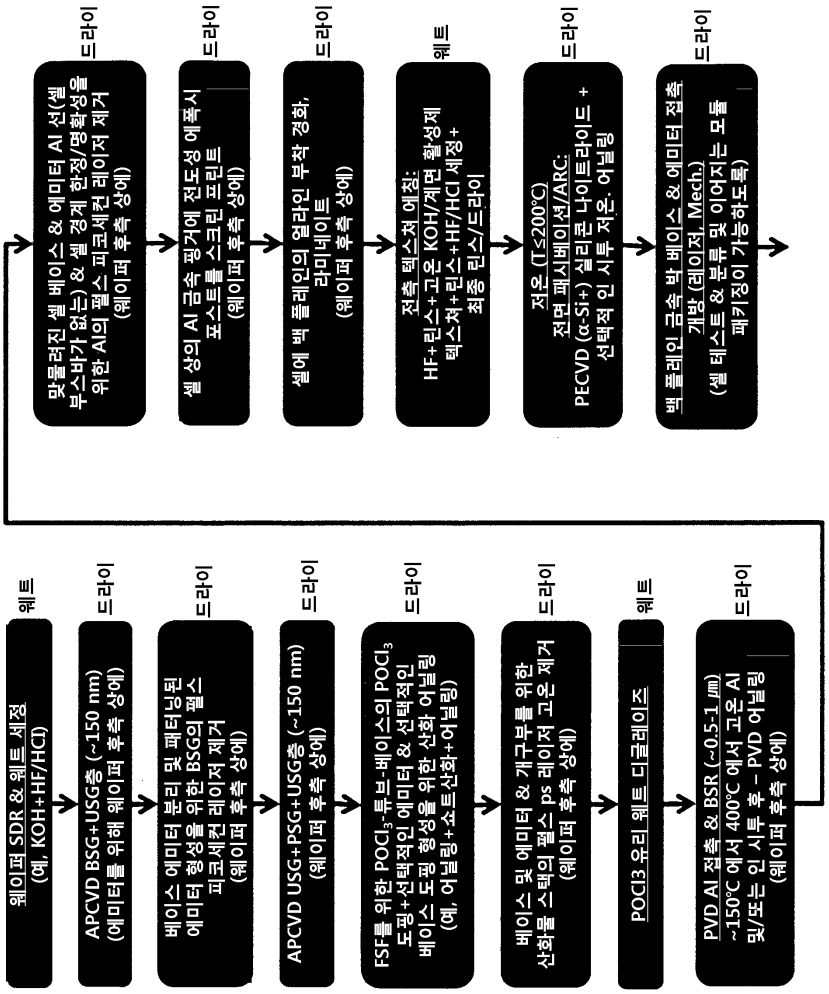
도면38


웨이퍼 SDR & 웨트 세정
(예, KOH+HF/HCl)
웨트
APCVD BSG+USG층 (~150 nm)
(에미터를 위해 웨이퍼 후측 상에)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
APCVD USG+PSG+USG층 (~150 nm)
(웨이퍼 후측 상에)
드라이
FSF를 위한 $POCl_3$-튜브-베이스의 $POCl_3$
도핑+선택적인 에미터 & 선택적인
베이스 도핑 형성을 위한 산화 어닐링
(예, 어닐링+쇼트산화+어닐링)
드라이
베이스 및 에미터 & 개구부를 위한
산화물 스택의 펄스 ps 레이저 고온 제거
(웨이퍼 후측 상에)
드라이
PVD Al 접촉 & BSR (~0.5-1 ㎛)
~150°C 에서 400°C 에서 고온 Al
및/또는 인 시투 후 – PVD 어닐링
(웨이퍼 후측 상에)
드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀
부스바가 없는) & 셀 경계 한정/명확성을
위한 Al의 펄스 피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
셀 상의 Al 금속 핑거에 접도성 에폭시
포스트를 스크린 프린트
(웨이퍼 후측 상에)
드라이
셀에 백 플레인의 얼라인 부착 경화,
라미네이트
(웨이퍼 후측 상에)
드라이
전측 텍스쳐 에칭:
HF+린스+고온 KOH/계면 활성제
텍스쳐+린스+HF/HCl 세정+
최종 린스/드라이
웨트
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온: 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
드라이

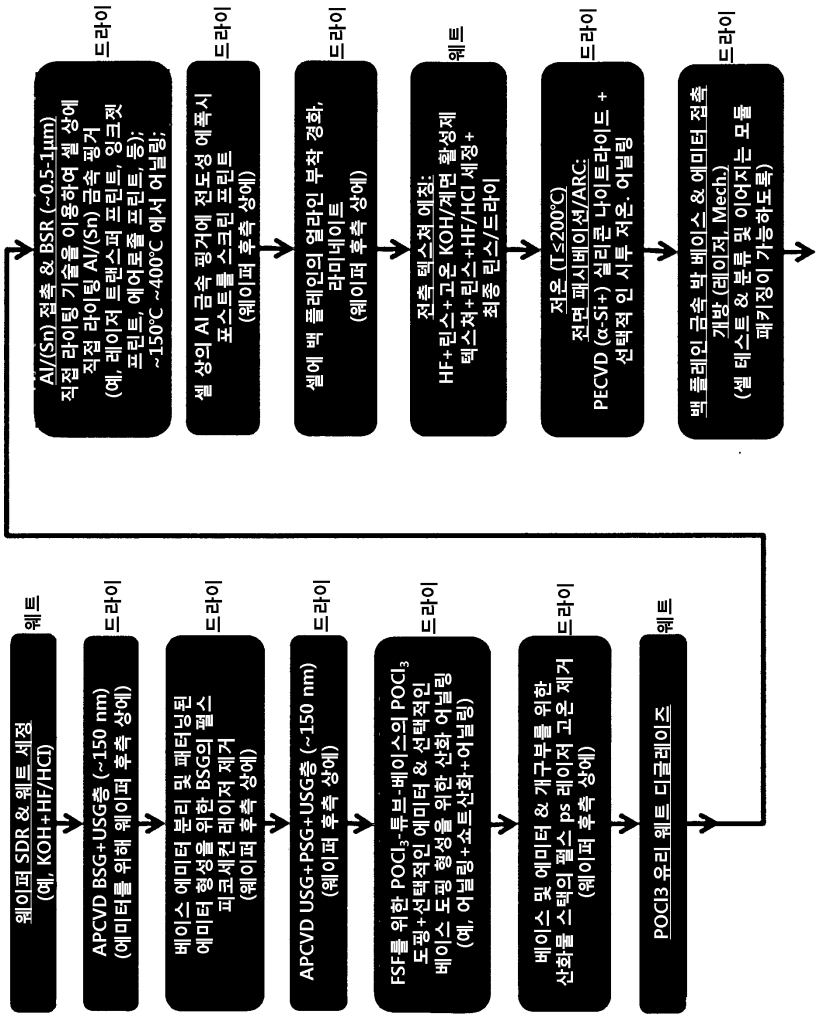
도면39


웨트
웨이퍼 SDR & 웨트 세정
(예, KOH+HF/HCl)
드라이
APCVD BSG+USG층 (~150 nm)
(에미터를 위해 웨이퍼 후측 상에)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
APCVD USG+PSG+USG층 (~150 nm)
(웨이퍼 후측 상에)
드라이
FSF를 위한 $POCl_3$-튜브-베이스의 $POCl_3$
도핑+선택적인 에미터 & 선택적인
베이스 도핑 형성을 위한 산화 어닐링
(예, 어닐링+쇼트 산화+어닐링)
드라이
베이스 및 에미터 & 개구부를 위한
산화물 스택의 펄스 ps 레이저 고온 제거
(웨이퍼 후측 상에)
드라이
Al/(Sn) 접촉 & BSR (~0.5-1μm)
직접 라이팅 Al/(Sn) 금속 핑거
(예, 레이저 트랜스퍼 프린트, 잉크젯
프린트, 에어로졸 프린트, 등);
~150°C ~400°C 에서 어닐링;
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
(웨이퍼 후측 상에)
드라이
셀에 백 플레인의 얼라인 부착 경화,
라미네이트
(웨이퍼 후측 상에)
웨트
전측 텍스쳐 에칭:
HF+린스+고온 KOH/계면 활성제
텍스쳐+린스+HF/HCl 세정+
최종 린스/드라이
드라이
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
셀 테스트 & 분류로

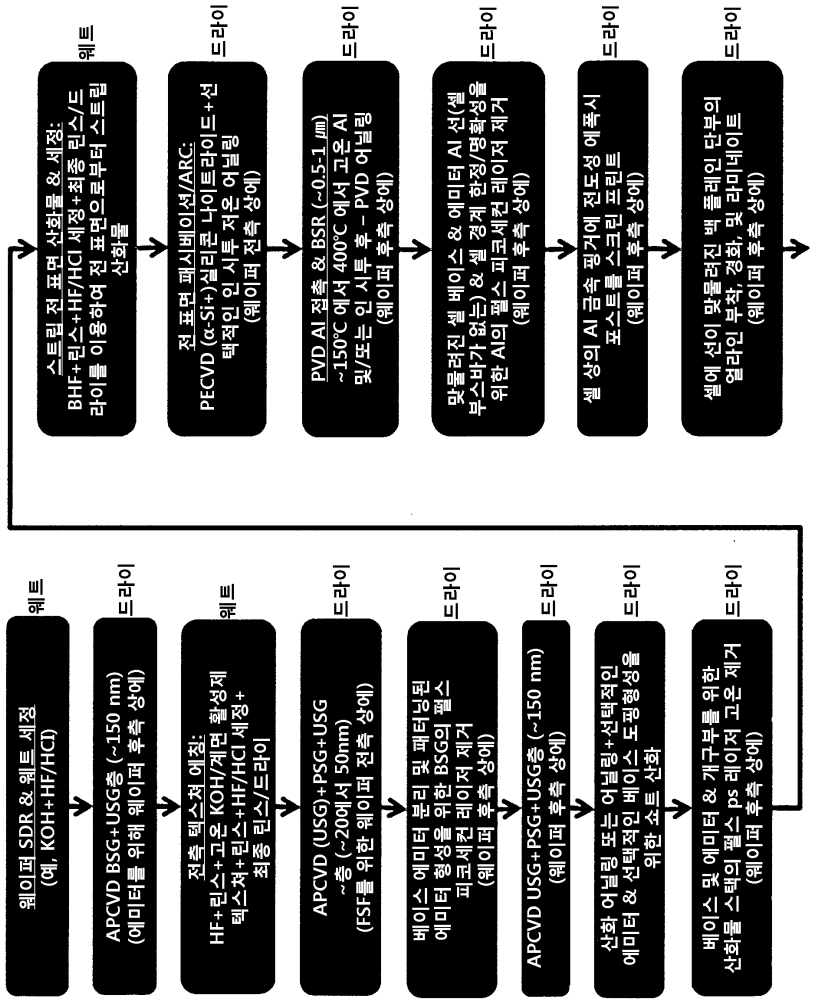
도면40


웨이퍼 SDR & 웨트 세정
(예, KOH+HF/HCl)
웨트
APCVD BSG+USG층 (~150 nm)
(에미터를 위해 웨이퍼 후측 상에)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
APCVD USG+PSG+USG층 (~150 nm)
(웨이퍼 후측 상에)
드라이
FSF를 위한 $POCl_3$-튜브-베이스의 $POCl_3$
도핑+선택적인 에미터 & 선택적인
베이스 도핑 형성을 위한 산화 어닐링
(예, 어닐링+쇼트산화+어닐링)
드라이
베이스 및 에미터 & 개구부를 위한
산화물 스택의 펄스 ps 레이저 고온 제거
(웨이퍼 후측 상에)
드라이
POCl3 유리 웨트 디글레이즈
웨트
PVD Al 접촉 & BSR (~0.5-1 μm)
~150°C 에서 400°C 에서 고온 Al
및/또는 인 시트 후 – PVD 어닐링
(웨이퍼 후측 상에)
드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀
부스바가 없는) & 셀 경계 한정/명확성을
위한 Al의 펄스 피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
셀 상의 Al 금속 핑거에 접도성 에폭시
포스트를 스크린 프린트
(웨이퍼 후측 상에)
드라이
셀에 백 플레인의 얼라인 부착 경화,
라미네이트
(웨이퍼 후측 상에)
드라이
전측 텍스쳐 에칭:
HF+린스+고온 KOH/계면 활성제
텍스쳐+린스+HF/HCl 세정+
최종 린스/드라이
웨트
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온. 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉
개방 (예이징, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
드라이

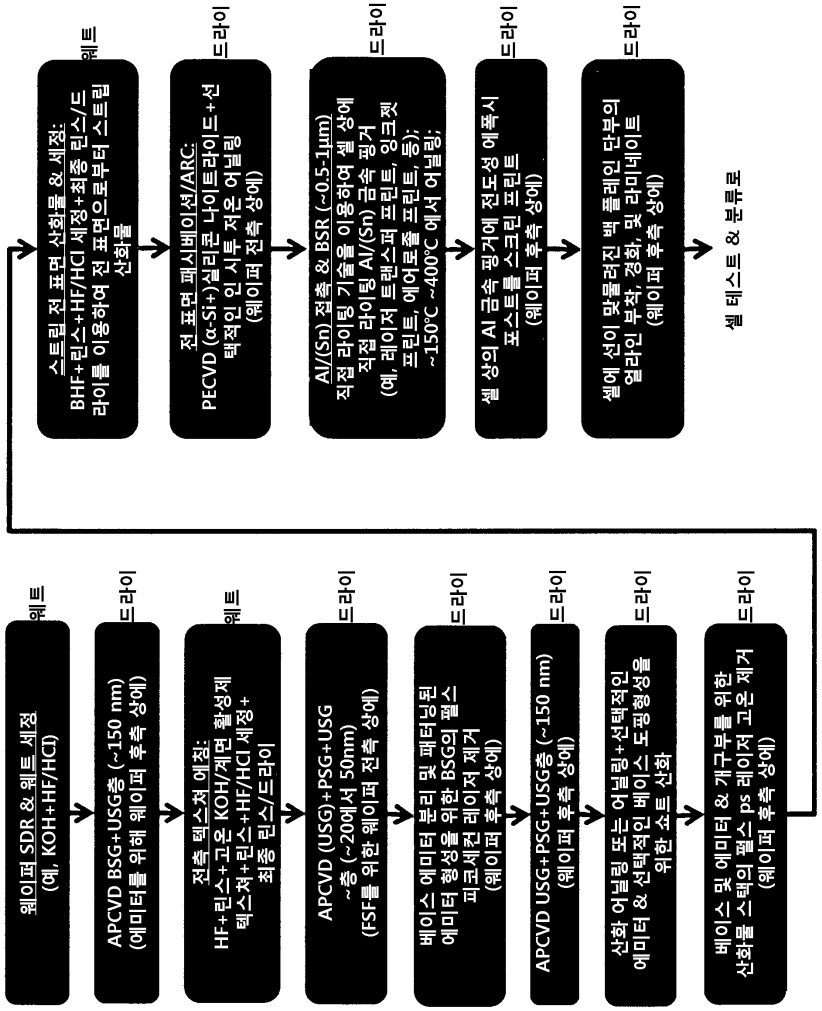
도면41


웨이퍼 SDR & 웨트 세정
(예, KOH+HF/HCl)
웨트
APCVD BSG+USG층 (~150 nm)
(에미터를 위해 웨이퍼 후측 상에)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
APCVD USG+PSG+USG층 (~150 nm)
(웨이퍼 후측 상에)
드라이
FSF를 위한 $POCl_3$-튜브-베이스의 $POCl_3$
도핑+선택적인 에미터 & 선택적인
베이스 도핑 형성을 위한 산화 어닐링
(예, 어닐링+쇼트산화+어닐링)
드라이
베이스 및 에미터 & 개구부를 위한
산화물 스택의 펄스 ps 레이저 고온 제거
(웨이퍼 후측 상에)
드라이
POCl3 유리 웨트 디글레이즈
웨트
AI/(Sn) 접촉 & BSR (~0.5-1um)
직접 라이팅 기술을 이용하여 셀 상에
직접 라이팅 AI/(Sn) 금속 핑거
(예, 레이저 트랜스퍼 프린트, 잉크젯
프린트, 에어로졸 프린트, 등);
~150℃ ~400℃ 에서 어닐링;
드라이
셀 상의 AI 금속 핑거에 전도성 애폭시
포스트를 스크린 프린트
(웨이퍼 후측 상에)
드라이
셀에 백 플레인의 얼라인 부착 경화,
라미네이트
(웨이퍼 후측 상에)
드라이
전측 텍스쳐 에칭:
HF+린스+고온 KOH/계면 활성제
텍스쳐+린스+HF/HCl 세정+
최종 린스/드라이
웨트
저온 (T≤200℃)
전면 패시베이션/ARC:
PECVD (α-Si:+) 실리콘 나이트라이드 +
선택적 인 시투 저온. 어닐링
드라이
백 플레인 금속 밖 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
드라이

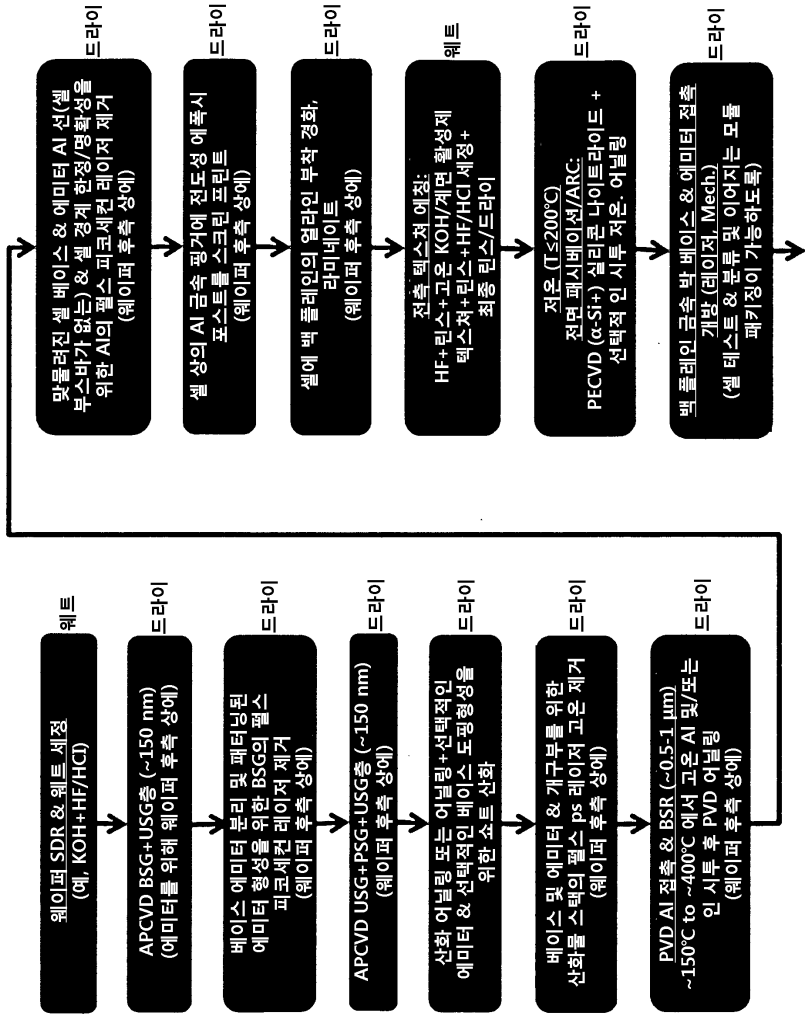
도면42


웨이퍼 SDR & 웨트 세정
(예, KOH+HF/HCl)
웨트
APCVD BSG+USG층 (~150 nm)
(에미터를 위해 웨이퍼 후측 상에)
드라이
전측 텍스쳐 에칭:
HF+린스+고온 KOH/계면 활성제
텍스쳐+린스+HF/HCl 세정+
최종 린스/드라이
웨트
APCVD (USG)+PSG+USG
~층 (~20에서 50nm)
(FSF를 위한 웨이퍼 전측 상에)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
APCVD USG+PSG+USG층 (~150 nm)
(웨이퍼 후측 상에)
드라이
산화 어닐링 또는 어닐링+선택적인
에미터 & 선택적인 베이스 도핑형성을
위한 쇼트 산화
드라이
베이스 및 에미터 & 개구부를 위한
산화물 스택의 펄스 ps 레이저 고온 제거
(웨이퍼 후측 상에)
드라이
웨트
스트립 전 표면 산화물 & 세정:
BHF+린스+HF/HCl 세정+최종 린스/드
라이를 이용하여 전 표면으로부터 스트립
산화물
드라이
전 표면 패시베이션/ARC:
PECVD (α-Si+)실리콘 나이트라이드+선
택적인 인 시투 저온 어닐링
(웨이퍼 전측 상에)
드라이
PVD Al 접촉 & BSR (~0.5-1 μm)
~150°C 에서 400°C 에서 고온 Al
및/또는 인 시투 후 – PVD 어닐링
(웨이퍼 후측 상에)
드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀
부스바가 없는) & 셀 경계 한정/명확성을
위한 Al의 펄스 피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
셀 상의 Al 금속 핑거에 접도성 에폭시
포스트를 스크린 프린트
(웨이퍼 후측 상에)
드라이
셀에 선이 맞물려진 백 플레인 단부의
얼라인 부착, 경화 및 라미네이트
(웨이퍼 후측 상에)

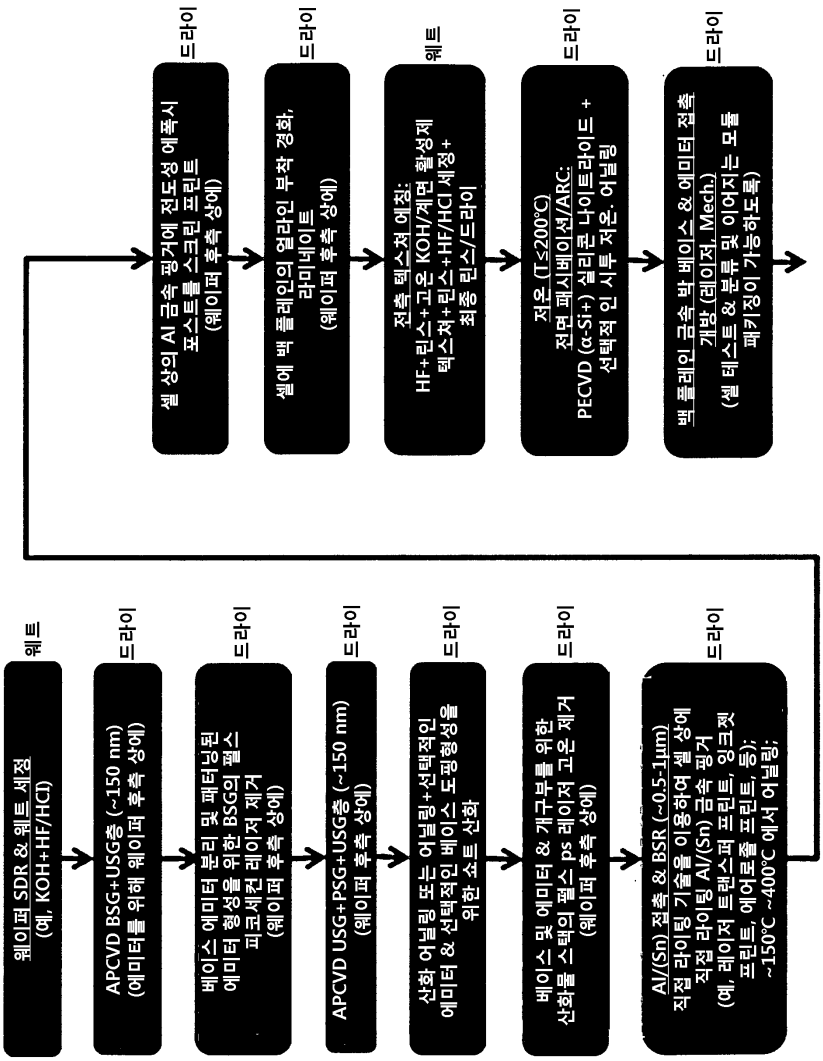
도면43


웨이퍼 SDR & 웨트 세정
(예, KOH+HF/HCl)
웨트
APCVD BSG+USG층 (~150 nm)
(에미터를 위해 웨이퍼 후측 상에)
드라이
전측 텍스쳐 에칭:
HF+린스+고온 KOH/계면 활성제
텍스쳐+린스+HF/HCl 세정+
최종 린스/드라이
웨트
APCVD (USG)+PSG+USG
~층 (~20에서 50nm)
(FSF를 위한 웨이퍼 전측 상에)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
APCVD USG+PSG+USG층 (~150 nm)
(웨이퍼 후측 상에)
드라이
산화 어닐링 또는 어닐링+선택적인
에미터 & 선택적인 베이스 도핑형성을
위한 쇼트 산화
드라이
베이스 및 에미터 & 개구부를 위한
산화물 스택의 펄스 ps 레이저 고온 제거
(웨이퍼 후측 상에)
드라이
스트립 전 표면 산화물 & 세정:
BHF+린스+HF/HCl 세정+최종 린스/드
라이를 이용하여 전 표면으로부터 스트립
산화물
웨트
전 표면 패시베이션/ARC:
PECVD (α-Si+)실리콘 나이트라이드+선
택적인 인 시투 저온 어닐링
(웨이퍼 전측 상에)
드라이
Al/(Sn) 접촉 & BSR (~0.5-1μm)
직접 라이팅 기술을 이용하여 셀 상에
직접 라이팅 Al/(Sn) 금속 핑거
(예, 레이저 트랜스퍼 프린트, 잉크젯
프린트, 에어로졸 프린트, 등);
~150℃ ~400℃ 에서 어닐링;
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트를 스크린 프린트
(웨이퍼 후측 상에)
드라이
셀에 선이 맞물려진 백 플레인 단부의
얼라인 부착, 경화, 및 라미네이트
(웨이퍼 후측 상에)
드라이
셀 테스트 & 분류로

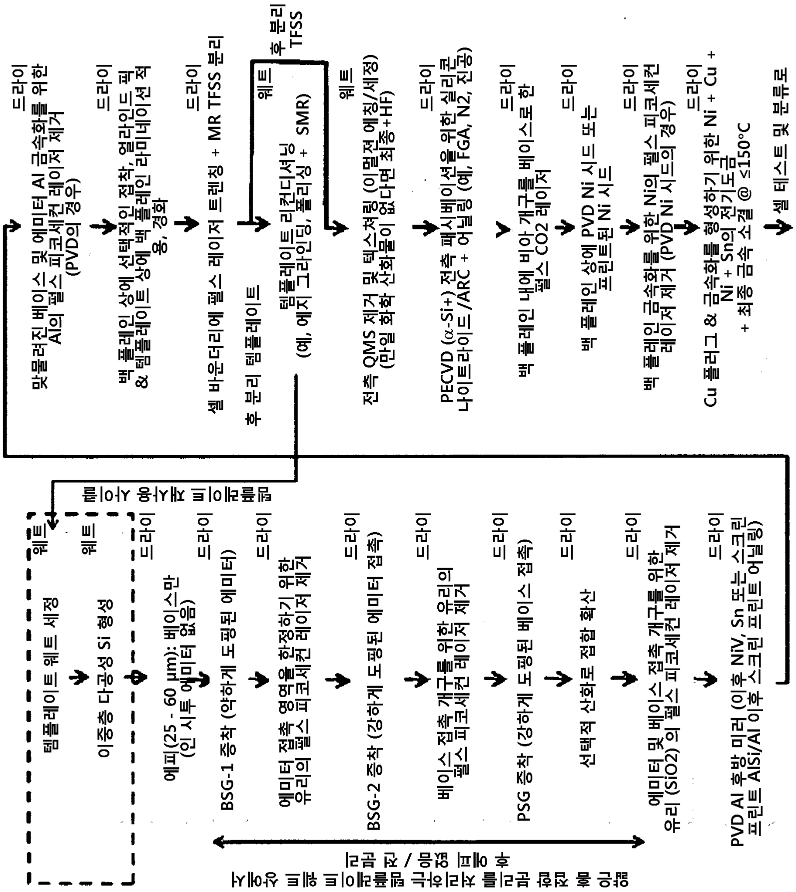
도면44


웨이퍼 SDR & 웨트 세정
(예, KOH+HF/HCl)
웨트
APCVD BSG+USG층 (~150 nm)
(에미터를 위해 웨이퍼 후측 상에)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
APCVD USG+PSG+USG층 (~150 nm)
(웨이퍼 후측 상에)
드라이
산화 어닐링 또는 어닐링+선택적인
에미터 & 선택적인 베이스 도핑형성을
위한 쇼트 산화
드라이
베이스 및 에미터 & 개구부를 위한
산화물 스택의 펄스 ps 레이저 고온 제거
(웨이퍼 후측 상에)
드라이
PVD Al 접촉 & BSR (~0.5-1 μm)
~150°C to ~400°C 에서 고온 Al 및/또는
인 시투 후 PVD 어닐링
(웨이퍼 후측 상에)
드라이
맞물려진 셀 베이스 & 에미터 Al 선(셀
부스바가 없는) & 셀 경계 한정/명확성을
위한 Al의 펄스 피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
셀 상의 Al 금속 필거에 전도성 에폭시
포스트를 스크린 프린트
(웨이퍼 후측 상에)
드라이
셀에 백 플레인의 열라인 부착 경화,
라미네이트
(웨이퍼 후측 상에)
드라이
전측 텍스쳐 에칭:
HF+린스+고온 KOH/계면 활성제
텍스쳐+린스+HF/HCl 세정+
최종 린스/드라이
웨트
저온 (T≤200°C)
전면 패시베이션/ARC:
PECVD (α-Si+) 실리콘 나이트라이드 +
선택적 인 시투 저온, 어닐링
드라이
백 플레인 금속 박 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
드라이

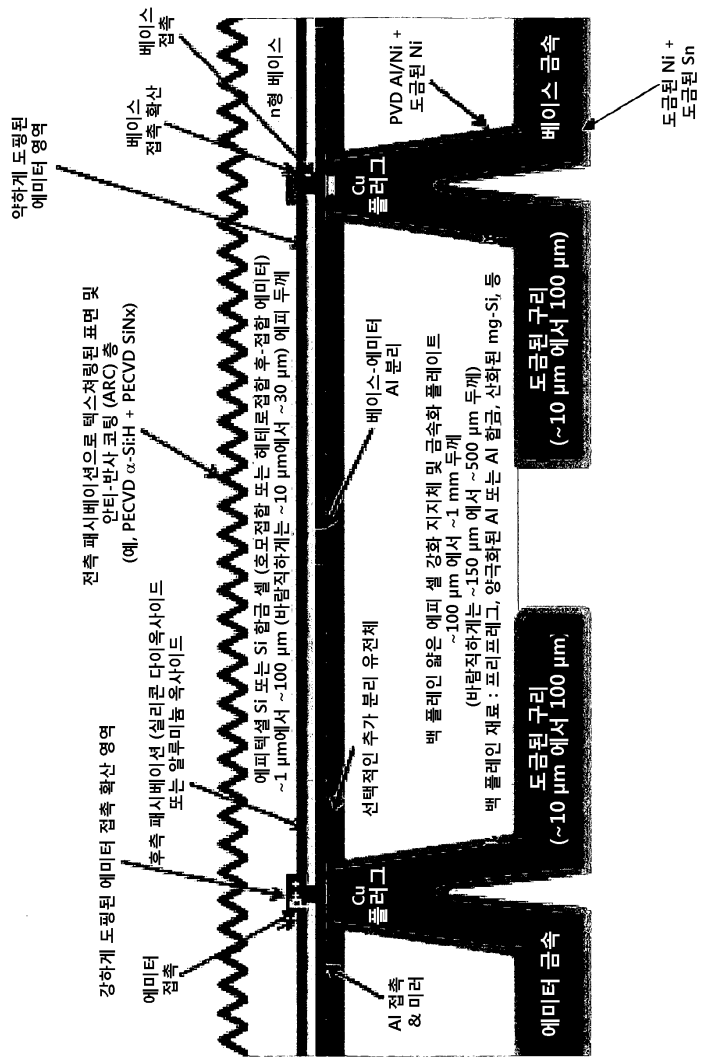
도면45


웨트
웨이퍼 SDR & 웨트 세정
(예, KOH+HF/HCl)
드라이
APCVD BSG+USG층 (~150 nm)
(에미터를 위해 웨이퍼 후측 상에)
드라이
베이스 에미터 분리 및 패터닝된
에미터 형성을 위한 BSG의 펄스
피코세컨 레이저 제거
(웨이퍼 후측 상에)
드라이
APCVD USG+PSG+USG층 (~150 nm)
(웨이퍼 후측 상에)
드라이
산화 어닐링 또는 어닐링+선택적인
에미터 & 선택적인 베이스 도핑형성을
위한 쇼트 산화
드라이
베이스 및 에미터 & 개구부를 위한
산화물 스택의 펄스 ps 레이저 고온 제거
(웨이퍼 후측 상에)
드라이
Al/(Sn) 접촉 & BSR (~0.5-1μm)
직접 라이팅 기술을 이용하여 셀 상에
직접 라이팅 Al/(Sn) 금속 핑거
(예, 레이저 트랜스퍼 프린트, 잉크젯
프린트, 에어로졸 프린트, 등);
~150°C ~400°C 에서 어닐링;
드라이
백 플레인 금속 밖 베이스 & 에미터 접촉
개방 (레이저, Mech.)
(셀 테스트 & 분류 및 이어지는 모듈
패키징이 가능하도록)
웨트
전측 텍스쳐 에칭:
HF+린스+고온 KOH/계면 활성제
텍스쳐+린스+HF/HCl 세정+
최종 린스/드라이
드라이
전면 패시베이션/ARC:
PECVD (α-Si:+) 실리콘 나이트라이드 +
선택적 인 시투 저온. 어닐링
드라이
셀 상의 Al 금속 핑거에 전도성 에폭시
포스트롤 스크린 프린트
(웨이퍼 후측 상에)
드라이
셀에 백 플레인의 얼라인 부착 경화,
라미네이트
(웨이퍼 후측 상에)
저온 (T≤200°C)

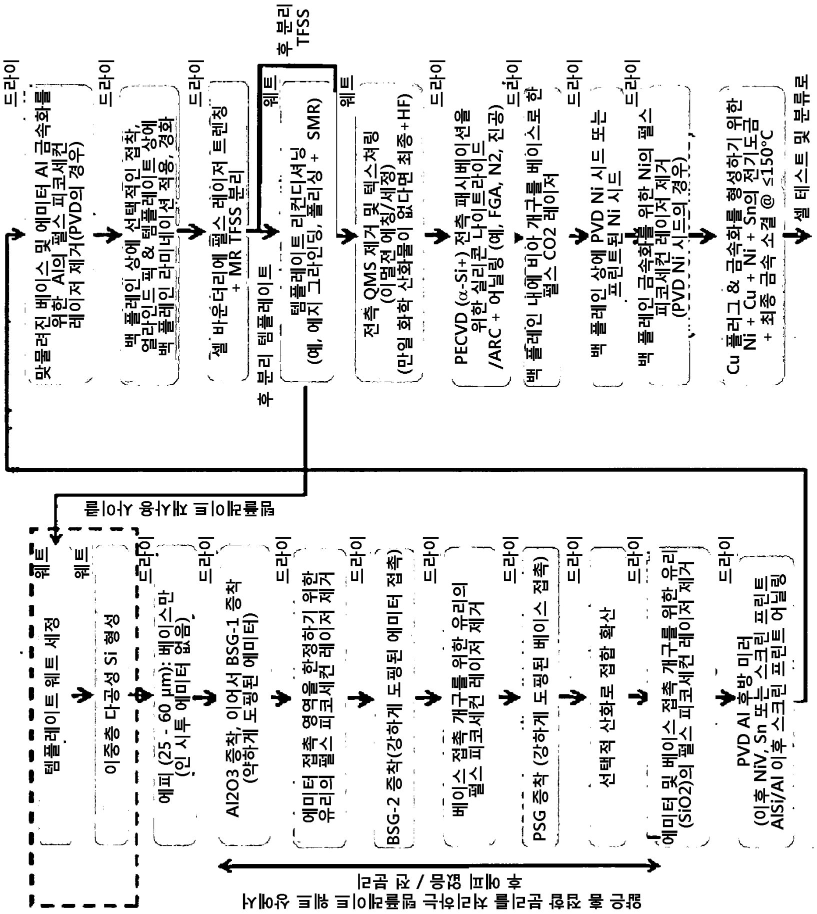
도면46


맞물려진 베이스 및 에미터 Al 금속화를 위한 Al의 펄스 피코세컨 레이저 제거 (PVD의 경우)
드라이
백 플레인 상에 선택적인 접착, 얼라인드 픽 & 템플레이트 상에 백 플레인 라미네이션 적용, 경화
드라이
셀 바운더리에 펄스 레이저 트렌칭 + MR TFSS 분리
드라이
후 분리 템플레이트
템플레이트 리컨디셔닝 (예, 에지 그라인딩, 폴리싱 + SMR)
웨트
후 분리 TFSS
웨트
전측 QMS 제거 및 텍스쳐링 (이멀전 에칭/세정) (만일 화학 산화물이 없다면 최종+HF)
드라이
PECVD (α-Si+) 전측 패시베이션을 위한 실리콘 나이트라이드 /ARC + 어닐링 (예, FGA, N2, 진공)
드라이
백 플레인 내에 비아 개구를 베이스로 한 펄스 CO2 레이저
드라이
백 플레인 상에 PVD Ni 시드 또는 프린트된 Ni 시드
드라이
백 플레인 금속화를 위한 Ni의 펄스 피코세컨 레이저 제거 (PVD Ni 시드의 경우)
드라이
Cu 플러그 & 금속화를 형성하기 위한 Ni + Cu + Ni + Sn의 전기도금 + 최종 금속 소결 @ ≤150°C
셀 테스트 및 분류로
템플레이트 재사용 사이클
템플레이트 웨트 세정
웨트
이중층 다공성 Si 형성
웨트
드라이
에피(25 - 60 μm): 베이스만 (인 시투 에미터 없음)
드라이
BSG-1 증착 (약하게 도핑된 에미터)
드라이
에미터 접촉 영역을 한정하기 위한 유리의 펄스 피코세컨 레이저 제거
드라이
BSG-2 증착 (강하게 도핑된 에미터 접촉)
드라이
베이스 접촉 개구를 위한 유리의 펄스 피코세컨 레이저 제거
드라이
PSG 증착 (강하게 도핑된 베이스 접촉)
드라이
선택적 산화로 접합 확산
드라이
에미터 및 베이스 접촉 개구를 위한 유리 (SiO2) 의 펄스 피코세컨 레이저 제거
드라이
PVD Al 후방 미러 (이후 NiV, Sn 또는 스크린 프린트 AlSi/Al 이후 스크린 프린트 어닐링)
접합 분리를 처리하는 템플레이트 웨트 상에서
후 에피 없음 / 전 분리

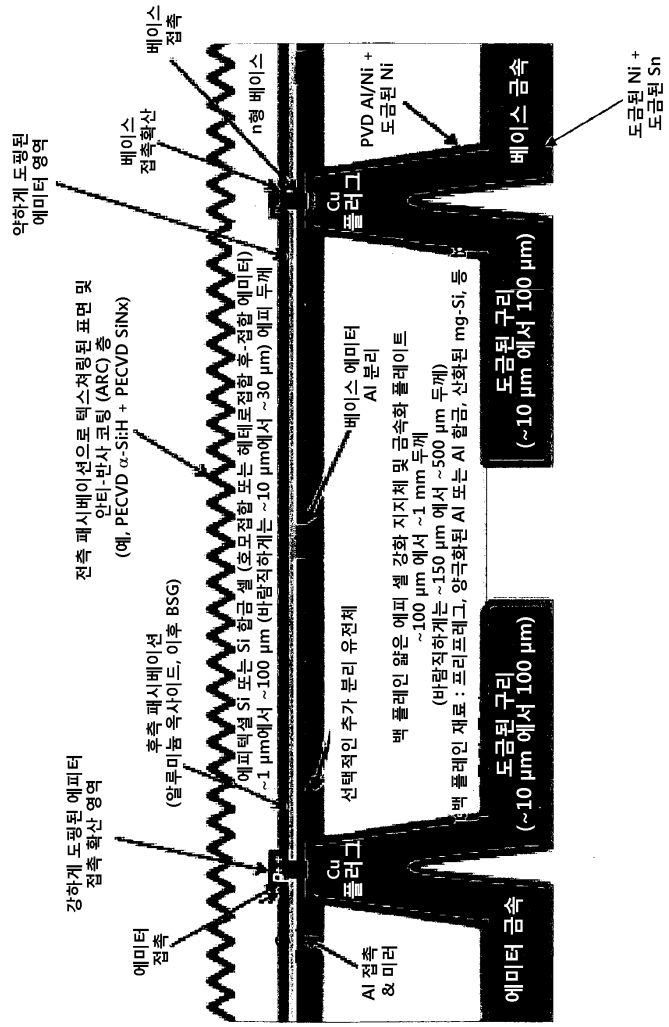
도면47


약하게 도핑된
에미터 영역
베이스
접촉
베이스
접촉 확산
n형 베이스
PVD Al/Ni +
도금된 Ni
베이스 금속
도금된 Ni +
도금된 Sn
전측 패시베이션으로 텍스쳐링된 표면 및
안티-반사 코팅 (ARC) 층
(예, PECVD α-Si:H + PECVD SiNx)
강하게 도핑된 에미터 접촉 확산 영역
후측 패시베이션 (실리콘 다이옥사이드
또는 알루미늄 옥사이드
에미터
접촉
에피텍셜 Si 또는 Si 합금 셀 (호모접합 또는 헤테로접합 후-접합 에미터)
~1 μm에서 ~100 μm (바람직하게는 ~10 μm에서 ~30 μm) 에피 두께
Cu
플러그
베이스-에미터
Al 분리
선택적인 추가 분리 유전체
백 폴레인 얇은 에피 셀 강화 지지체 및 금속화 폴레이트
~100 μm 에서 ~1 mm 두께
(바람직하게는 ~150 μm 에서 ~500 μm 두께)
백 폴레인 재료 : 프리프레그, 양극화된 Al 또는 Al 합금, 산화된 mg-Si, 등
Cu
플러그
Al 접촉
& 미러
에미터 금속
도금된 구리
(~10 μm 에서 100 μm)
도금된 구리
(~10 μm 에서 100 μm)

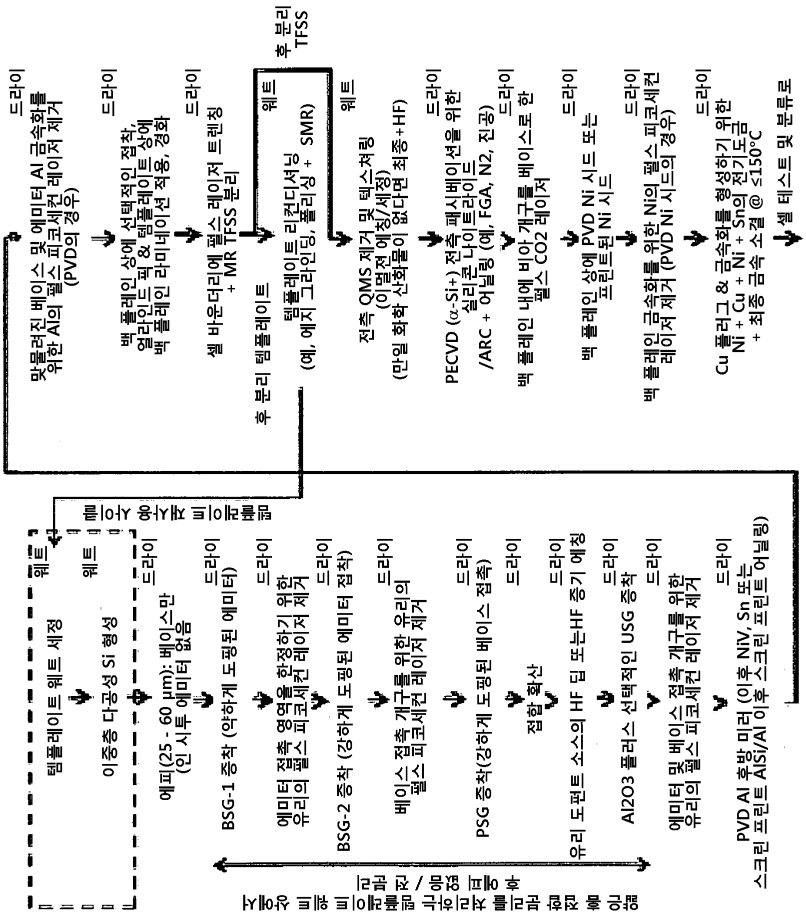
도면48


템플레이트 웨트 세정
웨트
이중층 다공성 Si 형성
웨트
에피 (25 - 60 μm): 베이스만 (인 시투 에미터 없음)
드라이
Al2O3 증착, 이어서 BSG-1 증착 (약하게 도핑된 에미터)
드라이
에미터 접촉 영역을 한정하기 위한 유리의 펄스 피코세컨 레이저 제거
드라이
BSG-2 증착(강하게 도핑된 에미터 접촉)
드라이
베이스 접촉 개구를 위한 유리의 펄스 피코세컨 레이저 제거
드라이
PSG 증착 (강하게 도핑된 베이스 접촉)
드라이
선택적 산화로 접합 확산
드라이
에미터 및 베이스 접촉 개구를 위한 유리(SiO2)의 펄스 피코세컨 레이저 제거
드라이
PVD Al 후방 미러 (이후 NiV, Sn 또는 스크린 프린트 AlSi/Al 이후 스크린 프린트 어닐링
드라이
얇은 층 접합 분리를 처리하는 템플레이트 웨트 상에서 후 에피 없음 / 전 분리
템플레이트 재사용 사이클
맞물려진 베이스 및 에미터 Al 금속화를 위한 Al의 펄스 피코세컨 레이저 제거(PVD의 경우)
드라이
백 플레인 상에 선택적인 접착, 얼라인드 픽 & 템플레이트 상에 백 플레인 라미네이션 적용, 경화
드라이
셀 바운더리에 펄스 레이저 트렌칭 + MR TFSS 분리
드라이
후 분리 템플레이트
템플레이트 리컨디셔닝 (예, 에지 그라인딩, 폴리싱 + SMR)
웨트
후 분리 TFSS
전측 QMS 제거 및 텍스처링 (이멀전 에칭/세정) (만일 화학 산화물이 없다면 최종+HF)
웨트
PECVD (α-Si+) 전측 패시베이션을 위한 실리콘 나이트라이드 /ARC + 어닐링 (예, FGA, N2, 진공)
드라이
백 플레인 내에 비아 개구를 베이스로 한 펄스 CO2 레이저
드라이
백 플레인 상에 PVD Ni 시드 또는 프린트된 Ni 시드
드라이
백 플레인 금속화를 위한 Ni의 펄스 피코세컨 레이저 제거 (PVD Ni 시드의 경우)
드라이
Cu 플러그 & 금속화를 형성하기 위한 Ni + Cu + Ni + Sn의 전기도금 + 최종 금속 소결 @ ≤150°C
드라이
셀 테스트 및 분류로

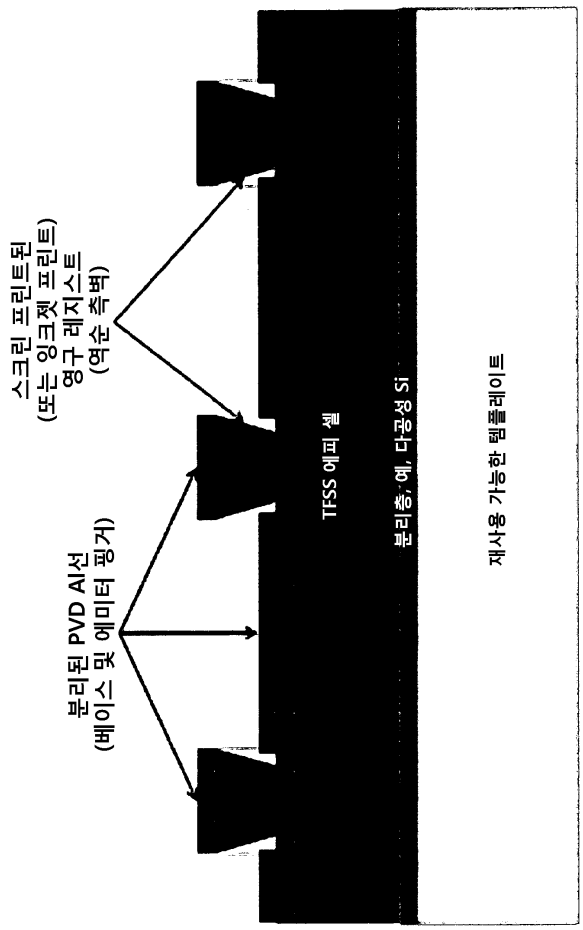
도면49


베이스 접촉
베이스 접촉확산
n형 베이스
약하게 도핑된 에미터 영역
전측 패시베이션으로 텍스쳐링된 표면 및 안티-반사 코팅 (ARC) 층
(예, PECVD α-Si:H + PECVD SiNx)
후측 패시베이션
(알루미늄 옥사이드, 이후 BSG)
에피텍셜 Si 또는 Si 합금 셀 (호모접합 또는 헤테로접합 후-접합 에미터)
~1 μm에서 ~100 μm (바람직하게는 ~10 μm에서 ~30 μm) 에피 두께
강하게 도핑된 에미터 접촉확산 영역
에미터 접촉
Cu 플러그
선택적인 추가 분리 유전체
AI 접촉 & 미러
베이스 에미터 AI 분리
백 플레인 얇은 에피 셀 강화 지지체 및 금속화 플레이트
~100 μm 에서 ~1 mm 두께
(바람직하게는 ~150 μm 에서 ~500 μm 두께)
백 플레인 재료 : 프리프레그, 양극화된 AI 또는 AI 합금, 산화된 mg-Si, 등
PVD AI/Ni + 도금된 Ni
도금된 구리 (~10 μm 에서 100 μm)
베이스 금속
도금된 Ni + 도금된 Sn
에미터 금속

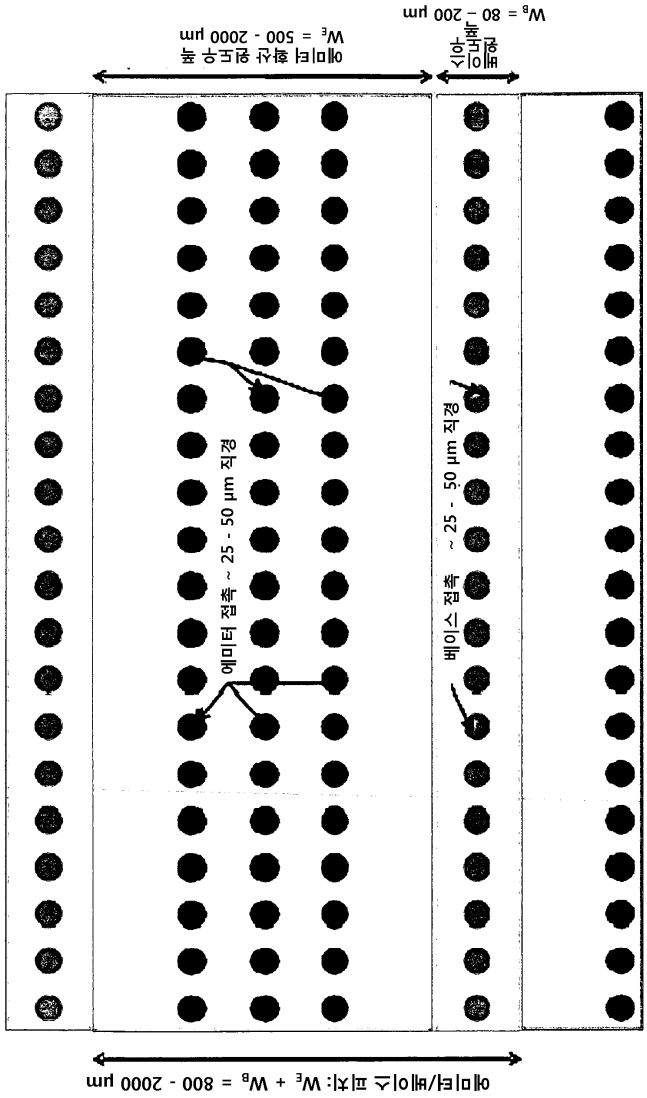
도면50


템플레이트 웨트 세정
웨트
이중층 다공성 Si 형성
웨트
에피(25 - 60 μm): 베이스만
(인 시투 에미터 없음
드라이
BSG-1 증착 (약하게 도핑된 에미터)
드라이
에미터 접촉 영역을 한정하기 위한
유리의 펄스 피코세컨 레이저 제거
드라이
BSG-2 증착 (강하게 도핑된 에미터 접착)
드라이
베이스 접촉 개구를 위한 유리의
펄스 피코세컨 레이저 제거
드라이
PSG 증착(강하게 도핑된 베이스 접촉)
드라이
접합 확산
드라이
유리 도펀트 소스의 HF 딥 또는HF 증기 에칭
드라이
Al2O3 플러스 선택적인 USG 증착
드라이
에미터 및 베이스 접촉 개구를 위한
유리의 펄스 피코세컨 레이저 제거
드라이
PVD Al 후방 미러 (이후 NiV, Sn 또는
스크린 프린트 AlSi/Al 이후 스크린 프린트 어닐링)
드라이
얇은 홈 접합 분리를 처리하는 템플레이트 웨트 상에서
후 에피 없음 / 전 분리
템플레이트 재사용 사이클
맞물려진 베이스 및 에미터 Al 금속화를
위한 Al의 펄스 피코세컨 레이저 제거
(PVD의 경우)
드라이
백 플레인 상에 선택적인 접착,
얼라인드 픽 & 템플레이트 상에
백 플레인 라미네이션 적용, 경화
드라이
셀 바운더리에 펄스 레이저 트렌칭
+ MR TFSS 분리
드라이
후 분리 템플레이트
템플레이트 리컨디셔닝
(예, 에지 그라인딩, 폴리싱 + SMR)
웨트
후 분리
TFSS
전측 QMS 제거 및 텍스쳐링
(이멀젼 에칭/세정)
(만일 화학 산화물이 없다면 최종+HF)
웨트
PECVD (α-Si+) 전측 패시베이션을 위한
실리콘 나이트라이드
/ARC + 어닐링 (예, FGA, N2, 진공)
드라이
백 플레인 내에 비아 개구를 베이스로 한
펄스 CO2 레이저
드라이
백 플레인 상에 PVD Ni 시드 또는
프린트된 Ni 시드
드라이
백 플레인 금속화를 위한 Ni의 펄스 피코세컨
레이저 제거 (PVD Ni 시드의 경우)
드라이
Cu 플러그 & 금속화를 형성하기 위한
Ni + Cu + Ni + Sn의 전기도금
+ 최종 금속 소결 @ ≤150°C
드라이
셀 테스트 및 분류로

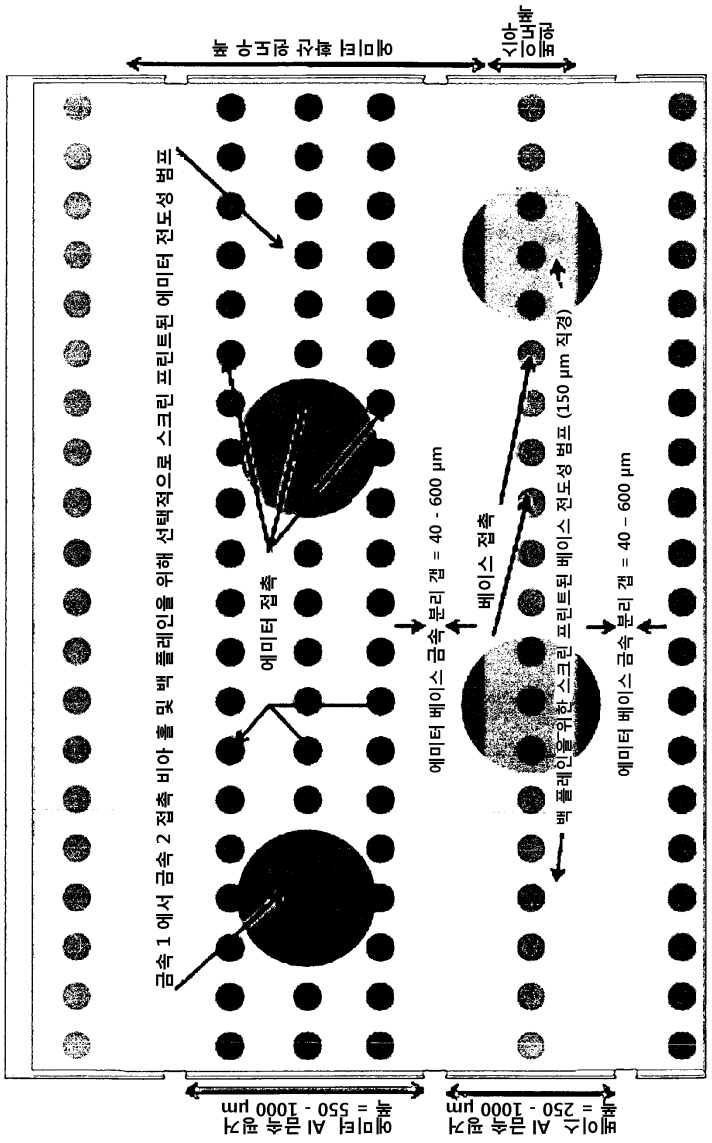
도면51


스크린 프린트된
(또는 잉크젯 프린트)
영구 레지스트
(역순 측벽)
분리된 PVD Al선
(베이스 및 에미터 핑거)
TFSS 에피 셀
분리층, 예, 다공성 Si
재사용 가능한 템플레이트

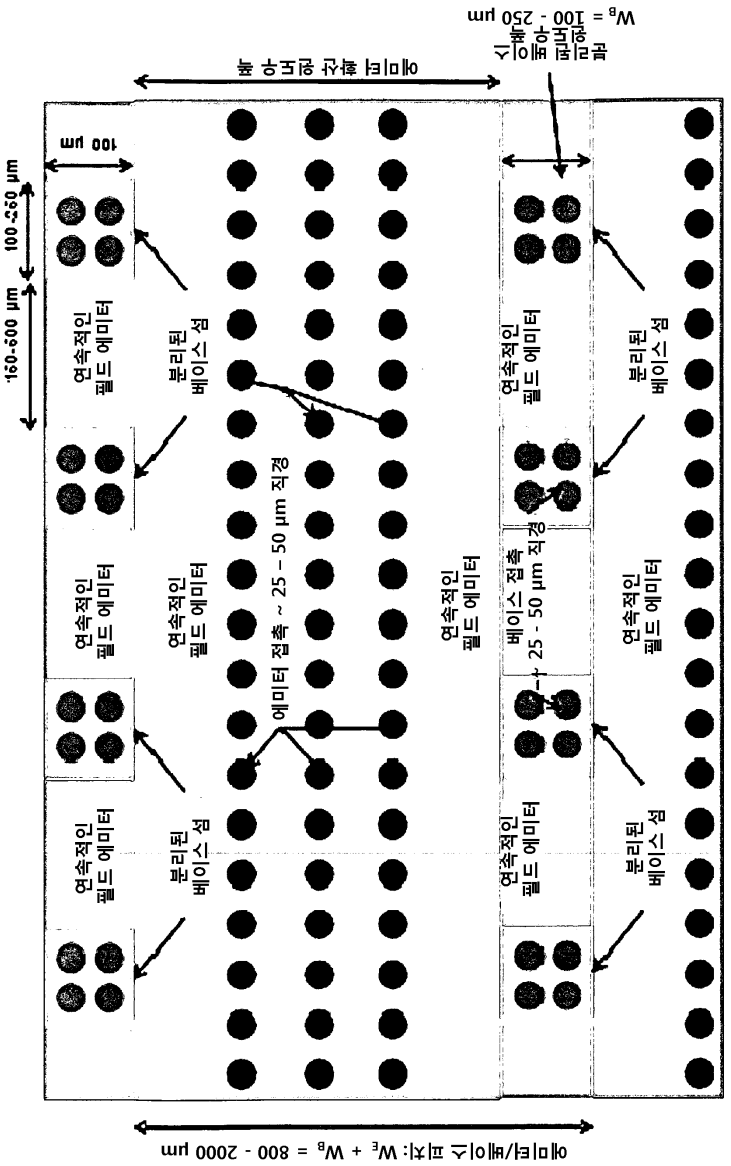
도면52


에미터/베이스 피치: $W_E + W_B$ = 800 - 2000 μm
에미터 확산 윈도우 폭
W_E = 500 - 2000 μm
베이스 확산 윈도우 폭
W_B = 80 - 200 μm
에미터 접촉 ~ 25 - 50 μm 직경
베이스 접촉 ~ 25 - 50 μm 직경

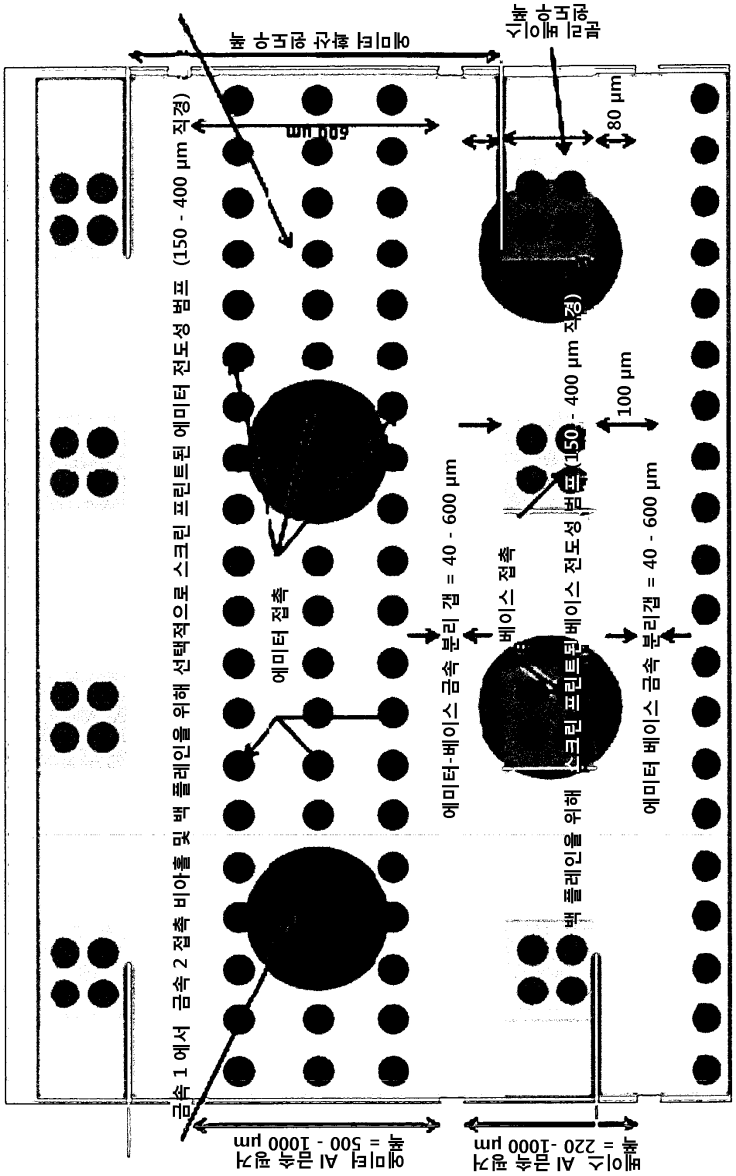
도면53


에미터 활성 윈도우 폭
베이스 윈도우 폭
금속 1 에서 금속 2 접촉 비아 홀 및 백 플레인을 위해 선택적으로 스크린 프린트된 에미터 전도성 범프
에미터 접촉
에미터 베이스 금속분리 갭 = 40 - 600 μm
베이스 접촉
백 플레인을 위한 스크린 프린트된 베이스 전도성 범프 (150 μm 직경)
에미터 베이스 금속분리 갭 = 40 – 600 μm
에미터 Al 금속 평거 폭 = 550 - 1000 μm
베이스 Al 금속 평거 폭 = 250 - 1000 μm

도면54


에미터/베이스 피치: $W_E + W_B$ = 800 - 2000 μm
에미터 활성 윈도우 폭
분리된 베이스 윈도우 폭
W_B = 100 - 250 μm
100 μm
150-600 μm
100-250 μm
연속적인 필드 에미터
분리된 베이스 섬
에미터 접촉 ~ 25 – 50 μm 직경
베이스 접촉 ~ 25 - 50 μm 직경

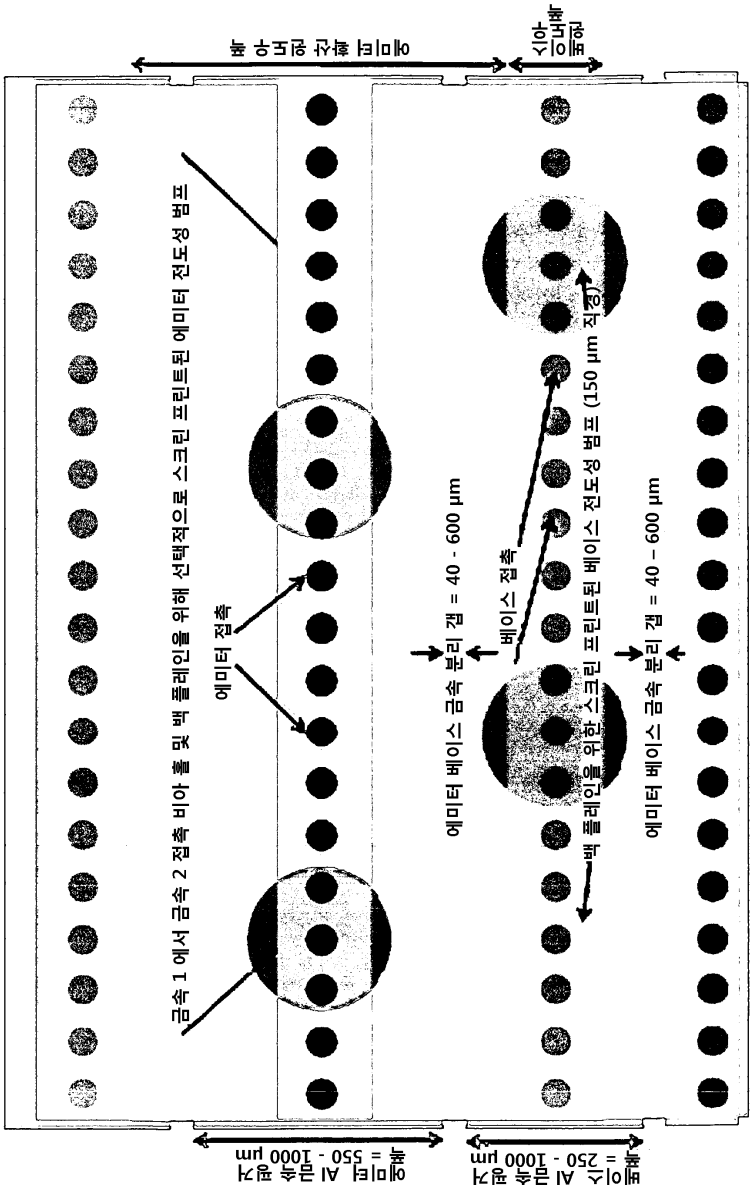
도면55


에미터 확산 윈도우 폭
분리 베이스 윈도우 폭
60 μm
80 μm
금속 1 에서 금속 2 접촉 비아홀 및 백 플레인을 위해 선택적으로 스크린 프린트된 에미터 전도성 범프 (150 - 400 μm 직경)
에미터 접촉
에미터-베이스 금속 분리 갭 = 40 - 600 μm
베이스 접촉
스크린 프린트된 베이스 전도성 범프 (150 - 400 μm 직경)
100 μm
백 플레인을 위해
에미터 베이스 금속 분리갭 = 40 - 600 μm
에미터 Al 금속 패치
폭 = 500 - 1000 μm
베이스 Al 금속 패치
폭 = 220 -1000 μm

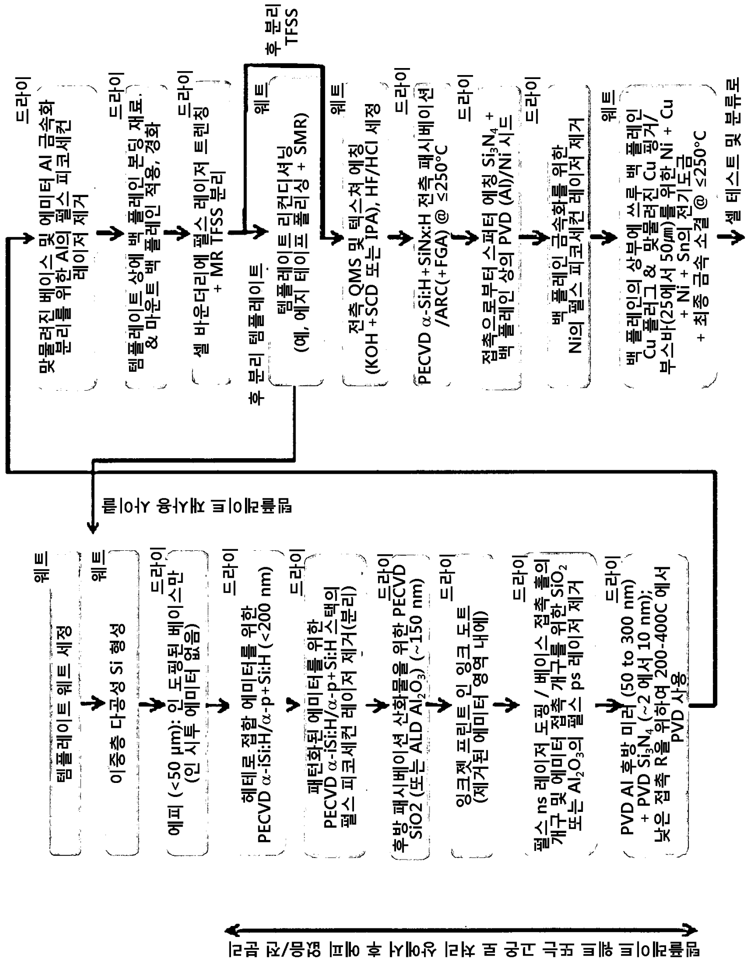
도면56

에미터/베이스 피치: W_E + W_B = 800 - 2000 μm
강하게 도핑된 에미터 접촉 윈도우 70 – 200 μm
에미터 접촉 ~ 25 – 50 μm 직경
베이스 접촉 ~ 25 – 50 μm 직경
에미터 확산 윈도우 폭
W_E = 500 - 2000 μm
베이스 윈도우 폭
W_B = 80 - 200 μm

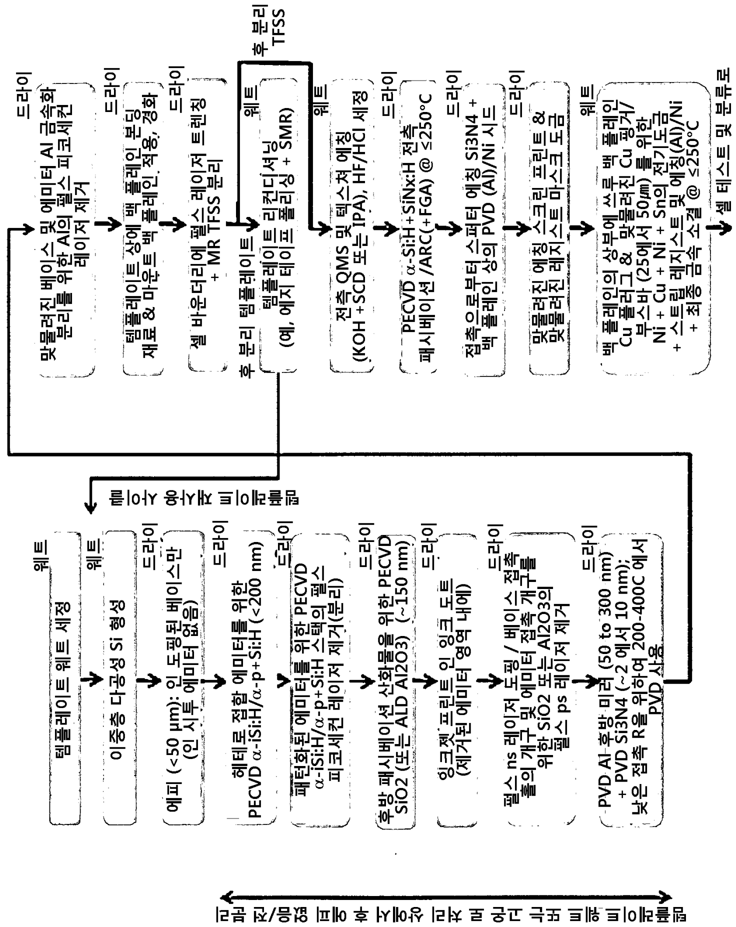
도면57


에미터 확산 윈도우 폭
베이스 확산 윈도우 폭
금속 1 에서 금속 2 접촉 비아 홀 및 백 플레인을 위해 선택적으로 스크린 프린트된 에미터 전도성 범프
에미터 접촉
베이스 접촉
에미터 베이스 금속 분리 갭 = 40 - 600 μm
베이스 금속 분리 갭 = 40 – 600 μm
백 플레인을 위한 스크린 프린트된 베이스 전도성 범프 (150 μm 직경)
에미터 Al 금속 평거 폭 = 550 - 1000 μm
베이스 Al 금속 평거 폭 = 250 - 1000 μm

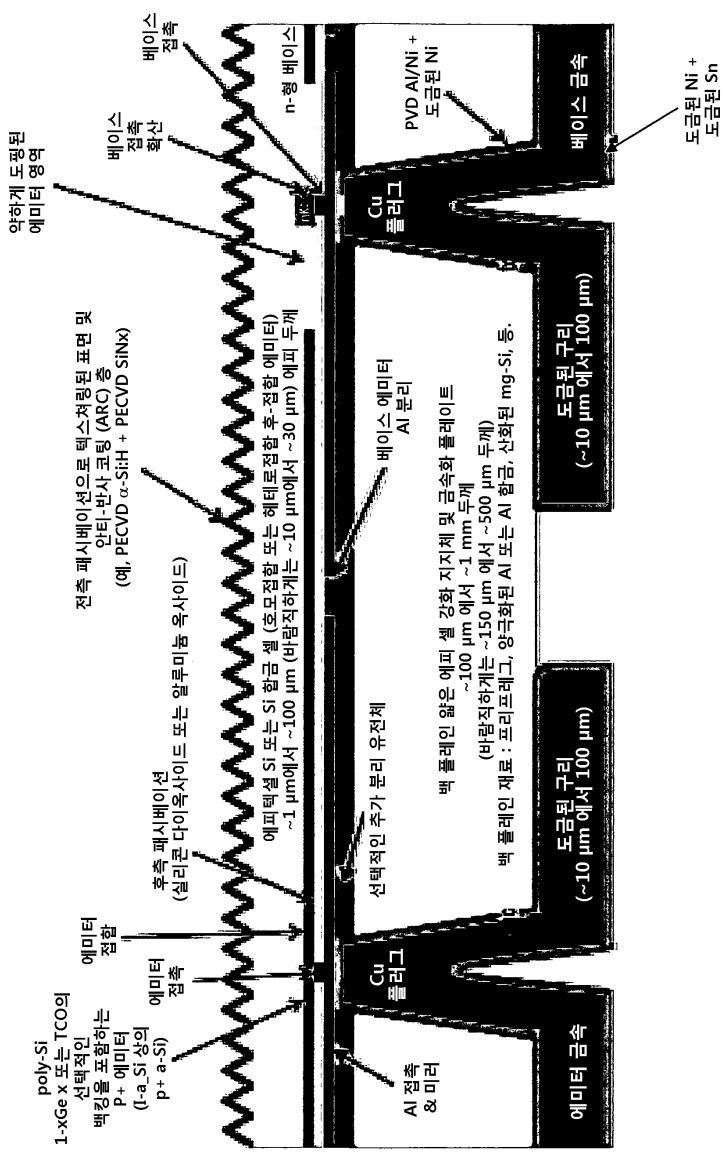
도면58


템플레이트 웨트 세정
웨트
이중층 다공성 Si 형성
웨트
에피 (<50 μm): 인 도핑된 베이스만 (인 시투 에미터 없음)
드라이
헤테로 접합 에미터를 위한 PECVD α-iSi:H/α-p+Si:H (<200 nm)
드라이
패턴화된 에미터를 위한 PECVD α-iSi:H/α-p+Si:H 스택의 펄스 피코세컨 레이저 제거(분리)
드라이
후방 패시베이션 산화물을 위한 PECVD SiO2 (또는 ALD Al2O3) (~150 nm)
드라이
잉크젯 프린트 인 잉크 도트 (제거된 에미터 영역 내에)
드라이
펄스 ns 레이저 도핑 / 베이스 접촉 홀의 개구 및 에미터 접촉 개구를 위한 SiO2 또는 Al2O3의 펄스 ps 레이저 제거
드라이
PVD Al 후방 미러 (50 to 300 nm) + PVD Si3N4 (~2 에서 10 nm); 낮은 접촉 R을 위하여 200-400C 에서 PVD 사용
드라이
템플레이트 웨트 또는 고온 로 처리 상에서 후 에피 없음/전 분리
템플레이트 재사용 사이클
맞물려진 베이스 및 에미터 Al 금속화 분리를 위한 Al의 펄스 피코세컨 레이저 제거
드라이
템플레이트 상에 백 플레인 본딩 재료. & 마운트 백 플레인 적용, 경화
드라이
셀 바운더리에 펄스 레이저 트렌칭 + MR TFSS 분리
드라이
후 분리 템플레이트
후 분리 TFSS
템플레이트 리컨디셔닝 (예, 에지 테이프 폴리싱 + SMR)
웨트
전측 QMS 및 텍스쳐 에칭 (KOH +SCD 또는 IPA), HF/HCl 세정
웨트
PECVD α-Si:H+SiNx:H 전측 패시베이션 /ARC(+FGA) @ ≤250°C
드라이
접촉으로부터 스퍼터 에칭 Si3N4 + 백 플레인 상의 PVD (Al)/Ni 시드
드라이
백 플레인 금속화를 위한 Ni의 펄스 피코세컨 레이저 제거
드라이
백 플레인의 상부에 쓰루 백 플레인 Cu 플러그 & 맞물려진 Cu 핑거/ 부스바(25에서 50㎛)를 위한 Ni + Cu + Ni + Sn의 전기도금 + 최종 금속 소결 @ ≤250°C
웨트
셀 테스트 및 분류로

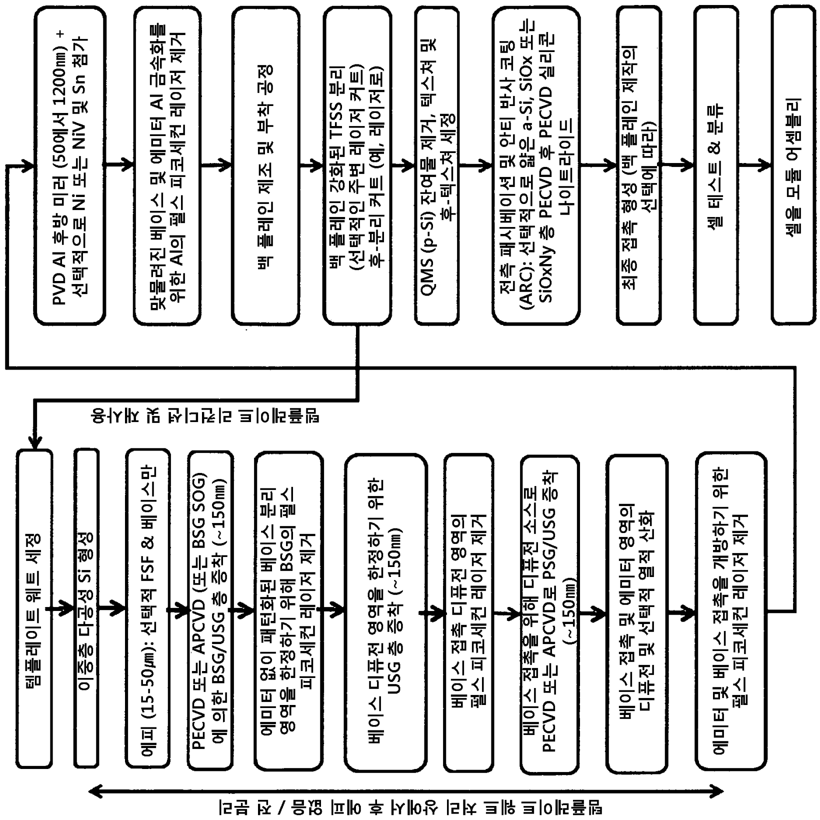
도면59


맞물려진 베이스 및 에미터 Al 금속화 분리를 위한 Al의 펄스 피코세컨 레이저 제거
템플레이트 상에 백 플레인 본딩 재료 & 마운트 백 플레인 적용, 경화
셀 바운더리에 펄스 레이저 트렌칭 + MR TFSS 분리
후 분리 TFSS
후 분리 템플레이트
템플레이트 리컨디셔닝 (예, 에지 테이프 폴리싱 + SMR)
전측 QMS 및 텍스처 에칭 (KOH +SCD 또는 IPA), HF/HCl 세정
PECVD α-Si:H+SiNx:H 전측 패시베이션 /ARC(+FGA) @ ≤250°C
접촉으로부터 스퍼터 에칭 Si3N4 + 백 플레인 상의 PVD (Al)/Ni 시드
맞물려진 에칭 스크린 프린트 & 맞물려진 레지스트 마스크 도금
백 플레인의 상부에 쓰루 백 플레인 Cu 플러그 & 맞물려진 Cu 핑거/부스바 (25에서 50㎛) 를 위한 Ni + Cu + Ni + Sn의 전기도금 + 스트립 레지스트 및 에칭(Al)/Ni + 최종 금속 소결 @ ≤250°C
셀 테스트 및 분류로
템플레이트 웨트 세정
이중층 다공성 Si 형성
에피 (<50 μm): 인 도핑된 베이스만 (인 시투 에미터 없음)
헤테로 접합 에미터를 위한 PECVD α-iSi:H/α-p+Si:H (<200 nm)
패턴화된 에미터를 위한 PECVD α-iSi:H/α-p+Si:H 스택의 펄스 피코세컨 레이저 제거(분리)
후방 패시베이션 산화물을 위한 PECVD SiO2 (또는 ALD Al2O3) (~150 nm)
잉크젯 프린트 인 잉크 도트 (제거된 에미터 영역 내에)
펄스 ns 레이저 도핑 / 베이스 접촉 홀의 개구 및 에미터 접촉 개구를 위한 SiO2 또는 Al2O3의 펄스 ps 레이저 제거
PVD Al 후방 미러 (50 to 300 nm) + PVD Si3N4 (~2 에서 10 nm); 낮은 접촉 R을 위하여 200-400C 에서 PVD 사용

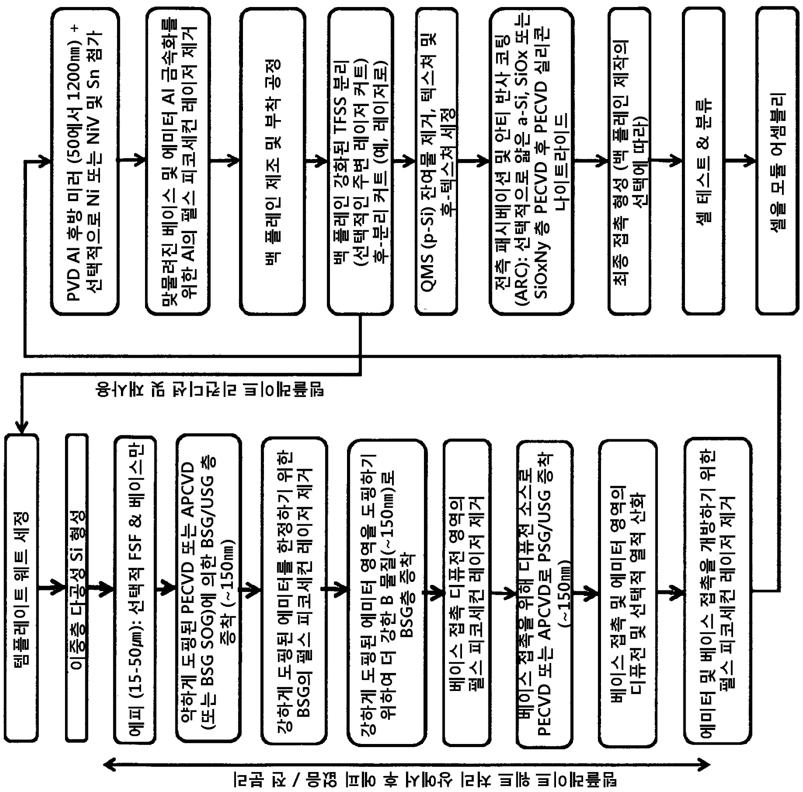
도면60


poly-Si
1->Ge x 또는 TCO의
선택적인
백컹을 포함하는
P+ 에미터
(I-a_Si 상의
p+ a-Si)
에미터
접촉
에미터
접합
후측 패시베이션
(실리콘 다이옥사이드 또는 알루미늄 옥사이드)
전측 패시베이션으로 텍스쳐링된 표면 및
안티-반사 코팅 (ARC) 층
(예, PECVD α-Si:H + PECVD SiNx)
에피택셜 Si 또는 Si 합금 셀 (호모접합 또는 헤테로접합 후-접합 에미터)
~1 μm에서 ~100 μm (바람직하게는 ~10 μm에서 ~30 μm) 에피 두께
약하게 도핑된
에미터 영역
베이스
접촉 확산
베이스
접촉
n-형 베이스
Al 접촉
& 미러
에미터 금속
Cu
플러그
선택적인 추가 분리 유전체
베이스 에미터
Al 분리
백 폴레인 얇은 에피 셀 강화 지지체 및 금속화 폴레이트
~100 μm 에서 ~1 mm 두께
(바람직하게는 ~150 μm 에서 ~500 μm 두께)
백 폴레인 재료 : 프리프레그, 양극화된 Al 또는 Al 합금, 산화된 mg-Si, 등.
도금된 구리
(~10 μm 에서 100 μm)
Cu
플러그
도금된 구리
(~10 μm 에서 100 μm)
PVD Al/Ni +
도금된 Ni
베이스 금속
도금된 Ni +
도금된 Sn

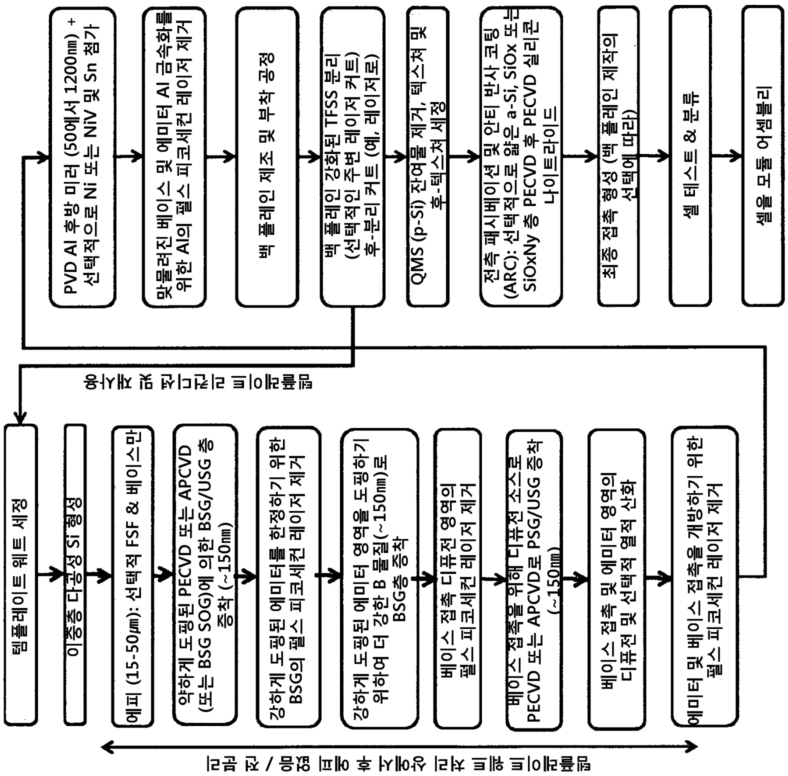
도면61a


PVD Al 후방 미러 (50에서 1200㎚) + 선택적으로 Ni 또는 NiV 및 Sn 첨가
맞물려진 베이스 및 에미터 Al 금속화를 위한 Al의 펄스 피코세컨 레이저 제거
백 플레인 제조 및 부착 공정
백 플레인 강화된 TFSS 분리 (선택적인 주변 레이저 커트) 후-분리 커트 (예, 레이저로)
QMS (p-Si) 잔여물 제거, 텍스쳐 및 후-텍스쳐 세정
전측 패시베이션 및 안티 반사 코팅 (ARC): 선택적으로 얇은 a-Si, SiOx 또는 SiOxNy 층 PECVD 후 PECVD 실리콘 나이트라이드
최종 접촉 형성 (백 플레인 제작의 선택에 따라)
셀 테스트 & 분류
셀을 모듈 어셈블리
템플레이트 리컨디션 및 재사용
템플레이트 웨트 세정
이중층 다공성 Si 형성
에피 (15-50㎛): 선택적 FSF & 베이스만
PECVD 또는 APCVD (또는 BSG SOG)에 의한 BSG/USG 층 증착 (~150㎚)
에미터 없이 패턴화된 베이스 분리 영역을 한정하기 위해 BSG의 펄스 피코세컨 레이저 제거
베이스 디퓨전 영역을 한정하기 위한 USG 층 증착 (~150㎚)
베이스 접촉 디퓨전 영역의 펄스 피코세컨 레이저 제거
베이스 접촉을 위해 디퓨전 소스로 PECVD 또는 APCVD로 PSG/USG 증착 (~150㎚)
베이스 접촉 및 에미터 영역의 디퓨전 및 선택적 열적 산화
에미터 및 베이스 접촉을 개방하기 위한 펄스 피코세컨 레이저 제거
템플레이트 웨트 처리 상에서 후 에피 없음 / 전 분리

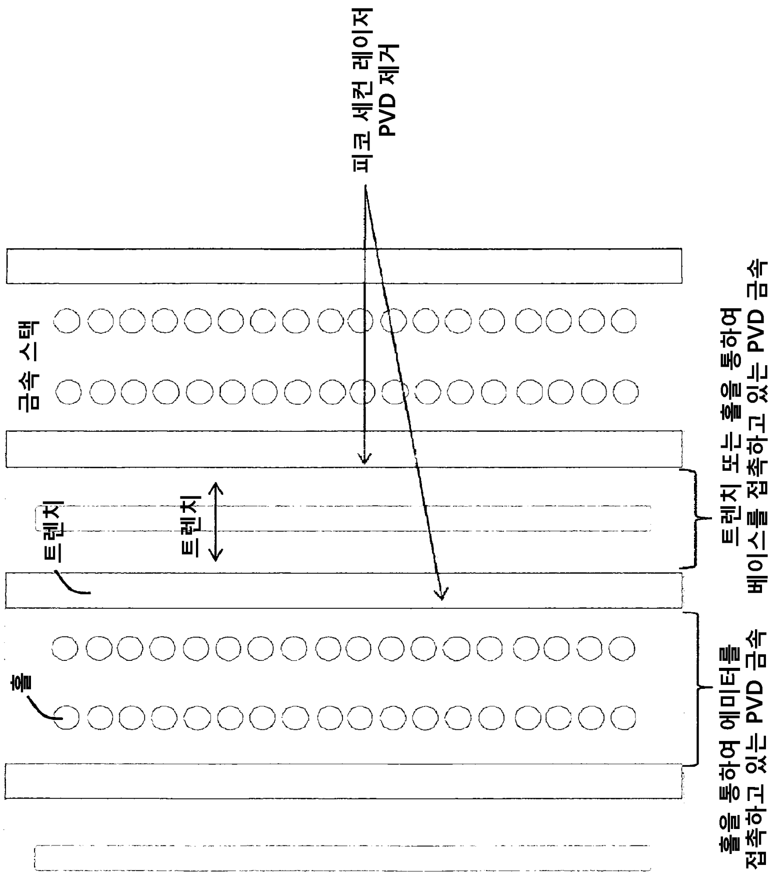
도면61b


PVD Al 후방 미러 (50에서 1200㎚) + 선택적으로 Ni 또는 NiV 및 Sn 첨가
맞물려진 베이스 및 에미터 Al 금속화를 위한 Al의 펄스 피코세컨 레이저 제거
백 플레인 제조 및 부착 공정
백 플레인 강화된 TFSS 분리 (선택적인 주변 레이저 커트) 후-분리 커트 (예, 레이저로)
QMS (p-Si) 잔여물 제거, 텍스쳐 및 후-텍스쳐 세정
전측 패시베이션 및 안티 반사 코팅 (ARC): 선택적으로 얇은 a-Si, SiOx 또는 SiOxNy 층 PECVD 후 PECVD 실리콘 나이트라이드
최종 접촉 형성 (백 플레인 제작의 선택에 따라)
셀 테스트 & 분류
셀을 모듈 어셈블리
템플레이트 리컨디션 및 재사용
템플레이트 웨트 세정
이중층 다공성 Si 형성
에피 (15-50㎛): 선택적 FSF & 베이스만
약하게 도핑된 PECVD 또는 APCVD (또는 BSG SOG)에 의한 BSG/USG 층 증착 (~150㎚)
강하게 도핑된 에미터를 한정하기 위한 BSG의 펄스 피코세컨 레이저 제거
강하게 도핑된 에미터 영역을 도핑하기 위하여 더 강한 B 물질(~150㎚)로 BSG층 증착
베이스 접촉 디퓨전 영역의 펄스 피코세컨 레이저 제거
베이스 접촉을 위해 디퓨전 소스로 PECVD 또는 APCVD로 PSG/USG 증착 (~150㎚)
베이스 접촉 및 에미터 영역의 디퓨전 및 선택적 열적 산화
에미터 및 베이스 접촉을 개방하기 위한 펄스 피코세컨 레이저 제거
템플레이트 웨트 처리 상에서 후 에피 없음 / 전 분리

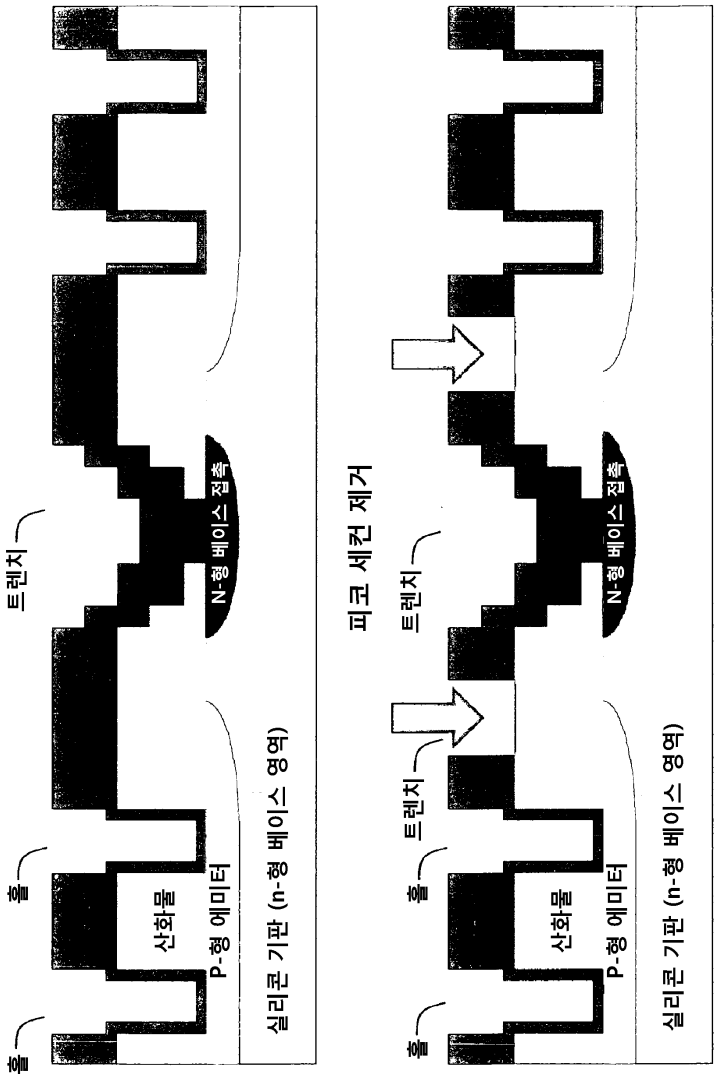
도면61c


PVD Al 후방 미러 (50에서 1200㎚) + 선택적으로 Ni 또는 NiV 및 Sn 첨가
맞물려진 베이스 및 에미터 Al 금속화를 위한 Al의 펄스 피코세컨 레이저 제거
백 플레인 제조 및 부착 공정
백 플레인 강화된 TFSS 분리 (선택적인 주변 레이저 커트) 후-분리 커트 (예, 레이저로)
QMS (p-Si) 잔여물 제거, 텍스처 및 후-텍스처 세정
전측 패시베이션 및 안티 반사 코팅 (ARC): 선택적으로 얇은 a-Si, SiOx 또는 SiOxNy 층 PECVD 후 PECVD 실리콘 나이트라이드
최종 접촉 형성 (백 플레인 제작의 선택에 따라)
셀 테스트 & 분류
셀을 모듈 어셈블리
템플레이트 리사이클 및 재사용
템플레이트 웨트 세정
이중층 다공성 Si 형성
에피 (15-50㎛): 선택적 FSF & 베이스만
약하게 도핑된 PECVD 또는 APCVD (또는 BSG SOG)에 의한 BSG/USG 층 증착 (~150㎚)
강하게 도핑된 에미터를 한정하기 위한 BSG의 펄스 피코세컨 레이저 제거
강하게 도핑된 에미터 영역을 도핑하기 위하여 더 강한 B 물질(~150㎚)로 BSG층 증착
베이스 접촉 디퓨전 영역의 펄스 피코세컨 레이저 제거
베이스 접촉을 위해 디퓨전 소스로 PECVD 또는 APCVD로 PSG/USG 증착 (~150㎚)
베이스 접촉 및 에미터 영역의 디퓨전 및 선택적 열적 산화
에미터 및 베이스 접촉을 개방하기 위한 펄스 피코세컨 레이저 제거
템플레이트 웨트 세정 후 에피 증착 / 셀 분리

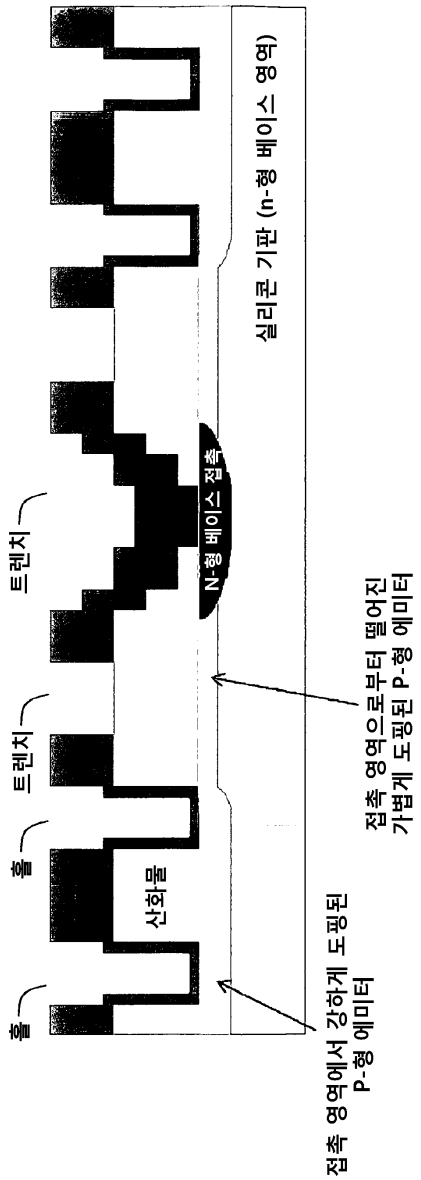
도면62a


피코 세컨 레이저 PVD 제거
금속 스택
트렌치
트렌치
홀
트렌치 또는 홀을 통하여 베이스를 접촉하고 있는 PVD 금속
홀을 통하여 에미터를 접촉하고 있는 PVD 금속

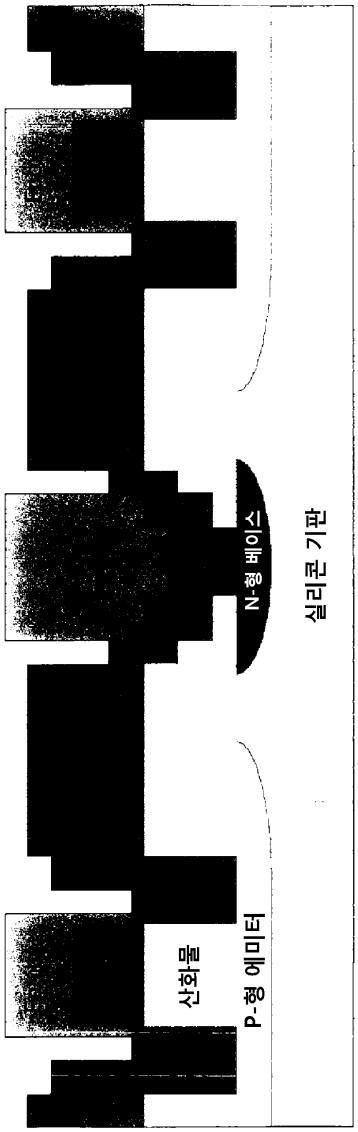
도면62b


홀
홀
산화물
P-형 에미터
트렌치
N-형 베이스 접촉
실리콘 기판 (n-형 베이스 영역)
피코 세컨 제거
홀
홀
트렌치
산화물
P-형 에미터
트렌치
N-형 베이스 접촉
실리콘 기판 (n-형 베이스 영역)

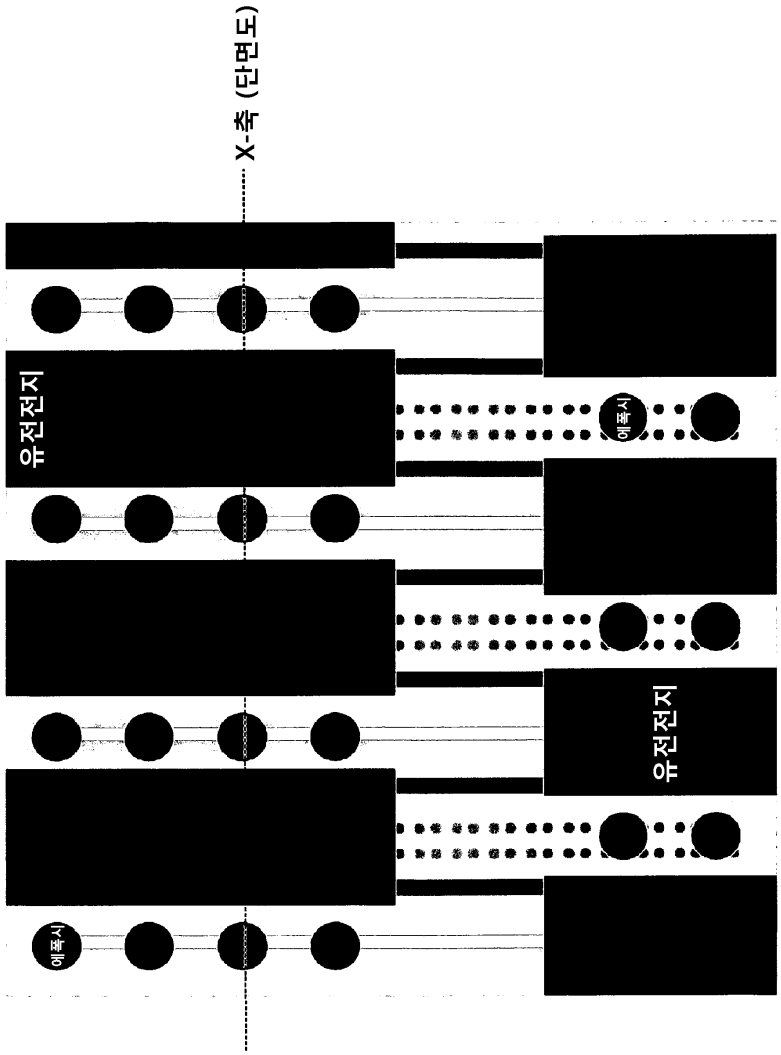
도면62c


실리콘 기판 (n-형 베이스 영역)
N-형 베이스 접촉
트렌치
홀
트렌치
홀
산화물
접촉 영역으로부터 떨어진
가볍게 도핑된 P-형 에미터
접촉 영역에서 강하게 도핑된
P-형 에미터

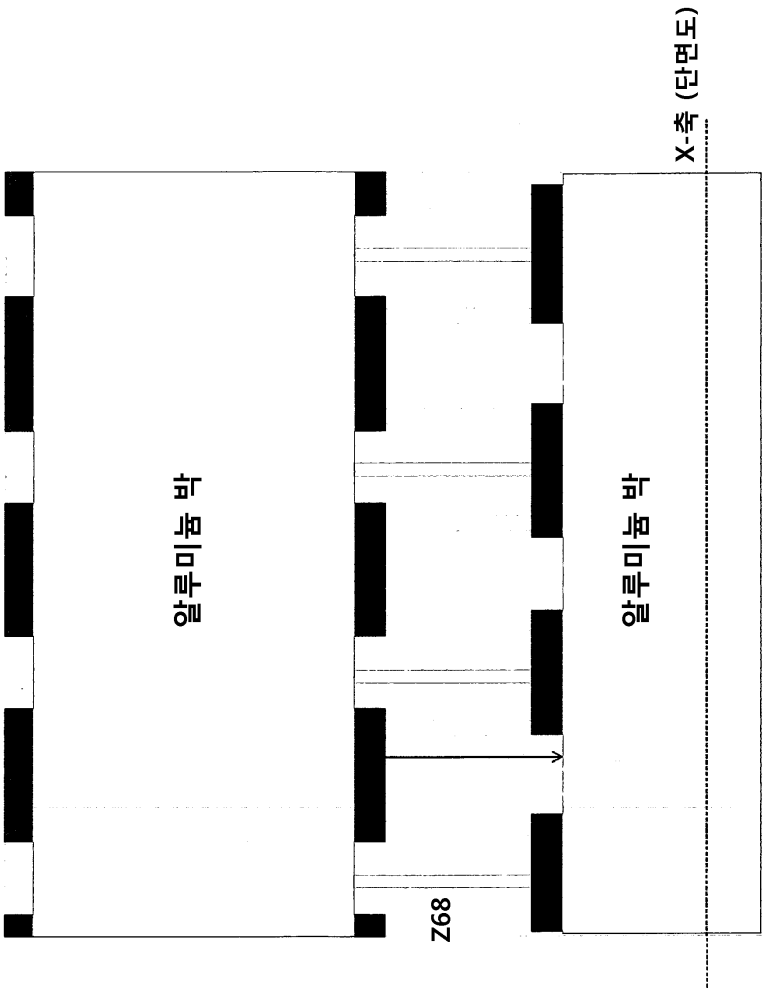
도면62d



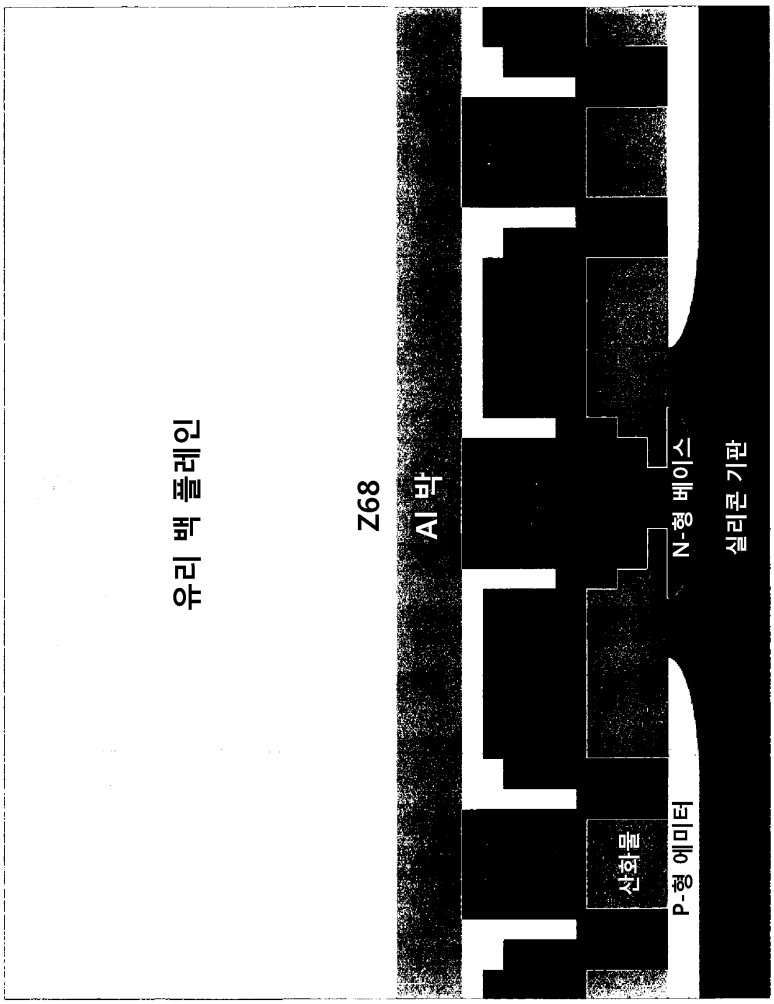
도면62e



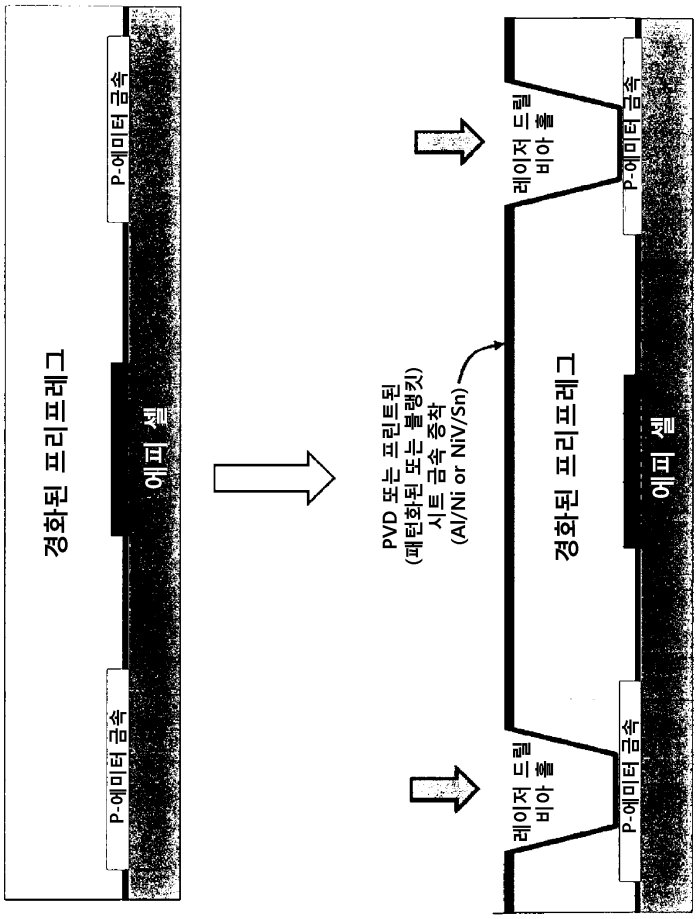
도면62f



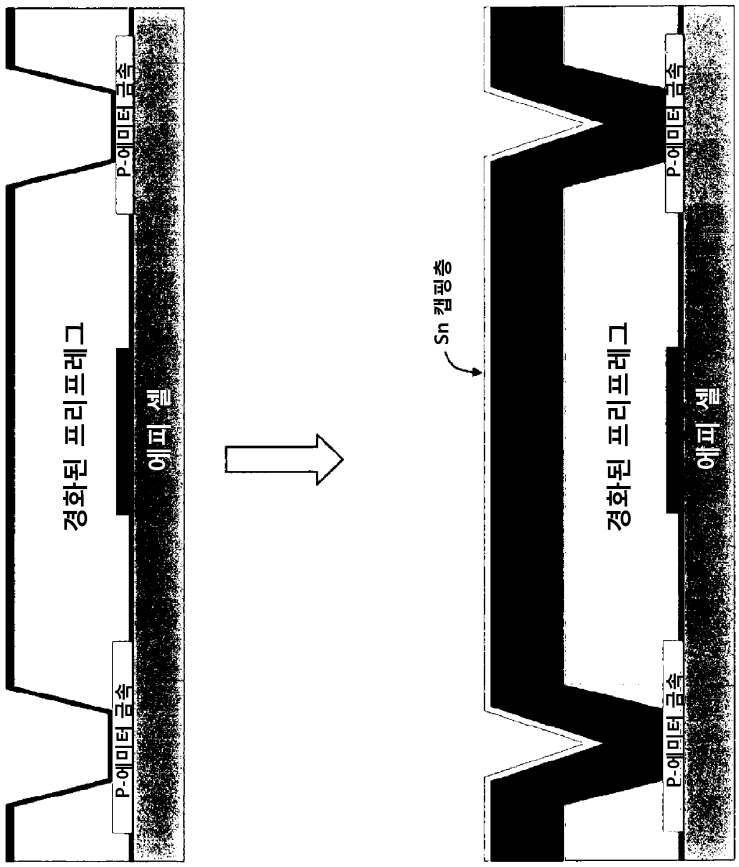
도면62g



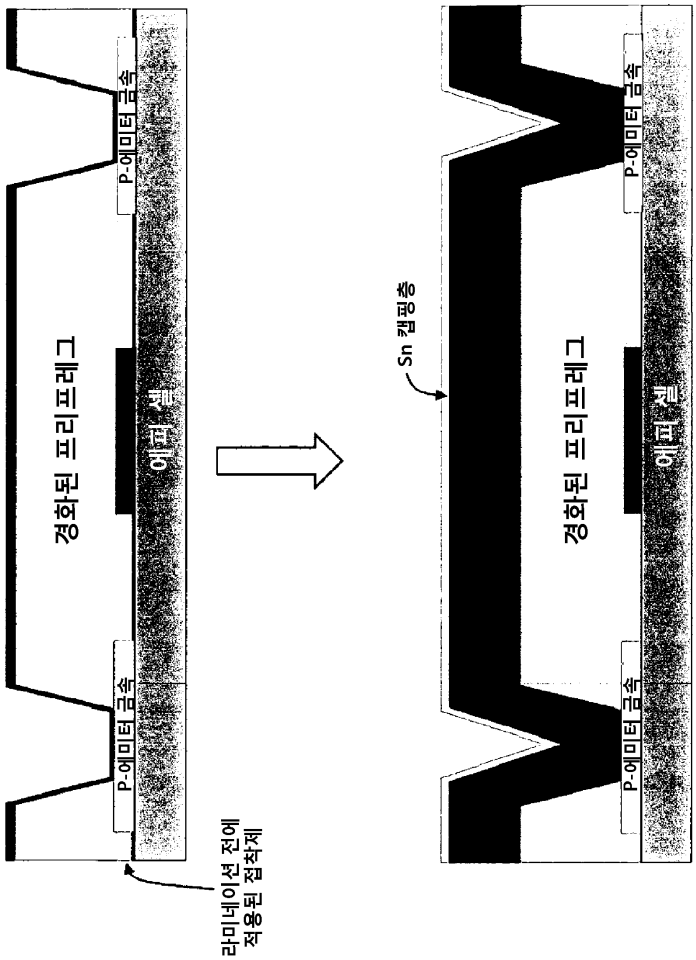
도면63a


경화된 프리프레그
P-에미터 금속
에피 셀
P-에미터 금속
PVD 또는 프린트된
(패턴화된 또는 블랭킷)
시트 금속 증착
(Al/Ni or NiV/Sn)
레이저 드릴
비아 홀
레이저 드릴
비아 홀
경화된 프리프레그
P-에미터 금속
에피 셀
P-에미터 금속

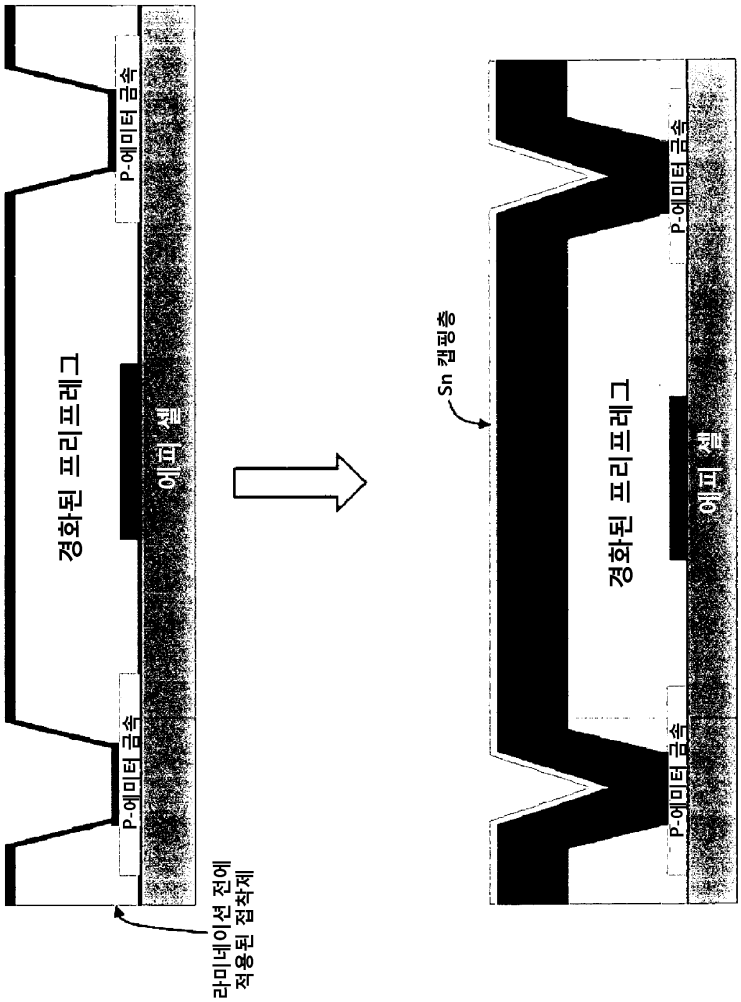
도면63b


P-에미터 금속
정화된 프리프레그
에피 셀
P-에미터 금속
Sn 캡핑층
P-에미터 금속
정화된 프리프레그
에피 셀
P-에미터 금속

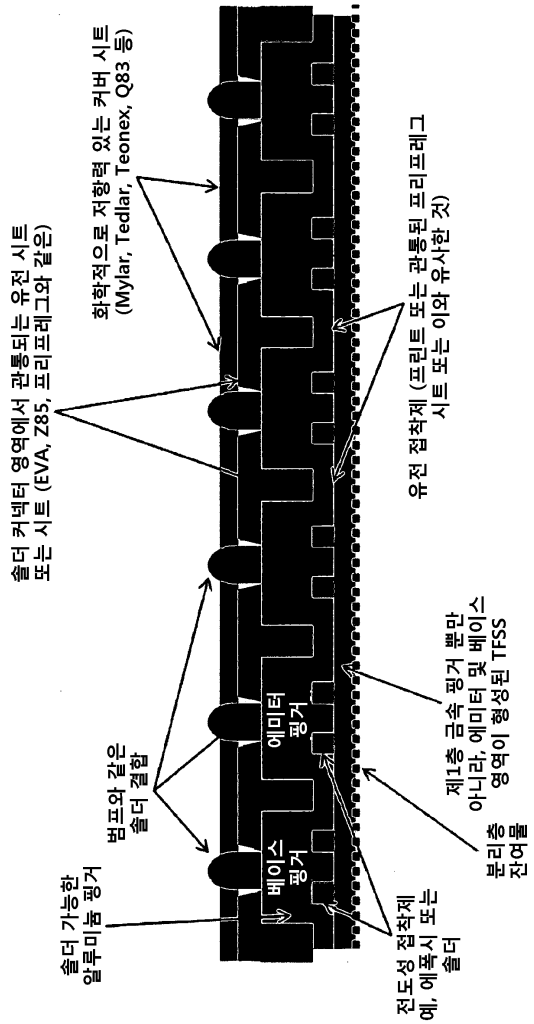
도면63c


경화된 프리프레그
P-에미터 금속
에피 셀
라미네이션 전에
적용된 접착제
Sn 캡핑층
경화된 프리프레그
P-에미터 금속
에피 셀
P-에미터 금속

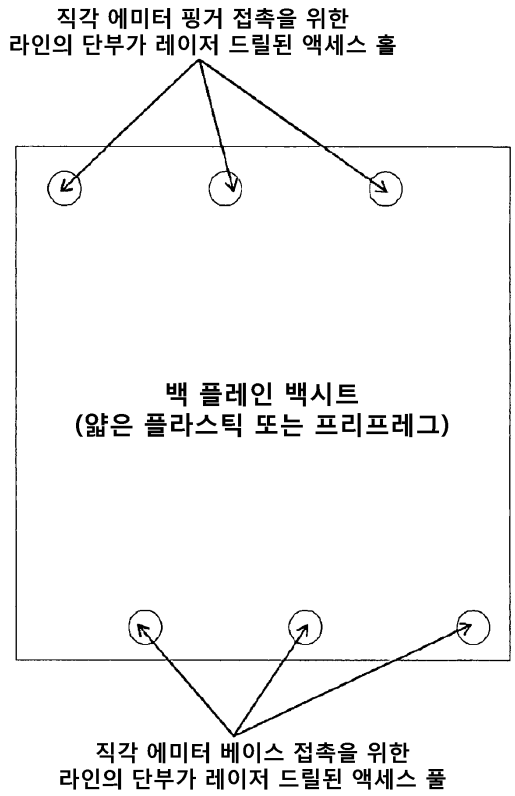
도면63d


경화된 프리프레그
P-에미터 금속
에피 셀
P-에미터 금속
라미네이션 전에
적용된 접착제
Sn 캡핑층
경화된 프리프레그
P-에미터 금속
에피 셀
P-에미터 금속

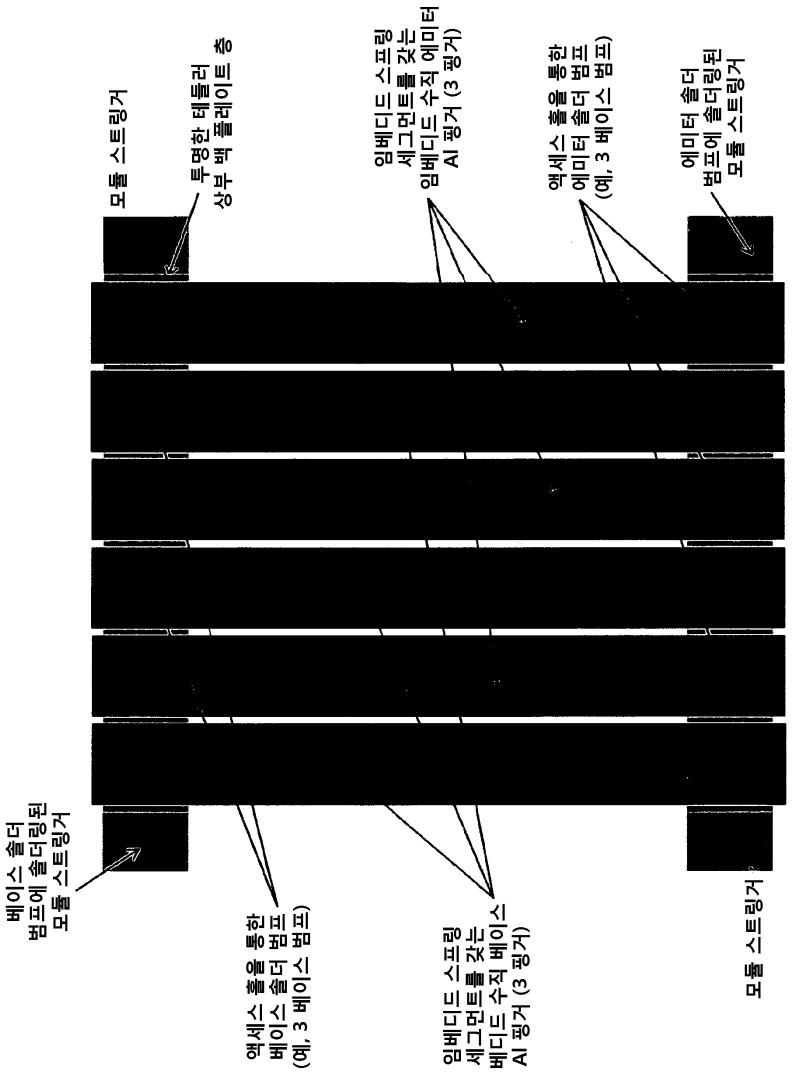
도면64a


솔더 커넥티 영역에서 관통되는 유전 시트
또는 시트 (EVA, Z85, 프리프레그와 같은)
화학적으로 저항력 있는 커버 시트
(Mylar, Tedlar, Teonex, Q83 등)
유전 접착제 (프린트 또는 관통된 프리프레그
시트 또는 이와 유사한 것)
범프와 같은
솔더 결합
에미터
핑거
베이스
핑거
제1층 금속 핑거 뿐만
아니라, 에미터 및 베이스
영역이 형성된 TFSS
분리층
잔여물
솔더 가능한
알루미늄 핑거
전도성 접착제
예, 에폭시 또는
솔더

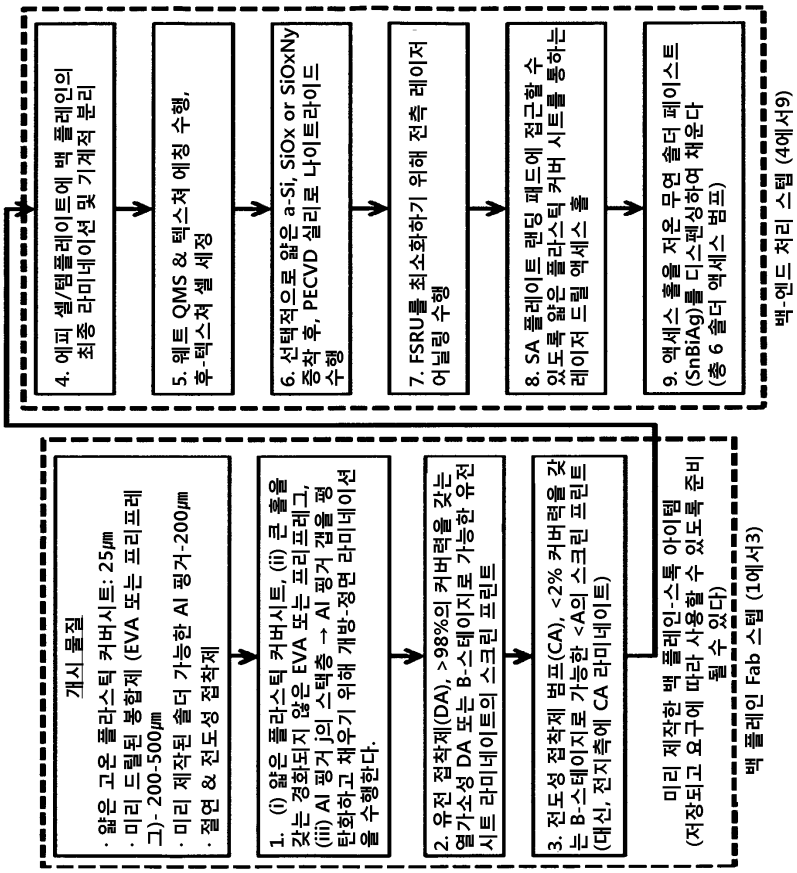
도면64b


직각 에미터 핑거 접촉을 위한
라인의 단부가 레이저 드릴된 액세스 홀
백 플레인 백시트
(얇은 플라스틱 또는 프리프레그)
직각 에미터 베이스 접촉을 위한
라인의 단부가 레이저 드릴된 액세스 풀

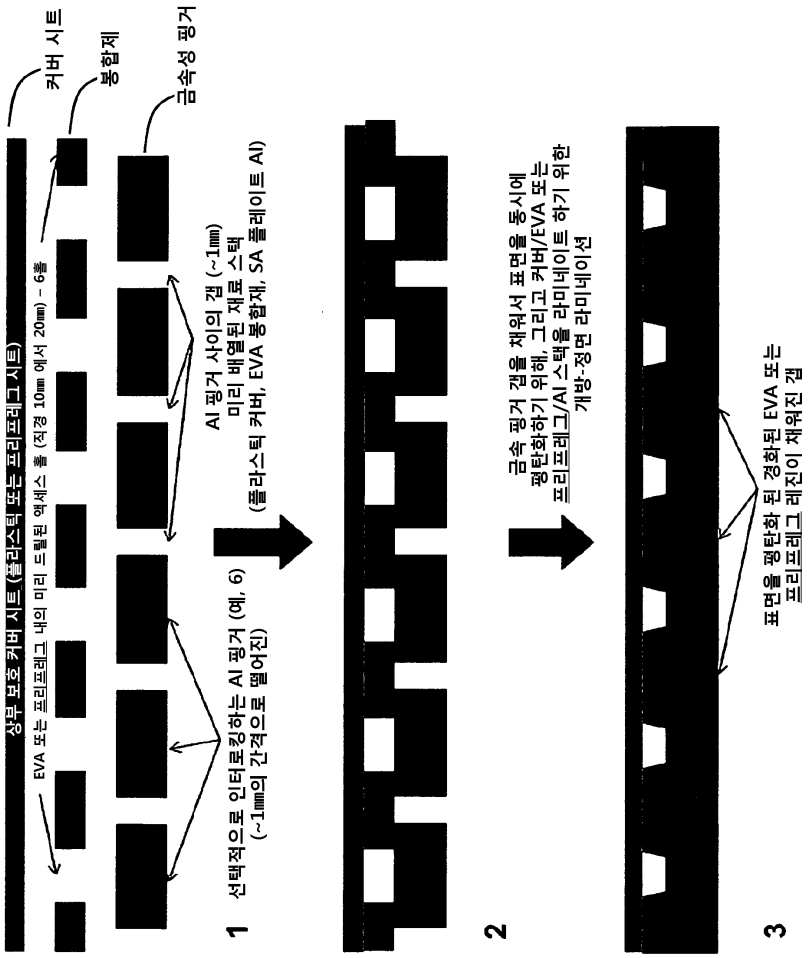
도면64c


모듈 스트링거
투명한 테들러 상부 백 플레이트 층
임베디드 스프링 세그먼트를 갖는 임베디드 수직 에미터 AI 핑거 (3 핑거)
액세스 홀을 통한 에미터 솔더 범프 (예, 3 베이스 범프)
에미터 솔더 범프에 솔더링된 모듈 스트링거
베이스 솔더 범프에 솔더링된 모듈 스트링거
액세스 홀을 통한 베이스 솔더 범프 (예, 3 베이스 범프)
임베디드 스프링 세그먼트를 갖는 임베디드 수직 베이스 AI 핑거 (3 핑거)
모듈 스트링거

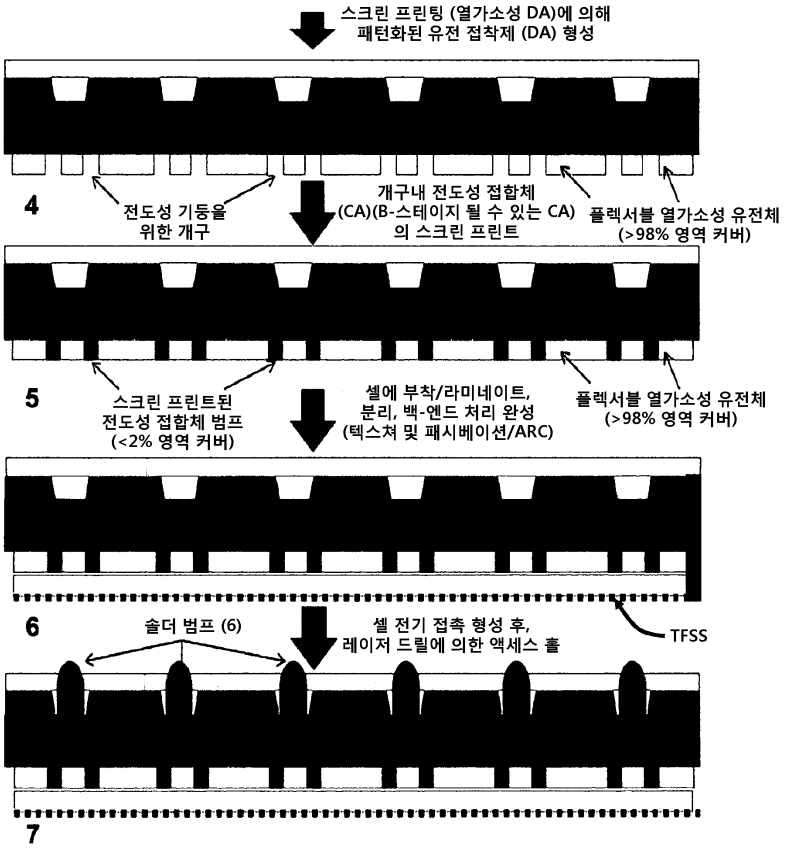
도면64d


개시 물질
· 얇은 고온 플라스틱 커버시트: 25㎛
· 미리 드릴된 봉합제 (EVA 또는 프리프레그)- 200-500㎛
· 미리 제작된 솔더 가능한 Al 핑거-200㎛
· 절연 & 전도성 접착제
1. (i) 얇은 플라스틱 커버시트, (ii) 큰 홀을 갖는 경화되지 않은 EVA 또는 프리프레그, (iii) Al 핑거 j의 스택층 → Al 핑거 갭을 평탄화하고 채우기 위해 개방-정면 라미네이션을 수행한다.
2. 유전 접착제(DA), >98%의 커버력을 갖는 열가소성 DA 또는 B-스테이지로 가능한 유전 시트 라미네이트의 스크린 프린트
3. 전도성 접착제 범프(CA), <2% 커버력을 갖는 B-스테이지로 가능한 <A의 스크린 프린트 (대신, 전지측에 CA 라미네이트)
미리 제작한 백 플레인-스톡 아이템 (저장되고 요구에 따라 사용할 수 있도록 준비될 수 있다)
백 플레인 Fab 스텝 (1에서3)
4. 에피 셀/템플레이트에 백 플레인의 최종 라미네이션 및 기계적 분리
5. 웨트 QMS & 텍스쳐 에칭 수행, 후-텍스쳐 셀 세정
6. 선택적으로 얇은 a-Si, SiOx or SiOxNy 증착 후, PECVD 실리로 나이트라이드 수행
7. FSRU를 최소화하기 위해 전측 레이저 어닐링 수행
8. SA 플레이트 랜딩 패드에 접근할 수 있도록 얇은 플라스틱 커버 시트를 통하는 레이저 드릴 액세스 홀
9. 액세스 홀을 저온 무연 솔더 페이스트 (SnBiAg)를 디스펜싱하여 채운다 (총 6 솔더 액세스 범프)
백-엔드 처리 스텝 (4에서9)

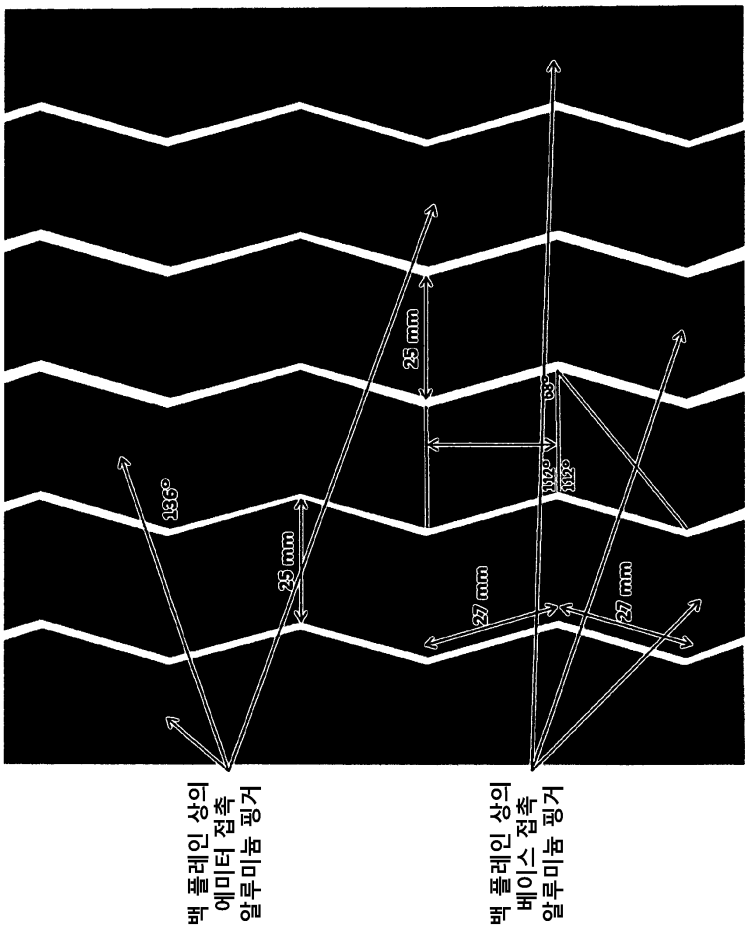
도면64e


상부 보호 커버 시트 (플라스틱 또는 프리프레그 시트)
EVA 또는 프리프레그 내의 미리 드릴된 액세스 홀 (직경 10mm 에서 20mm) – 6홀
커버 시트
봉합제
금속성 핑거
AI 핑거 사이의 갭 (~1mm)
미리 배열된 재료 스택
(플라스틱 커버, EVA 봉합재, SA 플레이트 AI)
1 선택적으로 인터로킹하는 AI 핑거 (예, 6)
(~1mm의 간격으로 떨어진)
2
금속 핑거 갭을 채워서 표면을 동시에
평탄화하기 위해, 그리고 커버/EVA 또는
프리프레그/AI 스택을 라미네이트 하기 위한
개방-정면 라미네이션
3
표면을 평탄화 된 경화된 EVA 또는
프리프레그 레진이 채워진 갭

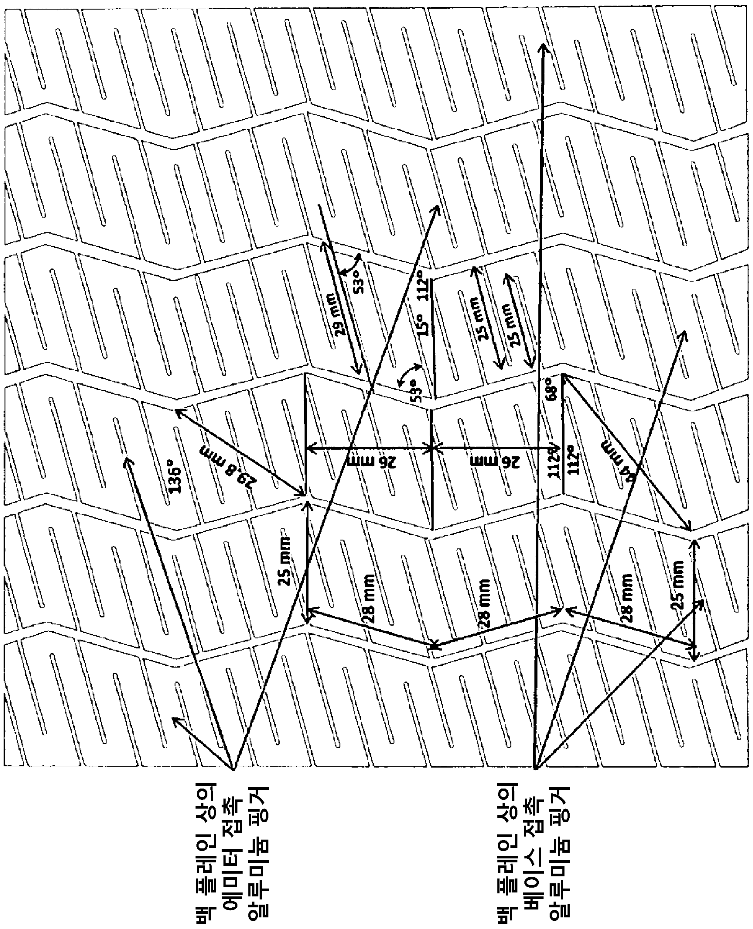
도면64f


스크린 프린팅 (열가소성 DA)에 의해
패턴화된 유전 접착제 (DA) 형성
4
전도성 기둥을
위한 개구
개구내 전도성 접합체
(CA)(B-스테이지 될 수 있는 CA)
의 스크린 프린트
플렉서블 열가소성 유전체
(>98% 영역 커버)
5
스크린 프린트된
전도성 접합체 범프
(<2% 영역 커버)
셀에 부착/라미네이트,
분리, 백-엔드 처리 완성
(텍스쳐 및 패시베이션/ARC)
플렉서블 열가소성 유전체
(>98% 영역 커버)
6
솔더 범프 (6)
셀 전기 접촉 형성 후,
레이저 드릴에 의한 액세스 홀
TFSS
7

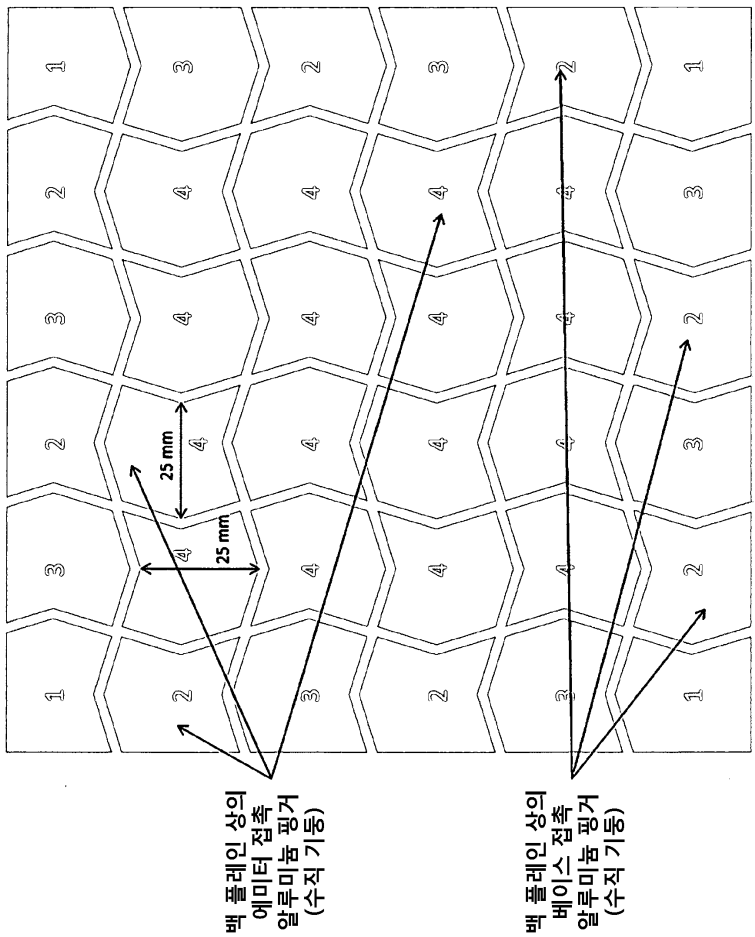
도면65a


25 mm
25 mm
136°
63°
112°
112°
27 mm
27 mm
백 플레인 상의
에미터 접촉
알루미늄 핑거
백 플레인 상의
베이스 접촉
알루미늄 핑거

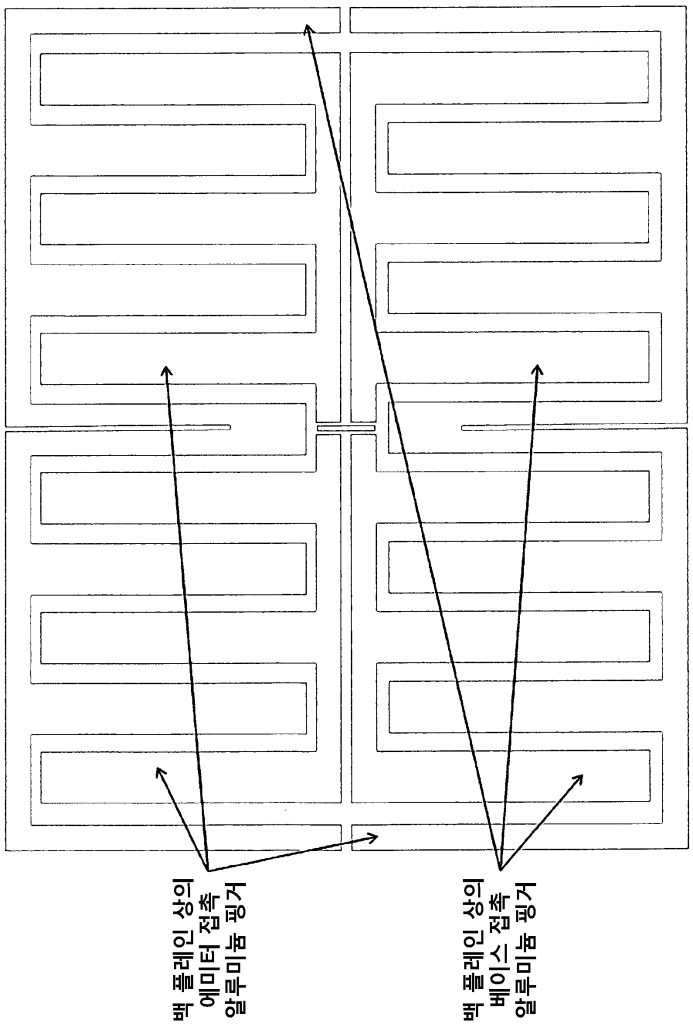
도면65b


29 mm
53°
112°
15°
25 mm
25 mm
53°
68°
136°
29.8 mm
26 mm
26 mm
112°
112°
24 mm
25 mm
28 mm
28 mm
28 mm
25 mm
백 플레인 상의 에미터 접촉 알루미늄 핑거
백 플레인 상의 베이스 접촉 알루미늄 핑거

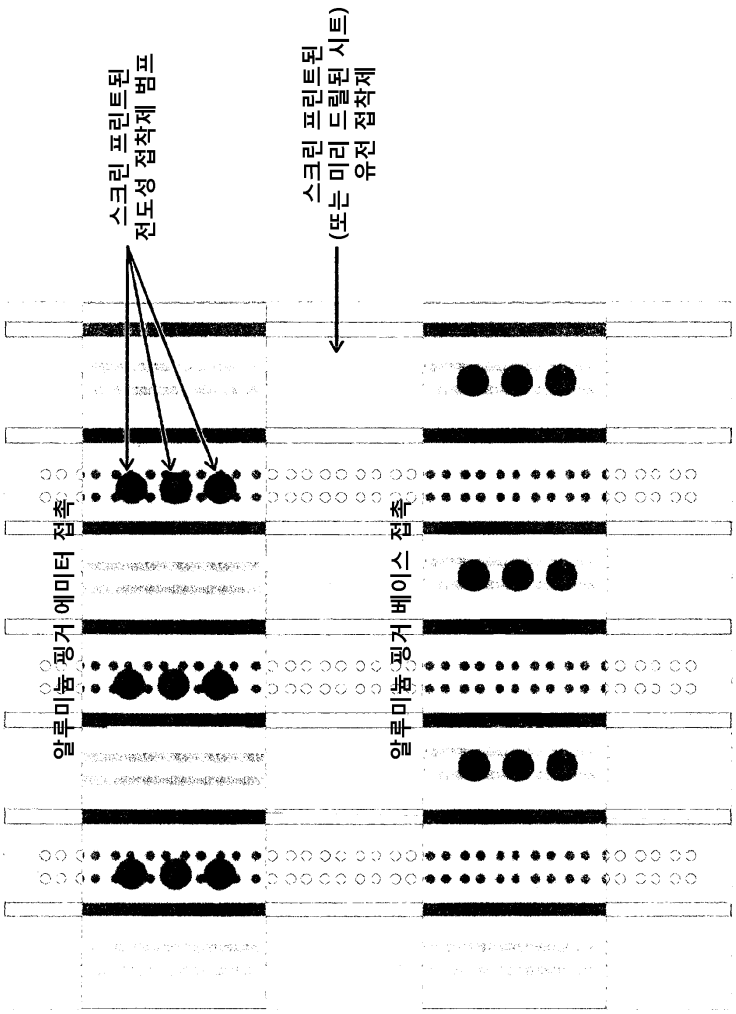
도면65c


25 mm
25 mm
백 플레인 상의
에미터 접촉
알루미늄 핑거
(수직 기둥)
백 플레인 상의
베이스 접촉
알루미늄 핑거
(수직 기둥)

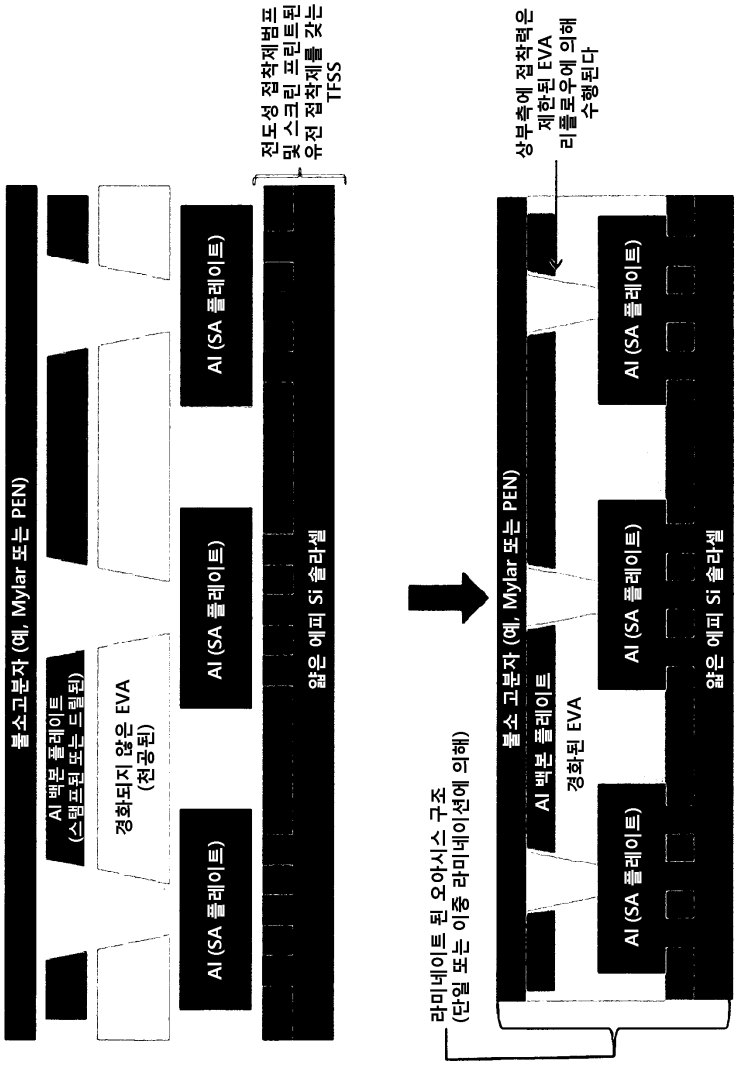
도면65d



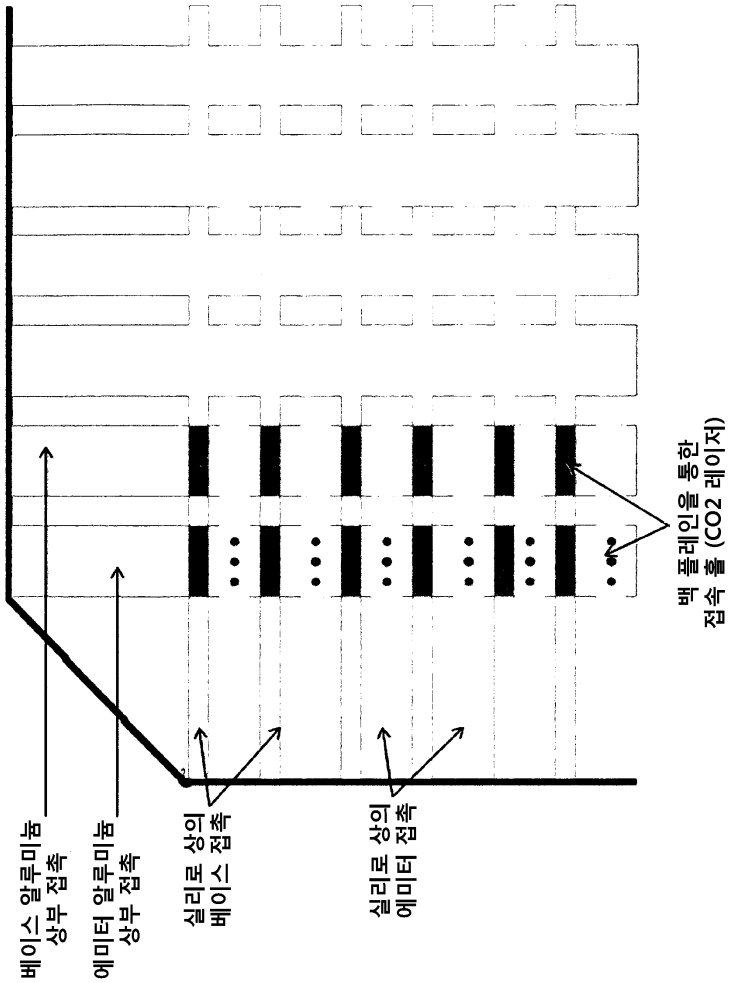
도면66


스크린 프린트된
전도성 접착제 범프
스크린 프린트된
(또는 미리 드릴된 시트)
유전 접착제
알루미늄 핑거 에미터 접촉
알루미늄 핑거 베이스 접촉

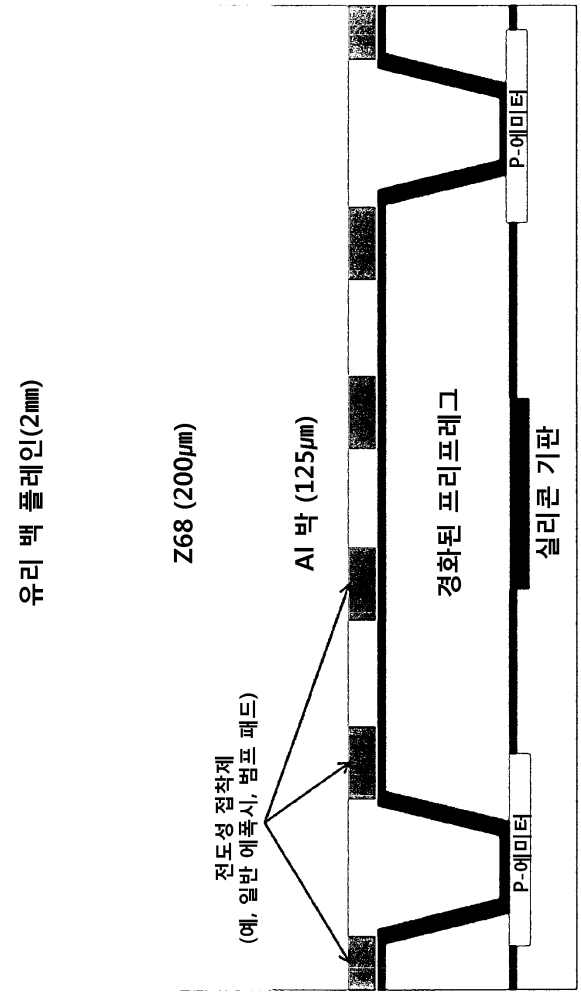
도면67


불소고분자 (예, Mylar 또는 PEN)
Al 백본 플레이트
(스탬프된 또는 드릴된)
경화되지 않은 EVA
(천공된)
Al (SA 플레이트)
Al (SA 플레이트)
Al (SA 플레이트)
얇은 에피 Si 솔라셀
전도성 접착제범프
및 스크린 프린트된
유전 접착제를 갖는
TFSS
라미네이트 된 오아시스 구조
(단일 또는 이중 라미네이션에 의해)
불소 고분자 (예, Mylar 또는 PEN)
Al 백본 플레이트
경화된 EVA
Al (SA 플레이트)
Al (SA 플레이트)
Al (SA 플레이트)
얇은 에피 Si 솔라셀
상부측에 접착력은
재한된 EVA
리플로우에 의해
수행된다

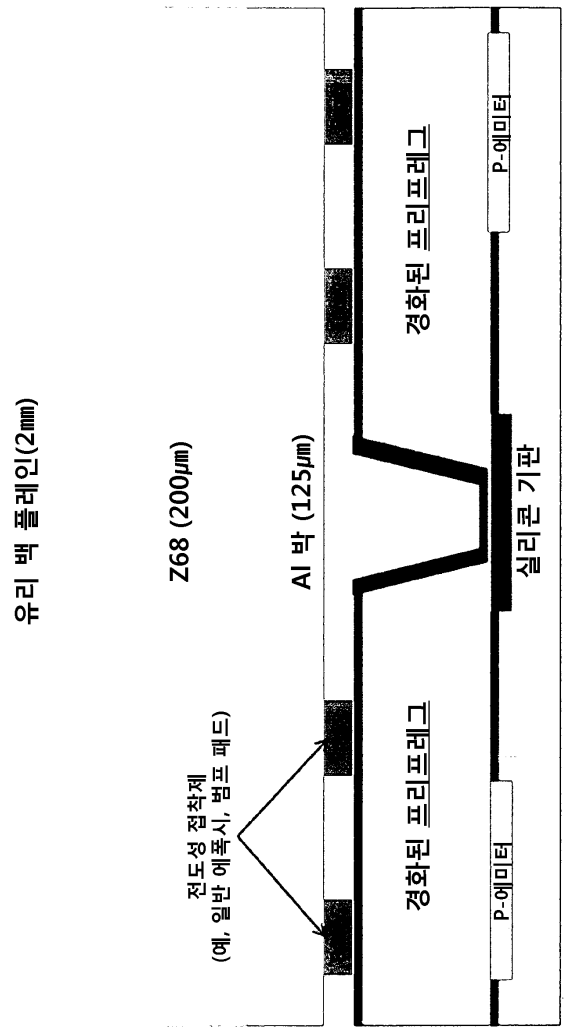
도면68a


베이스 알루미늄
상부 접촉
에미터 알루미늄
상부 접촉
실리로 상의
베이스 접촉
실리로 상의
에미터 접촉
백 플레인을 통한
접속 홀 (CO2 레이저)

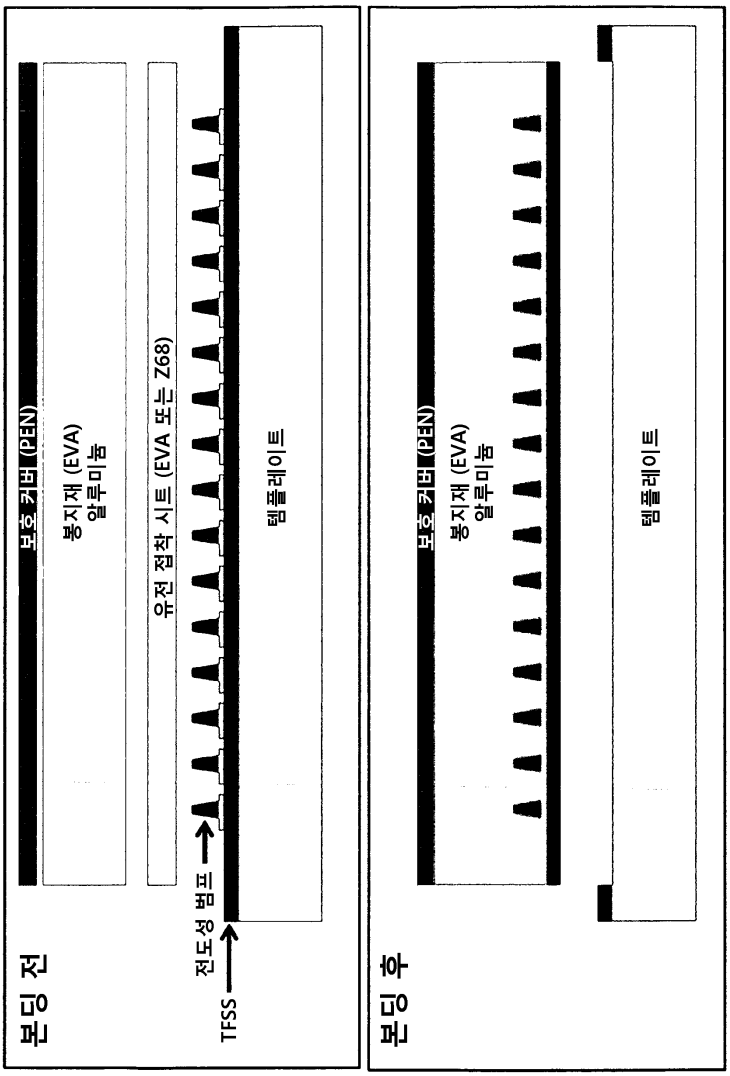
도면68b


유리 백 플레인(2mm)
Z68 (200μm)
Al 박 (125μm)
전도성 접착제
(예, 일반 에폭시, 범프 패드)
경화된 프리프레그
P-에미터
P-에미터
실리콘 기판

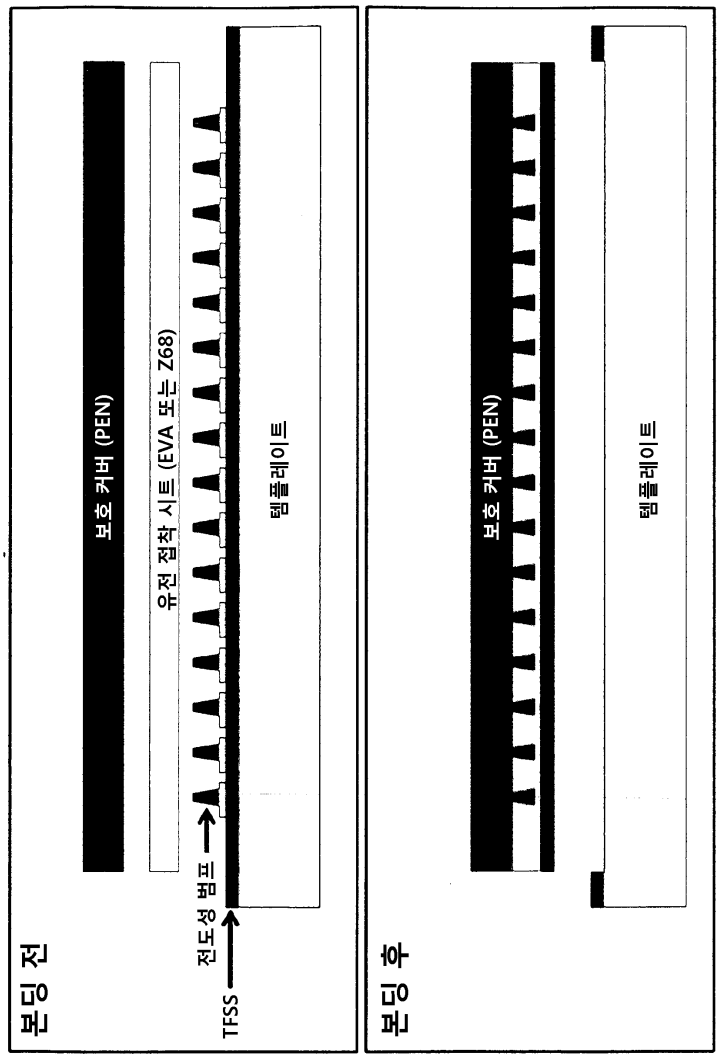
도면68c


유리 백 플레인(2mm)
Z68 (200μm)
Al 박 (125μm)
전도성 접착제
(예, 일반 에폭시, 범프 패드)
경화된 프리프레그
경화된 프리프레그
P-에미터
P-에미터
실리콘 기판

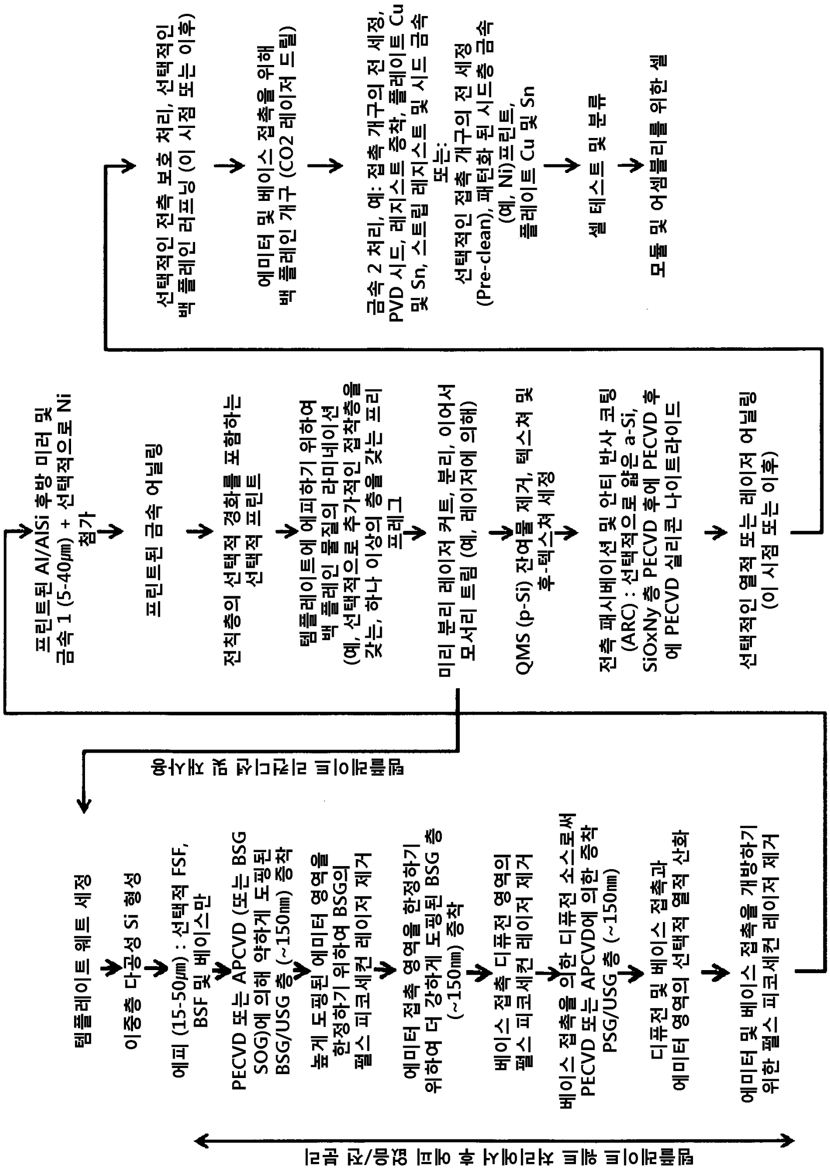
도면69


본딩 전
보호 커버 (PEN)
봉지재 (EVA)
알루미늄
유전 접착 시트 (EVA 또는 Z68)
템플레이트
전도성 범프
TFSS
본딩 후
보호 커버 (PEN)
봉지재 (EVA)
알루미늄
템플레이트

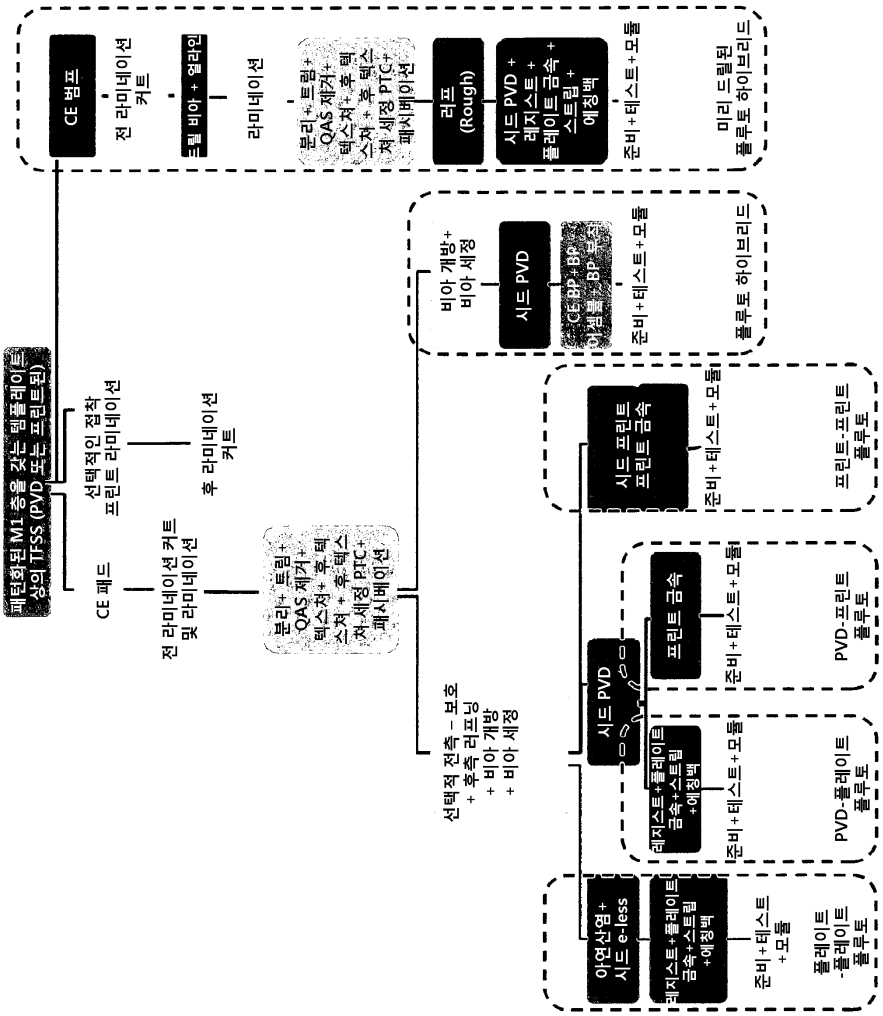
도면70


본딩 전
보호 커버 (PEN)
유전 접착 시트 (EVA 또는 Z68)
전도성 범프
TFSS
템플레이트
본딩 후
보호 커버 (PEN)
템플레이트

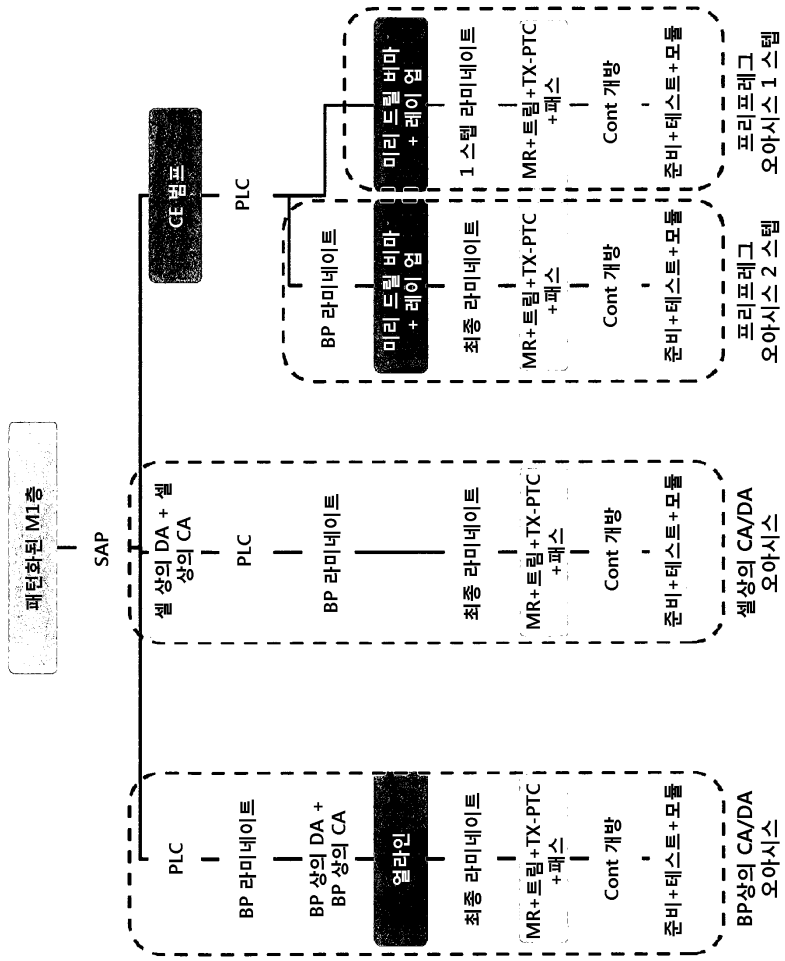
도면71


템플레이트 웨트 세정
이중층 다공성 Si 형성
에피 (15-50㎛) : 선택적 FSF, BSF 및 베이스만
PECVD 또는 APCVD (또는 BSG SOG)에 의해 약하게 도핑된 BSG/USG 층 (~150㎚) 증착
높게 도핑된 에미터 영역을 한정하기 위하여 BSG의 펄스 피코세컨 레이저 제거
에미터 접촉 영역을 한정하기 위하여 더 강하게 도핑된 BSG 층 (~150㎚) 증착
베이스 접촉 디퓨전 영역의 펄스 피코세컨 레이저 제거
베이스 접촉을 의한 디퓨전 소스로써 PECVD 또는 APCVD에 의한 증착 PSG/USG 층 (~150㎚)
디퓨전 및 베이스 접촉과 에미터 영역의 선택적 열적 산화
에미터 및 베이스 접촉을 개방하기 위한 펄스 피코세컨 레이저 제거
템플레이트 웨트 처리에서 후 에피 없음/전 분리
템플레이트 리컨디션 및 재사용
프린트된 Al/AlSi 후방 미러 및 금속 1 (5-40㎛) + 선택적으로 Ni 첨가
프린트된 금속 어닐링
전칙층의 선택적 경화를 포함하는 선택적 프린트
템플레이트에 에피하기 위하여 백 플레인 물질의 라미네이션 (예, 선택적으로 추가적인 접착층을 갖는, 하나 이상의 층을 갖는 프리 프레그
미리 분리 레이저 커트, 분리, 이어서 모서리 트림 (예, 레이저에 의해)
QMS (p-Si) 잔여물 제거, 텍스쳐 및 후-텍스쳐 세정
전측 패시베이션 및 안티 반사 코팅 (ARC) : 선택적으로 얇은 a-Si, SiOxNy 층 PECVD 후에 PECVD 후에 PECVD 실리콘 나이트라이드
선택적인 열적 또는 레이저 어닐링 (이 시점 또는 이후)
선택적인 전측 보호 처리, 선택적인 백 플레인 러프닝 (이 시점 또는 이후)
에미터 및 베이스 접촉을 위해 백 플레인 개구 (CO2 레이저 드릴)
금속 2 처리, 예: 접촉 개구의 전 세정, PVD 시드, 레지스트 증착, 플레이트 Cu 및 Sn, 스트립 레지스트 및 시드 금속 또는:
선택적인 접촉 개구의 전 세정 (Pre-clean), 패턴화 된 시드층 금속 (예, Ni)프린트, 플레이트 Cu 및 Sn
셀 테스트 및 분류
모듈 및 어셈블리를 위한 셀

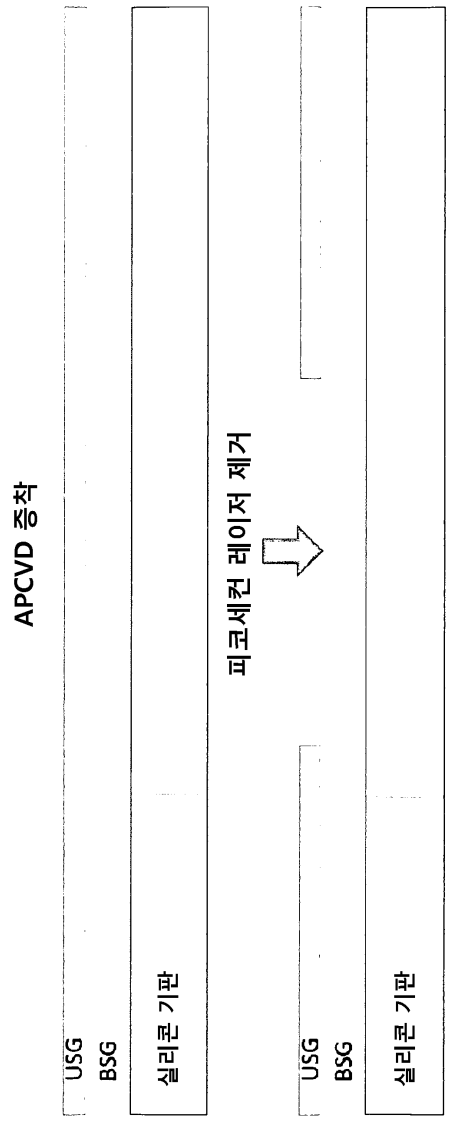
도면72a


패턴화된 M1 층을 갖는 템플레이트 상의 TFSS (PVD 또는 프린트된)
CE 범프
전 라미네이션 커트
트렐 비아 + 얼라인
라미네이션
분리+트림+ QAS 제거+ 텍스쳐 + 후 텍스쳐 세정 PTC+ 패시베이션
러프 (Rough)
시드 PVD + 레지스트 + 플레이트 금속 + 스트립 + 에칭백
준비+테스트+모듈
미리 드릴된 플루토 하이브리드
CE 패드
선택적인 접착 프린트 라미네이션
후 라미네이션 커트
전 라미네이션 커트 및 라미네이션
분리+ 트림+ QAS 제거+ 텍스쳐 + 후 텍스쳐 세정 PTC+ 패시베이션
비아 개방+ 비아 세정
시드 PVD
CE BP+ BP 어셈블 BP 분리
준비+테스트+모듈
플루토 하이브리드
선택적 전측 – 보호 + 후측 리프닝 + 비아 개방 + 비아 세정
시드 프린트 프린트 금속
준비+테스트+모듈
프린트-프린트 플루토
시드 PVD
프린트 금속
준비+테스트+모듈
PVD-프린트 플루토
레지스트+플레이트 금속+스트립 +에칭백
준비+테스트+모듈
PVD-플레이트 플루토
아연산염+ 시드 e-less
레지스트+플레이트 금속+스트립 +에칭백
준비+테스트 + 모듈
플레이트 -플레이트 플루토

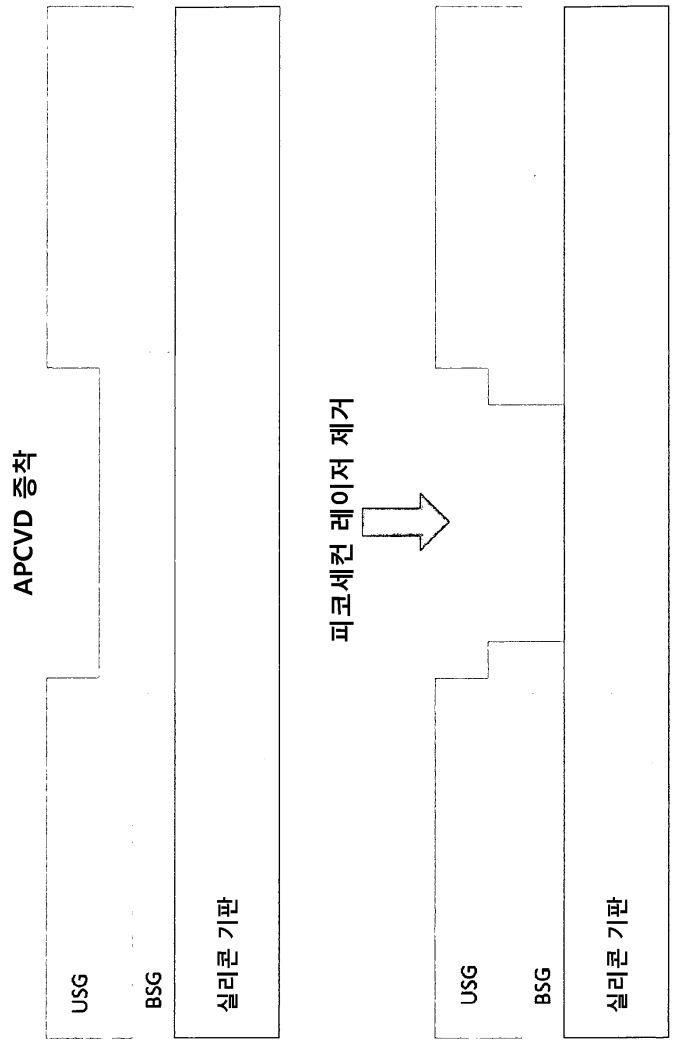
도면72b


패턴화된 M1층
SAP
CE 범프
PLC
셀 상의 DA + 셀 상의 CA
PLC
BP 라미네이트
최종 라미네이트
MR+트림+TX-PTC +패스
Cont 개방
준비+테스트+모듈
셀상의 CA/DA 오아시스
BP 라미네이트
미리 드릴 비마 + 레이 엎
최종 라미네이트
MR+트림+TX-PTC +패스
Cont 개방
준비+테스트+모듈
프리프레그 오아시스 2 스텝
미리 드릴 비마 + 레이 엎
1 스텝 라미네이트
MR+트림+TX-PTC +패스
Cont 개방
준비+테스트+모듈
프리프레그 오아시스 1 스텝
PLC
BP 라미네이트
BP 상의 DA + BP 상의 CA
얼라인
최종 라미네이트
MR+트림+TX-PTC +패스
Cont 개방
준비+테스트+모듈
BP상의 CA/DA 오아시스

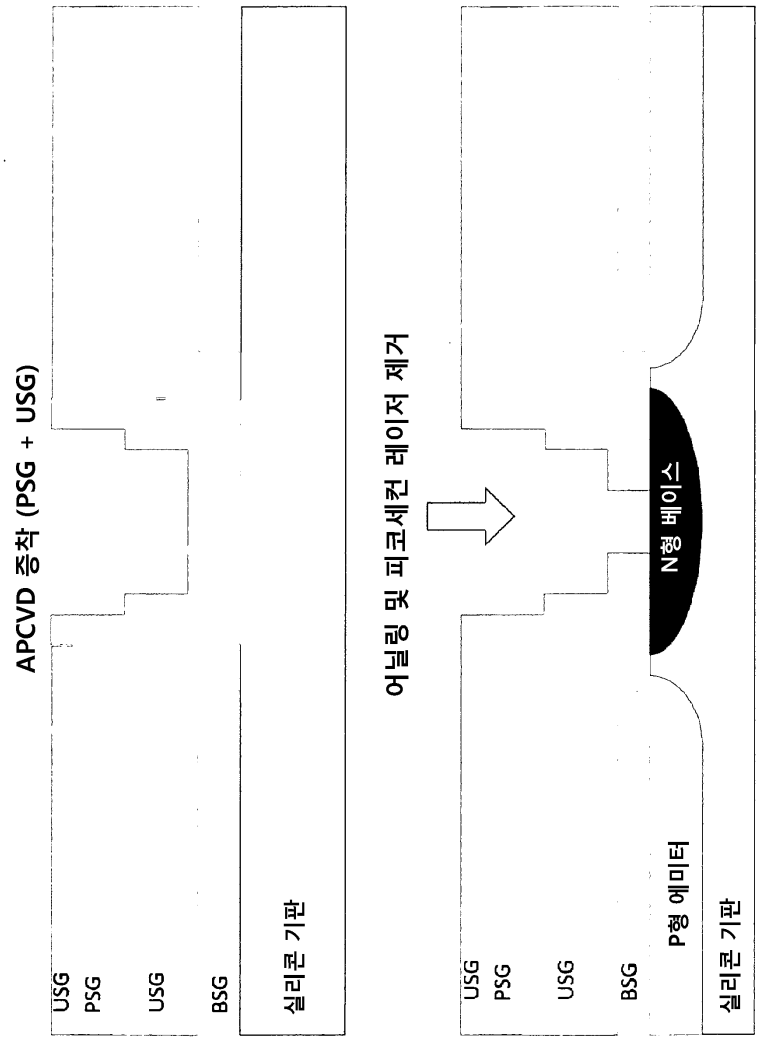
도면73a



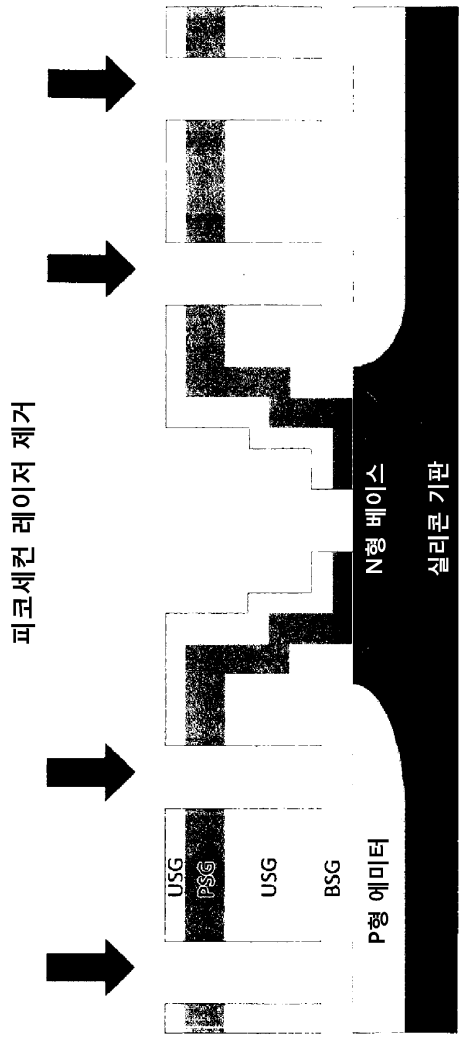
도면73b



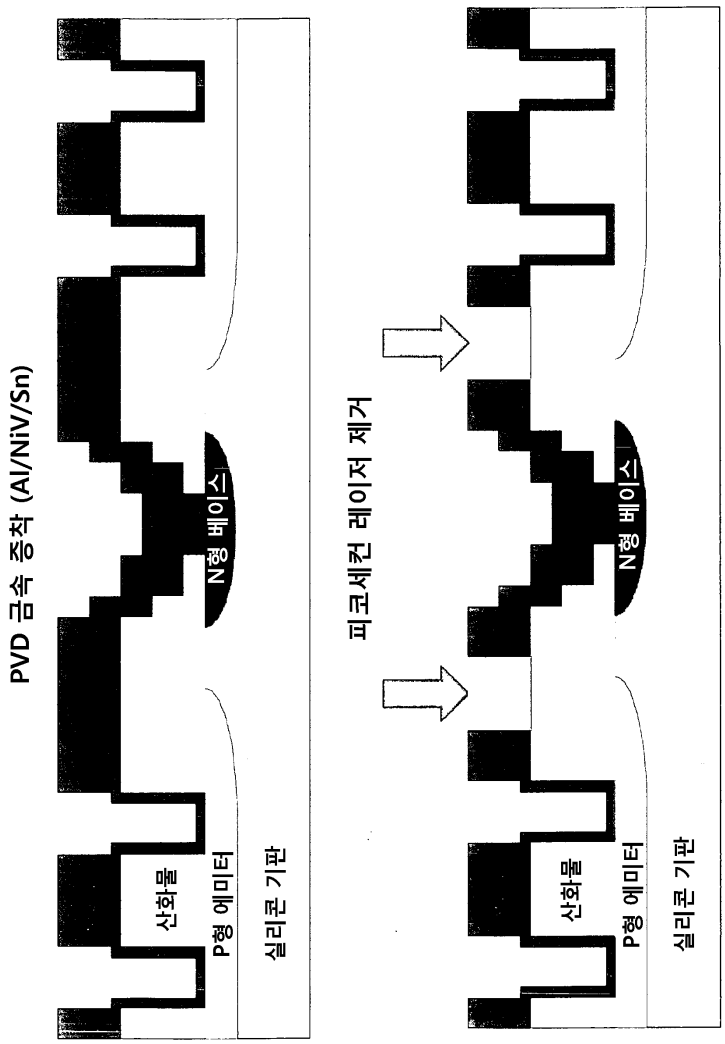
도면73c


APCVD 증착 (PSG + USG)
USG
PSG
USG
BSG
실리콘 기판
어닐링 및 피코세컨 레이저 제거
USG
PSG
USG
BSG
N형 베이스
P형 에미터
실리콘 기판

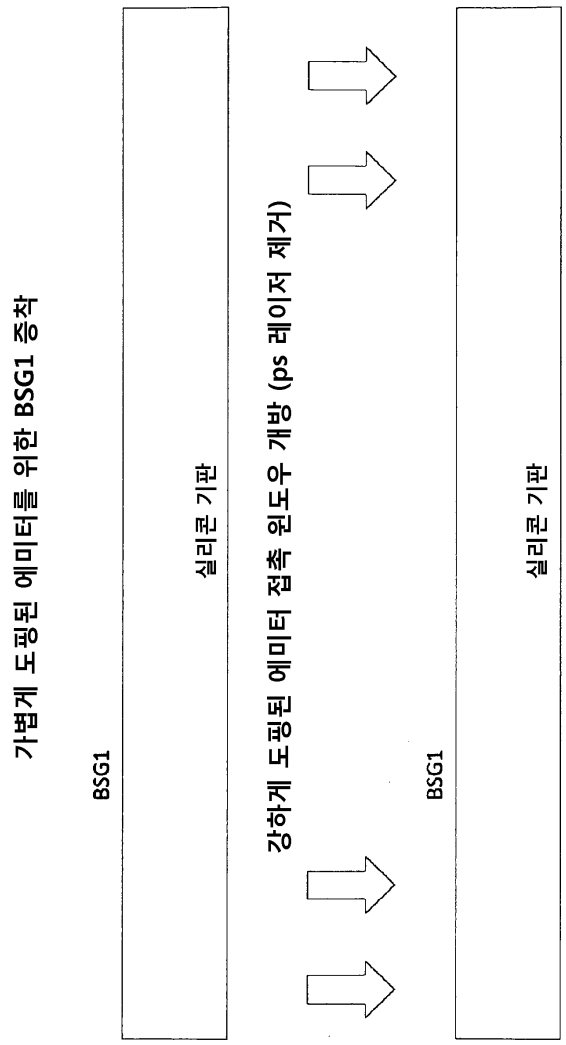
도면73d



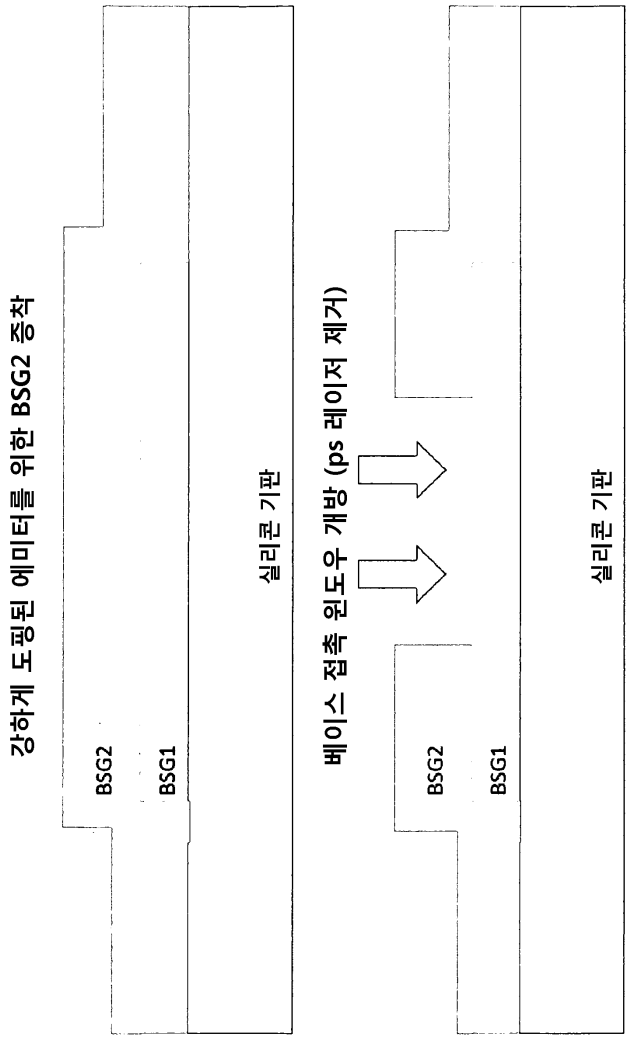
도면73e


PVD 금속 증착 (Al/NiV/Sn)
산화물
P형 에미터
N형 베이스
실리콘 기판
피코세컨 레이저 제거
산화물
P형 에미터
N형 베이스
실리콘 기판

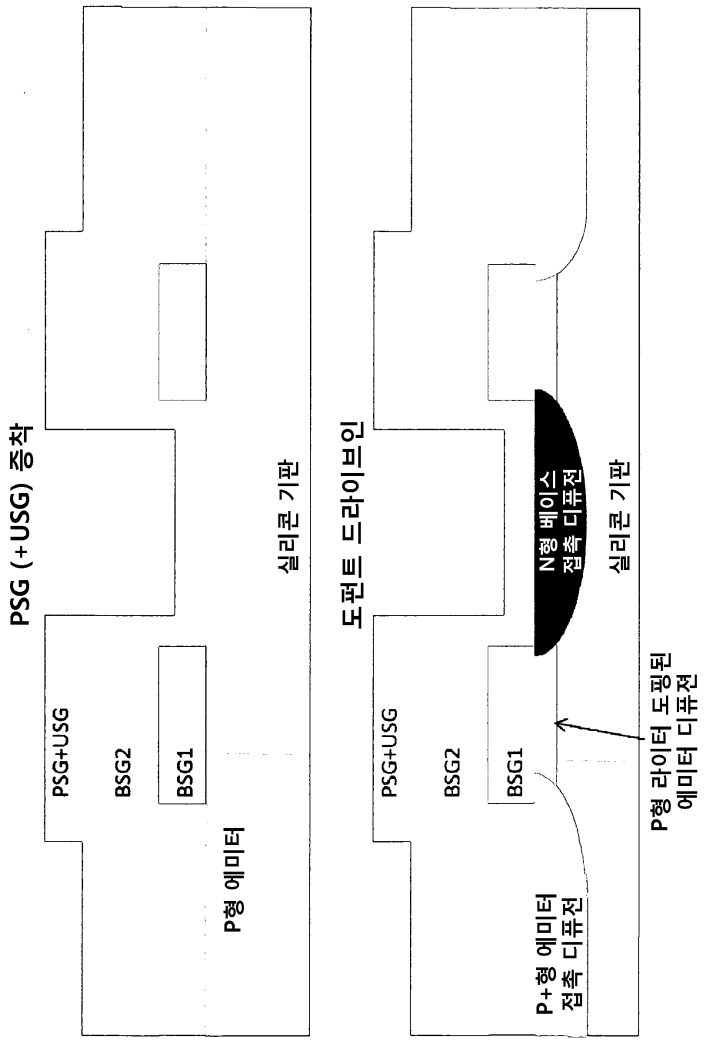
도면73f


가볍게 도핑된 에미터를 위한 BSG1 증착
BSG1
실리콘 기판
강하게 도핑된 에미터 접촉 윈도우 개방 (ps 레이저 제거)
BSG1
실리콘 기판

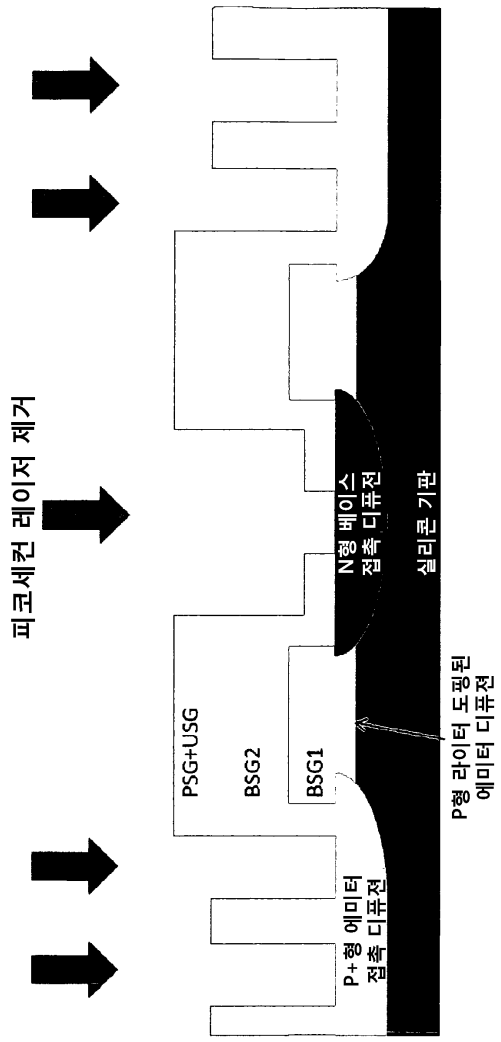
도면73g


강하게 도핑된 에미터를 위한 BSG2 증착
BSG2
BSG1
실리콘 기판
베이스 접촉 윈도우 개방 (ps 레이저 제거)
BSG2
BSG1
실리콘 기판

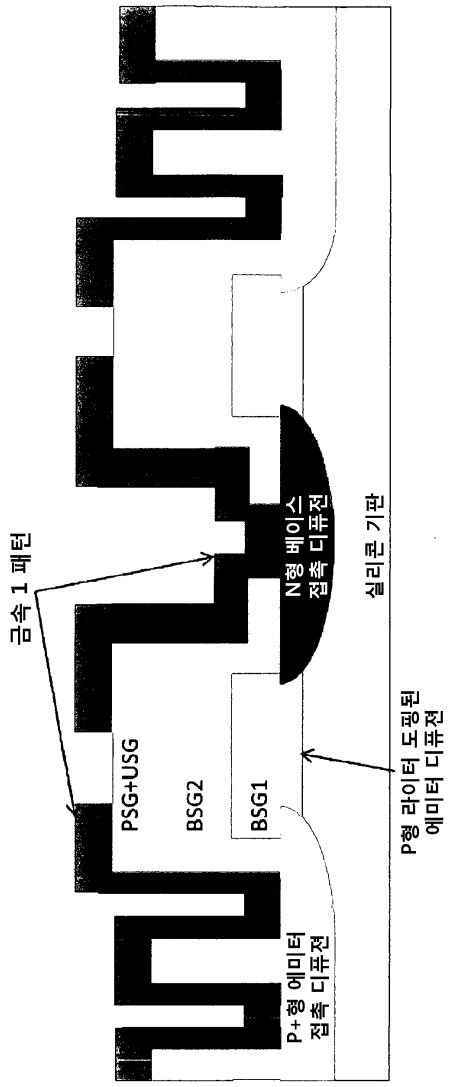
도면73h


PSG (+USG) 증착
PSG+USG
BSG2
BSG1
P형 에미터
실리콘 기판
도핀트 드라이브인
PSG+USG
BSG2
BSG1
N형 베이스
접촉 디퓨전
실리콘 기판
P형 라이터 도핑된
에미터 디퓨젼
P+형 에미터
접촉 디퓨전

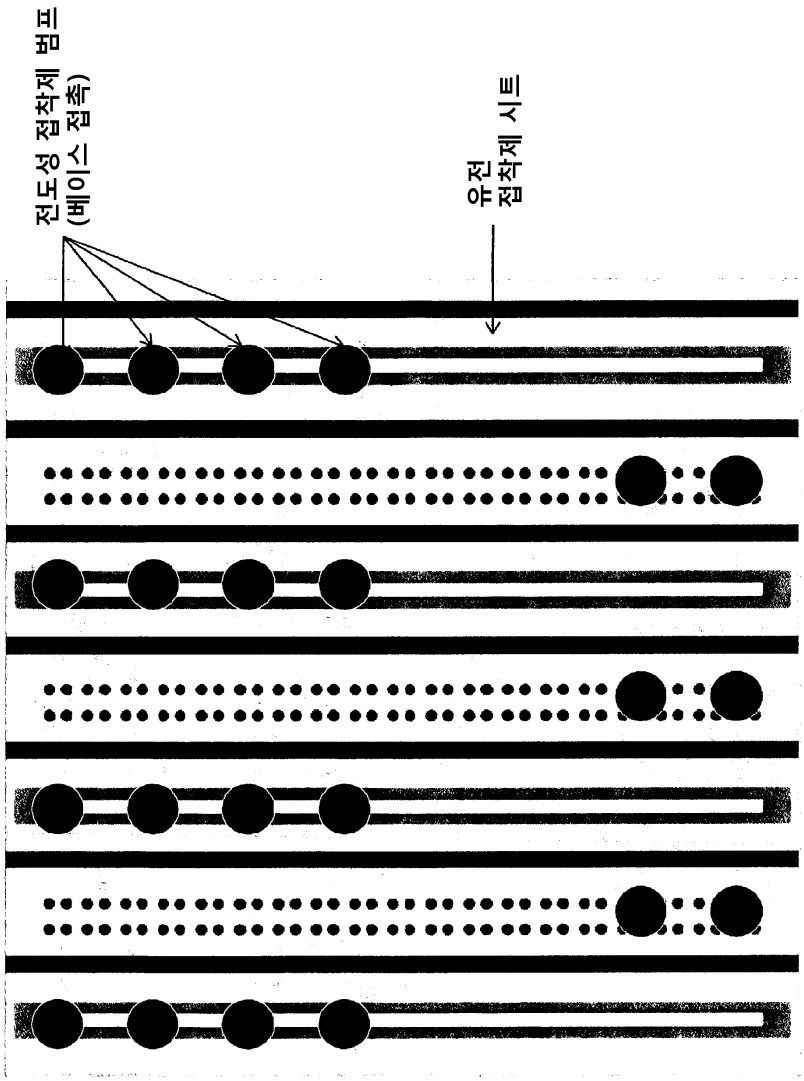
도면73i


피코세컨 레이저 제거
PSG+USG
BSG2
BSG1
P+형 에미터
접촉 디퓨젼
N형 베이스
접촉 디퓨젼
실리콘 기판
P형 라이터 도핑된
에미터 디퓨젼

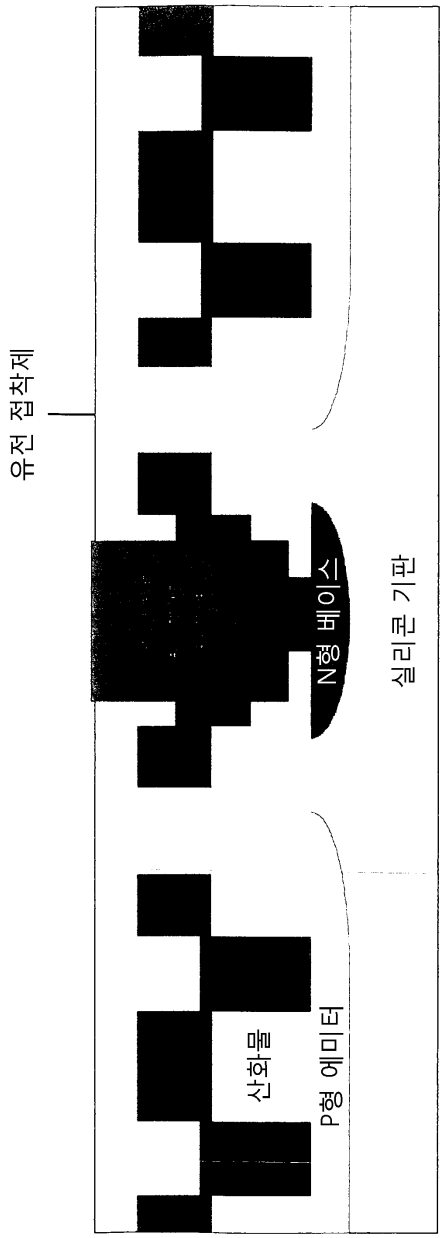
도면73j


금속 1 패턴
PSG+USG
BSG2
BSG1
N형 베이스
접촉 디퓨전
실리콘 기판
P형 라이터 도핑된
에미터 디퓨전
P+형 에미터
접촉 디퓨전

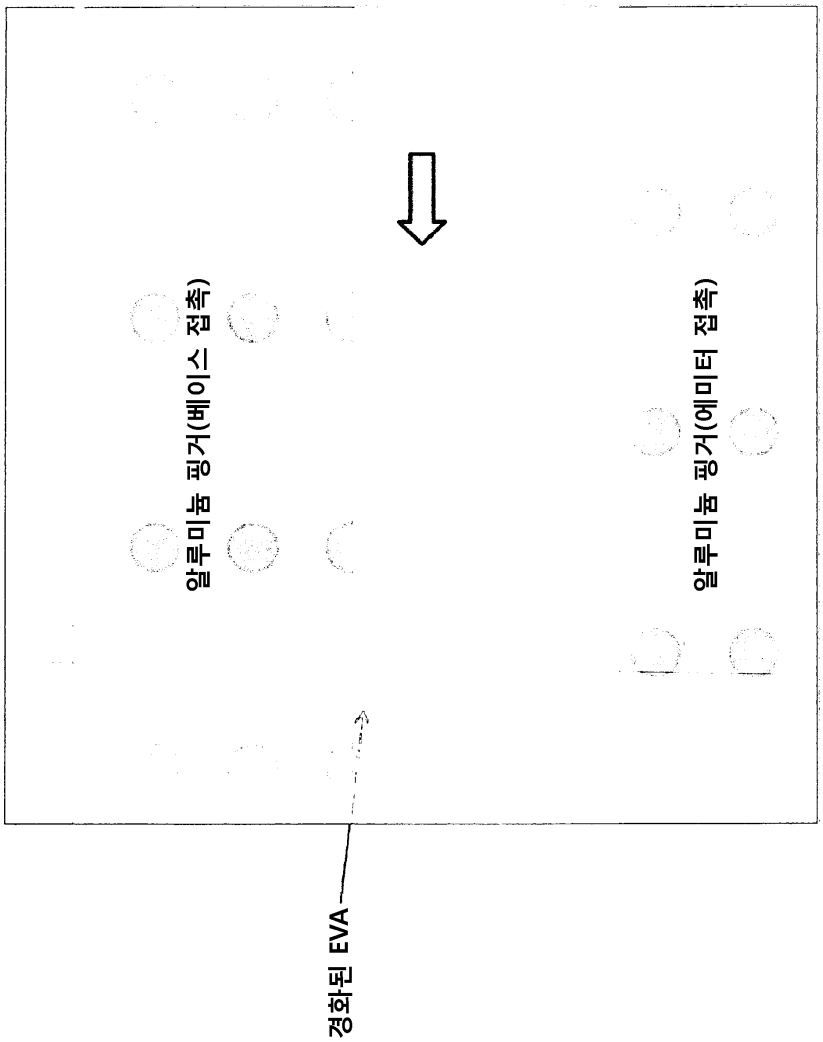
도면74a



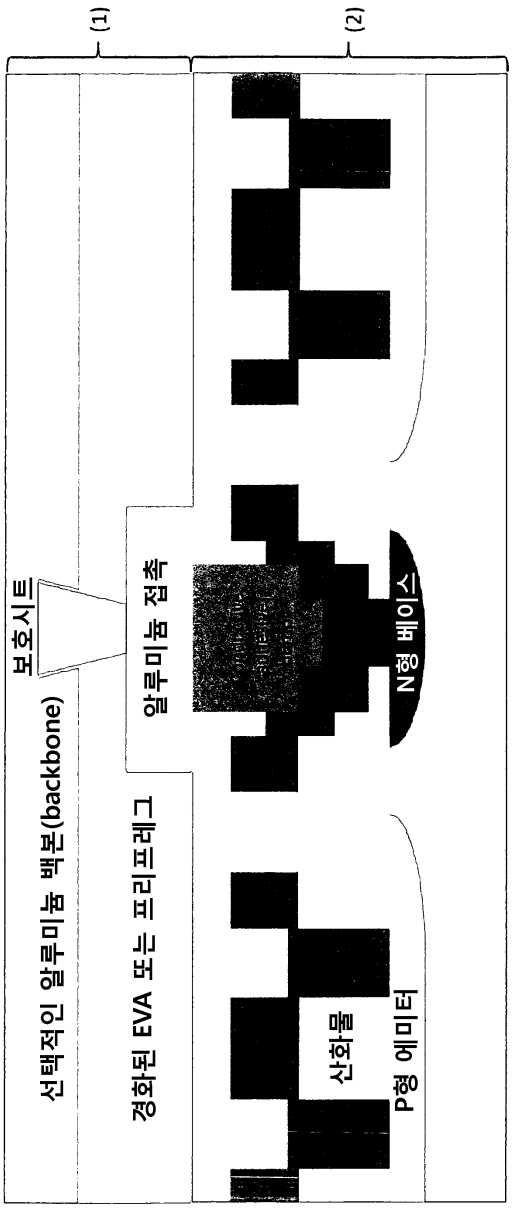
도면74b



도면74c

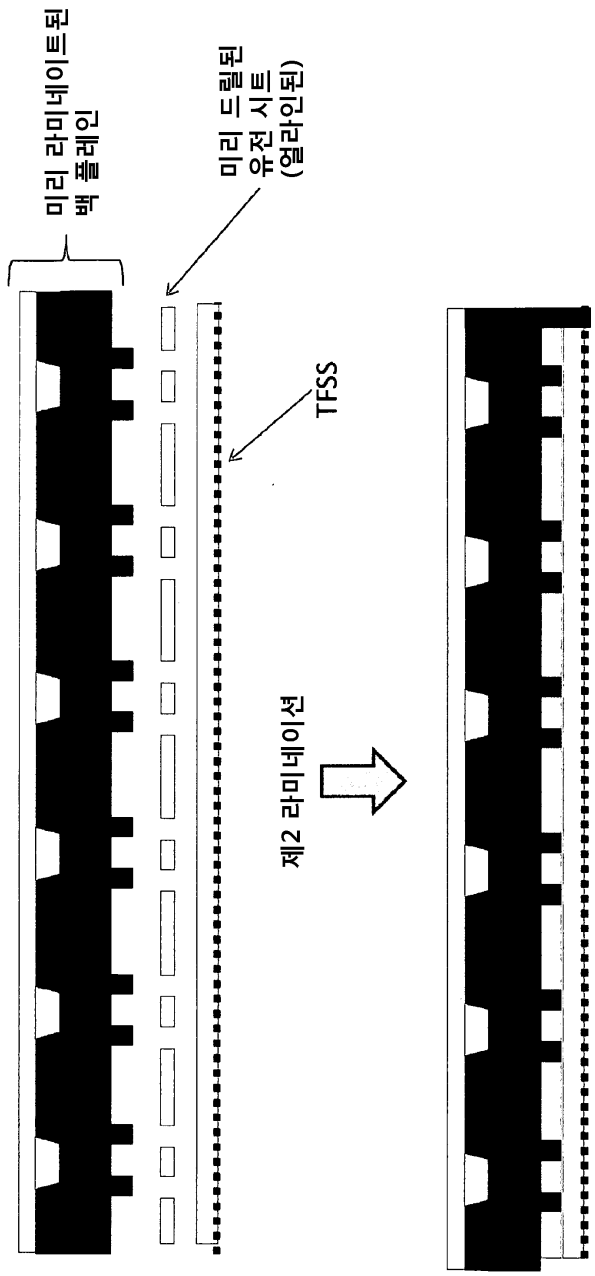


도면74d

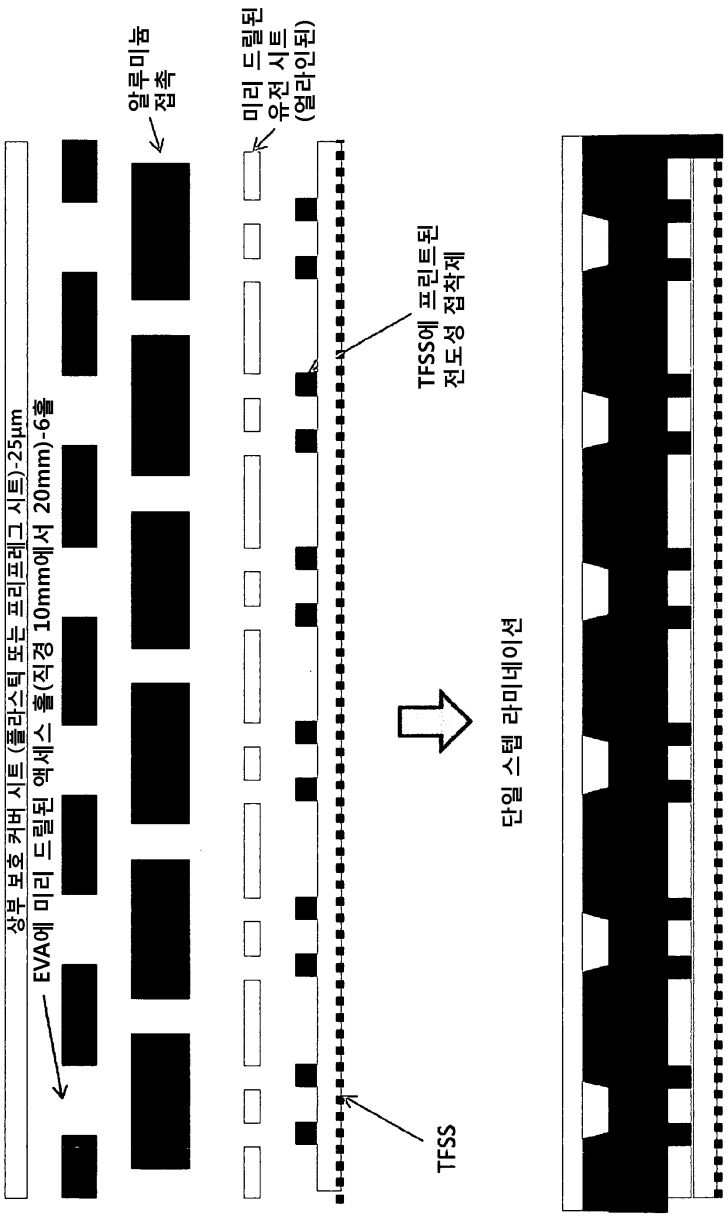


(1) 백본이 라미네이트된 백 플레인을 갖는 오아시스(Oasis)
(2) 스크린 프린트된 유전 접착제(DA) 및 전도성 접착제 범프를 갖는 TFSS

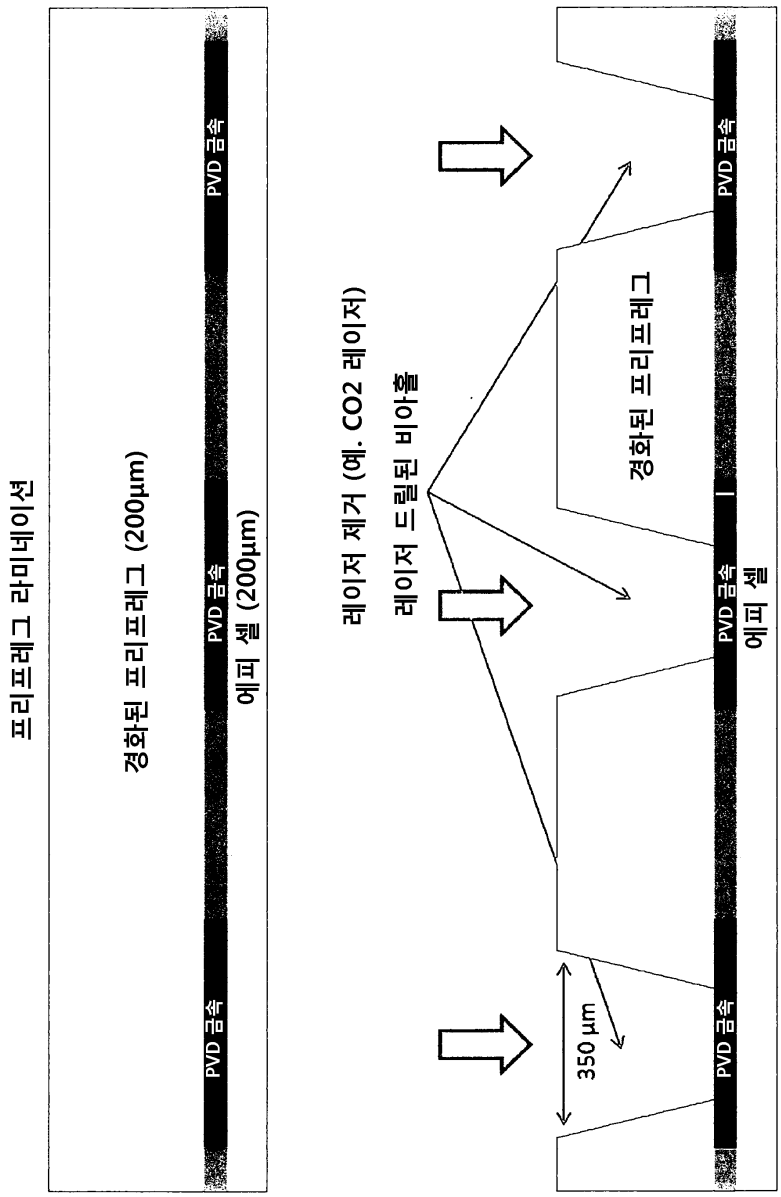
도면75



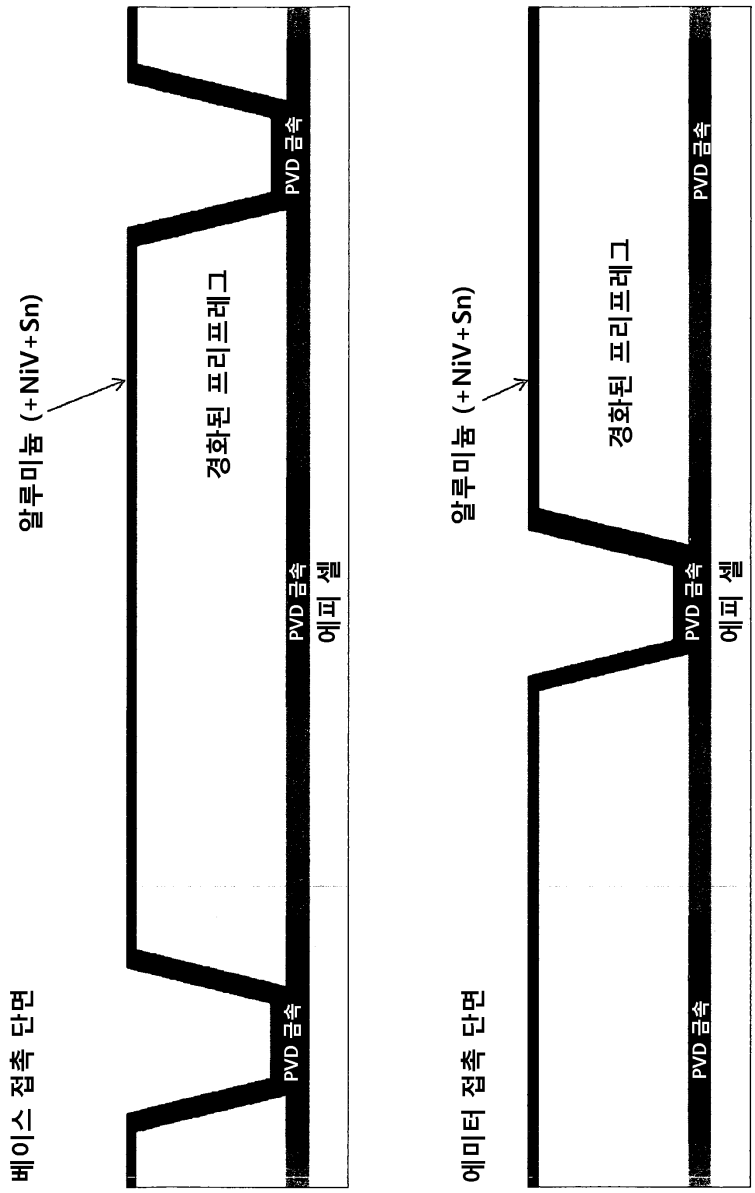
도면76


상부 보호 커버 시트 (플라스틱 또는 프리프레그 시트)-25μm
EVA에 미리 드릴된 액세스 홀(직경 10mm에서 20mm)-6홀
알루미늄 접촉
미리 드릴된 유전 시트 (얼라인된)
TFSS에 프린트된 전도성 접착제
TFSS
단일 스텝 라미네이션

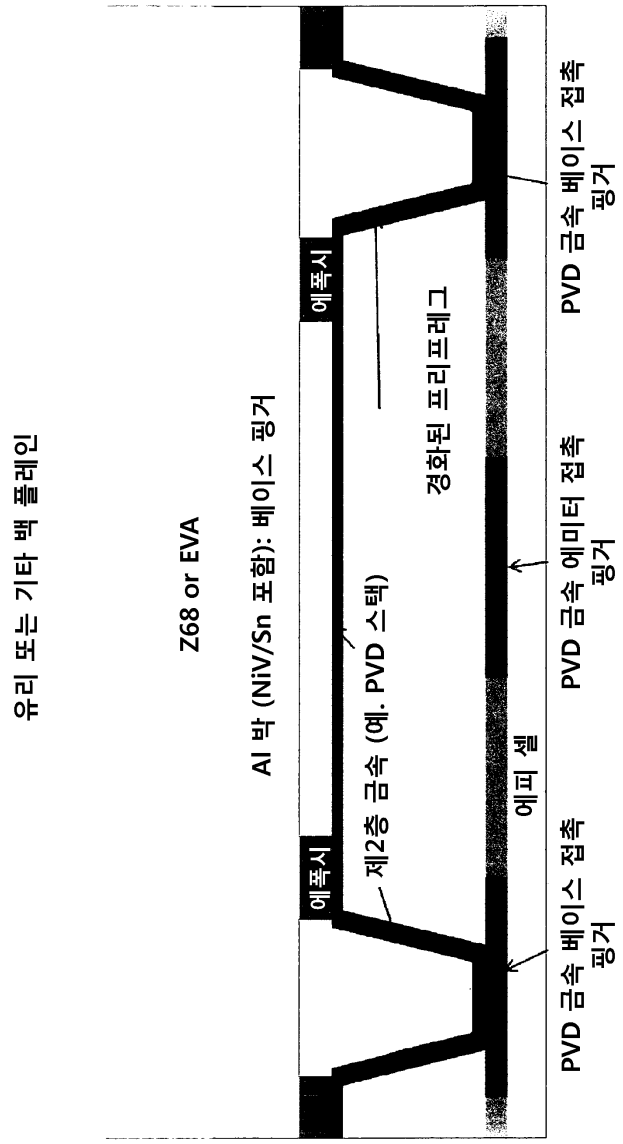
도면77a


프리프레그 라미네이션
경화된 프리프레그 (200μm)
에피 셀 (200μm)
PVD 금속
PVD 금속
PVD 금속
레이저 제거 (예. CO2 레이저)
레이저 드릴된 비아홀
350 μm
경화된 프리프레그
PVD 금속
PVD 금속
PVD 금속
에피 셀

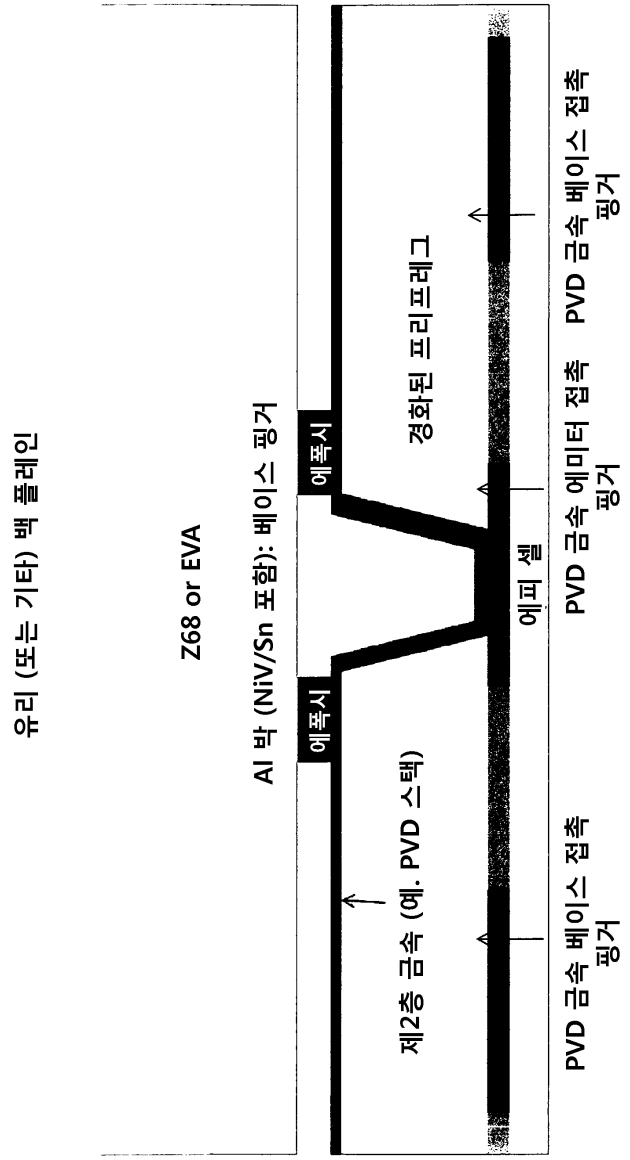
도면77b


베이스 접촉 단면
알루미늄 (+NiV+Sn)
경화된 프리프레그
PVD 금속
PVD 금속
에피 셀
에미터 접촉 단면
알루미늄 (+NiV+Sn)
경화된 프리프레그
PVD 금속
PVD 금속
에피 셀

도면77c


유리 또는 기타 백 플레인
Z68 or EVA
Al 박 (NiV/Sn 포함): 베이스 핑거
에폭시
에폭시
제2층 금속 (예. PVD 스택)
경화된 프리프레그
에피 셀
PVD 금속 베이스 접촉 핑거
PVD 금속 에미터 접촉 핑거
PVD 금속 베이스 접촉 핑거

도면77d


유리 (또는 기타) 백 플레인
Z68 or EVA
Al 박 (NiV/Sn 포함): 베이스 핑거
에폭시
에폭시
제2층 금속 (예. PVD 스택)
경화된 프리프레그
에피 셀
PVD 금속 베이스 접촉
핑거
PVD 금속 에미터 접촉
핑거
PVD 금속 베이스 접촉
핑거