



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0093531
(43) 공개일자 2021년07월28일

(51) 국제특허분류(Int. Cl.)
G06F 9/30 (2018.01) G06F 13/16 (2006.01)
G06F 13/42 (2006.01) G06F 3/06 (2006.01)
(52) CPC특허분류
G06F 9/30043 (2013.01)
G06F 13/1663 (2013.01)
(21) 출원번호 10-2020-0007202
(22) 출원일자 2020년01월20일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
김영재
서울특별시 서초구 잠원로12길 4(잠원동, 잠원현대아파트) 101-1808
이창규
서울특별시 마포구 마포대로 73(도화동) 813
(뒷면에 계속)
(74) 대리인
김선중

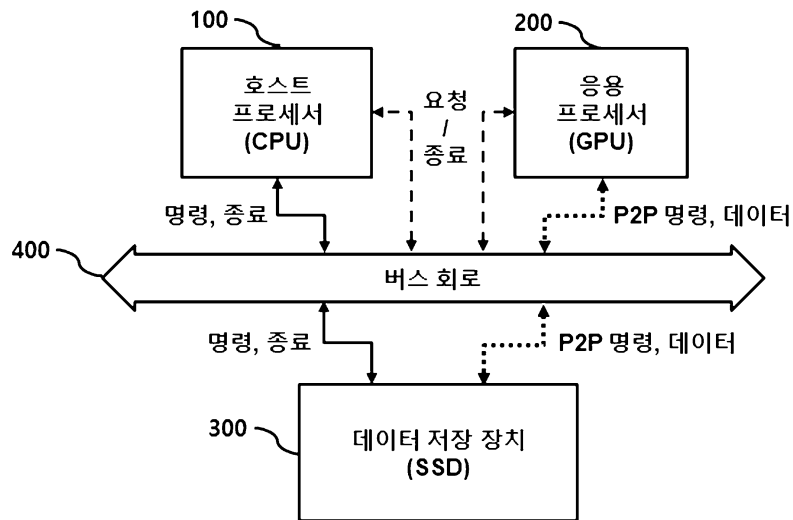
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 응용 프로세서와 데이터를 제공하는 데이터 저장 장치를 포함하는 시스템

(57) 요약

본 기술에 의한 시스템은 데이터 메모리를 구비하고 읽기 요청을 생성하는 응용 프로세서; 읽기 요청을 수신하여 읽기 명령을 생성하는 호스트 프로세서; 및 데이터 저장 메모리를 구비하는 데이터 저장 장치를 포함하되, 데이터 저장 장치는 읽기 명령에 따라 데이터 저장 메모리에서 출력된 읽기 데이터를 호스트 프로세서를 경유하지 않고 응용 프로세서의 데이터 메모리에 전달한다.

대표도 - 도1



(52) CPC특허분류

G06F 13/1673 (2013.01)

G06F 13/4234 (2013.01)

G06F 3/061 (2013.01)

G06F 3/0656 (2013.01)

(72) 발명자

박동규

경기도 용인시 기흥구 신갈로96번길 11-34(신갈동, 에텐빌)

정민교

서울특별시 마포구 광성로 27-1(신수동) 402

박성용

서울특별시 서대문구 가재울미래로 2(남가좌동, DMC파크뷰자이) 107-1001

노정기

경기도 용인시 기흥구 보정로 87(보정동, 죽현마을 아이파크) 208-1502

박경

대전광역시 서구 청사로 254(둔산동, 둥지아파트) 111-1202

정우석

경기도 성남시 분당구 중앙공원로 53(서현동, 시범단지삼성.한신아파트) 130-1301

명세서

청구범위

청구항 1

데이터 메모리를 구비하고 읽기 요청을 생성하는 응용 프로세서;

상기 읽기 요청을 수신하여 읽기 명령을 생성하는 호스트 프로세서; 및

데이터 저장 메모리를 구비하는 데이터 저장 장치

를 포함하되,

상기 데이터 저장 장치는 상기 읽기 명령에 따라 상기 데이터 저장 메모리에서 출력된 읽기 데이터를 상기 호스트 프로세서를 경유하지 않고 상기 응용 프로세서의 상기 데이터 메모리에 전달하는 시스템.

청구항 2

청구항 1에 있어서, 상기 데이터 저장 장치는

상기 읽기 데이터를 저장하는 데이터 공유 메모리를 더 포함하되, 상기 데이터 공유 메모리는 상기 데이터 메모리와 공유하는 주소 공간을 포함하는 시스템.

청구항 3

청구항 2에 있어서, 상기 응용 프로세서는 상기 읽기 요청과 함께 상기 데이터 메모리의 주소에 관한 정보를 포함하는 옵션 정보를 상기 호스트 프로세서에 전달하고, 상기 호스트 프로세서는 상기 읽기 명령과 함께 상기 옵션 정보를 상기 데이터 저장 장치에 전달하며, 상기 데이터 저장 장치는 상기 데이터 공유 메모리에서 상기 옵션 정보에 대응하는 주소에 상기 읽기 데이터를 저장하는 시스템.

청구항 4

청구항 2에 있어서, 상기 응용 프로세서는 상기 데이터 저장 장치에서 전송된 상기 읽기 데이터를 상기 데이터 메모리에 저장하는 제 1 데이터 입출력 제어 회로를 더 포함하는 시스템.

청구항 5

청구항 4에 있어서, 상기 데이터 저장 장치는 상기 데이터 공유 메모리에 저장된 상기 읽기 데이터를 상기 데이터 메모리로 전송하는 제 2 데이터 입출력 제어 회로를 더 포함하는 시스템.

청구항 6

청구항 1에 있어서, 상기 호스트 프로세서는

상기 응용 프로세서에서 제공된 상기 읽기 요청을 저장하는 응용 프로세서 공유 메모리;

상기 응용 프로세서 공유 메모리를 감시하는 요청 관리 회로; 및

상기 응용 프로세서 공유 메모리에 저장된 상기 읽기 요청에 대응하여 상기 읽기 명령을 생성하는 명령 제어 회로

를 포함하는 시스템.

청구항 7

청구항 6에 있어서, 상기 요청 관리 회로는 상기 응용 프로세서 공유 메모리에 상기 읽기 요청이 저장되는 경우 상기 읽기 요청에 대응하는 상기 읽기 명령을 생성하도록 상기 명령 제어 회로를 제어하고, 상기 읽기 명령의 처리가 종료되는 경우 상기 응용 프로세서 공유 메모리에 상기 읽기 요청의 처리가 종료되었음을 기록하는 시스템.

청구항 8

청구항 1에 있어서, 상기 응용 프로세서는
상기 읽기 요청을 생성하는 요청 생성 회로; 및
상기 읽기 요청을 상기 응용 프로세서에 전달하고 상기 읽기 요청의 종료를 감시하는 공유 메모리 제어 회로
를 더 포함하는 시스템.

청구항 9

청구항 8에 있어서, 상기 공유 메모리 제어 회로는
상기 읽기 요청의 처리가 종료되는 경우 상기 요청 생성 회로에 처리 종료를 표시하고,
상기 요청 생성 회로는 상기 데이터 메모리에서 상기 읽기 데이터를 수신하여 연산 동작을 수행하는 시스템.

청구항 10

청구항 1에 있어서, 상기 데이터 저장 장치는
상기 읽기 명령에 따라 상기 읽기 데이터가 출력되도록 상기 데이터 저장 메모리를 제어하는 명령 처리 회로를
더 포함하는 시스템.

청구항 11

청구항 10에 있어서, 상기 명령 처리 회로는 상기 읽기 데이터가 상기 응용 프로세서로 전송되면 상기 읽기 명령의 종료를 상기 호스트 프로세서에 통지하는 시스템.

청구항 12

청구항 1에 있어서,
상기 응용 프로세서와 상기 호스트 프로세서의 사이, 상기 호스트 프로세서와 상기 데이터 저장 장치의 사이 또는
상기 데이터 저장 장치와 상기 응용 프로세서의 사이에 개재하여 신호의 전달 통로가 되는 버스 회로를 더
포함하는 시스템.

청구항 13

청구항 1에 있어서,
상기 응용 프로세서는 쓰기 요청과 쓰기 데이터를 더 생성하고, 상기 호스트 프로세서는 상기 쓰기 요청에 대응
하여 쓰기 명령을 생성하고, 상기 응용 프로세서는 상기 쓰기 데이터를 상기 데이터 메모리에 저장한 후 상기
호스트 프로세서를 경유하지 않고 상기 데이터 저장 장치에 전달하는 시스템.

청구항 14

청구항 13에 있어서, 상기 데이터 저장 장치는
상기 쓰기 데이터를 저장하는 데이터 공유 메모리를 더 포함하되, 상기 데이터 공유 메모리는 상기 데이터 메모
리와 공유하는 주소 공간을 포함하는 시스템.

청구항 15

청구항 14에 있어서, 상기 응용 프로세서는 상기 쓰기 요청과 함께 상기 쓰기 데이터가 저장된 상기 데이터 메모
리의 주소에 관한 정보를 포함하는 옵션 정보를 상기 호스트 프로세서에 전달하고, 상기 호스트 프로세서는
상기 쓰기 명령과 함께 상기 옵션 정보를 상기 데이터 저장 장치에 전달하며, 상기 데이터 저장 장치는 상기 데이터
공유 메모리에서 상기 옵션 정보에 대응하는 주소에 기록된 상기 쓰기 데이터에 따라 쓰기 동작을 수행하
는 시스템.

청구항 16

청구항 14에 있어서, 상기 응용 프로세서는 상기 데이터 메모리에 저장된 상기 쓰기 데이터를 상기 데이터 공유 메모리에 전송하는 제 1 데이터 입출력 제어 회로를 더 포함하는 시스템.

청구항 17

청구항 16에 있어서, 상기 데이터 저장 장치는 상기 쓰기 데이터를 상기 오피셋 주소를 참조하여 상기 데이터 공유 메모리에 전송하는 제 2 데이터 입출력 제어 회로를 더 포함하는 시스템.

발명의 설명

기술 분야

[0001] 본 기술은 호스트 프로세서를 경유하지 않고 응용 프로세서와 직접 데이터를 교환하는 데이터 저장 장치를 포함하는 시스템에 관한 것이다.

배경 기술

[0002] GPU와 같은 응용 프로세서를 이용하여 머신 러닝, 빅데이터와 같이 대용량의 데이터를 처리하는 종래의 시스템에서는 GPU가 SSD와 같은 데이터 저장 장치에서 데이터를 읽거나 데이터를 기록하는 동작을 수행할 수 있다.

[0003] 이 경우 데이터 저장 장치와의 사이에서 데이터를 읽고 쓰는 동작을 수행하기 위해서는 CPU와 같은 호스트 프로세서를 경유해야 한다.

[0004] GPU가 SSD에서 데이터를 읽어 오는 동작을 예로 들면 종래에는 GPU에서 CPU에 데이터를 요청하는 동작, CPU에서 SSD에 데이터를 요청하여 이를 수신하는 동작, CPU에서 GPU에 데이터를 전달하는 동작을 순차적으로 수행하여야 한다.

[0005] 또한 데이터 전달 과정에서 메인 메모리 장치에 데이터를 임시로 복사해야 할 수도 있으며 이 과정에서도 시간이 소모된다.

[0006] 이러한 이유로 GPU에서 데이터를 대기하는 시간이 매우 길어져 성능이 저하되는 문제가 발생하는데 이러한 문제는 데이터의 사용량이 많은 경우 큰 문제가 된다.

[0007] 또한 동일한 데이터가 데이터 저장 장치, CPU, 메인 메모리, GPU 등에 중복되어 저장될 수 있으며 이 경우 시스템 자원을 과다하게 소모하는 문제도 발생한다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) KR 10-2000721 B1

(특허문헌 0002) US 10216419 B2

발명의 내용

해결하려는 과제

[0009] 본 기술은 호스트 프로세서를 경유하지 않고 응용 프로세서와 직접 데이터를 교환하는 데이터 처리 장치를 포함하는 시스템을 제공한다.

과제의 해결 수단

[0010] 본 발명의 일 실시예에 의한 시스템은 데이터 메모리를 구비하고 읽기 요청을 생성하는 응용 프로세서; 읽기 요청을 수신하여 읽기 명령을 생성하는 호스트 프로세서; 및 데이터 저장 메모리를 구비하는 데이터 저장 장치를 포함하되, 데이터 저장 장치는 읽기 명령에 따라 데이터 저장 메모리에서 출력된 읽기 데이터를 호스트 프로세

서를 경유하지 않고 응용 프로세서의 데이터 메모리에 전달한다.

발명의 효과

[0011] 본 기술에 의한 시스템에서는 응용 프로세서와 데이터 저장 장치가 데이터를 직접 교환하므로 응용 프로세서의 대기로 인한 성능 저하가 저감될 수 있다.

[0012] 본 기술에 의한 시스템에서는 데이터가 중복되어 저장되지 않아 시스템의 자원을 효율적으로 사용할 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예에 의한 시스템의 블록도.

도 2는 본 발명의 일 실시예에 의한 호스트 프로세서의 블록도.

도 3은 본 발명의 일 실시예에 의한 응용 프로세서의 블록도.

도 4는 본 발명의 일 실시예에 의한 데이터 저장 장치의 블록도.

도 5는 본 발명의 일 실시예에 의한 데이터 공유 메모리와 데이터 메모리의 관계를 나타내는 블록도.

도 6은 본 발명의 일 실시예에 의한 읽기 동작을 설명하는 순서도.

도 7은 본 발명의 일 실시예에 의한 쓰기 동작을 설명하는 순서도.

발명을 실시하기 위한 구체적인 내용

[0014] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시한다.

[0015] 도 1은 본 발명의 일 실시예에 의한 시스템의 블록도이다.

[0016] 본 발명의 일 실시예에 의한 시스템은 호스트 프로세서(100), 응용 프로세서(200), 데이터 저장 장치(300) 및 버스 회로(400)를 포함한다.

[0017] 본 실시예에서 호스트 프로세서(100)는 예를 들어 중앙 처리 장치(CPU)이고, 응용 프로세서(100)는 예를 들어 그래픽 처리 장치(GPU)이다.

[0018] 응용 프로세서(100)는 버스 회로(400)를 통해 호스트 프로세서(100)에 데이터 읽기/쓰기 요청을 제공하고, 읽기/쓰기 요청의 처리 종료에 대한 정보를 수신할 수 있다.

[0019] 본 실시예에서 버스 회로(400)는 예를 들어 PCIe 인터페이스 규격의 버스 회로를 포함할 수 있다.

[0020] 호스트 프로세서(100)는 버스 회로(400)를 통해 데이터 저장 장치(300)에 데이터 읽기/쓰기 명령을 제공한다.

[0021] 본 실시예에서 데이터 저장 장치(300)는 예를 들어 SSD(Solid State Drive)이다.

[0022] 데이터 저장 장치(300)는 예를 들어 논리 주소에 대응하여 데이터를 읽거나 쓰는 블록 기반의 장치일 수도 있고, 키에 대응하는 값을 읽거나 쓰는 키-값 기반의 장치일 수도 있으나 특정한 방식의 장치로 제한되는 것은 아니다.

[0023] 키-값 기반의 장치에서 값을 값 데이터 또는 데이터로 지칭할 수 있다.

[0024] 블록 기반의 장치인 경우 요청이나 명령은 논리 주소에 대응하는 데이터를 읽거나 논리 주소에 대응하여 데이터를 쓰기 위한 포맷을 가질 수 있다.

[0025] 키-값 기반의 장치인 경우 요청이나 명령은 키에 대응하는 값을 읽거나 키에 대응하는 값을 쓰기 위한 포맷을 가질 수 있다.

[0026] 블록 기반 또는 키-값 기반의 장치를 위한 요청, 명령의 포맷은 종래의 기술을 참고하여 통상의 기술자에 의해 다양하게 설계 변경될 수 있는 것이므로 구체적으로 개시하지 않는다.

[0027] 본 실시예에서 데이터 저장 장치(300)와 응용 프로세서(200)는 P2P 방식으로 데이터를 직접 교환할 수 있다.

[0028] 즉, 본 실시예에서 주소에 대응하는 데이터 또는 키에 대응하는 데이터는 호스트 프로세서(100)를 경유하지 않고 데이터 저장 장치(300)와 응용 프로세서(200) 사이에서 교환될 수 있다. 이때 데이터는 버스 회로(400)를 경

유하여 교환될 수 있다.

- [0029] 데이터 교환을 위해 필요한 P2P 명령 또한 데이터 저장 장치(300)와 응용 프로세서(200) 사이에서 교환될 수 있다.
- [0030] 데이터 저장 장치(300)는 읽기 또는 쓰기 명령의 처리가 종료되었음을 버스 회로(400)를 경유하여 호스트 프로세서(100)에 제공할 수 있다.
- [0031] 도 1에 도시된 실시예에서는 호스트 프로세서(100), 응용 프로세서(200) 및 데이터 저장 장치(300)가 버스 회로(400)를 경유하여 요청, 명령, 데이터 등을 교환한다.
- [0032] 그러나 본 발명이 반드시 이러한 실시예로 제한되는 것은 아니다.
- [0033] 다른 실시예에서는 호스트 프로세서(100), 응용 프로세서(200) 및 데이터 저장 장치(300)가 버스 회로(400)를 경유하지 않고 요청, 명령, 데이터를 교환할 수도 있다.
- [0034] 도 2는 본 발명의 일 실시예에 의한 호스트 프로세서(100)를 나타내는 블록도이다.
- [0035] 호스트 프로세서(100)는 요청 관리 회로(110), 응용 프로세서 공유 메모리(120), 명령 제어 회로(130)를 포함한다.
- [0036] 요청 관리 회로(110)는 응용 프로세서 공유 메모리(120)를 폴링 등의 방식으로 감시하여 응용 프로세서 공유 메모리(120)에 응용 프로세서(200)에서 제공된 읽기/쓰기 요청이 있는 경우 이를 처리하도록 명령 제어 회로(130)를 제어한다.
- [0037] 응용 프로세서 공유 메모리(120)는 응용 프로세서(200)에서 접근하여 읽기 또는 쓰기를 수행할 수 있는 저장 공간이다.
- [0038] 응용 프로세서(200)는 버스 회로(400)를 경유하여 읽기/쓰기 요청을 응용 프로세서 공유 메모리(120)에 기록할 수 있다.
- [0039] 응용 프로세서(200)는 예를 들어 쓰레드, 워프 또는 스레드 블록 단위로 읽기/쓰기 요청을 생성할 수 있다.
- [0040] 요청은 예를 들어 요청의 종류, 요청을 제공한 주체(쓰레드, 워프 또는 스레드 블록)를 나타내는 식별 정보, 요청을 수행할 주소 또는 키에 관한 정보, 데이터의 길이 등의 정보를 포함할 수 있다.
- [0041] 본 실시예에서 응용 프로세서(200)는 P2P 데이터 교환을 위하여 요청과 함께 옵션 정보를 추가로 호스트 프로세서(100)에 제공한다.
- [0042] 읽기 요청의 경우 옵션 정보는 데이터 저장 장치(300)에서 읽은 데이터를 응용 프로세서(200) 내부에 저장하는 경우 저장할 주소의 옵션을 나타낸다.
- [0043] 쓰기 요청의 경우 옵션 정보는 데이터 저장 장치(300)에 기록할 데이터를 응용 프로세서(200)에서 읽어 오는 경우 읽어올 데이터가 저장된 응용 프로세서(200) 내부 주소의 옵션을 나타낸다.
- [0044] 옵션 정보의 활용에 대해서는 이하에서 다시 구체적으로 개시한다.
- [0045] 명령 제어 회로(130)는 읽기/쓰기 요청에 대응하여 데이터 저장 장치(300)를 제어하기 위한 읽기/쓰기 명령을 생성한다.
- [0046] 명령 제어 회로(130)는 버스 회로(400)를 경유하여 데이터 저장 장치(300)에 읽기/쓰기 명령을 제공한다.
- [0047] 데이터 저장 장치(300)는 전달된 읽기/쓰기 명령에 따라 읽기/쓰기 동작을 진행한다.
- [0048] 읽기/쓰기 동작에 대응하는 데이터는 전술한 바와 같이 데이터 저장 장치(300)와 응용 프로세서(200) 사이에서 P2P 방식으로 교환될 수 있다.
- [0049] 데이터 저장 장치(300)는 읽기/쓰기 동작이 완료되면 명령의 처리가 종료되었음을 표시하는 종료 신호를 버스 회로(400)를 경유하여 호스트 프로세서(100)에 제공한다.
- [0050] 호스트 프로세서(130)의 요청 처리 회로(110)는 종료 신호를 수신하고 응용 프로세서 공유 메모리(120)에서 대응하는 요청의 처리가 종료되었음을 기록한다.
- [0051] 응용 프로세서(200) 역시 폴링 등의 방식으로 응용 프로세서 공유 메모리(120)를 감시할 수 있으며 요청의 종료

여부를 감지할 수 있다.

- [0052] 응용 프로세서(200)는 요청의 처리 결과를 이용하여 후속 작업을 진행할 수 있다.
- [0053] 도 3은 본 발명의 일 실시예에 의한 응용 프로세서(200)를 나타내는 블록도이다.
- [0054] 응용 프로세서(200)는 공유 메모리 감시 회로(210), 데이터 메모리(220), 요청 생성 회로(230), 및 데이터 입출력 제어 회로(240)를 포함한다.
- [0055] 먼저 요청 생성 회로(230)는 호스트 프로세서(100)에 제공할 읽기/쓰기 요청을 생성하는 것으로서 GPU의 경우 쓰레드, 워프, 쓰레드 블록 등의 단위를 가질 수 있다.
- [0056] 공유 메모리 제어 회로(210)는 응용 프로세서 공유 메모리(110)에 읽기/쓰기 요청을 기록하거나 응용 프로세서 공유 메모리(110)에서 읽기/쓰기 요청의 처리 결과를 확인한다.
- [0057] 공유 메모리 제어 회로(210)는 읽기/쓰기 요청의 처리 결과를 확인하기 위하여 폴링 등의 방식을 사용할 수 있다.
- [0058] 데이터 메모리(220)는 읽기 요청된 데이터를 P2P 방식으로 데이터 저장 장치(300)로부터 수신하여 저장하거나 쓰기 요청된 데이터를 P2P 방식으로 데이터 저장 장치(300)에 전송하기 전에 저장하는 공간이다.
- [0059] 데이터 메모리(220)에서 데이터가 저장되는 공간은 읍셋을 통해 식별될 수 있다.
- [0060] 전술한 바와 같이 공유 메모리 제어 회로(210)는 이러한 읍셋 정보를 읽기/쓰기 요청과 함께 호스트 프로세서(100)로 전송한다.
- [0061] P2P 방식으로 데이터 교환을 수행하기 위하여 데이터 메모리(220)의 일정 영역은 데이터 저장 장치(300)와 공유될 수 있다. 이에 대해서는 아래에서 다시 구체적으로 설명한다.
- [0062] 데이터 입출력 제어 회로(240)는 데이터 메모리(220)와 데이터 저장 장치(300) 사이에서 P2P 방식으로 데이터를 교환하는 동작을 제어한다.
- [0063] P2P 방식의 데이터 교환은 DMA(Direct Memory Access) 등의 기술을 이용하여 구현할 수 있다.
- [0064] 응용 프로세서(200)는 데이터 버퍼(250)를 더 포함할 수 있다.
- [0065] 데이터 버퍼(250)는 쓰기 요청된 데이터를 데이터 저장 장치(300)로 전송하기 전에 임시로 저장하거나 읽기 요청된 데이터를 데이터 저장 장치(300)로부터 수신하여 임시로 저장할 수 있다.
- [0066] 이하에서 응용 프로세서(200)에 포함된 데이터 입출력 제어 회로(240)를 제 1 데이터 입출력 제어 회로(240)로 지칭하고 데이터 버퍼(250)를 제 1 데이터 버퍼(250)로 지칭할 수 있다.
- [0067] 도 4는 본 발명의 일 실시예에 의한 데이터 저장 장치(300)를 나타내는 블록도이다.
- [0068] 본 실시예에서 데이터 저장 장치(300)는 플래시 메모리 장치를 이용한 SSD이나 반드시 이러한 실시예로 제한되는 것은 아니다.
- [0069] 본 발명의 일 실시예에 의한 데이터 저장 장치(300)는 명령 처리 회로(310), 디램(320), FTL(FLASH TRANSLATION LAYER, 330), 플래시 메모리 장치(340), 데이터 공유 메모리(350), 데이터 입출력 제어 회로(360), 데이터 버퍼(370)를 포함한다.
- [0070] 본 실시예에서 데이터 저장 장치(300)는 기본적으로 플래시 메모리 장치(340)를 포함한 SSD로 가정한다.
- [0071] 이하에서 플래시 메모리 장치(340)는 데이터 저장 메모리(340)로 지칭될 수 있다.
- [0072] 명령 처리 회로(310)는 호스트 프로세서(100)에서 제공된 명령을 이용하여 내부적으로 데이터를 읽거나 쓰는 동작을 제어한다.
- [0073] 블록 기반의 장치인 경우 명령 처리 회로(310)는 논리 주소에 대응하는 데이터를 읽고 쓰는 동작을 제어한다.
- [0074] 키-값 기반의 장치인 경우 명령 처리 회로(310)는 키와 키에 대응하는 값이 저장된 주소 정보를 관리하기 위한 데이터 구조체를 관리할 수 있다.
- [0075] 이를 통해 키가 입력되면 키에 대응하는 데이터가 저장될 주소를 확인할 수 있으며 해당 주소에 값을 저장함으

로써 키-값 기반의 동작을 처리할 수 있다.

- [0076] 블록 기반의 SSD 장치 및 키-값 기반의 동작을 처리하기 위한 명령 처리 회로(310)의 상세 구성 자체는 별도의 발명에 속하는 내용이며 본 발명에서는 명령 처리 회로(310)가 특정한 방식으로 구현될 것을 제한하지 않는다.
- [0077] 호스트 프로세서(100)에서 제공되는 명령에는 P2P 데이터 교환을 위해 필요한 옵션 정보가 추가로 포함된다.
- [0078] 명령 처리 회로(310)는 읽기/쓰기 명령에 따라 FTL(330)을 이용하여 플래시 메모리 장치(340)의 물리 주소에 데이터를 읽고 쓰는 동작을 제어한다.
- [0079] 디램(320)은 논리 주소와 물리 주소의 맵핑을 관리하는 맵핑 테이블을 저장한다.
- [0080] FTL(330)은 주소 맵핑, 가비지 콜렉션 등의 동작을 제어하는 구성이며 그 구성 및 동작은 잘 알려진 것이므로 이에 대한 구체적인 설명은 기재하지 않는다.
- [0081] 데이터 공유 메모리(350)는 응용 프로세서(200)와 P2P 방식으로 교환될 데이터를 저장한다.
- [0082] 데이터 공유 메모리(350)와 응용 프로세서(200)의 데이터 메모리(220)는 도 5에 개시된 바와 같이 일정한 관계를 가진다.
- [0083] 도 5는 데이터 공유 메모리(350)와 응용 프로세서(200)에 포함된 데이터 메모리(220)의 관계를 나타낸다.
- [0084] 데이터 메모리(220)의 주소 M+0 에서 M+N 까지의 영역은 데이터 공유 메모리(350)의 주소 K+0에서 K+N까지의 영역과 공유되어 P2P 방식으로 데이터 교환을 수행하는데 사용된다(M, K는 0 이상의 정수, N은 자연수).
- [0085] 이때 0 ~ N은 옵션 정보를 나타내는데 예를 들어 옵션 정보가 0으로 주어진 경우 P2P 데이터 교환을 수행하면 데이터 메모리(220)의 M번 주소는 데이터 공유 메모리(350)의 K번 주소와 동일한 데이터를 가지게 됨을 의미한다.
- [0086] 읽기 동작인 경우 데이터 공유 메모리(350)에서 데이터 메모리(220) 방향으로 데이터가 이동하고, 쓰기 동작인 경우 데이터 메모리(220)에서 데이터 공유 메모리(350) 방향으로 데이터가 이동하게 된다.
- [0087] 도 4로 돌아가 데이터 입출력 제어 회로(360)는 응용 프로세서(200)와 P2P 방식으로 데이터를 직접 교환하는 동작을 제어한다.
- [0088] 데이터 버퍼(370)는 읽기 요청에 의하여 응용 프로세서(200)에 전송할 데이터를 임시로 저장하거나 쓰기 요청에 의하여 응용 프로세서(200)에서 전달받은 데이터를 임시로 저장할 수 있다.
- [0089] 데이터 저장 장치(300)에 포함된 데이터 입출력 제어 회로(360)를 제 2 데이터 입출력 제어 회로(360)로 지칭하고 데이터 버퍼(370)를 제 2 데이터 입출력 버퍼(370)로 지칭할 수 있다.
- [0090] 데이터 저장 장치(300)에서 읽기 동작은 데이터 공유 메모리(350)의 데이터를 응용 프로세서(200)로 전송하면서 종료된다.
- [0091] 쓰기 동작은 데이터 공유 메모리(350)에 저장된 데이터를 이용하여 메모리 장치(340)에 기록하는 동작을 수행한 후에 종료될 수 있다.
- [0092] 명령 처리 회로(310)는 읽기/쓰기 동작이 종료되면 호스트 프로세서(100)에 명령 수행이 종료되었음을 전달한다.
- [0093] 호스트 프로세서(100)의 명령 제어 회로(130)는 이에 응답하여 응용 프로세서 공유 메모리(120)에 대응하는 요청의 처리가 종료되었음을 기록한다.
- [0094] 응용 프로세서(200)의 공유 메모리 제어 회로(210)는 응용 프로세서 공유 메모리(120)를 감시하여 요청의 종료를 확인한다.
- [0095] 응용 프로세서(200)의 요청 생성 회로(230)는 처리 결과를 이용하여 후속 동작을 수행하거나 새로운 요청을 생성할 수 있다.
- [0096] 도 6은 본 발명의 일 실시예에 의한 읽기 동작을 설명하는 순서도이다.
- [0097] 응용 프로세서(200)의 공유 메모리 제어 회로(210)는 요청 생성 회로(230)에서 생성된 읽기 요청과 옵션 정보를 호스트 프로세서(100)의 응용 프로세서 공유 메모리(120)로 전달한다(S10).

- [0098] 호스트 프로세서(100)의 명령 제어 회로(130)는 읽기 요청에 대응하는 읽기 명령과 읍셋 정보를 데이터 저장 장치(300)로 전송한다(S11).
- [0099] 이때 읽기 명령은 읽기 대상이 된 주소 또는 키 값을 포함하는 개념으로 이해한다.
- [0100] 이후 데이터 저장 장치(300)의 명령 처리 회로(310)는 플래시 메모리 장치(340)를 제어하여 읽기 데이터를 출력하고, 읽기 데이터를 읍셋 정보를 참조하여 데이터 공유 메모리(350)에 저장한다(S12).
- [0101] 이후 응용 프로세서(200)의 제 1 데이터 입출력 제어 회로(240)와 데이터 저장 장치(300)의 제 2 데이터 입출력 회로(360)는 P2P 방식으로 데이터를 전송하는 동작을 제어하여 데이터 공유 메모리(350)에 저장된 읽기 데이터를 데이터 메모리(220)로 전송한다(S13).
- [0102] 이후 데이터 저장 장치(300)의 명령 처리 회로(310)는 읽기 동작의 종료를 호스트 프로세서(200)에 전달한다(S14).
- [0103] 이후 호스트 프로세서(100)의 요청 관리 회로(110)는 응용 프로세서 공유 메모리(120)에 대응하는 요청의 종료를 표시한다(S15).
- [0104] 응용 프로세서(200)의 공유 메모리 제어 회로(210)는 응용 프로세서 공유 메모리(120)를 감시하여 요청의 종료를 감지하고 요청 생성 회로(230)는 데이터 메모리(220)에 저장된 읽기 데이터를 이용하여 연산 동작을 수행한다(S16).
- [0105] 도 7은 본 발명의 일 실시예에 의한 쓰기 동작을 설명하는 순서도이다.
- [0106] 응용 프로세서(200)의 공유 메모리 제어 회로(210)는 요청 생성 회로(230)에서 생성된 쓰기 요청과 읍셋 정보를 호스트 프로세서(100)의 응용 프로세서 공유 메모리(120)로 전달한다(S20).
- [0107] 호스트 프로세서(100)의 명령 제어 회로(130)는 쓰기 요청에 대응하는 쓰기 명령과 읍셋 정보를 데이터 저장 장치(300)로 전송한다(S21).
- [0108] 이때 쓰기 명령은 쓰기 대상이 된 주소 또는 키 값을 포함하는 개념으로 이해한다.
- [0109] 응용 프로세서(200)에서 요청 생성 회로(230)는 쓰기 데이터를 생성하여 데이터 메모리(220)에서 읍셋 정보에 대응하는 주소에 저장해둔다(S22).
- [0110] 단계(S22)는 쓰기 요청이 생성된 후 P2P 데이터 교환이 수행되기 전에 완료되면 충분하다.
- [0111] 이후 응용 프로세서(200)의 제 1 데이터 입출력 제어 회로(240)와 데이터 저장 장치(300)의 제 2 데이터 입출력 회로(360)는 P2P 방식으로 데이터를 전송하는 동작을 제어하여 데이터 메모리(220)에 저장된 쓰기 데이터를 데이터 공유 메모리(350)로 전송한다(S23).
- [0112] 이후 데이터 저장 장치(300)의 명령 처리 회로(310)는 데이터 공유 메모리(350)에서 읍셋에 대응하는 주소에 저장된 쓰기 데이터를 플래시 메모리 장치(340)의 쓰기 주소에 저장하여 쓰기 동작을 수행한다(S24).
- [0113] 이후 데이터 저장 장치(300)의 명령 처리 회로(310)는 쓰기 동작의 종료를 호스트 프로세서(200)에 전달한다(S25).
- [0114] 이후 호스트 프로세서(100)의 요청 관리 회로(110)는 응용 프로세서 공유 메모리(120)에 대응하는 요청의 종료를 표시한다(S26).
- [0115] 응용 프로세서(200)의 공유 메모리 제어 회로(210)는 응용 프로세서 공유 메모리(120)를 감시하여 요청의 종료를 감지하고 이에 따라 요청 생성 회로(230)는 후속 동작을 수행할 수 있다.
- [0116] 본 발명의 권리범위는 이상의 개시로 한정되는 것은 아니다. 본 발명의 권리범위는 청구범위에 문언적으로 기재된 범위와 그 균등범위를 기준으로 해석되어야 한다.

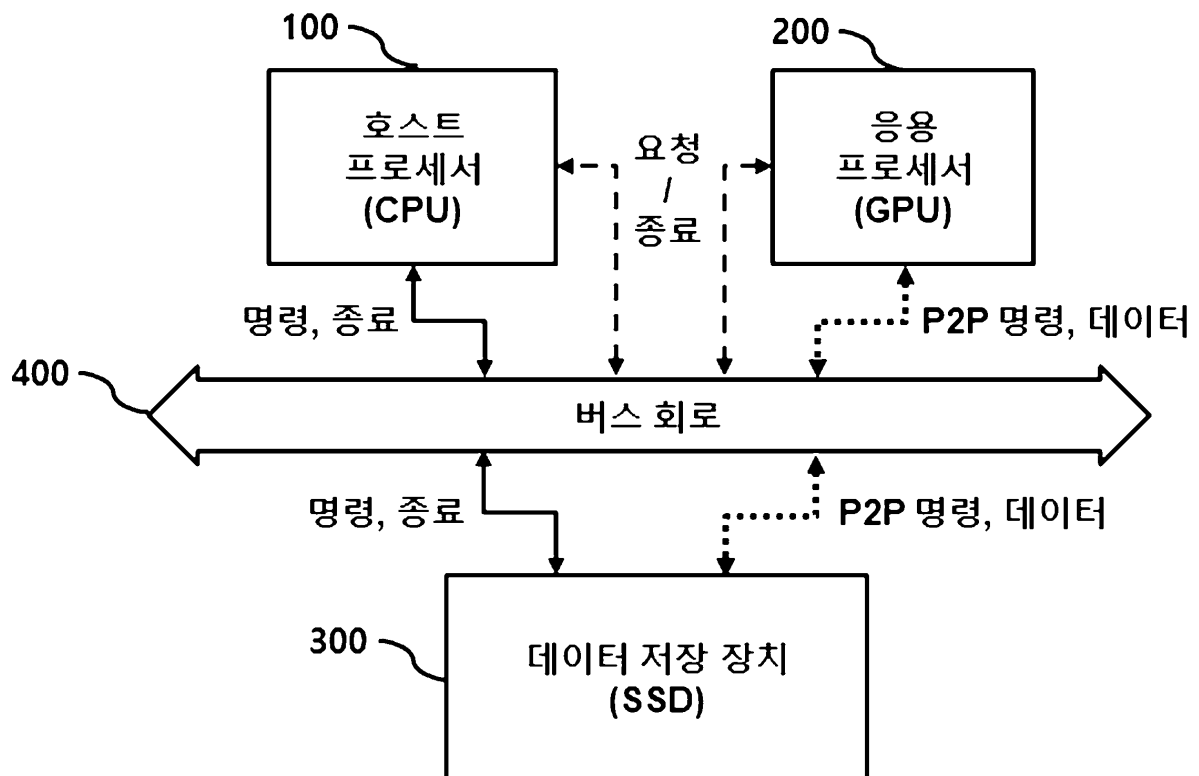
부호의 설명

- [0117] 100: 호스트 프로세서, CPU
110: 요청 관리 회로
120: 응용 프로세서 공유 메모리

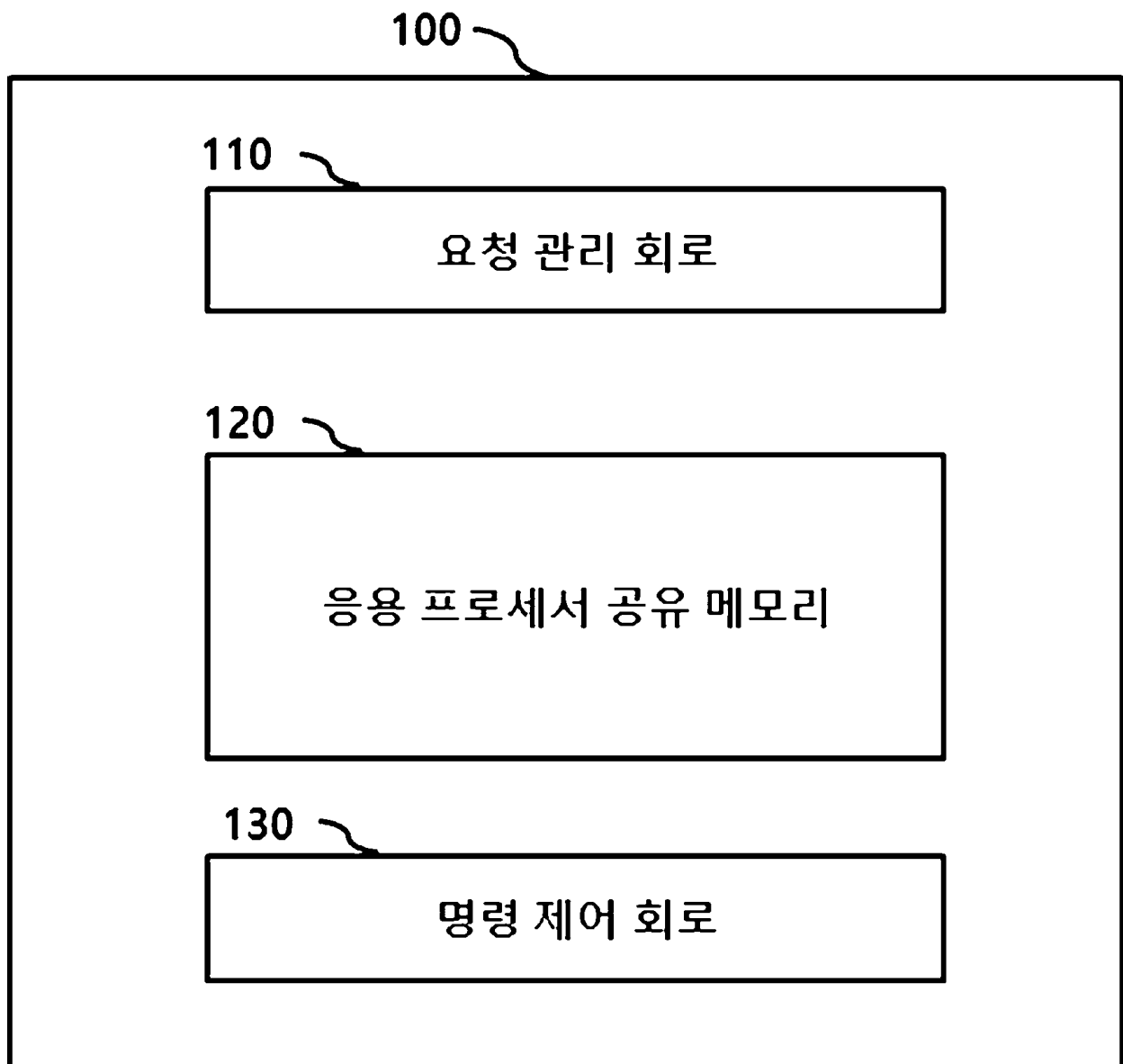
- 130: 명령 제어 회로
- 200: 응용 프로세서, GPU
- 210: 공유 메모리 제어 회로
- 220: 데이터 메모리
- 230: 요청 생성 회로
- 240: 데이터 입출력 제어 회로, 제 1 데이터 입출력 제어 회로
- 250: 데이터 버퍼, 제 1 데이터 버퍼
- 300: 데이터 저장 장치, SSD
- 310: 명령 처리 회로
- 320: DRAM
- 330: FTL
- 340: 플래시 메모리 장치, 데이터 저장 메모리
- 350: 데이터 공유 메모리
- 360: 데이터 입출력 제어 회로, 제 2 데이터 입출력 제어 회로
- 370: 데이터 버퍼, 제 2 데이터 버퍼
- 400: 버스 회로

도면

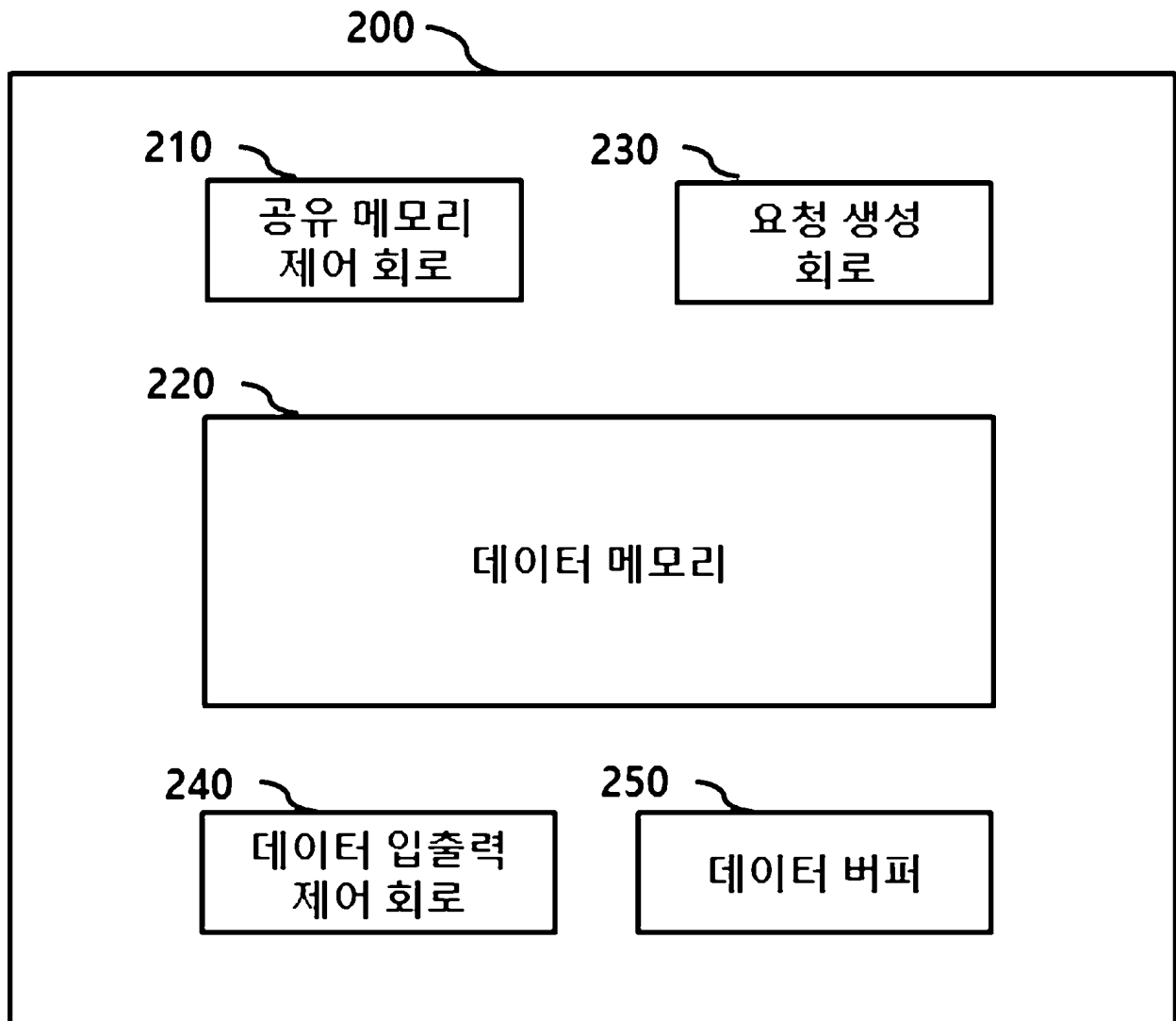
도면1



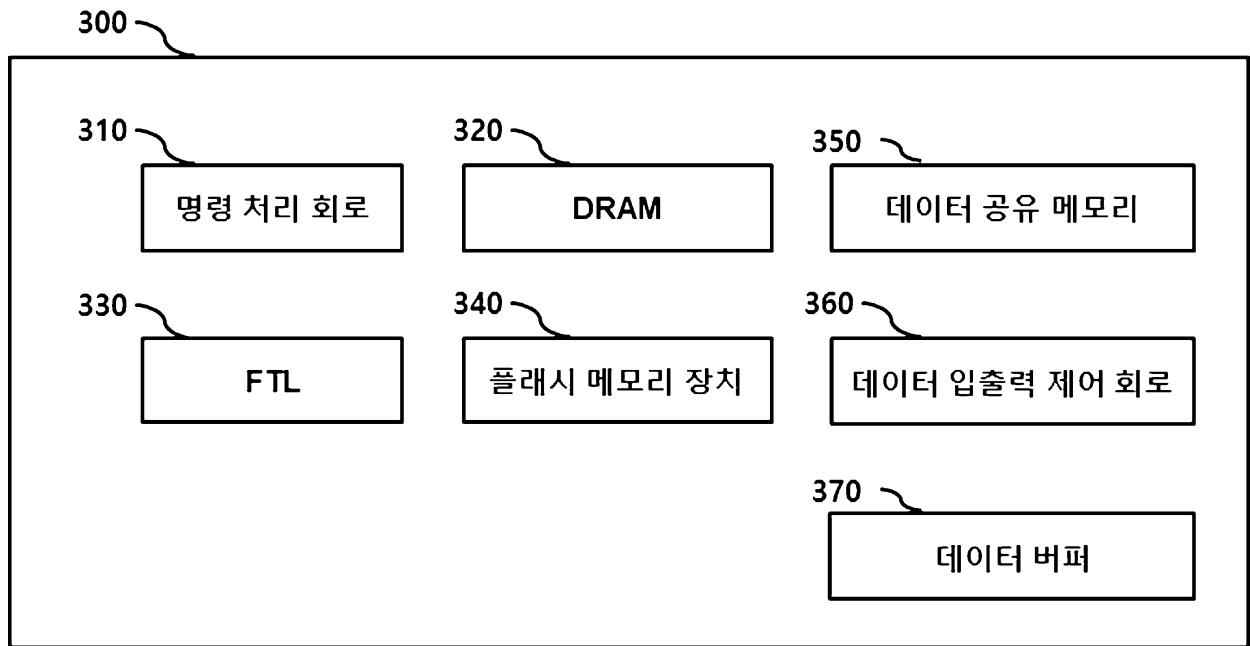
도면2



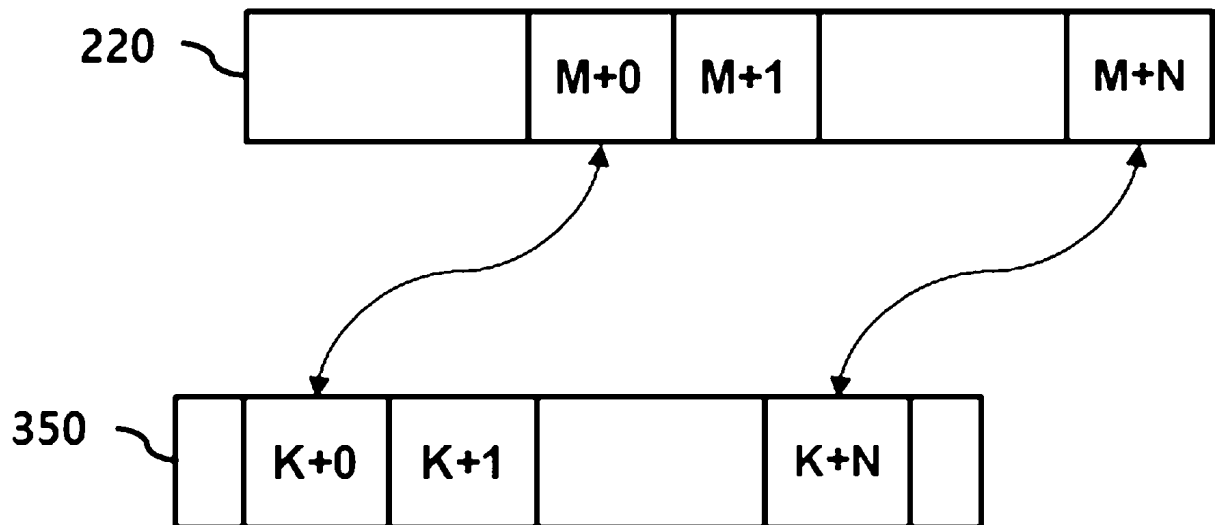
도면3



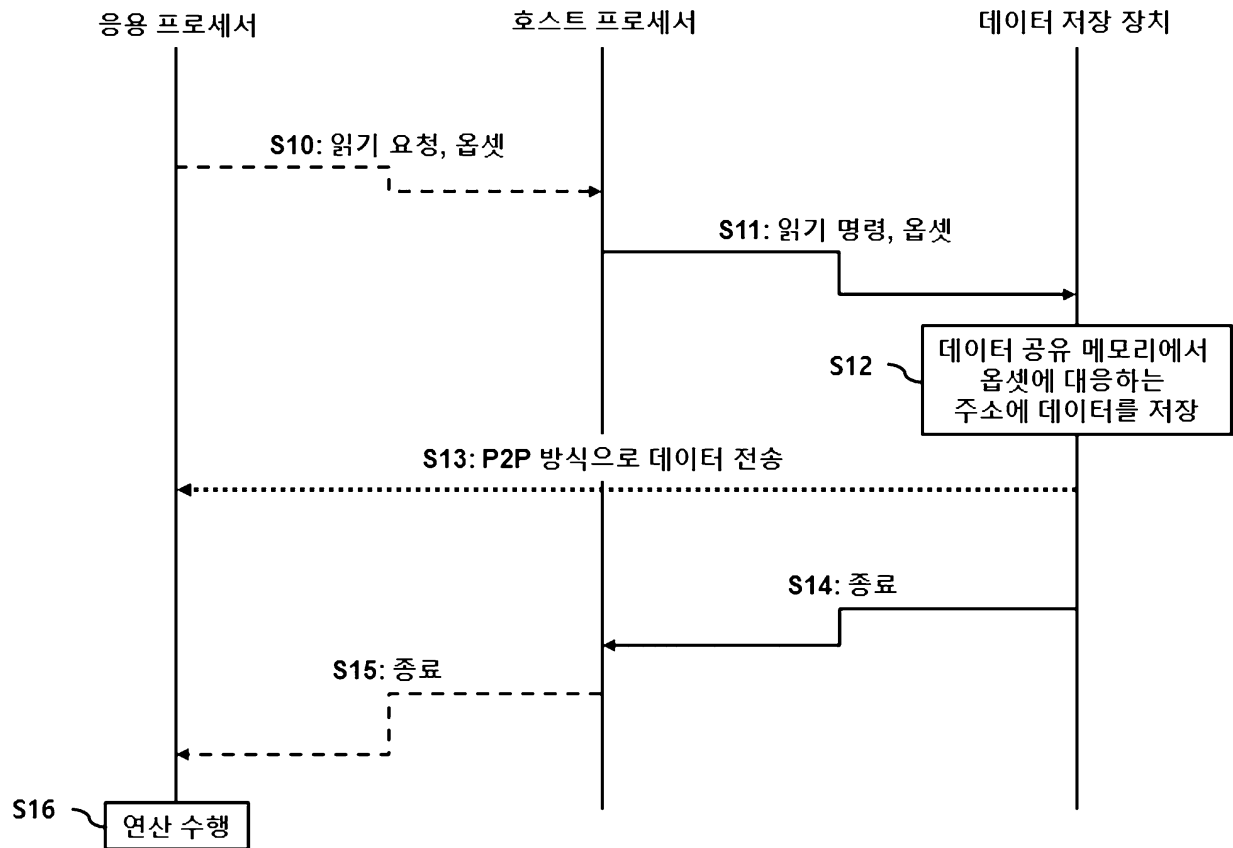
도면4



도면5



도면6



도면7

