申請日期： 88-02-24	案號： 88102743	公告本
類別： H01L 27/10		

（以上各欄由本局填註）

發明專利說明書 434880

一、發明名稱	中文	半導體記憶裝置
	英文	SEMICONDUCTOR MEMORY
二、發明人	姓名（中文）	1. 末松　靖弘 2. 大島　成夫
	姓名（英文）	1. YASUHIRO SUEMATSU 2. SHIGEO OHSHIMA
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國神奈川縣橫濱市神奈川區松見町2-394-1 皮亞波特101號 2. 日本國神奈川縣橫濱市金澤區並木2-12-12-401
三、申請人	姓名（名稱）（中文）	1. 日商東芝股份有限公司
	姓名（名稱）（英文）	1. KABUSHIKI KAISHA TOSHIBA
	國籍	1. 日本
	住、居所（事務所）	1. 日本國神奈川縣川崎市幸區堀川町72番地
	代表人姓名（中文）	1. 西室　泰三
	代表人姓名（英文）	1.

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1998/03/30	特願平10-083644	有

有關微生物已寄存於	寄存日期	寄存號碼

無

五、發明說明 (1)

〔發明所屬之技術領域〕

本發明是有關於例如同步動態隨機存取記憶體(synchronous dynamic random access memory，以下是稱為同步動態記憶體DRAM)，並具有多個儲存體之半導體記憶裝置。

〔習知技術〕

一般，半導體記憶裝置在製造後，測試記憶體單元(memory cell)功能，並僅使良好製品上市。近年來，半導體記憶裝置是大幅增大記憶容量，並伴隨此，亦增大測試記憶體單元所需時間。記憶體單元之測試，是在記憶體單元陣列(memory cell array)寫入全是"1"或是全是"0"之資料，並且讀出該所寫入之資料，來檢查在各個記憶體單元是否能正常寫入資料。為此，在大記憶體記憶容量時，對於記憶體單元之資料寫入時間、讀出時間是變長，並降低通過量(throughput)。

例如，類似同步(synchronous)動態記憶體，在具有多個儲存體之半導體記憶裝置進行上述測試時，是在每個儲存體寫入資料。即，例如，在由2個儲存體所構成之同步動態記憶體之情況，是藉著儲存體(bank)選擇信號，來選擇第1、第2儲存體，並在依次啟動該所選擇之第1、第2儲存體的第1字(word)線狀態，來依序選擇第1儲存體之列(column)線，並藉著該第1字(word)線和列(column)線而在所選擇之多個記憶體單元寫入資料。其次，依序選擇第2儲存體之列(column)線，並藉著該第1字線和列(column)

五、發明說明 (2)

線而在所選擇之多個記憶體單元寫入資料。此後，依序選擇第1、第2儲存體之第2字線並且重復上述動作。該動作是藉著在第1、第2儲存體重復，並在第1、第2儲存體之所有記憶體單元寫入資料。如此，記憶體測試因為在將資料寫入記憶體單元是需要長時間。因此，在多個儲存體數目時，測試上是需要長時間。

此時，乃開發縮短測試時間之技術。例如，在特開平9-147551號公報，是揭露下列之技術：在測試模式時是同時選擇多個儲存體，並藉著同時在該所選擇之多個儲存體寫入資料，來縮短測試時間。

〔發明所欲解決之課題〕

可是，考慮到在測試模式時同時選擇多個儲存體，並在該所選擇之多個儲存體同時寫入資料時，例如，缺少用於啟動儲存體之指令(command)，而有某個儲存體無法啟動之情況。但是，在習知者，於無法以如此方式啟動儲存體之情況，為了使對應該儲存體之寫入驅動電路動作，是會擔心消耗電流變多。

又，從前僅對通常之記憶體單元陣列測試，是沒有考慮到對於構成冗長電路之備用單元測試。一般，半導體記憶裝置是具有備用行(spare row)或是備用列(spare column)，依照通常半導體單元陣列之測試結果，是能用備用行(spare row)或是備用列(spare column)來替代具有缺陷之行(row)或是列(column)。但是，在備用行或是備用列是具有缺陷之情況，用具有缺陷之行或是列來替代

五、發明說明 (3)

具有缺陷之備用行或是備用列，亦是無法解決缺陷之處，亦無法提昇成品率。為此，在大容量之半導體記憶裝置，預先測試備用單元就變成很重要。但是，在習知者是無法進行備用單元測試。

本發明是提供為了解決上述課題而發明，其目的是藉著可同時測試多個儲存體來縮短測試時間，並減少消耗電流，而且亦能測試備用單元，可用來提昇成品率之半導體記憶體裝置者。

〔用於解決課題之機構〕

本發明為了解決上述課題，是具備有下列者：記憶體單元陣列(memory cell array)，是含有：多條字(word)線、多條列(column)線、至少一條備用列(spare column)線；行編碼器(row decoder)，是依照行位址(row address)來選擇上述字線；列編碼器(column decoder)，是依照列位址(column address)來選擇上述列線；多個儲存體，是具有選擇上述備用列線之備用列編碼器；第1產生機構，是依照設定測試模式信號，來產生同時將多個儲存體變成寫入狀態之寫入控制信號；第2產生機構，是在測試模式時鎖住(latch)列位址所含有之儲存體(bank)選擇信號，來產生選擇所有儲存體之上述備用列編碼器的第1選擇信號，並且依照從上述第1產生機構所提供之寫入控制信號，來產生全部選擇所有儲存體之上述列編碼器的第2選擇信號；和寫入驅動電路，是藉著從上述第2產生機構所提供之第2選擇信號，並藉著所選擇之列編碼器，且依

照上述列位址，在所選擇之列線寫入資料，並藉著從上述第2產生機構所提供之第1選擇信號，並經由所選擇之備用列編碼器，在備用列線寫入資料。

上述寫入驅動電路，在測試模式時，上述行位址所含有之儲存體選擇信號是顯示非選擇狀態時，是含有：使上述寫入驅動電路不動作之控制電路。

上述控制電路是具備有：時鐘脈波反相電路(clocked inverter)，是依照上述寫入控制信號來啟動；電晶體(transistor)，是連接到該時鐘脈波反相電路之輸出端，在不啟動上述寫入控制信號時，將上述時鐘脈波反相電路之輸出端設定成一方之邏輯位準(level)；和邏輯電路，是連接到上述時鐘脈波電路之輸出端，並依照時鐘脈波反相電路輸出端之邏輯位準來控制上述資料之寫入。

上述寫入驅動電路，是鎖住(latch)2個鄰接之儲存體。

上述備用列編碼器是具有：選擇電路，是依照從上述第1產生電路所提供之寫入控制信號來啟動，並藉著上述第2產生電路所提供之第1選擇信號來選擇備用列。

上述第1產生機構是依照結束測試模式之信號，來使同時將上述多個儲存體變成寫入狀態之寫入控制信號不啟動。

〔發明之實施例〕

以下，是參考圖而來說明本發明之實施例。

首先，參考圖2來說明本發明之原理。例如，圖2(a)是圖示4個儲存體所構成之同步動態記憶體。在晶片

五、發明說明 (5)

(chip)1，是配置有儲存體BK0、BK1、BK2、BK3。各個儲存體是具有：後述之記憶體單元陣列、行編碼器、列編碼器、及圖略之備用列編碼器等。又，在儲存體BK0和儲存體BK2彼此之間、及儲存體BK1和BK3彼此之間，是各別配置有寫入驅動電路(WD)2、3。寫入驅動電路2、3是可以在鄰接之儲存體作為共用(share)構造，亦是可以各別設置在每個儲存體。

在上述構造，於測試模式時，依照啟動儲存體(bank)之儲存體啟動指令(bank active command)，來依序啟動各個儲存體BK0、BK1、BK2、BK3之字線WL0、WL1、WL2、WL3，如圖2(b)所示。此後，同時選擇各個儲存體BK0、BK1、BK2、BK3之(圖略)1條列線，藉著該列線和上述字線，在所選擇之記憶體單元寫入資料。接著，依序選擇列線並寫入資料。選擇全部之列線並寫入資料之後，選擇其次之字線，並且重復與上述相同之動作。甚者，在本發明，於測試模式時，亦選擇備用列線，來寫入資料。如此，同時將資料寫入到4個儲存體之記憶體單元陣列。

圖1是圖示與圖2(a)所示之儲存體BK0和BK1有關之構造。圖1是圖示僅與寫入資料有關之構造，並且省略與讀出資料有關之構造。提供位址(address)信號AD之接點(pad)11、提供時鐘脈波(clock)信號之接點(pad)12、提供資料DT之接點(pad)13是各別連接到輸入緩衝器(buffer)14、15、16。依照位址信號之位元(bit)數來多數設置接點11及輸入緩衝器14，並且依照資料之位元權來

五、發明說明 (6)

多數設置接點12及輸入緩衝器15。圖1是僅圖示其中之一者。上述輸入緩衝器14之輸出端，是連接到行位址閂鎖(row address latch)電路17、列位址閂鎖(column address latch)電路18、儲存體選擇信號閂鎖(latch)電路(以下是稱為BS閂鎖(latch)電路)19及模式組暫存器(mode set register)20。上述行位址閂鎖電路17是鎖住(latch)位址信號內之行位址(row address)、列位址閂鎖電路18是鎖住(latch)位址信號內之列位址(column address)。該列位址閂鎖電路18是具有計數器(counter)18a，該計數器18a是增加(increment)在列位址閂鎖電路18所鎖定之列位址。

上述BS閂鎖電路19是鎖住儲存體選擇信號BS，而該儲存體選擇信號BS是設定在例如列位址信號之最高位的2個位元。在通常動作時，該BS閂鎖電路19是依照儲存體選擇信號BS，來輸出為了選擇各個儲存體之列的列儲存體(COlumn BANK)選擇信號CBS0、CBS1。又，在後述測試模式時，BS閂鎖電路19是依照從上述模式組暫存器20所提供之多個儲存體寫入(multi bank write)信號MBW，來共同使上述列儲存體選擇信號CBS0、CBS1變成高位準(high level)。甚至，BS閂鎖電路19，在測試模式時，是輸出為了選擇備用列之備用列儲存體(spare column bank)選擇信號SCBS。例如，該備用列儲存體選擇信號SCBS是高位準。

上述輸入緩衝器15之輸出端，是連接到第1時鐘脈波

五、發明說明 (7)

(CLK)產生器21、第2時鐘脈波產生器22、CSL脈波(pulse)產生器32及上述模式組暫存器20。上述之第1時鐘脈波產生器21是依照從輸入緩衝器15所提供之時鐘脈波信號來產生第1內部時鐘脈波信號，並且提供到上述行位址閂鎖電路17、列位址閂鎖電路18、BS閂鎖電路19。行位址閂鎖電路17、列位址閂鎖電路18、BS閂鎖電路，是與從第1時鐘脈波產生器21所提供之第1內部時鐘脈波信號同步來動作。上述CSL脈波產生器32是依照從上述時鐘脈波信號CLK及上述BS閂鎖電路19所提供之列儲存體選擇信號CBS0、CBS1，來產生時序(timing)信號CSLACT0、CSLACT1，而這些時序信號是控制啟動列選擇信號CSL之時序。這些時序信號CSLACT0、CSLACT1是各別提供到備用列編碼器(SPC/D)37、38，列編碼器(C/D)30、31，寫入驅動電路33、34。

上述第2時鐘脈波產生器22，是依照從上述輸入緩衝器15所提供之時鐘脈波信號，來產生第2內部時鐘脈波信號，並提供給資料閂鎖(data latch)電路23。該資料閂鎖電路23，是依照第2內部時鐘脈波信號，來鎖住從上述輸入緩衝器16所提供之資料。

上述模式組暫存器20，是依照從上述輸入緩衝器15所提供之時鐘脈波信號，來將下列信號寫入並編碼：從上述輸入緩衝器14所提供之位址信號、行位址選通信號/RAS(row address strobe，/是表示反相信號)、列位址選通(column address strobe)信號/CAS、寫入啟動(write

enable)信號/WE、及晶片選擇(chip select)信號/CS。同步動態記憶體，是藉著這些信號之序列(sequence)，來使設定顯示儲存體啟動(bank active)、寫入、讀出等各種動作模式變成可能，模式組暫存器20是將這些信號編碼，來輸出各種動作模式之輸入(entry)信號。甚著，模式組暫存器20，是藉著將這些信號之序列編碼，而這些信號之序列是顯示任意設定之測試模式，來使為了可同時寫入多個儲存體之多個儲存體寫入(multi bank write)信號MBW變成高位準，並藉著將顯示測試模式終止(test mode switch)信號之序列編碼，來使多個儲存體寫入信號MBW變成低位準。

一方面，上述行位址閂鎖電路17之輸出端是連接到各個儲存體之行預先編碼器(row predecoder)24、25。這些行預先編碼器24、25是將從行位址閂鎖電路17所提供之行位址預先編碼，並且各別提供到各個儲存體行編碼器(R/D)26、27。又，從該行預先編碼器24、25所輸出信號之最高位位元(BS)是提供到寫入驅動電路(WD)33、34。

列預先編碼器28、29，是依照從上述BS閂鎖電路19所提供之列儲存體選擇信號CBS0、CBS1，來將上述列位址閂鎖電路18所提供之列位址預先編碼，並且各別提供給各個儲存體之列編碼器30、31。

備用列選擇器(spare column selector)35、36，在通常動作時，是依照從上述BS閂鎖電路19所提供之列儲存體選擇信號CBS0、CBS1、及從列位址閂鎖電路18所提供之列

五、發明說明 (9)

位址，來判斷列位址是否能替代備用列位址，在能替代位址之情況，是輸出能各別啟動備用列編碼器(SPC/D)37、38之備用列啟動(spare column enable)信號SCE，並且輸出各別不啟動列編碼器(C/D)30、31之信號/SCE。

寫入驅動電路(WD)33、34，是各別接收：從上述資料閂鎖電路23所提供之資料；從上述行預先編碼器24、25所提供之儲存體選擇信號BS；從上述模式組暫存器20所提供之多個儲存體寫入信號MBW；從上述列預先編碼器28、29所輸出之列位址CAD；及從上述CSL脈波產生器32所提供之時序信號CSLACT0、CSLACT1。該寫入驅動電路33、34，在寫入資料時，轉送寫入資料到一對所選擇之儲存體資料線(DQ、/DQ)。

在各個儲存體BK0、BK1，記憶體單元陣列(MCA)39、40是各別含有：多個記憶體單元、備用列。上述記憶體單元陣列39、40之記憶體單元，是藉著行編碼器(R/D)26、27、列編碼器(C/D)30、31來選擇。又，上述備用列，是藉著備用列編碼器(SPC/D)37、38來選擇。

圖3是圖示圖1所示之儲存體BK1的上述記憶體單元陣列40和寫入驅動電路34之關係，該構造在其他之儲存體亦是相同。又，例如，在每個儲存體是設有寫入驅動電路。在記憶體單元陣列40，記憶體單元MC是藉著電晶體(transistor, Tr)和電容(capacitor, C)來構成。電晶體Tr之閘極(gate)是連接到字線WL，電流路徑之一端是介著電容C來接地，另一端是連接到位元(bit)線BL。位元線

五、發明說明 (10)

/BL亦同樣地連接到圖略之記憶體單元。位元線BL、/BL是介著感測放大器(sense amplifier, S/A)41C來連接到電晶體41a、41b之電流路徑一端。在這些電晶體41a、41b之閘極，是提供從上述列編碼器所輸出之列選擇信號CSL。這些電晶體41a、41b之電流路徑的另一端是介著資料線DQ、/DQ來連接到上述寫入驅動電路34。例如，上述資料線DQ、/DQ，是配置在記憶體單元陣列之輔助陣列(sub array，圖略)的相互之間，多個位元線是依照列選擇信號CSL來連接到該資料線DQ、/DQ。上述寫入驅動電路33是與一對資料線DQ、/DQ配置成相同數目。

又，圖3是圖示通常之列構造，備用列亦是呈相同構造。

圖4，是圖示上述BS閂鎖電路19之構造。來自上述輸入緩衝器14之儲存體選擇信號BS，是藉著時鐘脈波信號CL、/CL，並介著所控制之時鐘脈波反相電路19a，來提供到閂鎖電路LT1之輸入端。該閂鎖電路LT1，是藉著反相電路19b、19c來構成。該閂鎖電路LT1之輸出端是藉著時鐘脈波信號/CL、CL，並介著所控制之時鐘脈波反相電路19d，來連接到閂鎖電路LT2之輸入端。該閂鎖電路LT2是藉著反相電路19e、19f來構成。是從該閂鎖電路LT2之輸出端，輸出上述備用列儲存體選擇信號SCBS。甚著，閂鎖電路LT2之輸出端，是介著平時導通之轉接閘極(transfer gate)19g來連接到反及(NAND)電路19h之一邊輸入端，並且，是介著反相電路19i來連接到反及(NAND)電路19j之一

五、發明說明 (11)

邊輸入端。在這些反及電路19h、19j之另一邊輸入端，是介著反相電路19k來提供多個儲存體寫入信號MBW。在反及電路19h之輸出端是與反相電路19l、19m串聯連接，在反及電路19j之輸出端，是與反相電路19n、19o串聯連接。是從上述反相電路19m之輸出端輸出列儲存體選擇信號CBS0。且是從反相電路19o之輸出端輸出列儲存體選擇信號CBS1。

在上述構造之BS閂鎖電路19，儲存體選擇信號BS是依照時鐘脈波信號CL、/CL，來依序鎖住(latch)閂鎖電路LT1、LT2。在平常動作時，多個儲存體寫入信號MBW是變成低位準。為此，列儲存體選擇信號CBS0、CBS1，是依照儲存體選擇信號BS之位準，來互補地設定成高位準或是低位準。

一方面，在測試模式時，多個儲存體寫入信號MBW，是變成高位準。為此，列儲存體選擇信號CBS0、CBS1，盡管儲存體選擇信號BS之位準是變成高位準，亦是可選擇所有之儲存體。

又，在測試模式時，為輸入寫入指令(write command)時之儲存體選擇信號BS位準，如後述，在連接到通常之列線的記憶體單元寫入資料時，是設定成高位準。因此，在連接到備用列線之記憶體單元寫入資料時，備用列儲存體選擇信號SCBS是變成高位準。

圖5，是圖示上述備用列編碼器37之構造。備用列編碼器38之構造亦是與圖5相同。從上述備用列編碼器37所輸

五、發明說明 (12)

出之備用列啟動(spare column)信號SCE，是介著轉接閘極37a來提供到反及電路37f。該轉接閘極37a是藉著多個儲存體寫入信號MBW、及反相電路37b，並藉著反相多個儲存體寫入信號MBW來控制。該反相電路37b之輸出信號是提供給P通道(channel)金屬氧化物半導體電晶體(MOS transistor)37d之閘極。該電晶體37d之電流路徑的一端是連接到上述轉接閘極37a之輸出端，另一端是連接到電源Vcc。

又，從上述BS閂鎖電路19所輸出之備用列儲存體選擇信號SCBS，是介著轉接閘極37c來提供到上述非及電路37f。該轉接閘極37c是藉著多個儲存體寫入信號MBW、及上述反相電路37b，並藉著反相之多個儲存體寫入信號MBW，來互補地控制上述轉接閘極37a。該轉接閘極37c之輸出端是連接到P通道MOS電晶體37e之電流路徑的一端。該電晶體37e之電流路徑是另一端是連接到電源Vcc，在閘極是提供多個儲存體寫入信號MBW。

甚著，在上述非及電路37f之輸入端，是提供從上述CSL脈波產生器32所輸出之時序信號CSLACT0。該反及電路37f之輸出端是與反相電路37g、37h、37i串聯連接，並從反相電路37i之輸出端輸出備用列選擇信號SCSL。

在上述構造之備用列編碼器37，於通常動作時，多個儲存體寫入信號MBW是低位準。為此，轉接閘極37a是接通(ON)，轉接閘極37c是變成切斷，電晶體37d是變成切斷，電晶體37e是變成接通。備用列啟動信號SCE，在無法用不

五、發明說明 (13)

良列替代備用列時，是低位準，在能用不良列替代備用列時，是變成高位準。時序信號CSLACT0是高位準時，如果備用列啟動信號SCE是變成高位準，備用列選擇信號SCSL是變成高位準，來選擇備用列。

又，在測試模式時，如果多個儲存體寫入信號MBW是變成高位準，轉接閘極37a是切斷，轉接閘極37c是變成接通，電晶體37d是接通，電晶體37e是變成切斷。為此，在測試模式時，是依照用於選擇備用列之備用列選擇信號SCBS，備用列選擇信號SCSL是變成高位準，來選擇備用列。

圖6，是圖示上述寫入驅動電路34之構造。該寫入驅動電路34在測試模式時是具有控制寫入驅動電路動作之控制電路34a。在該控制電路34a，來自行預先編碼器24之儲存體選擇信號BS是介著反相電路34b、時鐘脈波反相器電路34c，來提供到反及電路34f之輸入端。上述時鐘脈波反相電路34c是藉著多個儲存體寫入信號MBW、及反相電路34d，並藉著反相之多個儲存體寫入信號MBW來控制。該時鐘脈波反相電路34c之輸出端是介著P通道MOS電晶體34e來連接到電源Vcc。在該電晶體34e之閘極是提供多個儲存體寫入信號MBW。在上述反及電路34f之輸入端，是提供上述寫入資料DT、列位址CAD、時序信號CSLACT1。

上述反及電路34f之輸出端是介著反相電路34g來連接到構成驅動電路34h之N通道MOS電晶體34i的閘極。該電晶體34i之電流路徑的一端是接地，而另一端是連接到資料線

五、發明說明 (14)

/DQ，並且，連接到P通道MOS電晶體34j之電流路徑的一端。在該電晶體34j之另一端是提供電流Vcc。上述電晶體34i之閘極是介著反相電路34k來連接到P通道MOS電晶體34l之閘極。在該電晶體之電流路徑的一端是提供電源Vcc，而另一端是連接到資料線DQ，並且，是介著N通道MOS電晶體34m來接地。在該電晶體34m之閘極是介著反相電路34n來提供與上述控制電路34a相同構造之控制電路34o(但是，在輸入信號之內，資料DT是反相)的輸出信號，該輸出信號進一步是介著反相電路34p來提供到上述電晶體34j之閘極。尚且，圖6所示之寫入驅動電路是與儲存體BK1對應之電路，在與儲存體BK0連接之寫入驅動電路33之情況，是不需要反相電路34b。

在上述構造，平常動作時，多個儲存體寫入信號MBW是低位準，因為電晶體34e是接通狀態，節點(mode)34q是變成高位準。為此，是依照列位址CAD、時序信號CSLACT1，而從節點電路34f之輸出端輸出資料DT。該節點電路34f之輸出信號是介著反相電路34g來提供給驅動電路34h，該驅動電路34h是依照資料DT，來驅動一對資料線DQ、/DQ。

一方面，在測試模式時，多個儲存體寫入信號MBW是變成高位準，而電晶體34e是變成切斷。又，依照多個儲存體寫入信號MBW來啟動時鐘脈波反相電路34c。為此，在測試模式時，是依照儲存體選擇信號BS，來使節點34q之位準產生變化。即，在選擇儲存體時，因為儲存體選擇信號BS是高位準，節點34q是高位準，並且依照資料DT來使驅

五、發明說明 (15)

動信號34。對此，在不選擇儲存體時，因為儲存體選擇信號BS是低位準，節點34q是低位準。因此，驅動電路34是不動作。

如此，在測試模式時，例如，在缺少用於啟動儲存體之儲存體啟動指令時，儲存體選擇信號BS是變成低位準，而與該不啟動儲存體對應之寫入驅動電路是不動作。為此，是能降低消耗電流。

在上述構造，是參考圖7來說明圖1之測試模式時之動作。在該例是圖示等待時間(latency)=3、脈衝(burst)長=4之情況。同步動態記憶體，在系統(system)所設定之指令以外，是藉著晶片啟動(chip enable)信號CE、行位址選通信號/RAS、列位址選通信號/CAS、寫入啟動信號/WE來作為任意序列，來允許設定所需要之指令。在該實施例，於測試模式時，是使用組合晶片啟動信號CE、行位址選通信號/RAS、列位址選通信號/CAS、寫入啟動信號/WE之多個儲存體寫入(MBW)指令。是依照上述時鐘脈波信號CLK。從各個接點來接供這些指令、行位址、列位址及儲存體選擇信號BS。

即，在接點12所提供之時鐘脈波信號CLK之內，而在多個儲存體寫入(MBW)模式輸入(entry)所定義之時鐘脈波信號CLK，並且是提供組合晶片啟動信號CE、行位址選通信號/RAS、列位址選通信號/CAS、寫入啟動信號/WE之多個儲存體寫入(MBW)指令(COM)到模式組暫存器20，甚著，指令位址(COMAD)是提供給接點11。模式組暫存器20是依照

五、發明說明 (16)

所提供之指令，來將多個儲存體寫入信號MBW設定成高位準。

以後，在啟動儲存體BK0之儲存體啟動(bank active)，依照所定義之時鐘脈波信號，指令、行位址(ROW)是提供給模式組暫存器20、接點12。該行位址是介著輸入緩衝器14、行位址閂鎖電路17來提供到行預先編碼器24。在該行位址之最高位是含有儲存體選擇信號BS。該行預先編碼器24之編碼輸出信號，是提供到儲存體BK0之行編碼器26，藉著該行編碼器26來啟動記憶體單元陣列39內之字線WL。

其次，同樣地，在啟動儲存體BK1之儲存體啟動，依照所定義之時鐘脈波信號，指令、行位址(ROW)是提供給模式組暫存器20、節點12。該行位址是介著輸入緩衝器14、行位址閂鎖電路17來提供到行預先編碼器25。該行預先編碼器25之編碼輸出信號、是提供到儲存體BK1之行編碼器27，藉著該行編碼器27來啟動記憶體單元陣列40內之字線WL。在該例，是沒有記載儲存體BK2、BK3，亦是依序啟動儲存體BK2、BK3之字線。如此，在啟動所有儲存體之字線後，來提供列位址。

即，依照寫入指令所定義之時鐘脈波信號，將寫入指令、列位址(COL)提供給模式組暫存器20、節點12，而且，資料DT是提供給接點13。上述列位址是介著輸入緩衝器14來提供給BS閂鎖電路19、列位址閂鎖電路18。列位址閂鎖電路18是依照在內部所產生之列位址閂鎖信號COL-AD，來鎖住(latch)列位址。該位址電路18之計數器

五、發明說明 (17)

19是依照從第1時鐘脈波產生器21所提供之時鐘脈波信號來增加(increment)所鎖住之列位址，並提供給列預先編碼器28、29、備用列選擇器35、36。BS閂鎖電路19是如前面所述般，在多個儲存體寫入信號MBW是高位準時，來輸出高位準之列儲存體選擇信號CBS0、CBS1，而且，輸出高位準之備用列儲存體選擇信號SCBS。列儲存體選擇信號CBS0是提供給列預先編碼器28、備用列選擇器35，列儲存體選擇信號CBS1是提供給列預先編碼器29、備用列選擇器36。

這些列預先編碼器28、29是依照列儲存體選擇信號CBS0、CBS1來啟動，並將從列位址閂鎖電路18所提供之列位址預先編碼，而且各別提供到各個儲存體之列編碼器30、31。又，備用列選擇器35、36亦是列儲存體選擇信號CBS0、CBS1來啟動，並且依照從列位址閂鎖電路18所提供之列位址來產生備用列啟動信號SCE。並各別提供到各個儲存體之備用列編碼器37、38。又，CSL脈波產生器32是依照從輸入緩衝器15所提供之時鐘脈波信號，來依序輸出時序信號CSLACT0及CSLACT1，而這些時序信號是控制輸出列選擇信號之時序，並且提供給各個儲存體BK0、BK1之列編碼器30、31、備用列編碼器37、38。各個列編碼器30、31是依照該時序信號CSLACT0或是CSLACT1來依序輸出列選擇信號CSL。各個備用列編碼器37、38亦是依照該時序信號CSLACT0或是CSLACT1，來輸出選擇備用列之備用列選擇信號SCSL。

五、發明說明 (18)

如此，依序選擇各個儲存體之列，並且，上述資料閂鎖電路23所鎖住之資料DT是依序提供給寫入驅動電路33、34。該寫入驅動電路33、34是依照資料DT來驅動一對資料線DQ、/DQ，並將資料寫入所選擇之列的記憶體單元。甚著，藉著重復該動作，同時將資料寫入所有儲存體之記憶體單元。接著，藉著提供組合晶片啟動信號CE、行位址選通信號/RAS、列位址選通信號/CAS、寫入啟動信號/WE、位址信號之多個儲存體寫入轉換指命(multi bank writing switch command)，來結束測試模式。

如果藉著上述實施例，在測試模式時，是處於啟動各個儲存體之字線狀態，藉著同時選擇各個儲存體之列線，同時將資料寫入所有之儲存體。因此，能縮短寫入時間，並且縮短測試所需時間。

而且，上述實施例之情況，在測試模式時是藉著列位址之儲存體選擇信號BS來不選擇儲存體。總之，對於所有的儲存體，為了進行寫入，為了處於選擇所有的儲存體狀態，是不需要使用儲存體選擇信號BS。於此，藉著使用該儲存體選擇信號BS來選擇備用列，並且能將資料寫入所選擇之備用列。因此，如同習知者，切斷保險絲(fuse)在用具有缺陷之列來替代備用列之前，為了能測試備用列，來提昇成品率。

藉著，使用沒有用到之儲存體選擇信號來選擇備用列。為此，是不需要提供為了選擇備用列之擴張位址接腳等，並能防止晶片尺寸之大型化。

五、發明說明 (19)

又，寫入驅動電路33、34，在測試模式時，於行位址之最高位所設定之儲存體選擇信號BS是低位準時，是處於不動作狀態。因此，例如，在測試模式時，於缺少為了啟動儲存體之儲存體啟動指令情況，儲存體選擇信號BS是變成低位準，為了使與該不啟動儲存體對應之寫入驅動電路不動作，而能降低消耗電流。

甚著，藉著提供組合晶片啟動信號CE、行位址選通信號/RAS、列位址選通信號/CAS、寫入啟動信號/WE、位址信號之多個儲存體寫入終止指令，來結束測試模式。因此，為了結束測試模式是不需要切斷電源，並能縮短全部(total)之測試時間。

尚且，在上述實施例，於測試模式時來說明選擇備用列之情況，亦是有可能選擇備用列。此時，首先，在模式組暫存器20組合上述各種信號，來提供為了選擇備用行之指令，並設有備用行之測試模式。在該狀態，是存取(access)備用行來寫入資料。例如，如圖8所示，在記憶體單元陣列MCA之端子部是配置有備用行(備用字線)SWL，而在與低位編碼器(low decoder) R/D鄰接是配置有備用低位編碼器SPR/D時，來選擇作為備用行SWL之機構，例如，將儲存體選擇信號BS之一個低位位址分配備用行SWL，在該備用行SWL所分配之位址最好是低位準(非選擇狀態)。

圖9，是圖示圖3之其他例子者，在與圖3相同部分是附有相同符號，在圖3所示之例子，對於將寫入驅動電路設

五、發明說明 (20)

置在各個儲存體之情況，該例子是圖示共用(share)寫入驅動電路之2個鄰接儲存體的情況。

在寫入驅動電路34和儲存體BK1之資料線/DQ、DQ彼此之間，是連接第1控制電路91，其是為了連接寫入驅動電路34和資料線/DQ、DQ，而在寫入驅動電路34和儲存體BK3之資料線/DQ、DQ彼此之間，是連接第2控制電路92，其是為了連接寫入驅動電路34和資料線/DQ、DQ。第1、第2控制電路91、92並且是相同構造，在第2控制電路92，於第1控制電路91相同部分是附有相同符號，來說明第1控制電路91之構造。

在寫入驅動電路34和資料線/DQ、DQ彼此之間，是各別連接轉接閘極91a、91b。這些轉接閘極91a、91b是由下列者來控制：從上述模式組暫存器20所提供之多個儲存體寫入信號MBW、從上述BS閂鎖電路19所提供之列儲存體選擇信號CBS1、從行預先編碼器25所提供之儲存體選擇信號BS。即，列儲存體選擇信號CBS1是提供給時鐘脈波反相電路91c之輸入端。該時鐘脈波反相電路91c是藉著多個儲存體寫入信號MBW及反相電路91d，並且藉著反相多個儲存體寫入信號MBW來控制。上述儲存體選擇信號BS是提供給時鐘脈波反相電路91e之輸入端。該時鐘脈波反相電路91e是藉著反相電路91d，並且藉著反相之多個儲存體寫入信號MBW及多個儲存體寫入信號MBW來控制。在構成上述轉接閘極91a、91b之P通道MOS電晶體閘極是各別連接到這些時鐘脈波反相電路91c、91e之輸出端，並且，是介著反相電路

五、發明說明（21）

91f，在構成轉接閘極91a、91b之N通道MOS電晶體閘極是各別連接到這些時鐘脈波反相電路91c、91e之輸出端。

第2控制電路92，僅輸入信號是與第1控制電路91不同。即，為了選擇儲存體BK3之列儲存體選擇信號CBS1'、儲存體選擇信號BS'是提供到第2控制電路92。

在上述第1、第2控制電路91、92，於平常動作時，因為MBW是低位準，而啟動時鐘脈波反相電路91c，時鐘脈波反相電路91e是不啟動。為此，第1、第2控制電路91、92是各別依照儲存體選擇信號CBS1、CBS1'來動作。

一方面，在測試模式時，因為MBW變成高位準，使時鐘脈波反相電路91e啟動，而時鐘脈波反相電路91c是不啟動。為此，第1、第2控制電路91、92是各別依照儲存體選擇信號BS、BS'來動作。即，依照儲存體選擇信號BS、BS'，來同時接通儲存體BK1、BK3之轉接閘極91a、91b，並藉著寫入驅動電路34來同時將資料寫入儲存體BK1、BK3之記憶體單元。

尚且，在作為圖9所示之電路構造情況，於測試模式時是缺少用為啟動儲存體之儲存體啟動指令，儲存體選擇信號BS(BS')是變成低位準，因為從不啟動之儲存體切離寫入驅動電路，而能降低消耗電流。因此，不需要在圖6用虛線34h所包圍範圍之內的電路。

其他，本發明並不限定於上述實施例，在不改變發明要旨之範圍當然是可作為各種變形例。

〔發明效果〕

以上，於詳細說明，如果藉著本發明，藉著可同時測試多個儲存體是可縮短測試時間，並且減少消耗電流，而且，亦能測試備用單元，並提供能提昇成品率之半導體記憶裝置。

〔圖面之簡單說明〕

圖1是圖示本發明之實施例，是重要部分之構造圖。

圖2(a)是概略圖示測試模式時之動作平面圖，圖2(b)是圖示測試模式時之動作時序圖。

圖3是圖示記憶體單元和寫入驅動電路關係之電路圖。

圖4是圖示圖1所示之BS閂鎖電路構造之電路圖。

圖5是圖示圖1所示之備用列編碼器構造之電路圖。

圖6是圖示圖1所示之寫入驅動電路構造之電路圖。

圖7是圖示圖1之測試模式時之動作時序圖。

圖8是用於說明選擇備用行時之平面圖。

圖9是圖示記憶體單元和寫入驅動電路之其他例子的電路圖。

〔符號說明〕

BK0、BK1、BK2、BK3…儲存體

17…行位址閂鎖電路

18…列位址閂鎖電路

18a…計數器

19…BS閂鎖電路

20…模式組選擇器

23…資料閂鎖電路

五、發明說明（23）

24、25…行預先編碼器

26、27…行編碼器

28、29…列預先編碼器

30、31…列編碼器

32…CSL脈波產生器

33、34…寫入驅動電路

37、38…備用列編碼器

39、40…記憶體單元陣列

91、92…第1、第2控制電路

MBW…多個儲存體寫入信號

CBS0、CBS1…列儲存體選擇信號

BS…儲存體選擇信號

SCBS…備用列儲存體選擇信號

CSLACT0、CSLACT1…時序信號

四、中文發明摘要　（發明之名稱：半導體記憶裝置）

依習知技術要同時測試(test)含有備用單元(spare cell)之多個儲存體(bank)是有困難，而且抑制在測試模式(test mode)時所消耗電流亦是有困難。

本發明為解決上述習知技術之課題，模式組暫存器(mode set register) 20在測試模式時是輸出多個儲存體寫入(multi bank write)信號MBW。BS閂鎖(latch)電路19在測試模式時是產生選擇儲存體BK0、BK1之備用列編碼器(spare column decoder)37、38的信號SCBS，而且產生選擇列編碼器(column decoder)30、31之信號CBS0、CBS1。寫入驅動電路33、34是藉著列編碼器(column decoder)30、31而在所選擇之列(column)線上寫入資料(data)，並藉著備用列編碼器(spare column

英文發明摘要　（發明之名稱：SEMICONDUCTOR MEMORY）

【課題】　スペアセルを含む複数のバンクを同時にテストすることが困難であるとともに、テストモード時の消費電流を抑えることが困難であった。

【解決手段】　モードセットレジスタ２０はテストモード時にマルチバンクライト信号ＭＢＷを出力する。ＢＳラッチ回路１９はテストモード時にバンクＢＫ０、ＢＫ１のスペアカラムデコーダ３７、３８を選択する信号ＳＣＢＳを生成するとともに、カラムデコーダ３０、３１を選択する信号ＣＢＳ０、ＣＢＳ１を生成する。書き込み駆動回路３３、３４は、カラムデコーダ３０、３１により選択されるカラム線にデータを書き込み、スペアカラムデコーダ３７、３８により選択されるスペアカラム線にデータを書き込む。

【選択図】　図１

四、中文發明摘要　（發明之名稱：半導體記憶裝置）

decoder)37、38而在所選擇之備用列(column)線上寫入資料。

英文發明摘要　（發明之名稱：SEMICONDUCTOR MEMORY）

六、申請專利範圍

1. 一種半導體記憶裝置，其特徵在於具備有下列者：記憶體單元陣列，是含有多條字線，多條列線，至少一條備用列線；行編碼器，是依照行位址來選擇上述字線；列編碼器，是依照列位址來選擇上述列線；多個儲存體，是具有選擇上述備用列線之備用列編碼器；

第1產生機構，是依照設定測試模式之信號，來產生處於同時寫入多個儲存體狀態之寫入控制信號；

第2產生機構，在測試模式時是鎖住含有列位址之儲存體選擇信號，來產生選擇所有儲存體之上述備用列編碼器的第1選擇信號，而且依照從上述第1產生機構所提供之寫入控制信號，來產生全部選擇所有儲存體之上述列編碼器的第2選擇信號；和

寫入驅動電路，藉著從上述第2產生機構所提供第2選擇信號，並藉著所選擇之列編碼器，且依照上述列位址將資料寫入所選擇之列線，又藉著從上述第2產生機構所提供之第1選擇信號，且介著所選擇之備用列編碼器來將資料寫入備用列線。

2. 如申請專利範圍第1項之半導體記憶裝置，其中上述寫入驅動電路，在測試模式時含有上述行位址之儲存體選擇信號顯示非選擇狀態時，是含有使上述寫入驅動電路不動作之控制電路。

3. 如申請專利範圍第2項之半導體記憶裝置，其中上述控制電路是具備有：時鐘脈波反相電路，是將上述儲存體選擇信號提供到輸入端，並依照上述寫入控制信號來啟

六、申請專利範圍

動；電晶體，是連接到該時鐘脈波反相電路之輸出端，在不啟動上述寫入控制信號之時，是將上述時鐘脈波反相電路之輸出端設定成一方之邏輯位準；和邏輯電路，是連接到上述時鐘脈波反相電路之輸出端，並依應時鐘脈波反相電路輸出端之邏輯位準來控制上述資料之寫入。

4. 如申請專利範圍第2項之半導體記憶裝置，其中上述寫入驅動電路，是與2個鄰接之儲存體共用。

5. 如申請專利範圍第1項之半導體記憶裝置，其中上述備用列編碼器，是依照從上述第1產生電路所提供之寫入控制信號來啟動，並藉著從上述第2產生電路所提供之第1選擇信號；且具有選擇備用列之選擇電路。

6. 如申請專利範圍第1項之半導體記憶裝置，其中上述第1產生機構是依照結束測試模式之信號，來使處於同時寫入上述多個儲存體狀態之寫入控制信號不啟動。

圖式

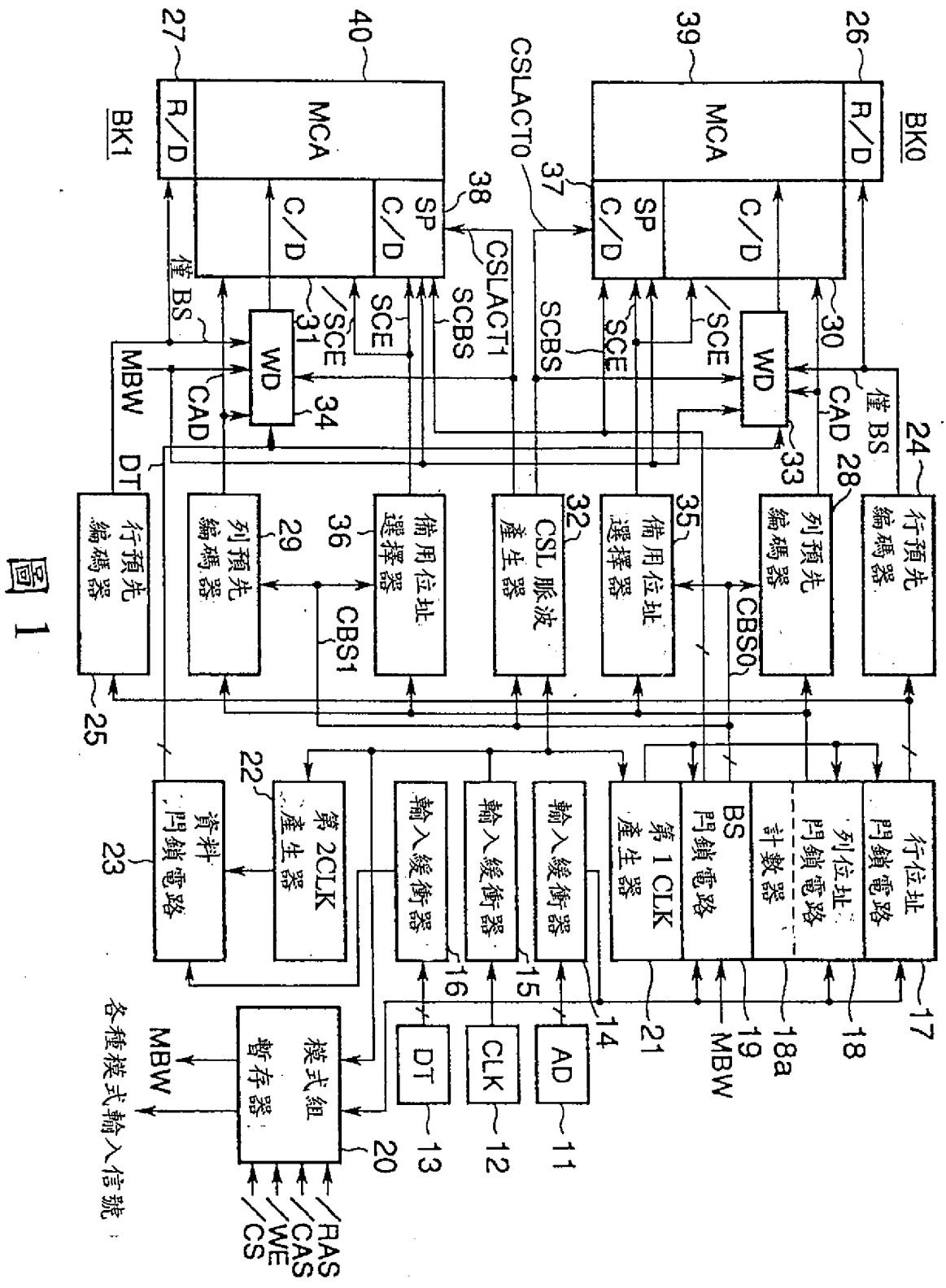
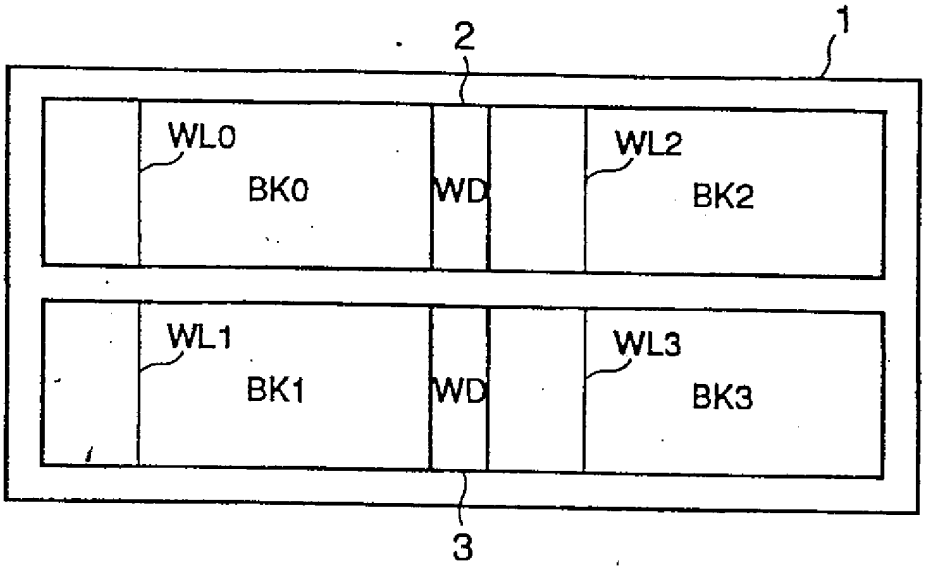

BK0
BK1
R/D
MCA
C/D
SP C/D
WD
CSLACT0
CSLACT1
SCBS
SCE
/SCE
僅BS
CAD
MBW
DT
行預先編碼器
列預先編碼器
備用位址選擇器
CSL脈波產生器
CBS0
CBS1
行位址門鎖電路
列位址門鎖電路
計數器
BS門鎖電路
第1CLK產生器
輸入緩衝器
第2CLK產生器
資料門鎖電路
模式組暫存器
AD
CLK
RAS
CAS
WE
CS
各種模式輸入信號

圖1

圖式

(a)



(b)

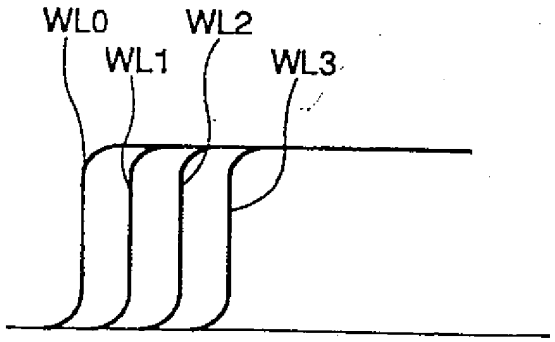


圖 2

圖式

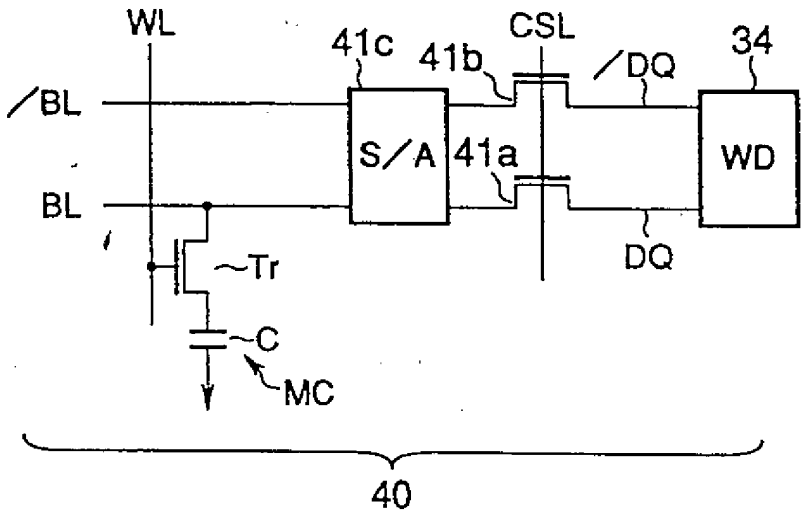


圖 3

圖式

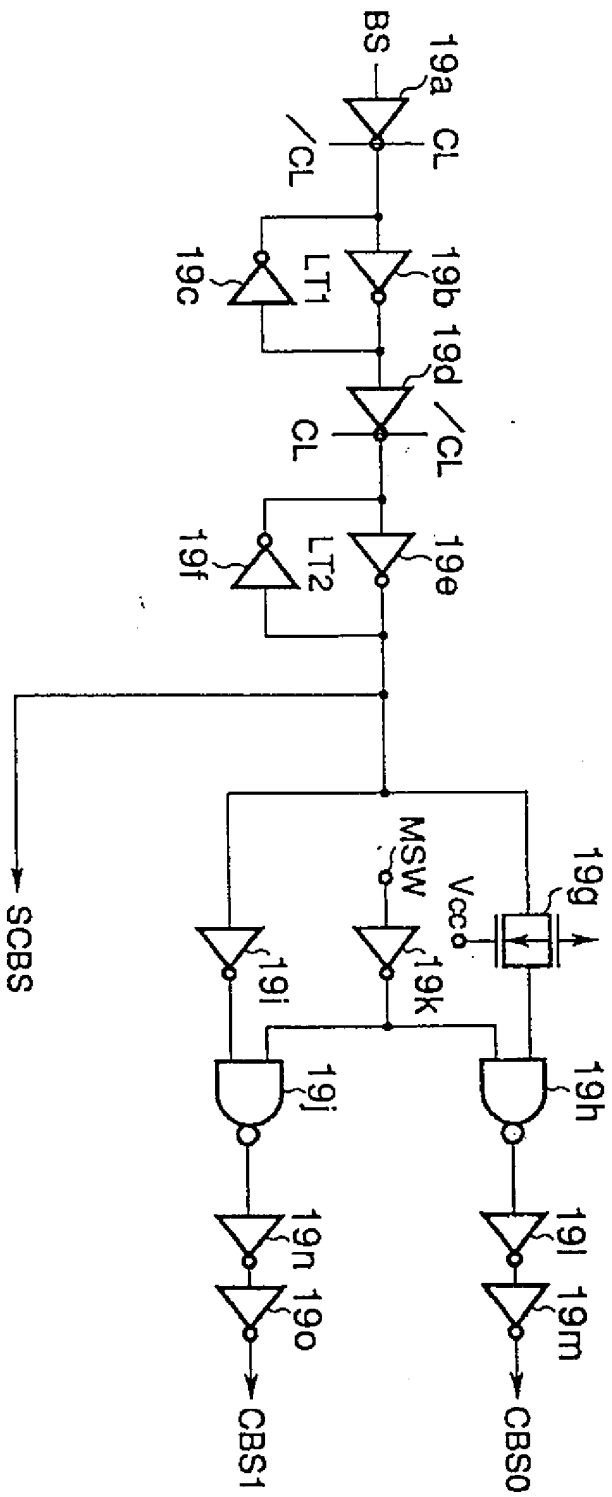

19
BS
19a
CL
/CL
19b
LT1
19c
19d
/CL
CL
19e
LT2
19f
SCBS
MSW
Vcc
19g
19i
19k
19j
19h
19n
19o
19l
19m
CBS1
CBS0

圖 4

圖式

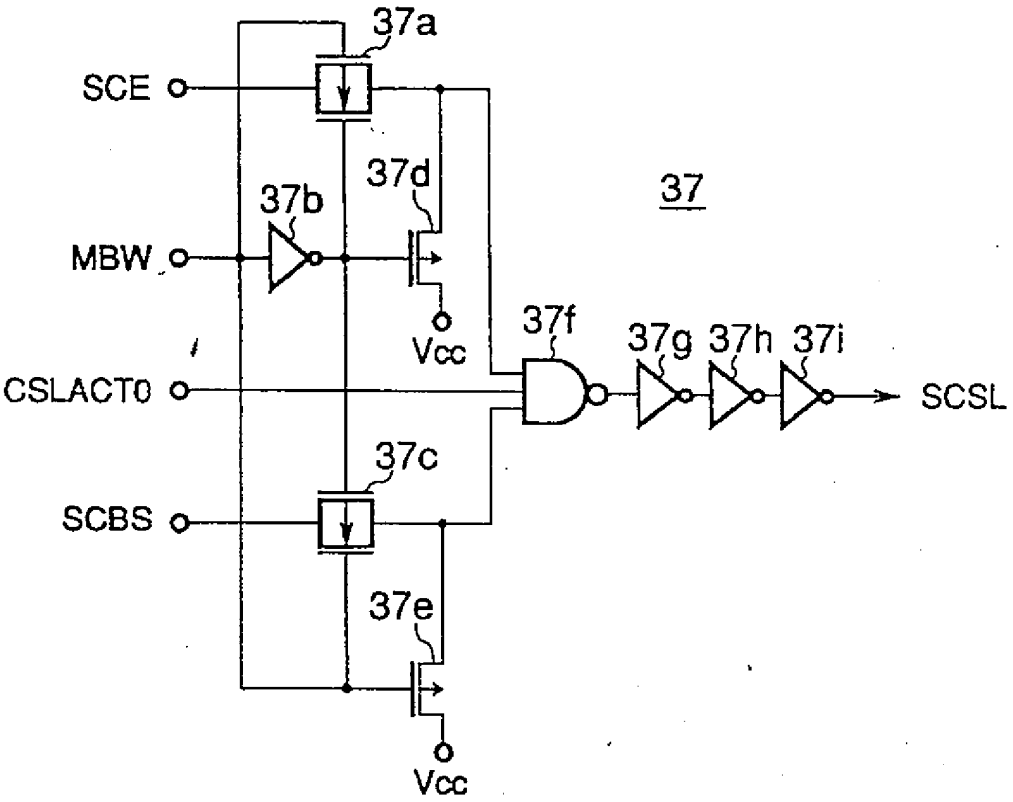

37a
SCE
37d
37b
37
MBW
Vcc
37f
37g
37h
37i
CSLACT0
SCSL
37c
SCBS
37e
Vcc

圖 5

圖式

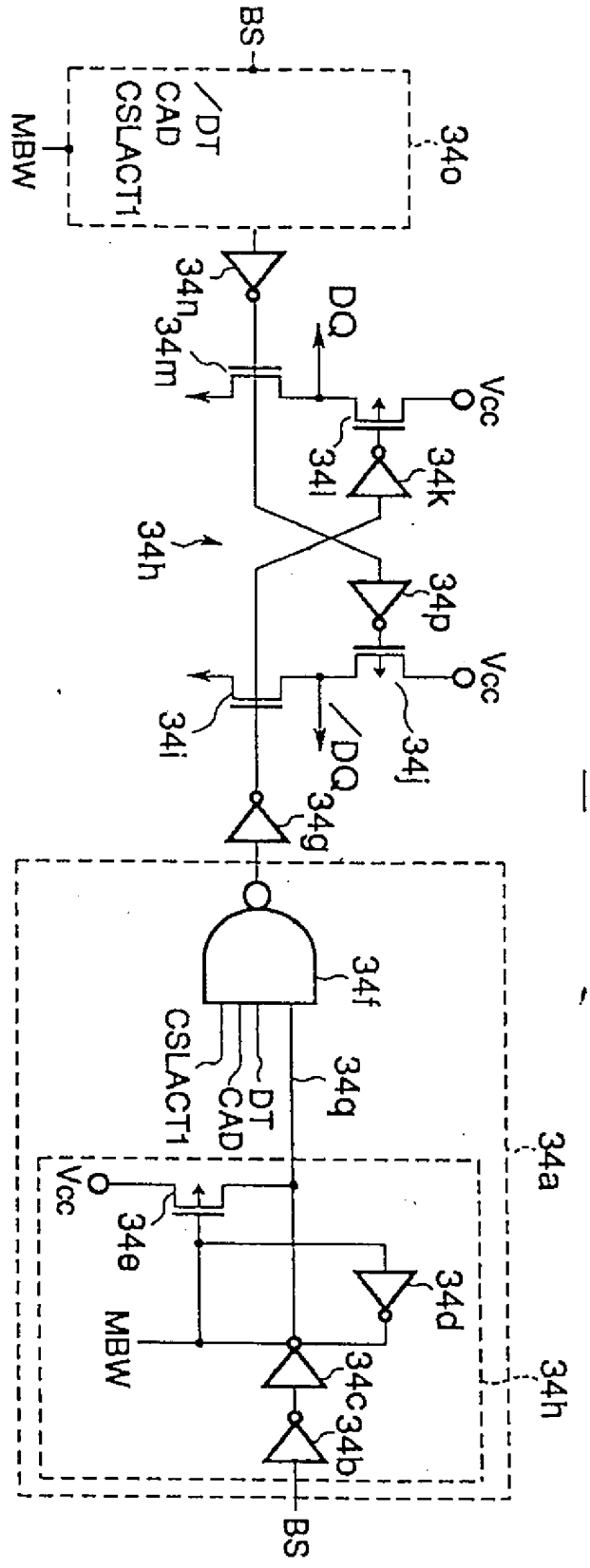

BS
/DT
CAD
CSLACT1
MBW
34o
34n
34m
DQ
Vcc
34l
34k
34h
34p
Vcc
34i
34j
/DQ
34g
34
34f
CSLACT1
DT
CAD
34q
34a
Vcc
34e
MBW
34d
34c
34b
34h
BS

圖 6

圖式

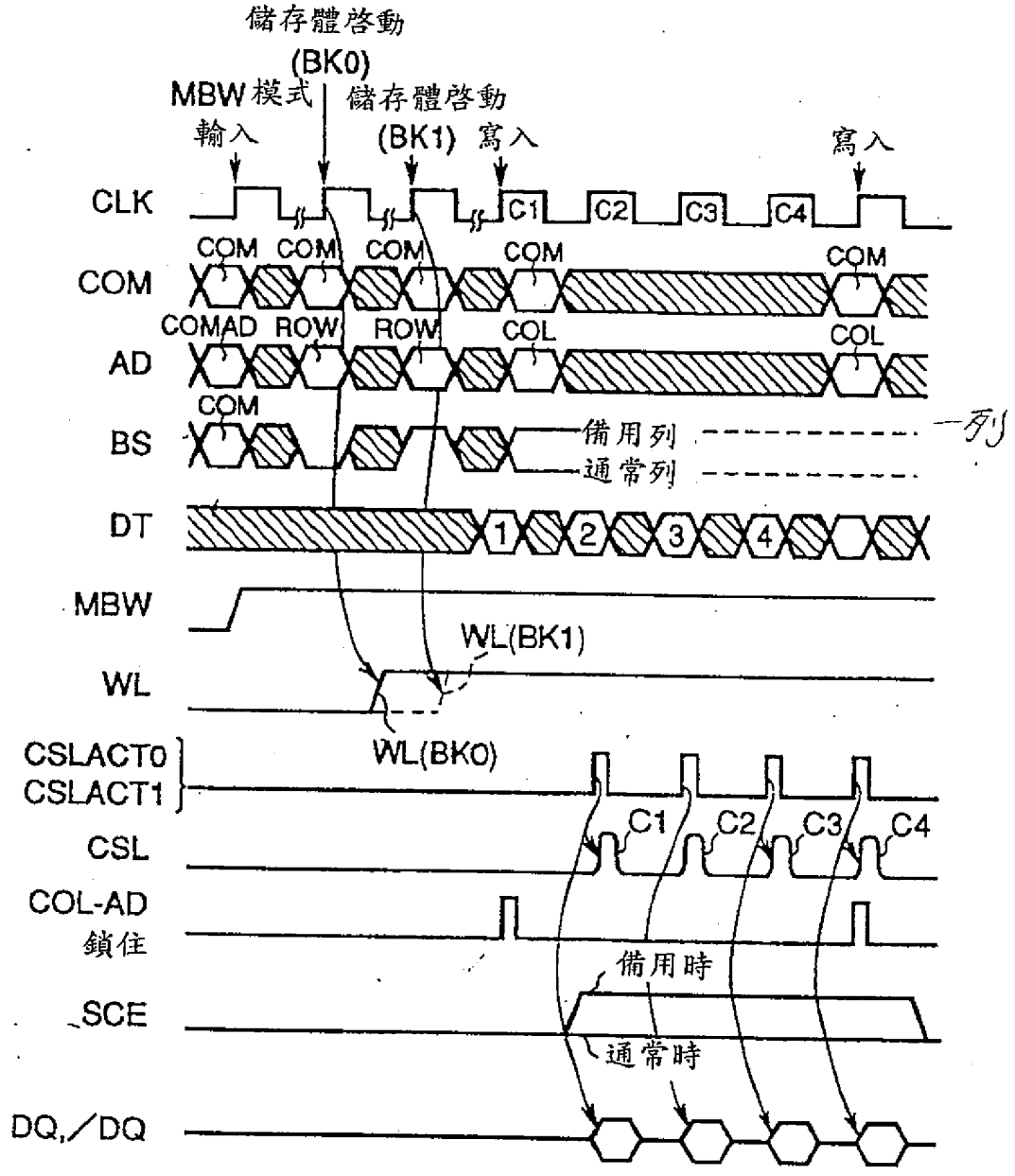
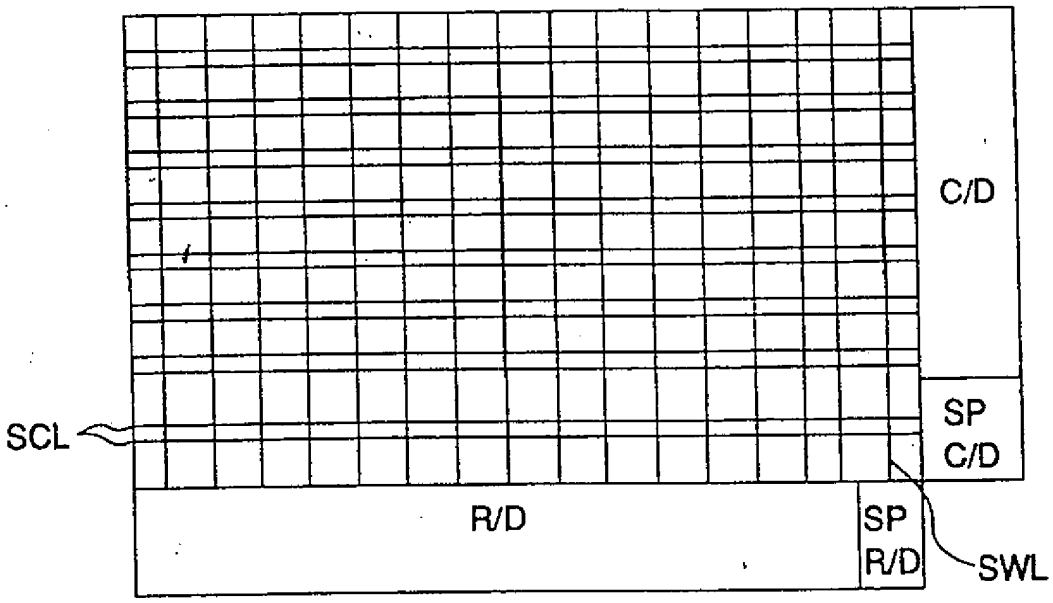

儲存體啓動
(BK0)
MBW模式
輸入
儲存體啓動
(BK1)
寫入
寫入
CLK
C1
C2
C3
C4
COM
COMAD
ROW
COL
AD
BS
備用列
通常列
一列
DT
1
2
3
4
MBW
WL(BK1)
WL
WL(BK0)
CSLACT0
CSLACT1
CSL
COL-AD
鎖住
SCE
備用時
通常時
DQ,/DQ

圖 7

圖式



BK1

圖 8

圖式

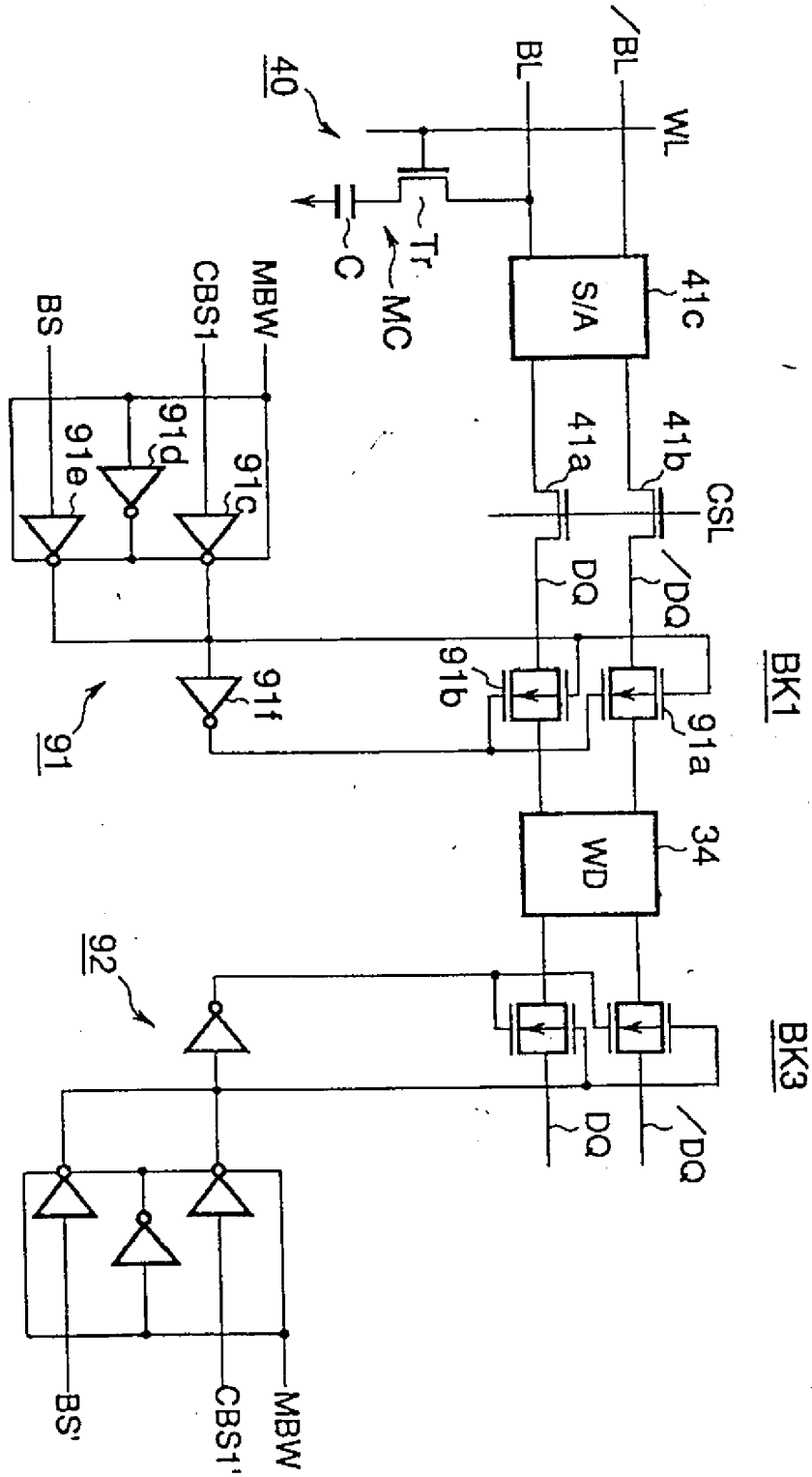

40
BL
/BL
WL
Tr
C
MC
S/A
41c
41a
41b
CSL
DQ
/DQ
BK1
91a
91b
91c
91d
91e
91f
91
BS
CBS1
MBW
WD
34
92
BK3
BS'
CBS1'

圖 9