



(12) 发明专利申请

(10) 申请公布号 CN 104040715 A

(43) 申请公布日 2014. 09. 10

(21) 申请号 201280066705. 2

(51) Int. Cl.

(22) 申请日 2012. 12. 25

H01L 25/07(2006. 01)

(30) 优先权数据

H01L 25/18(2006. 01)

2012-026340 2012. 02. 09 JP

H02M 1/00(2007. 01)

(85) PCT国际申请进入国家阶段日

2014. 07. 10

(86) PCT国际申请的申请数据

PCT/JP2012/083529 2012. 12. 25

(87) PCT国际申请的公布数据

W02013/118415 JA 2013. 08. 15

(71) 申请人 富士电机株式会社

地址 日本神奈川县川崎市

(72) 发明人 堀尾真史 福田恭平 堀元人

池田良成

(74) 专利代理机构 北京尚诚知识产权代理有限公司

公司 11322

代理人 龙淳

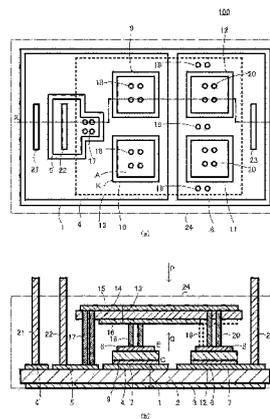
权利要求书2页 说明书10页 附图16页

(54) 发明名称

半导体器件

(57) 摘要

本发明提供一种半导体器件。在带有导电图案的绝缘衬底(1)上配置有半导体芯片(9~12),夹着半导体芯片(9~12)在带有导电图案的绝缘衬底(1)的上方配置有带有金属引脚的印刷电路板(13),在带有导电图案的绝缘衬底(1)固定有多个外部引出端子(21、22、23),多个外部引出端子(21、22)相邻平行配置。此外,在带有金属引脚的印刷电路板(13)的正面和背面彼此相对地形成的金属箔(15、16)配置在半导体芯片(9~12)的上方。



1. 一种半导体器件,其特征在于,包括:

带有导电图案的绝缘衬底,其在第一绝缘衬底上至少具有第一导电图案、第二导电图案和第三导电图案;

正极的外部引出端子,其固定在所述第一导电图案;

负极的外部引出端子,其固定在所述第二导电图案;

中间电位的外部引出端子,其固定在所述第三导电图案;

第一半导体元件,其一个面固定在所述第一导电图案;

第二半导体元件,其一个面固定在所述第三导电图案;和

带有导电引脚的绝缘衬底,其在第二绝缘衬底的背面和正面分别具有导电层,并具有:固定于所述第二绝缘衬底的背面的导电层的多个第一导电引脚、和固定于所述第二绝缘衬底的正面的导电层的多个第二导电引脚,

所述正极的外部引出端子与负极的外部引出端子彼此相邻且平行地配置,构成所述第一导电引脚的引脚的一部分固定在所述第一半导体元件的另一个面,并且构成该第一导电引脚的其他引脚固定在所述第三导电图案,构成所述第二导电引脚的引脚的一部分固定在所述第二半导体元件的另一个面,并且构成该第二导电引脚的其他引脚固定在所述第二导电图案,所述带有导电引脚的绝缘衬底配置在所述第一半导体元件的另一个面侧和第二半导体元件的另一个面侧,配置有该第一半导体元件和第二半导体元件的区域的大小与所述带有导电引脚的绝缘衬底面的大小大致相同。

2. 一种半导体器件,其特征在于,包括:

第一带有导电图案的绝缘衬底,其在第一绝缘衬底上至少具有第一导电图案和第二导电图案;

第二带有导电图案的绝缘衬底,其在第三绝缘衬底上至少具有第三导电图案;

正极的外部引出端子,其固定在所述第一导电图案;

负极的外部引出端子,其固定在所述第二导电图案;

中间电位的外部引出端子,其固定在所述第三导电图案;

第一半导体元件,其一个面固定在所述第一导电图案;

第二半导体元件,其一个面固定在所述第三导电图案;和

带有导电引脚的绝缘衬底,其在第二绝缘衬底的背面和正面分别具有导电层,并具有:固定于所述第二绝缘衬底的背面的导电层的多个第一导电引脚、和固定于所述第二绝缘衬底的正面的导电层的多个第二导电引脚,

所述正极的外部引出端子与负极的外部引出端子彼此相邻且平行地配置,构成所述第一导电引脚的引脚的一部分固定在所述第一半导体元件的另一个面,并且构成该第一导电引脚的其他引脚固定在所述第三导电图案,构成所述第二导电引脚的引脚的一部分固定在所述第二半导体元件的另一个面,并且构成该第二导电引脚的其他引脚固定在所述第二导电图案,所述带有导电引脚的绝缘衬底配置成夹在所述第一半导体元件的另一个面与所述第二半导体元件的另一个面之间。

3. 如权利要求 1 或 2 所述的半导体器件,其特征在于:

所述带有导电引脚的绝缘衬底是带有金属引脚的印刷电路板,该带有金属引脚的印刷电路板具有:分别固定在由陶瓷构成的所述第二绝缘衬底的正面和背面的金属箔、固定于

背面的金属箔的第一金属引脚、和固定于正面的金属箔的第二金属引脚。

4. 如权利要求 1 或 2 所述的半导体器件,其特征在于:

所述正极的外部引出端子和所述负极的外部引出端子是长方形的导电板。

5. 如权利要求 1 或 2 所述的半导体器件,其特征在于:

所述第一半导体元件和所述第二半导体元件经由所述第一导电引脚和所述第三导电图案串联连接,且为构成上臂或下臂的 2in1、4in1 和 6in1 中的任一种半导体模块。

6. 如权利要求 1 或 2 所述的半导体器件,其特征在于:

所述第一半导体元件和第二半导体元件各自由开关晶体管芯片和与该开关晶体管芯片反向并联连接的二极管芯片构成。

7. 如权利要求 6 所述的半导体器件,其特征在于:

所述开关晶体管芯片是 IGBT 芯片、MOSFET 芯片、结型场效应晶体管芯片和双极型晶体管芯片中的任一个,所述二极管芯片是 pn 二极管芯片或肖特基势垒二极管芯片。

8. 如权利要求 1 或 2 所述的半导体器件,其特征在于:

所述第二导电图案的三方被所述第一导电图案包围。

9. 如权利要求 1 或 2 所述的半导体器件,其特征在于:

固定于所述第二导电图案的所述第二导电引脚贯通所述第二绝缘衬底。

半导体器件

技术领域

[0001] 本发明涉及半导体模块等半导体器件。

背景技术

[0002] 用图 16 的主要部分截面图说明现有的半导体器件。图 16 的半导体器件列举了 2in1 的半导体模块 500 的例子。图中,101 是散热用的金属底板 (base plate)。102 是搭载于金属底板 101 之上并用焊料 103 接合的带有导电图案的绝缘衬底 (陶瓷绝缘衬底)。该带有导电图案的绝缘衬底 (陶瓷绝缘衬底)102 是在绝缘衬底 (陶瓷衬底)102a 的正面贴合有导电图案 102b、在背面贴合有背面导电膜 102c (在正背面贴合有金属图案 102b、102c) 的衬底。104 是经由焊料 105 安装于带有导电图案的绝缘衬底 102 的导电图案 102b 的半导体芯片 (半导体功率芯片)。106 是收纳经由焊料 103 与带有导电图案的绝缘衬底 (陶瓷绝缘衬底)102 的背面导电膜 102c 接合的冷却底板 (金属底板)101 的树脂壳体。107 是通过焊料 105 与导电图案 102b 接合的作为外部引出端子的金属条 (bar) 端子。半导体芯片 104 彼此、或半导体芯片 104 与其他区域的导电图案 102b 通过键合线 108 接合。

[0003] 此外,专利文献 1 中,记载有如下的半导体器件:其在带有导电图案的绝缘衬底上配置有半导体芯片,在半导体芯片和导电图案,固定有多个金属引脚,该多个金属引脚固定在印刷电路板。并记载:通过将粘贴在该印刷电路板的正背面的金属箔配置成在印刷电路板内相对,从而能够降低配线电感。

[0004] 此外,专利文献 2、3 中,公开了:半导体器件内的 P 电极的外部引出端子与 N 电极的外部引出极端子平行地配置,降低配线电感。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献 1:日本特开 2009-64852 号公报 (段落 0132 ~ 0134 和图 17)

[0008] 专利文献 2:日本特开 2001-274322 号公报

[0009] 专利文献 3:日本特开 2004-214452 号公报

发明内容

[0010] 发明想要解决的技术问题

[0011] 在半导体器件中,为了使开关动作时产生的浪涌电压和外来的电压浪涌降低,要求降低半导体器件内部的配线电感。

[0012] 但是,在图 16 的半导体器件中,配线电感是带有导电图案的绝缘衬底、键合线以及外部引出端子等单个部件的电感的合计值,所以难以实现低电感。

[0013] 此外,专利文献 1、2、3 中,没有记载:通过组合配置在带有金属引脚的印刷电路板的正面的金属箔和配置在背面的金属箔在半导体芯片上彼此相对的结构、和由金属条形成的外部引出端子 (P 端子和 N 端子, U 端子和 P 端子或 N 端子等) 相邻平行配置的结构,降低配线电感,进而使半导体器件小型化。

[0014] 此外,专利文献 1 中,印刷电路板的正面和背面侧的金属箔在印刷电路板内相对的部位位于偏离半导体芯片的部位,该偏离的部位与外部引出端子连接,所以印刷电路板增大,半导体器件大型化。此外,因为印刷电路板与外部引出端子连接,所以连接部位的机械强度较弱。

[0015] 本发明的目的在于,解决上述技术问题,提供一种能够降低配线电感并能够实现小型化的具有带有金属引脚的印刷电路板的半导体器件。

[0016] 用于解决问题的技术方案

[0017] 为了达成上述目的,本发明的半导体器件具有以下特征。其包括:带有导电图案的绝缘衬底,其在第一绝缘衬底上至少具有第一导电图案、第二导电图案和第三导电图案;正极的外部引出端子,其固定在上述第一导电图案;负极的外部引出端子,其固定在上述第二导电图案;中间电位的外部引出端子,其固定在上述第三导电图案;第一半导体元件,其一个面固定在上述第一导电图案;第二半导体元件,其一个面固定在上述第三导电图案;和带有导电引脚的绝缘衬底,其在第二绝缘衬底的背面和正面分别具有导电层,并具有:固定于上述第二绝缘衬底的背面的导电层的多个第一导电引脚、和固定于上述第二绝缘衬底的正面的导电层的多个第二导电引脚,上述正极的外部引出端子与负极的外部引出端子彼此相邻且平行地配置,构成上述第一导电引脚的引脚的一部分固定在上述第一半导体元件的另一个面,并且构成该第一导电引脚的其他引脚固定在上述第三导电图案,构成上述第二导电引脚的引脚的一部分固定在上述第二半导体元件的另一个面,并且构成该第二导电引脚的其他引脚固定在上述第二导电图案,上述带有导电引脚的绝缘衬底配置在上述第一半导体元件的另一个面侧和第二半导体元件的另一个面侧,配置有该第一半导体元件和第二半导体元件的区域的大小与上述带有导电引脚的绝缘衬底面的大小大致相同。

[0018] 此外,本发明的半导体器件的另一方式具有以下特征。包括:第一带有导电图案的绝缘衬底,其在第一绝缘衬底上至少具有第一导电图案和第二导电图案;第二带有导电图案的绝缘衬底,其在第三绝缘衬底上至少具有第三导电图案;正极的外部引出端子,其固定在上述第一导电图案;负极的外部引出端子,其固定在上述第二导电图案;中间电位的外部引出端子,其固定在上述第三导电图案;第一半导体元件,其一个面固定在上述第一导电图案;第二半导体元件,其一个面固定在上述第三导电图案;和带有导电引脚的绝缘衬底,其在第二绝缘衬底的背面和正面分别具有导电层,并具有:固定于上述第二绝缘衬底的背面的导电层的多个第一导电引脚、和固定于上述第二绝缘衬底的正面的导电层的多个第二导电引脚,上述正极的外部引出端子与负极的外部引出端子彼此相邻且平行地配置,构成上述第一导电引脚的引脚的一部分固定在上述第一半导体元件的另一个面,并且构成该第一导电引脚的其他引脚固定在上述第三导电图案,构成上述第二导电引脚的引脚的一部分固定在上述第二半导体元件的另一个面,并且构成该第二导电引脚的其他引脚固定在上述第二导电图案,上述带有导电引脚的绝缘衬底配置成夹在上述第一半导体元件的另一个面与上述第二半导体元件的另一个面之间。

[0019] 此外,本发明的半导体器件,在上述发明中,优选上述带有导电引脚的绝缘衬底是带有金属引脚的印刷电路板,该带有金属引脚的印刷电路板具有:分别固定在由陶瓷构成的上述第二绝缘衬底的正面和背面的金属箔、固定于背面的金属箔的第一金属引脚、和固定于正面的金属箔的第二金属引脚。

[0020] 此外,本发明的半导体器件,在上述发明中,优选上述正极的外部引出端子和上述负极的外部引出端子是长方形的导电板。

[0021] 此外,本发明的半导体器件,在上述发明中,优选上述第一半导体元件和上述第二半导体元件经由上述第一导电引脚和上述第三导电图案串联连接,且为构成上臂或下臂的 2in1、4in1 和 6in1 中的任一种半导体模块。

[0022] 此外,本发明的半导体器件,在上述发明中,优选上述第一半导体元件和第二半导体元件各自由开关晶体管芯片和与该开关晶体管芯片反向并联连接的二极管芯片构成。

[0023] 此外,本发明的半导体器件,在上述发明中,优选上述开关晶体管芯片是 IGBT 芯片、MOSFET 芯片、结型场效应晶体管芯片和双极型晶体管芯片中的任一个,上述二极管芯片是 pn 二极管芯片或肖特基势垒二极管芯片。

[0024] 此外,本发明的半导体器件,在上述发明中,优选上述第二导电图案的三方被上述第一导电图案包围。

[0025] 此外,本发明的半导体器件,在上述发明中,优选固定于上述第二导电图案的上述第二导电引脚贯通上述第二绝缘衬底。

[0026] 发明效果

[0027] 根据本发明,能够提供这样一种半导体器件,其在带有导电图案的绝缘衬底上配置有半导体元件,在带有导电图案的绝缘衬底的配置有半导体元件一侧的上方配置有带有导电引脚的绝缘衬底,在带有导电图案的绝缘衬底,固定有多个外部引出端子,使正极的外部引出端子与负极的外部引出端子相邻平行配置,由此降低了配线电感。进而,通过使这些外部引出端子为导电板,由此能够降低半导体器件的配线电感。

[0028] 此外,通过在半导体元件的上方配置在带有导电引脚的绝缘衬底的正面和背面彼此相对地形成的导电层,能够使带有导电引脚的绝缘衬底较小,能够使半导体器件小型化。

[0029] 此外,多个半导体元件固定在分别不同的带有导电图案的绝缘板,半导体元件彼此夹着带有导电引脚的绝缘衬底相对,导电引脚固定在各半导体元件和导电图案,由此能够制作配线电感小、占用面积较小的半导体器件。

附图说明

[0030] 图 1 是本发明的第一实施例的半导体模块 100 的主要部分结构图,(a) 是主要部分平面图,(b) 是以 (a) 的 X-X 线截断的主要部分截面图。

[0031] 图 2 是从图 1(b) 的箭头 P 的方向观察带有金属引脚的印刷电路板的金属箔和金属引脚的平面图,(a) 是表示正面的金属箔和金属引脚的图,(b) 是表示背面的金属箔和金属引脚的图。

[0032] 图 3 是从图 1(b) 的箭头 Q 的方向观察带有金属引脚的印刷电路板的正面和背面的各金属箔和金属引脚的背面侧的平面图。

[0033] 图 4 是表示 2in1 的半导体模块 100 的电路图和换相(commutating、整流)时流过的电流的方向的图。

[0034] 图 5 是表示换相时 2in1 的半导体模块 100 内流过的电流的通路的图,(a) 是表示正面侧的金属箔 15 和背面侧的金属箔 16 中流过的电流的通路的平面图,(b) 是表示电流的通路的截面图。

[0035] 图 6 是本发明的第二实施例的半导体器件的主要部分平面图。

[0036] 图 7 是以图 6 的 X-X 线截断的主要部分截面图。

[0037] 图 8 是从图 7 的箭头 P 的方向观察带有金属引脚的印刷电路板的正面的金属箔和金属引脚的平面图。

[0038] 图 9 是从图 7 的箭头 P 的方向观察带有金属引脚的印刷电路板的背面的金属箔和金属引脚的平面图。

[0039] 图 10 是从图 7 的箭头 Q 的方向观察带有金属引脚的印刷电路板的正面和背面的各金属箔和金属引脚的背面侧的平面图。

[0040] 图 11 是表示内置有三相逆变电路的半导体模块的电路图和稳态工作时的电流的流动的图。

[0041] 图 12 是用图 7 表示稳态工作时的和换相时的电流的通路的图。

[0042] 图 13 是本发明的第三实施例的半导体器件的主要部分截面图。

[0043] 图 14 是在图 13 的半导体器件中,表示换相时(实线)和除换相时以外(虚线)的电流的通路的图。

[0044] 图 15 是表示本发明的第一实施例的半导体模块 100 的变形例的主要部分结构图,(a) 是主要部分平面图,(b) 是以 (a) 的 X-X 线截断的主要部分截面图。

[0045] 图 16 是现有的半导体器件的主要部分截面图。

具体实施方式

[0046] 用以下实施例说明实施方式。

[0047] < 实施例 1 >

[0048] 图 1 是本发明的第一实施例的半导体模块器件 100 的主要部分结构图,该图 (a) 是主要部分平面图,该图 (b) 是以该图 (a) 的 X-X 线截断的主要部分截面图。图 1 为了使本发明易于理解,用虚线表示带有金属引脚的印刷电路板 13,用实线表示比带有金属引脚的印刷电路板 13 靠下方的部件。

[0049] 图 2 是从图 1 (b) 的箭头 P 的方向观察带有金属引脚的印刷电路板 13 的金属箔和金属引脚的平面图,该图 (a) 是表示正面的金属箔和金属引脚的图,该图 (b) 是表示背面的金属箔和金属引脚的图。图中没有示出栅极端子。

[0050] 图 3 是从图 1 (b) 的箭头 Q 方向观察带有金属引脚的印刷电路板 13 的正面和背面的各金属箔和金属引脚的背面侧的平面图。

[0051] 图 1 ~ 图 3 所示的该半导体模块器件 100 是由 IGBT (绝缘栅型双极型晶体管) 芯片 9 和与 IGBT 芯片 9 反向并联连接的 FWD (续流二极管) 芯片 10 为一组的上臂、以及 IGBT 芯片 11 和与 IGBT 芯片 11 反向并联连接的 FWD 芯片 12 为一组的下臂构成的 2in1 半导体模块 (以下,也将反向并联连接的 IGBT 和 FWD 的组称为“半导体元件”)。IGBT 芯片 9、11 在其一个面具备集电极端子 C,在另一个面具备发射极端子 E。FWD 芯片 10、12 在其一个面具备阴极端子 K,在另一个面具备阳极端子 A。在带有导电图案的绝缘衬底 1 中在陶瓷衬底 2 的正面,形成有导电图案 4、5、6,在背面形成有背面导电膜 3。导电图案 5 被导电图案 4 包围而形成岛状。有时也将金属箔接合到这些导电图案 4、5、6 和背面导电膜 3,作为使厚度变厚的导体。

[0052] 带有金属引脚的印刷电路板 13 在由陶瓷构成的绝缘衬底 14 的正面和背面分别接合有金属箔 15、16。由此,带有金属引脚的印刷电路板 13 使正面的金属箔 15 和背面的金属箔 16 在该印刷电路板 13 内彼此相对。带有金属引脚的印刷电路板 13 配置在带有导电图案的绝缘衬底 1 的半导体元件侧。在带有金属引脚的印刷电路板 13 的金属箔 15、16,在同一方向上固定有金属引脚 17、18、19、20。这些金属引脚和金属箔是电导大的导电引脚和导电体即可。

[0053] 金属引脚 17、20 固定在正面的金属箔 15,金属引脚 18、19 固定在背面的金属箔 16,其分别与金属箔 15、金属箔 16 电连接。金属引脚 17 固定在金属箔 15,并且贯通绝缘衬底 14。外部引出端子有 P 端子 21、N 端子 22、U 端子 23,P 端子 21 与 N 端子 22 相互接近地平行地配置。

[0054] 在带有导电图案的绝缘衬底 1 上的导电图案 4,固定并电连接有 IGBT 芯片 9 的集电极侧与 FWD10 的阴极侧及 P 端子 21。在导电图案 5,固定并电连接有 N 端子 22。在导电图案 6,固定并电连接有 IGBT 芯片 11 的集电极侧与 FWD 芯片 12 的阴极侧及 U 端子 23。

[0055] 金属引脚 17 固定在导电图案 5,金属引脚 18 固定在 IGBT 芯片 9 的发射极侧和 FWD 芯片 10 的阳极侧,并分别被电连接。金属引脚 19 固定在导电图案 6,金属引脚 20 固定在 IGBT 芯片 11 的发射极侧和 FWD 芯片 12 的阳极侧,并分别被电连接。其中,IGBT 芯片 9、11、FWD 芯片 10、12 通过作为接合材料的焊料 7、8 固定。当然也可以使用焊料以外的接合材料或烧结材料来替代该焊料 7、8。

[0056] 带有金属引脚的印刷电路板 13 的形状以使金属引脚 17 ~ 20 易于与 IGBT 芯片 9、11、FWD 芯片 10、12 以及导电图案 5、6 连接的方式选择,例如为正方形或长方形。带有金属引脚的印刷电路板 13 例如为与包围 IGBT 芯片 9、11 和 FWD 芯片 10、12 的区域大致相同的大小,优选为进一步与包括导电图案 5、6 的固有定金属引脚 17、19 的部分的区域大致相同的大小。该区域例如对应于图 1(a) 的虚线(附图标记 13)所示的区域。

[0057] 以使作为外部引出端子的 P 端子 21、N 端子 22 和 U 端子 23 的前端露出,带有导电图案的绝缘衬底 1 的背面导电膜 3 露出的方式用环氧(epoxy)树脂 24 将整体密封,完成 2in1 的半导体模块 100。

[0058] 图 4 是表示 2in1 的半导体模块 100 的电路图和换相时流过的电流的方向的图。

[0059] 图 5 是表示换相时 2in1 的半导体模块 100 内流过的电流的通路的图,该图 (a) 是表示正面侧的金属箔 15 和背侧的金属箔 16 中流过的电流的通路的平面图,该图 (b) 是表示电流的通路的截面图。

[0060] 换相时指的是例如 U 相的上臂元件(此处为 IGBT 芯片 9)转移至截止状态,W 相的上臂元件转移至导通状态的情况等。

[0061] 此外,虚线表示构成三相逆变电路的其他臂。

[0062] 向 P 端子 21-IGBT 芯片 9-U 端子 23-负载 M(电动机)流动的电流 a、b、c 因 IGBT 芯片 9 转移至截止状态而减少。电流 a 流经导电图案 4,电流 b 以金属引脚 18、背面的金属箔 16 和金属引脚 19 的通路流过,电流 c 流经导电图案 6。

[0063] 另一方面,负载中流过的电流 I_M 要持续流过恒定电流,所以在 V 相的下臂元件(IGBT-V)-N 端子 22-FWD 芯片 12-U 端子 23-负载 M 的通路中流过电流 d、e、f,该电流 d、e、f 增加。电流 d 流经导电图案 5,电流 e 以金属引脚 17、正面的金属箔 15 和金属引脚 20 的

通路流过,电流 f 流经导电图案 6 并流入 U 端子 23。

[0064] 电流 a 和电流 e 相向地在同一方向上流过,电流 b 和电流 e 也相向地在同一方向上流过。电流 a 的减少率 $(-di/dt)$ 与导电图案 4 的电感 (L) 的积产生的导电图案中产生的电压 $(L \cdot (-di/dt))$ 被电流 e 的增加率引起的磁通抵消而减小。

[0065] 此外,电流 b 的减少率 $(-di/dt)$ 与金属箔 16 的电感 (L) 的积产生的导电图案中产生的电压 $(L \cdot (-di/dt))$ 被电流 e 的增加率引起的磁通抵消而减小。

[0066] 这样,通过将导电图案 4 与金属箔 15、金属箔 15 与金属箔 16 接近地平行地配置,能够减小配线电感,能够减小换相时在导电图案 4、金属箔 15、16 中因配线电感而产生的电压。其中,此处配线电感指的是包括自感、互感和寄生电感在内的配线引起的电感。

[0067] 如上所述,通过减小因配线电感产生的电压,能够抑制 IGBT 芯片 9 转移至截止状态时的激增电压(浪涌电压)。

[0068] 另外,通过使作为外部输出端子的 P 端子 21、N 端子 22 由金属条(板)形成并且彼此相邻地平行地配置,能够降低配线电感。

[0069] 此外,通过使金属引脚 17 ~ 20 较短,能够缩短带有金属引脚的印刷电路板 13 与导电图案 4 之间的距离,减小配线电感。

[0070] 如上所述,使带有金属引脚的印刷电路板 13 的正面的金属箔 15 和背面的金属箔 16 在该印刷电路板 13 内彼此相对。由此,能够降低换相时造成影响的配线电感。

[0071] 此外,大电流元件中也同样,虽然 di/dt 增大,但是通过采用本半导体模块 100,能够抑制较大的浪涌电压的产生。

[0072] 此外,通过将在带有金属引脚的印刷电路板 13 的正面和背面彼此相对地形成的金属箔 15、16 配置在半导体芯片 9 ~ 12 上,能够使带有金属引脚的印刷电路板 13 变小,能够使半导体模块 100 小型化。

[0073] 由此,在搭载如碳化硅等宽带隙(wide gap)半导体那样开关速度快、 di/dt 大的器件的半导体器件中,也能够抑制较大的浪涌电压的产生。

[0074] 说明用模拟(simulation)计算该 2in1 的半导体模块 100 的配线电感的方法。用模拟计算将 P 端子 21 至 N 端子 22 连结的配线的电感。该电感与连接 2 个或 3 个半导体模块 100 组成单相逆变电路或三相逆变电路时的工作时的电感不一定一致,但是至少得以确认:通过该模拟计算出的电感较小时,工作时的电感也较小。

[0075] 将现有的半导体模块 500 与本发明的半导体模块 100 进行比较时,本发明的半导体模块 100 的用模拟计算出的电感大幅下降。该电感的降低相对于现有的半导体模块 500 例如为 $1/8 \sim 1/5$ 左右。

[0076] <实施例 2>

[0077] 图 6 和图 7 是本发明的第二实施例的半导体器件的结构图,图 6 是主要部分平面图,图 7 是以图 6 的 X-X 线截断的主要部分截面图。图 6 为了使本发明易于理解,用虚线表示带有金属引脚的印刷电路板 13a,用实线表示比带有金属引脚的印刷电路板 13a 靠下方的部件。图 8 和图 9 是带有金属引脚的印刷电路板 13a 的结构图,图 8 是从图 7 的箭头 P 的方向观察正面的金属箔和金属引脚的平面图,图 9 是从图 7 的箭头 P 的方向观察背面的金属箔和金属引脚的平面图。

[0078] 图 10 是从图 7 的箭头 Q 的方向观察带有金属引脚的印刷电路板 13a 的正面和背

面的各金属箔和金属引脚的背面侧的平面图。

[0079] 图 6、图 7 与图 1 的不同点在于,图 1 的 2in1 中内置的 IGBT 芯片和 FWD 芯片配置在 U 相、V 相、W 相。金属引脚 17 的数量变为 3 倍。

[0080] 该半导体器件 200 由 U 相、V 相和 W 相构成。U 相由 IGBT 芯片 9a 和与 IGBT 芯片 9a 反向并联连接的 FWD 芯片 10a 为一组(半导体元件)的上臂、以及 IGBT 芯片 11a 和与 IGBT 芯片 11a 反向并联连接的 FWD 芯片 12a 为一组的下臂构成。V 相同样由 IGBT 芯片 9b、11b 和与 IGBT 芯片 9b、11b 反向并联连接的 FWD 芯片 10b、12b 分别为一组的上臂和下臂构成。W 相同样由 IGBT 芯片 9c、11c 和与 IGBT 芯片 9c、11c 反向并联连接的 FWD 芯片 10c、12c 分别为一组的上臂和下臂构成。

[0081] 在带有导电图案的绝缘衬底 1a 中在陶瓷衬底 2a 的正面形成有导电图案 4a、5a、6a、6b、6c,在背面形成有背面导电膜 3a。导电图案 5a 被导电图案 4a 包围而形成岛状。有时也将金属箔接合到这些导电图案 4a、5a、6a、6b、6c 和背面导电膜 3a,使厚度变厚。

[0082] 带有金属引脚的印刷电路板 13a 在由陶瓷构成的绝缘衬底 14a 的正面和背面分别接合有金属箔 15a、16a。由此,带有金属引脚的印刷电路板 13a 使正面的金属箔 15a 和背面的金属箔 16a 在该印刷电路板 13a 内彼此相对。带有金属引脚的印刷电路板 13a 配置在带有导电图案的绝缘衬底 1a 的半导体元件侧。在该金属箔 15a、16a,在同一方向上固定有金属引脚 17、18、19、20。

[0083] 金属引脚 17、20 固定在正面的金属箔 15a,金属引脚 18、19 固定在背面的金属箔 16a,并分别与金属箔 15a、金属箔 16a 电连接。金属引脚 17 固定在金属箔 15a 并且贯通绝缘衬底 14a。外部引出端子有 P 端子 21a、N 端子 22a、U 端子 23a、V 端子 23b、W 端子 23c, P 端子 21a 和 N 端子 22a 相互接近地平行地配置。

[0084] 在带有导电图案的绝缘衬底 1a 上的导电图案 4a,固定并电连接有 IGBT 芯片 9a、9b、9c 的集电极侧与 FWD 芯片 10a、10b、10c 的阴极侧及 P 端子 21a。在导电图案 5a,固定并电连接有 N 端子 22a。在导电图案 6a、6b、6c,分别固定并电连接有 IGBT 芯片 11a、11b、11c 的集电极侧与 FWD 芯片 12a、12b、12c 的阴极侧及 U 端子 23a、V 端子 23b、W 端子 23c。上述 IGBT 芯片和 FWD 芯片通过作为接合材料的焊料 7a 固定到各导电图案。

[0085] 金属引脚 17 固定在导电图案 5a,金属引脚 18 通过作为接合材料的焊料 8a 固定在 IGBT 芯片 9a、9b、9c 的发射极侧和 FWD 芯片 10a、10b、10c 的阳极侧,并分别被电连接。金属引脚 19 固定在导电图案 6a,金属引脚 20 通过作为接合材料的焊料 8a 固定在 IGBT 芯片 11a、11b、11c 的发射极侧和 FWD 芯片 12a、12b、12c 的阳极侧,并分别被电连接。

[0086] 以使作为外部引出端子的 P 端子 21a、N 端子 22a、U 端子 23a、V 端子 23b、W 端子 23c 的前端露出,使带有导电图案的绝缘衬底 1a 的背面导电膜 3a 露出的方式用环氧树脂 24a 将整体密封,完成 6in1 的半导体模块 200。

[0087] 图 11 是表示内置有三相逆变电路的半导体模块的电路图和稳态(steady)工作时的电流的流动的图。

[0088] 图 12 是用图 7 表示稳态工作时的和换相时的电流的通路的图。

[0089] 稳态工作时,从 P 端子 21a 进入的电流例如从 U 端子 23a 流出到负载 M。然后从负载 M,例如返回到 V 端子 23b 的电流返回到 N 端子 22a。具体而言,导电图案 4a 的电流 a 通过 IGBT 芯片 9a 进入金属箔 16a,金属箔 16a 的电流 b 通过金属引脚 19 进入导电图案 6a。

进入导电图案 6a 的电流 c 通过 U 端子 23a 流到负载 M。

[0090] 从负载 M 返回的电流 g 通过导电图案 6b 进入 IGBT 芯片 11b。从 IGBT 芯片 11b 进入金属箔 15a 的电流 h 通过金属引脚 17 进入导电图案 5a。进入导电图案 5a 的电流 i 从 N 端子 22a 向外部电路流出。

[0091] 在该电流通路中,流过导电图案 4a 的电流 a 与正面的金属箔 15a 的电流 h 是反向的 (B 部)。此外,流过背面的金属箔 16a 的电流 b 与流过正面的金属箔 15a 的电流 h 是反向的 (C 部)。另外,流过 P 端子 21a 的电流 a 与流过 N 端子 22a 的电流 i 也是反向的 (A 部)。因此,在稳态工作时,配线电感减小。

[0092] 但是,换相时以负载 M-IGBT 芯片 11b-FWD 芯片 12a- 负载 M 的通路流过的虚线所示的电流 g、h'、f 与流过 P 端子 21a-IGBT 芯片 9a- 负载 M 的电流 a、b、c 之间分离,所以相互干涉较少,互感降低的比例较低。

[0093] 因此,在 6in1 的半导体模块 200 中,在稳态工作时,配线电感能够降低。

[0094] < 实施例 3 >

[0095] 图 13 是本发明的第三实施例的半导体器件的主要部分截面图。该半导体器件是 2in1 的半导体模块 300。该半导体模块 300 使用 2 个带有导电图案的绝缘衬底 (陶瓷绝缘衬底) 1d、1e,为了使带有金属引脚的印刷电路板 13d 的面积成为最低限度而在纵方向上构成了电路。

[0096] 在带有导电图案的绝缘衬底 1d 上通过焊料 7d 固定 IGBT 芯片 9d 的集电极侧和未图示的 FWD 芯片的阴极侧。

[0097] 在带有导电图案的绝缘衬底 1e 上通过焊料 7d 固定 IGBT 芯片 11d 的集电极侧和未图示的 FWD 芯片的阴极侧。

[0098] 带有金属引脚的印刷电路板 13d 在由陶瓷构成的绝缘衬底 14d 的正面和背面分别接合有金属箔 15d、16d。由此,带有金属引脚的印刷电路板 13d 使正面的金属箔 15d 和背面的金属箔 16d 在该印刷电路板 13d 内彼此相对。在该带有金属引脚的印刷电路板 13d,固定并分别电连接有金属引脚 17d、18d、19d、20d。用焊料 8d 固定金属引脚 18d 与 IGBT 芯片 9d 的发射极侧及未图示的 FWD 芯片的阳极侧,用焊料 8d 固定金属引脚 20d 与 IGBT 芯片 11d 的发射极侧以及未图示的 FWD 芯片的阳极侧,并将它们分别电连接。金属引脚 17d 固定在金属箔 15d 并且贯通绝缘衬底 14d。金属引脚 19d 固定在金属箔 16d 并且贯通绝缘衬底 14d。

[0099] 在带有导电图案的绝缘衬底 1d 的导电图案 4d,固定并电连接有 P 端子 21d。在导电图案 5d,固定并电连接有金属引脚 17d 和 N 端子 22d。P 端子 21d 和 N 端子 22d 相邻地平行配置,由金属条 (板) 形成。在带有导电图案的绝缘衬底 1e 的导电图案 6d,固定并电连接有 U 端子 23d 和金属引脚 19d。导电图案 5d 被导电图案 4d 包围而形成成为岛状。

[0100] 此外,夹着带有金属引脚的印刷电路板 13d 配置有带有导电图案的绝缘衬底 1d、1e,在该带有导电图案的绝缘衬底 1d、1e 上固定并电连接有半导体元件 (IGBT 芯片 9d、11d 和 FWD 芯片 (图 13 中位于 IGBT 芯片 9d、11d 的背后))。用树脂 24d 将整体密封,完成半导体模块 300。

[0101] 通过采用图 13 的结构,虽然半导体模块 300 的高度增大,但是半导体模块 300 的占用面积 (footprint) 大幅减小,能够有助于安装半导体模块 300 的系统中的尺寸减小。

[0102] 这种情况下,能够使实施例 1 的带有金属引脚的印刷电路板 13 进一步变小,由此半导体模块 300 的配线电感能够进一步降低。

[0103] 图 14 是在图 13 的半导体器件中,表示换相时(实线)和除换相时以外(虚线)的电流的通路的图。从 P 端子 21d 进入的电流 a 通过带有导电图案的绝缘衬底 1d 的导电图案 4d 进入金属引脚 18d。从金属引脚 18d 进入带有金属引脚的印刷电路板 13d 的背侧的金属箔 16d 的电流 b 从金属引脚 19d 流出。从金属引脚 19d 流出的电流 c 通过导电图案 6d 流向 U 端子 23d。

[0104] 在换相时,电流 d 从 N 端子 22d 进入导电图案 5d。从导电图案 5d 通过金属引脚 17b、正面的金属箔 15d、金属引脚 20d 流向 FWD 芯片(图中未表示)的电流 e 流向导电图案 6d。流经导电图案 6d 的电流 f 流向 U 端子 23d。

[0105] 电流 a 和电流 e 相向地在同一方向上流过,电流 b 和电流 f 也相向地在同一方向上流过。电流 a 的减少率($-di/dt$)与导电图案 4d 的电感(L)的积产生的导电图案 4d 中产生的电压($L \cdot (-di/dt)$)被电流 e 的增加率引起的磁通抵消而减小。

[0106] 此外,电流 b 的减少率($-di/dt$)与金属箔 16d 的电感(L)的积产生的导电图案中产生的电压($L \cdot (-di/dt)$)被电流 f 的增加率引起的磁通抵消而减小。

[0107] 这样,通过使导电图案 4d 与金属箔 15d、金属箔 16d 与导电图案 6d 接近地平行地配置,能够减小配线电感,减小换相时在导电图案 4d、6d、金属箔 15d、16d 中产生的电压。

[0108] 即,能够抑制 IGBT 芯片 9d 转移至截止状态时的激增电压(浪涌电压)。

[0109] 进而,通过使作为外部输出端子的 P 端子 21d、N 端子 22d 由金属条(板)形成并且相互平行地配置,能够降低配线电感。

[0110] 此外,通过使金属引脚较短,能够缩短带有金属引脚的印刷电路板 13d 与导电图案 4d、6d 之间的距离,减小配线的电感。

[0111] 另外,实施例 3 中记载了 2in1 的半导体模块 300,但该结构也能够适用于 4in1 和 6in1 的半导体模块。

[0112] 此外,实施例 1 ~ 实施例 3 中作为半导体元件,列举了 IGBT 芯片和 FWD 芯片的例子,但也可以采用 MOSFET(场效应晶体管)芯片、J-FET(结型场效应晶体管)芯片或双极型晶体管芯片等开关晶体管芯片来替代 IGBT 芯片。

[0113] 此外,作为 FWD 芯片,有 pn 二极管芯片、肖特基势垒二极管芯片等。

[0114] 此外,实施例 1 中说明了 2in1 的半导体模块 100,实施例 2 中说明了 6in1 的半导体模块 200 的例子,但本发明也能够适用于 4 个半导体元件(IGBT 芯片与 FWD 芯片组合而成的元件)收纳在同一封装中的 4in1 的半导体模块。

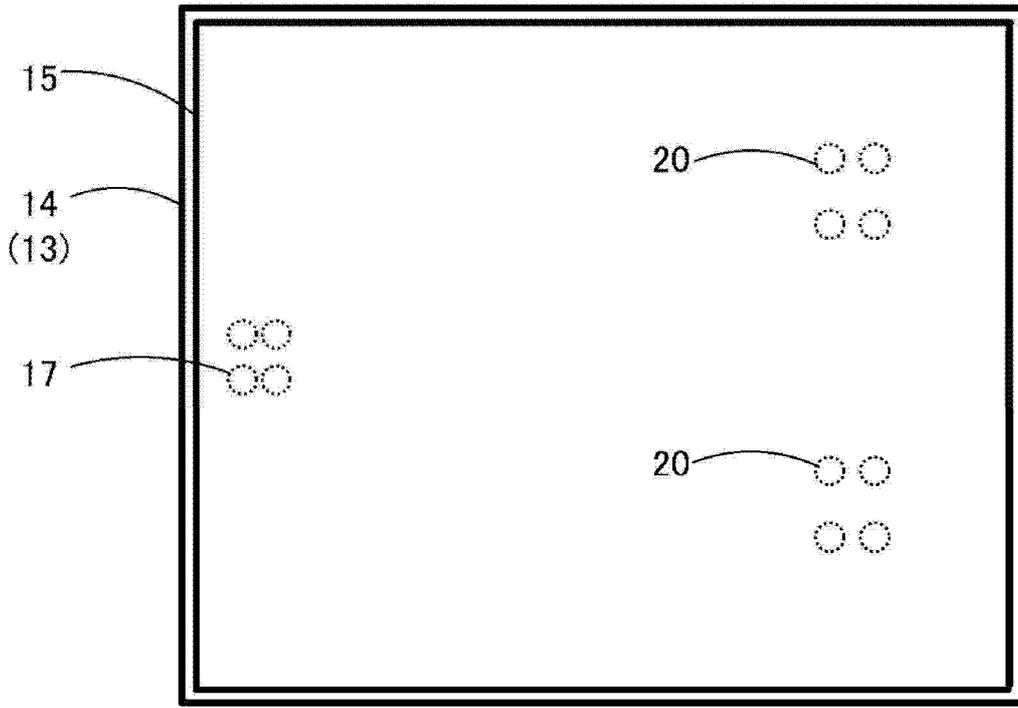
[0115] 另外,在上述实施例中,说明了导电图案 5、5a、5d 被导电图案 4、4a、4d 包围而形成岛状的例子,但不一定需要导电图案 5、5a、5d 的四方被导电图案 4、4a、4d 包围,也可以是其他方式。例如,也可以如图 15 所示的第一实施例的半导体模块 100 的变形例那样,导电图案 4 呈 U 字形,导电图案 5 的三方被导电图案 4 包围。通过采用导电图案 5 的至少三方被导电图案 4 包围的方式,能够提供更小型的半导体器件。

[0116] 附图标记说明

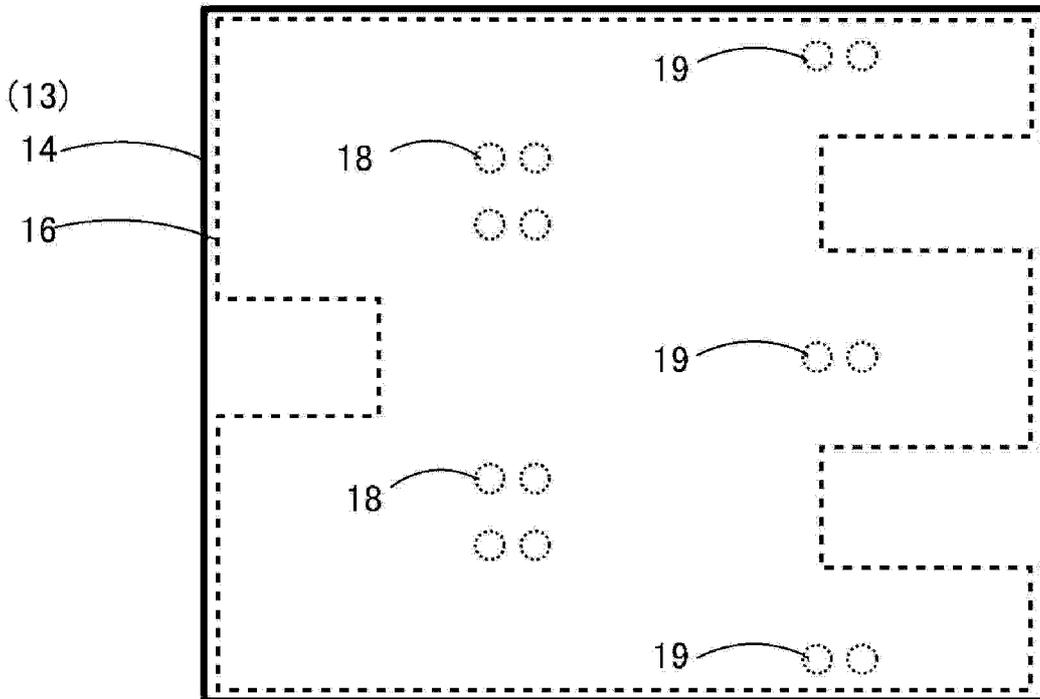
[0117] 1, 1a, 1d, 1e 带有导电图案的绝缘衬底

[0118] 2, 2a, 2d, 2e 陶瓷衬底(第一绝缘衬底)

- [0119] 3, 3a 背面导电膜
- [0120] 4, 4a, 4d 导电图案 (第一导电图案)
- [0121] 5, 5a, 5d 导电图案 (第二导电图案)
- [0122] 6, 6a, 6b, 6c, 6d 导电图案 (第三导电图案)
- [0123] 7, 7a, 7d, 8, 8a, 8d 焊料
- [0124] 9, 9a, 9d, 11, 11a, 11d IGBT 芯片
- [0125] 10, 10a, 12, 12a FWD 芯片
- [0126] 13, 13a, 13d 带有金属引脚的印刷电路板 (带有导电引脚的绝缘衬底)
- [0127] 14, 14a, 14d 绝缘衬底 (第二绝缘衬底)
- [0128] 15, 15a, 15d 正面的金属箔 (导电层)
- [0129] 16, 16a 背面的金属箔 (导电层)
- [0130] 17, 17d 金属引脚 (第二导电引脚)
- [0131] 18, 18d 金属引脚 (第一导电引脚)
- [0132] 19, 19d 金属引脚 (第一导电引脚)
- [0133] 20, 20d 金属引脚 (第二导电引脚)
- [0134] 21, 21a, 21d P 端子 (正极的外部引出端子)
- [0135] 22, 22a, 22d N 端子 (负极的外部引出端子)
- [0136] 23, 23a, 23d U 端子 (中间电位的外部引出端子)
- [0137] 23b V 端子
- [0138] 23c W 端子
- [0139] 24, 24a 环氧树脂
- [0140] 24d 树脂
- [0141] 100, 200, 300 半导体模块
- [0142] a ~ i, r 电流



(a)



(b)

图 2

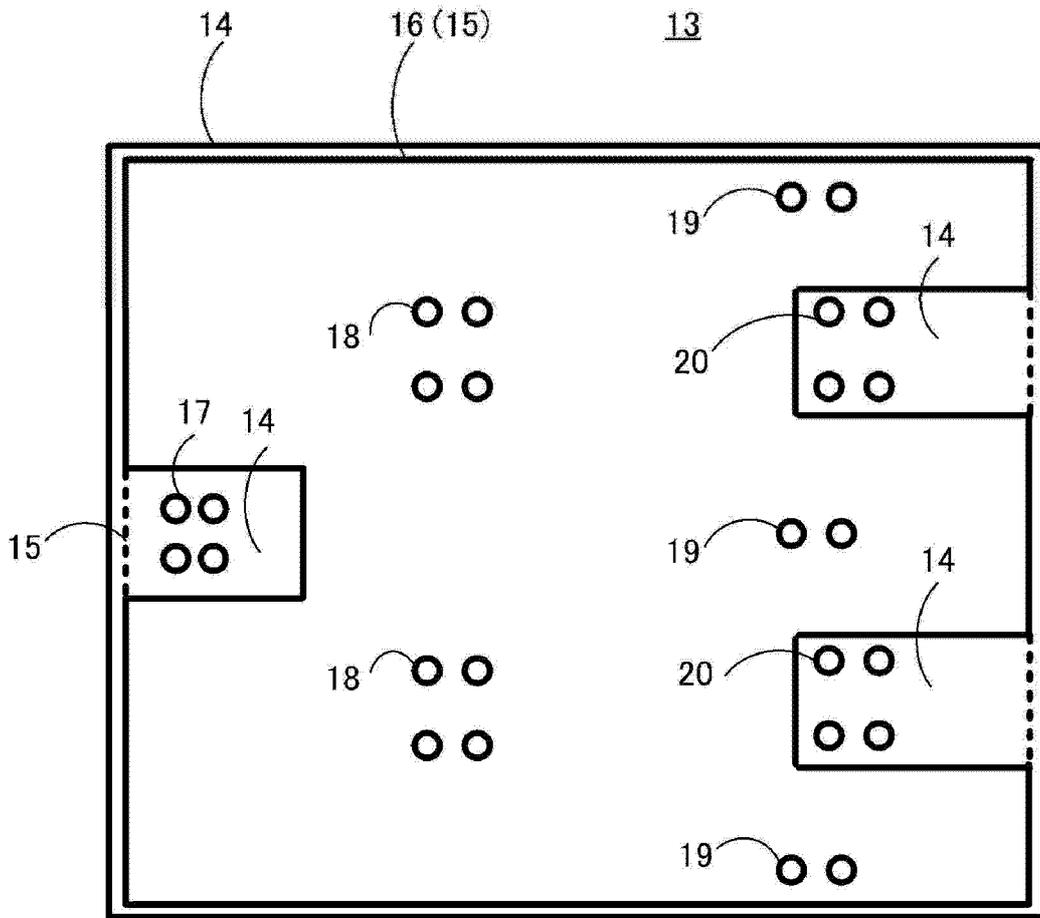


图 3

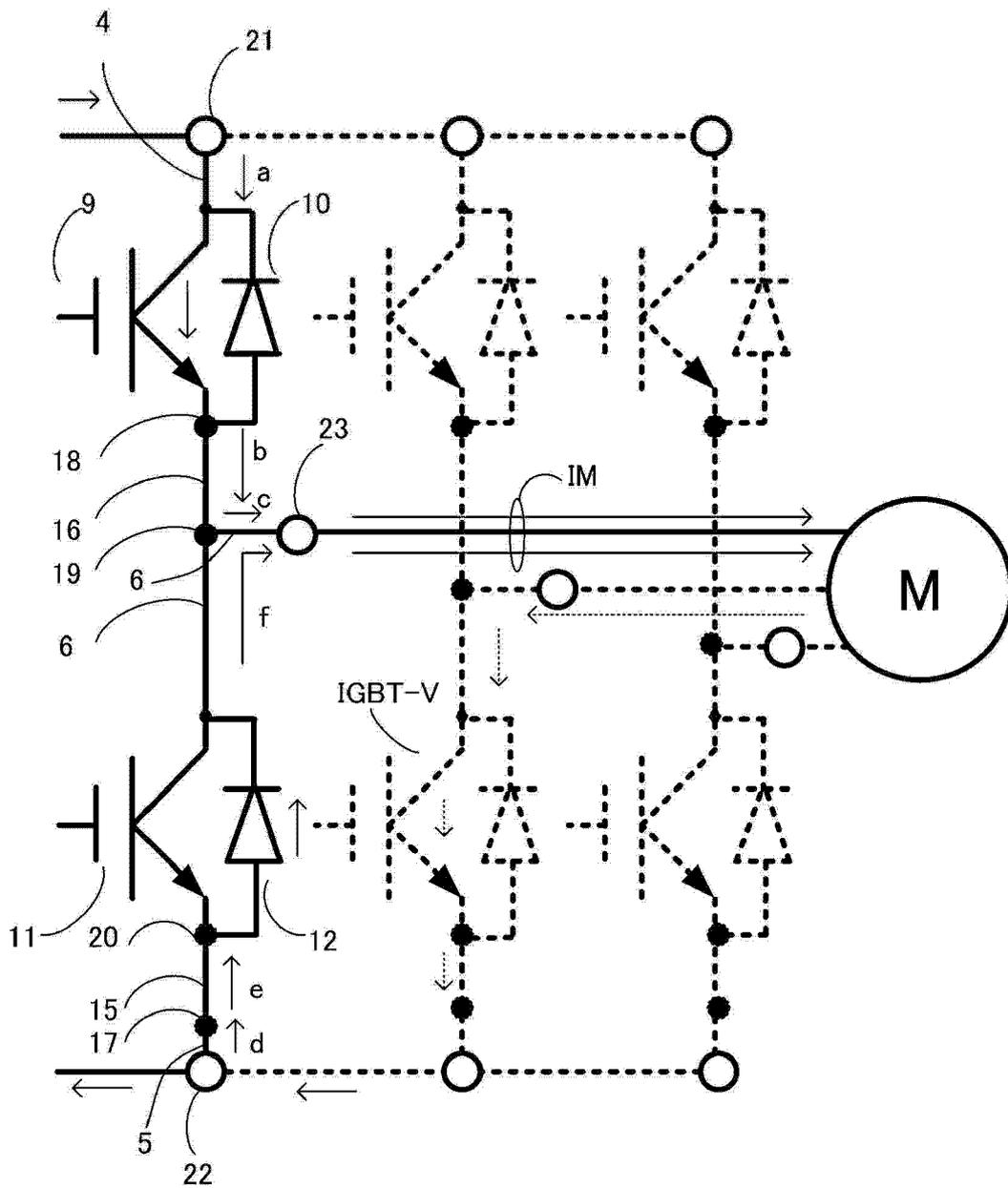
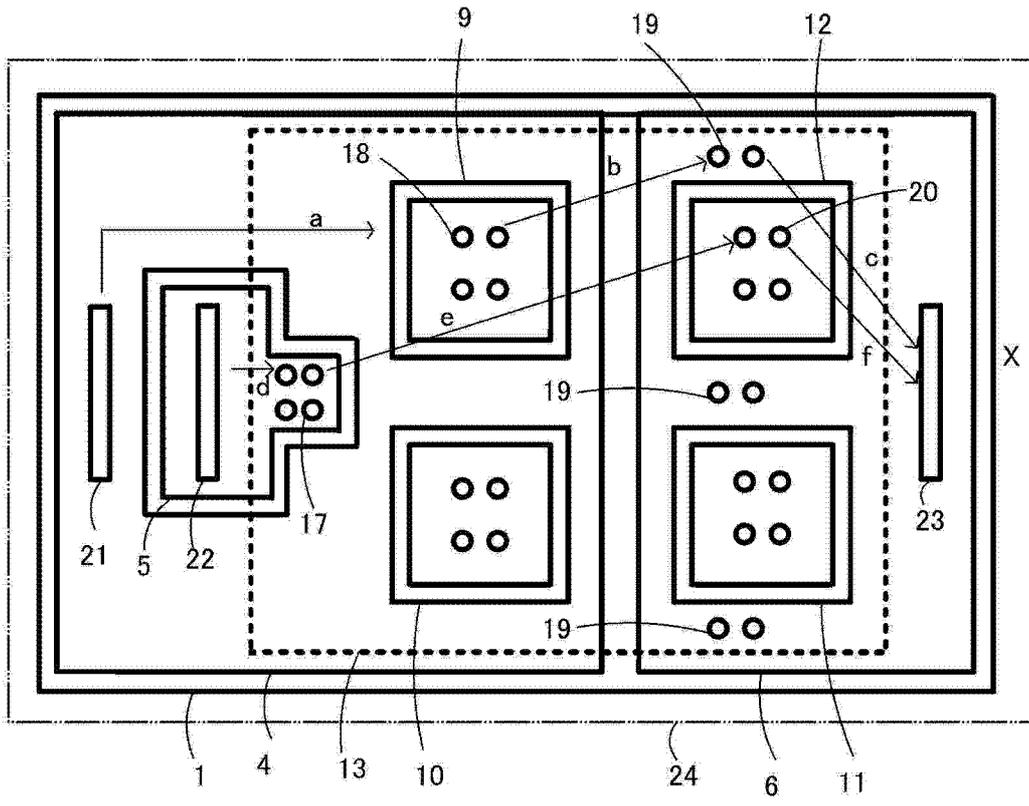
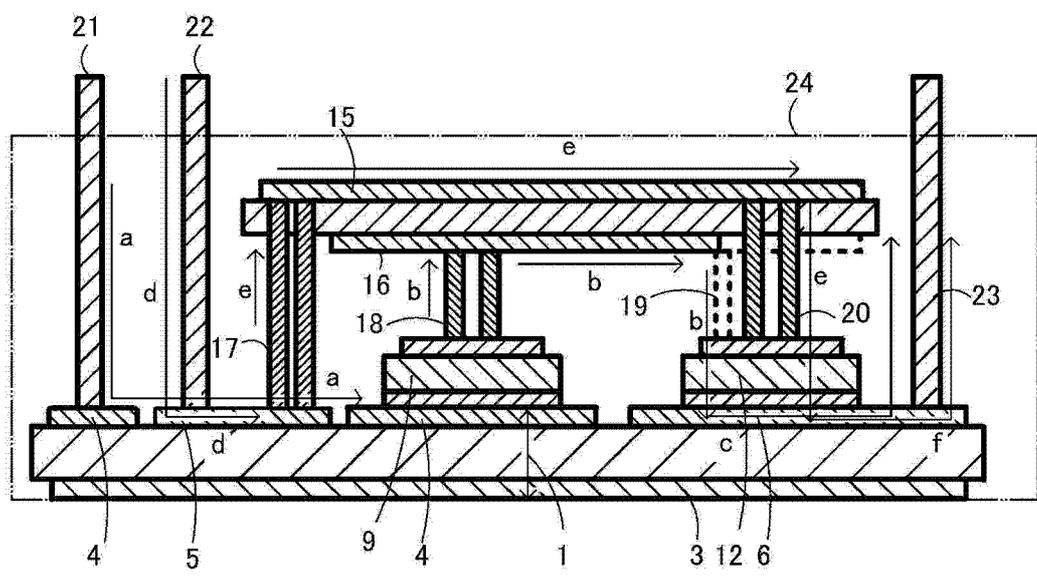


图 4



(a)



(b)

图 5

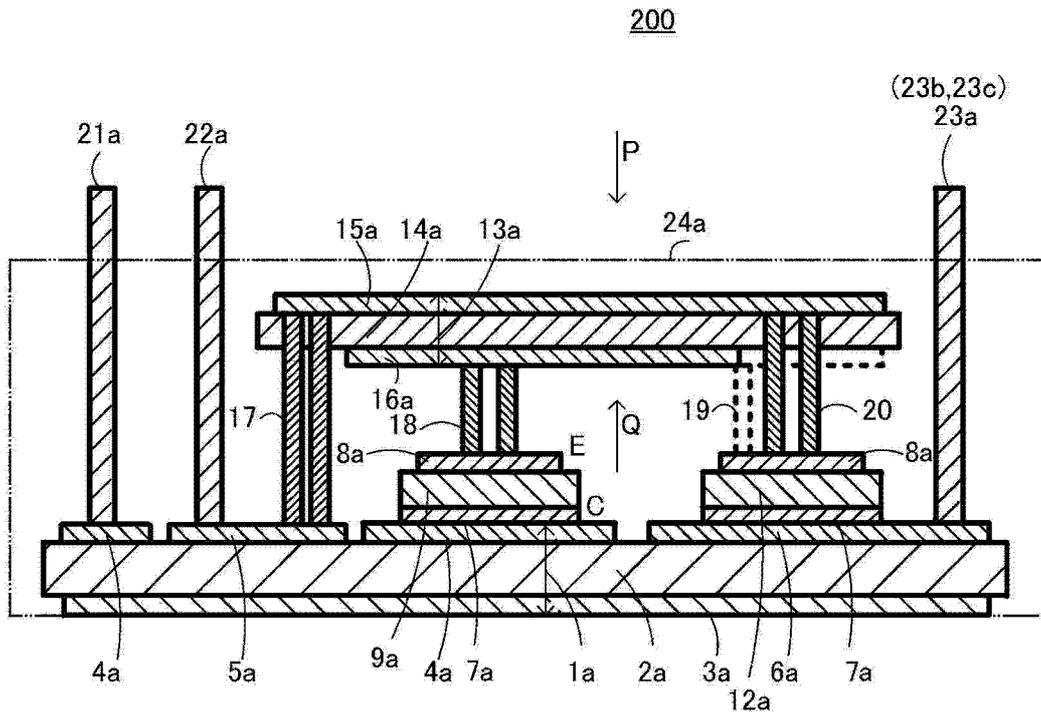


图 7

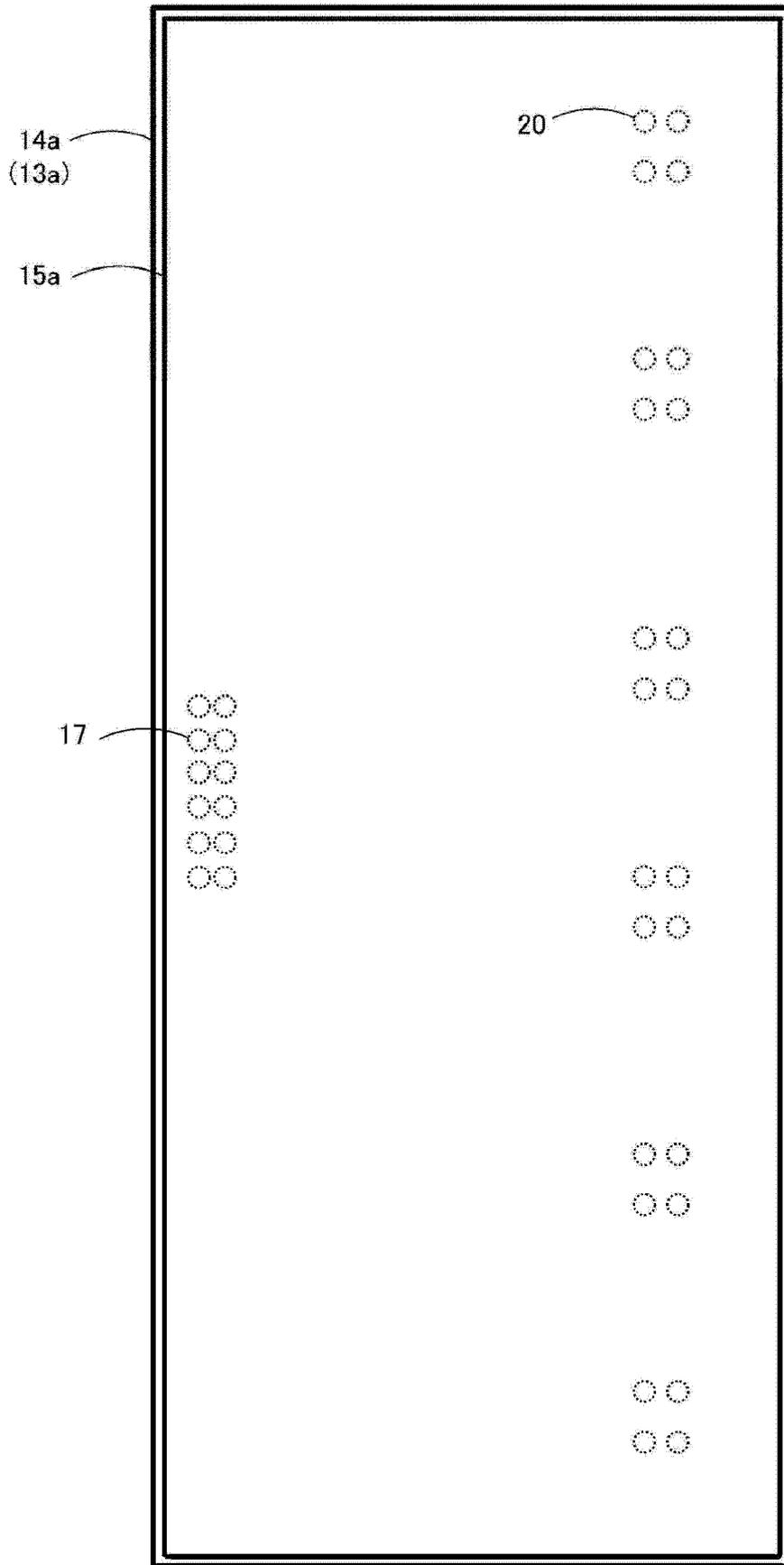


图 8

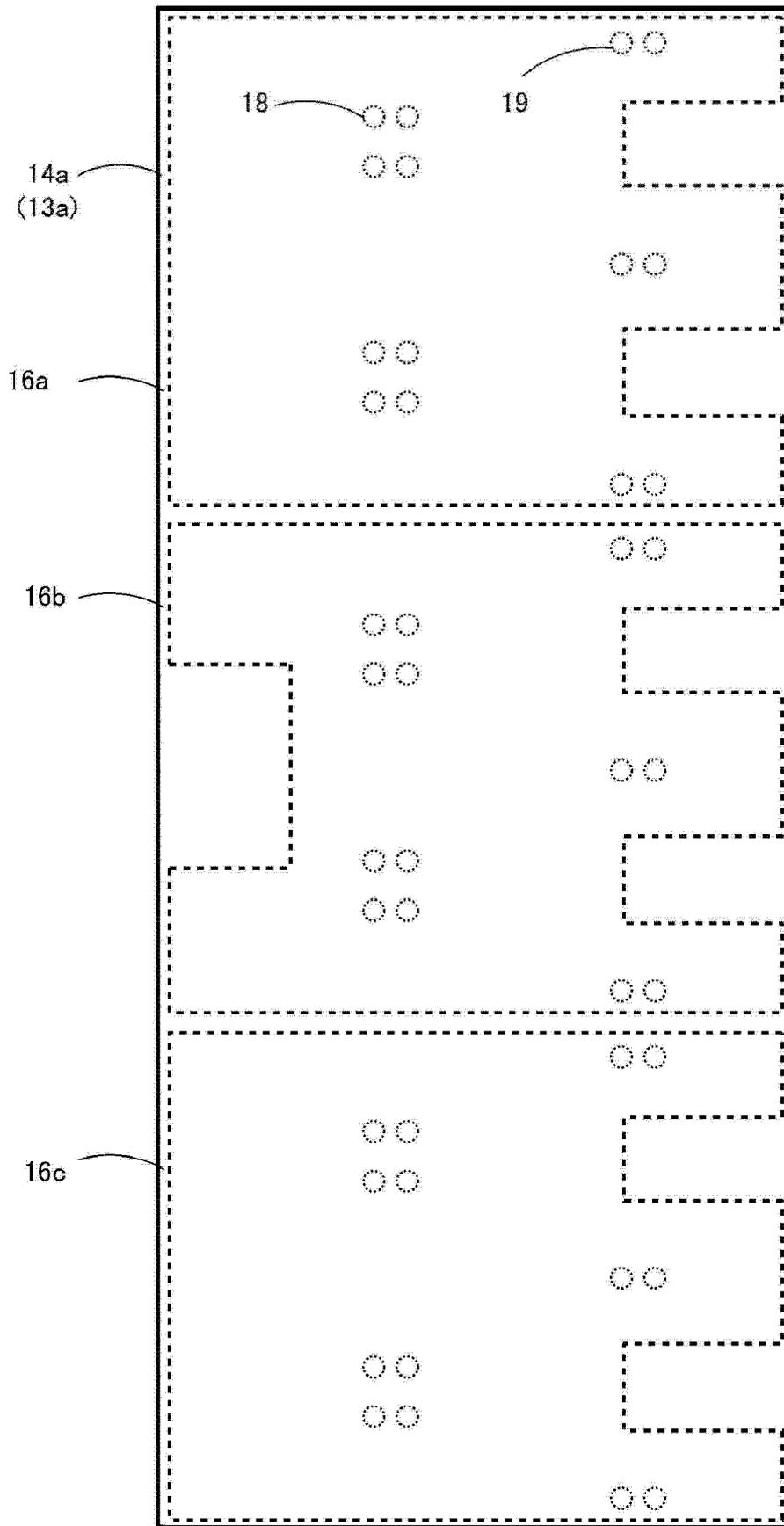


图 9

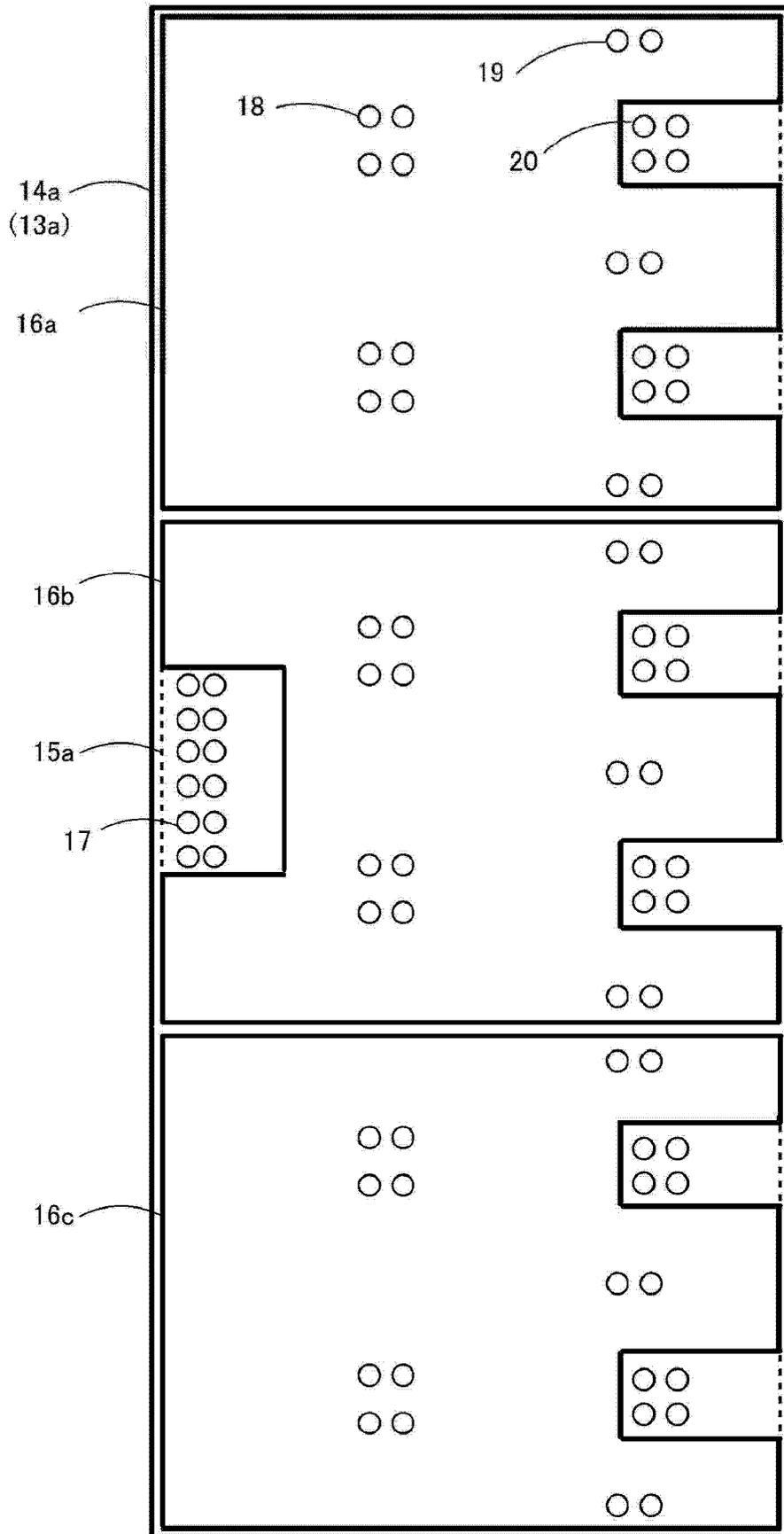


图 10

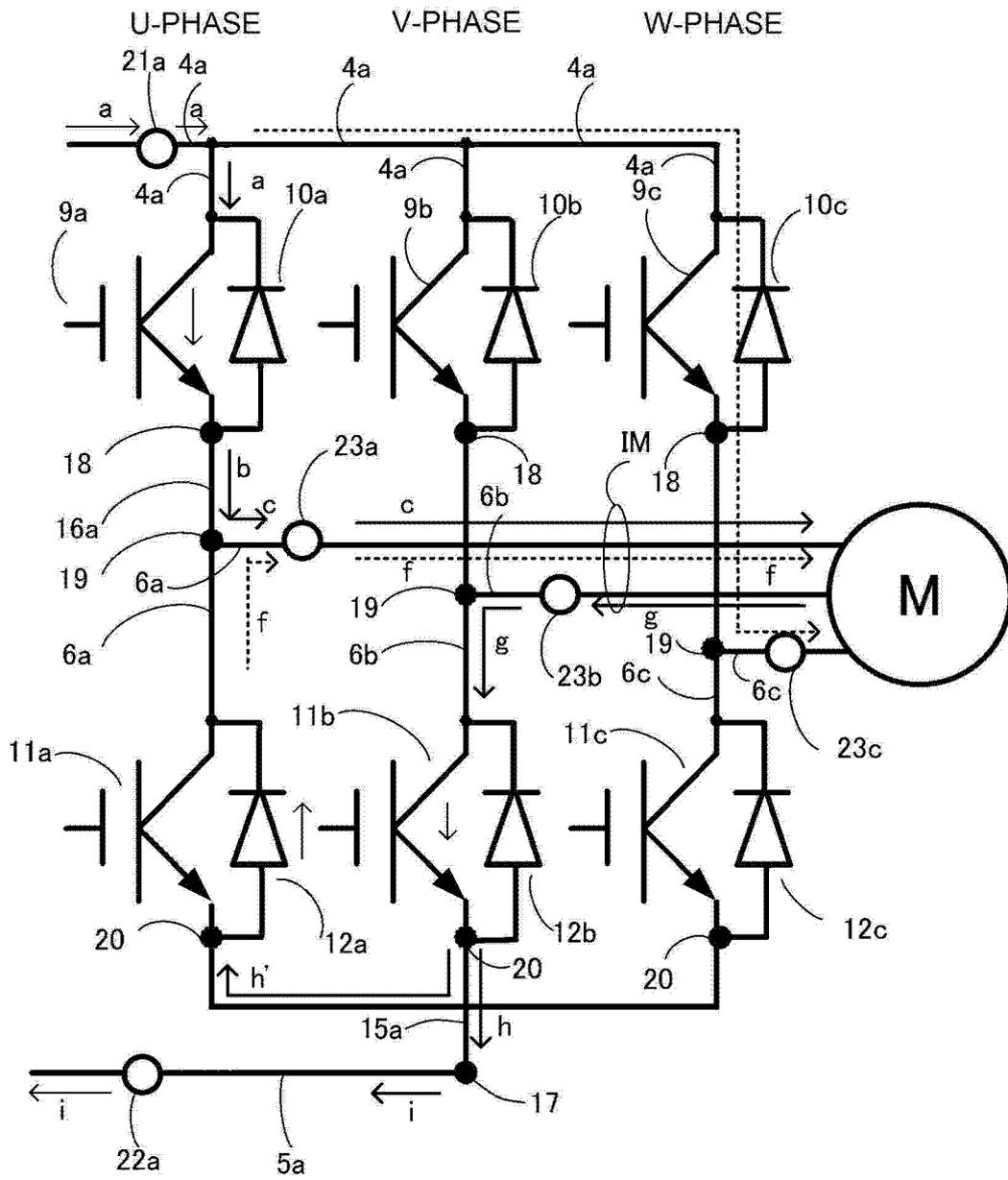


图 11

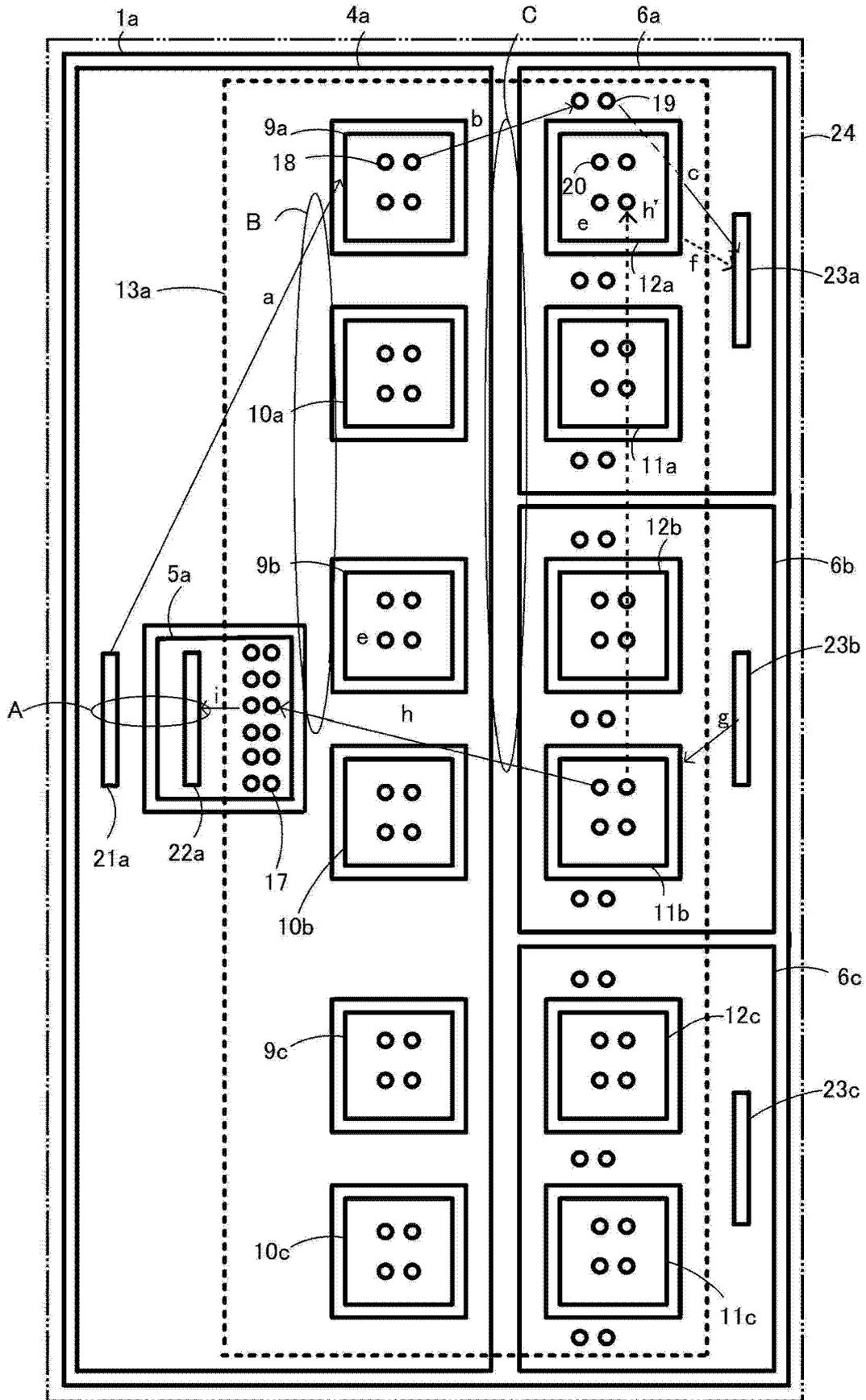


图 12

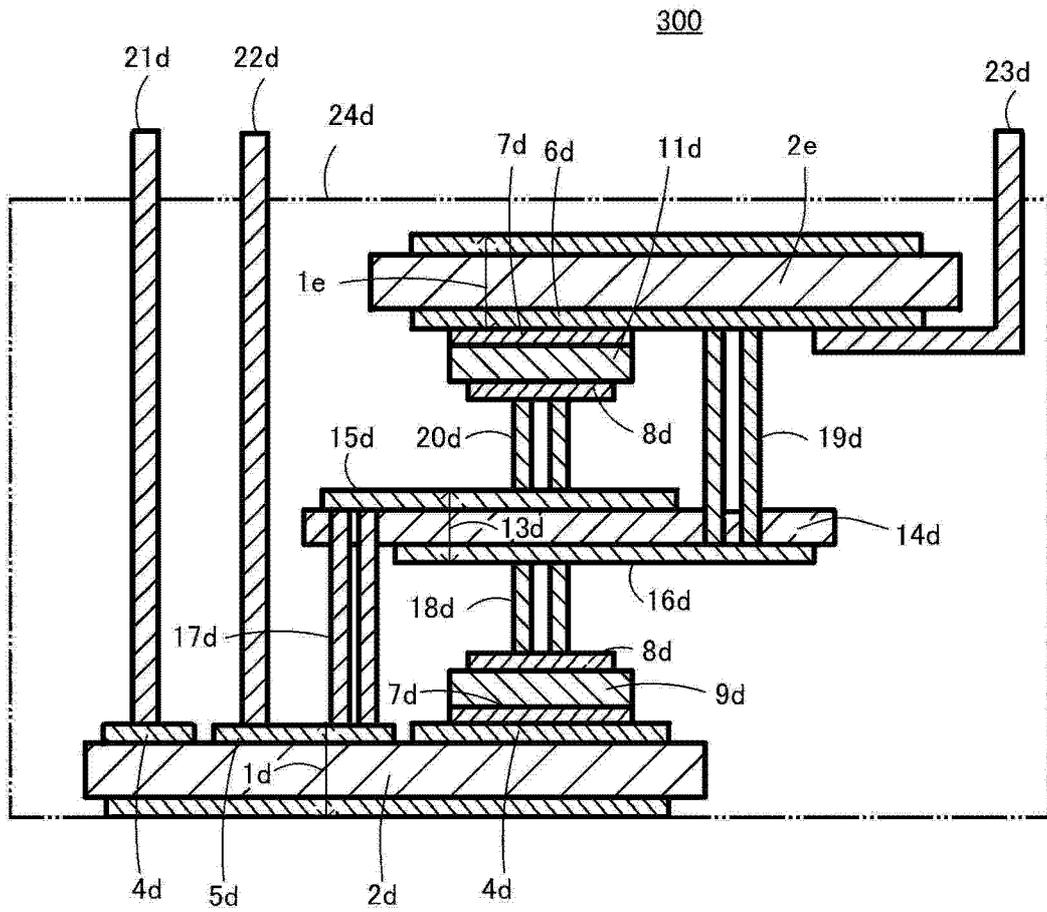


图 13

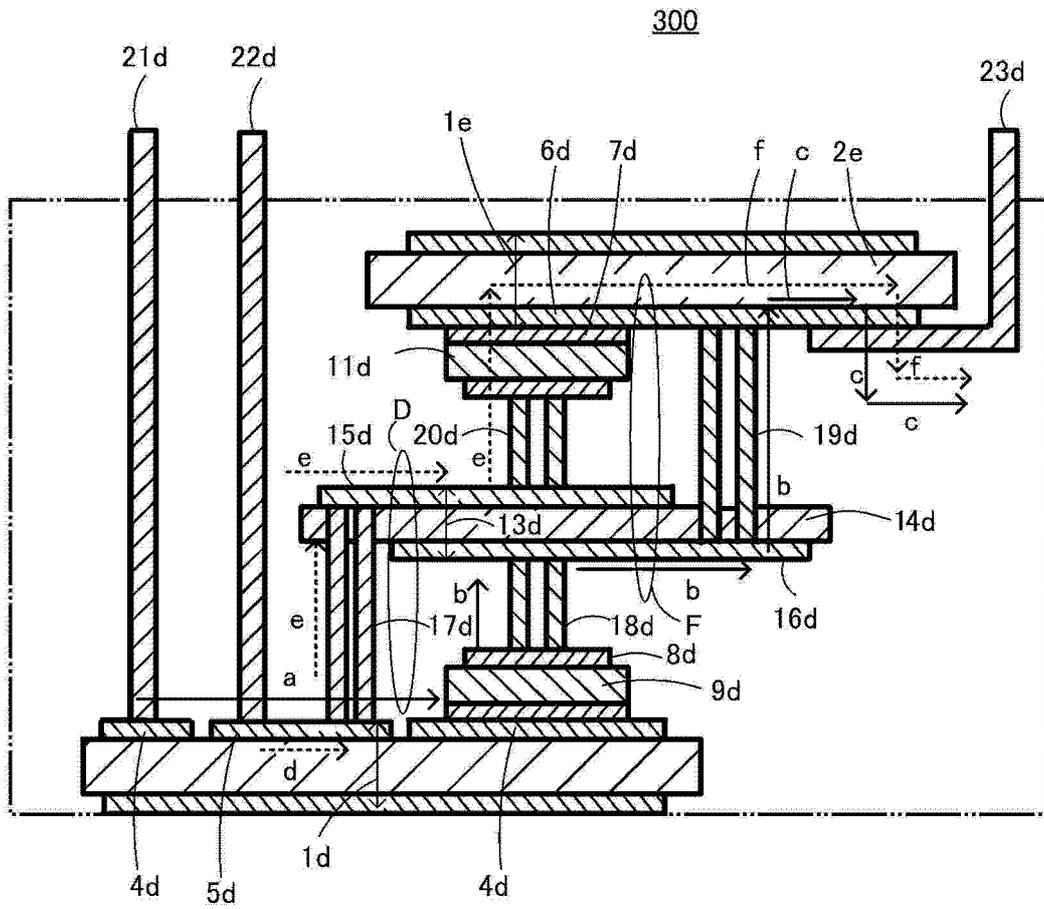


图 14

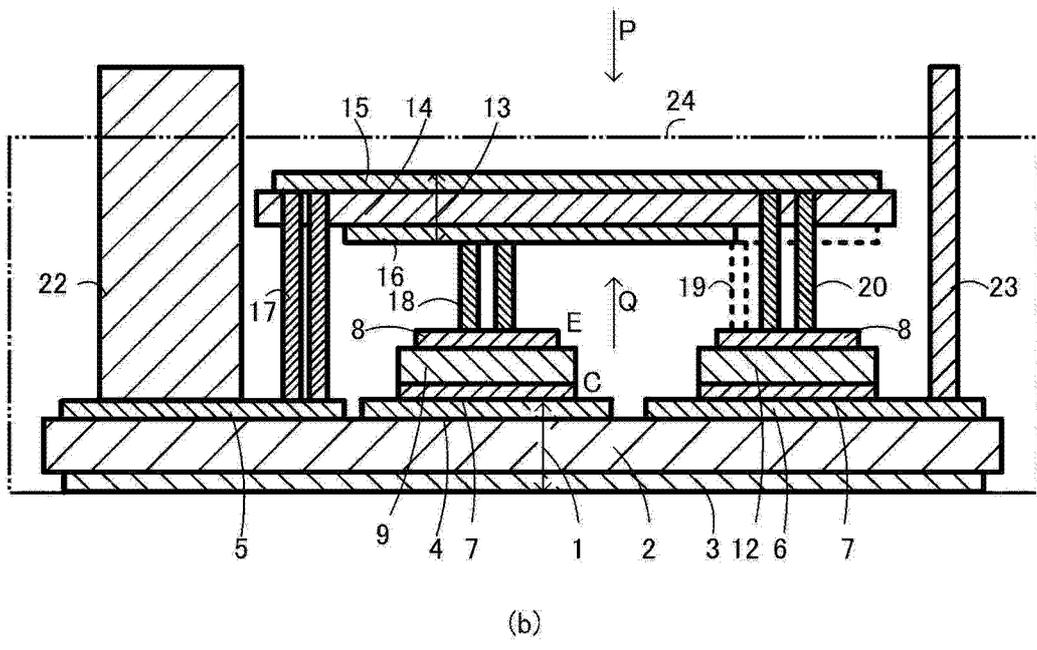
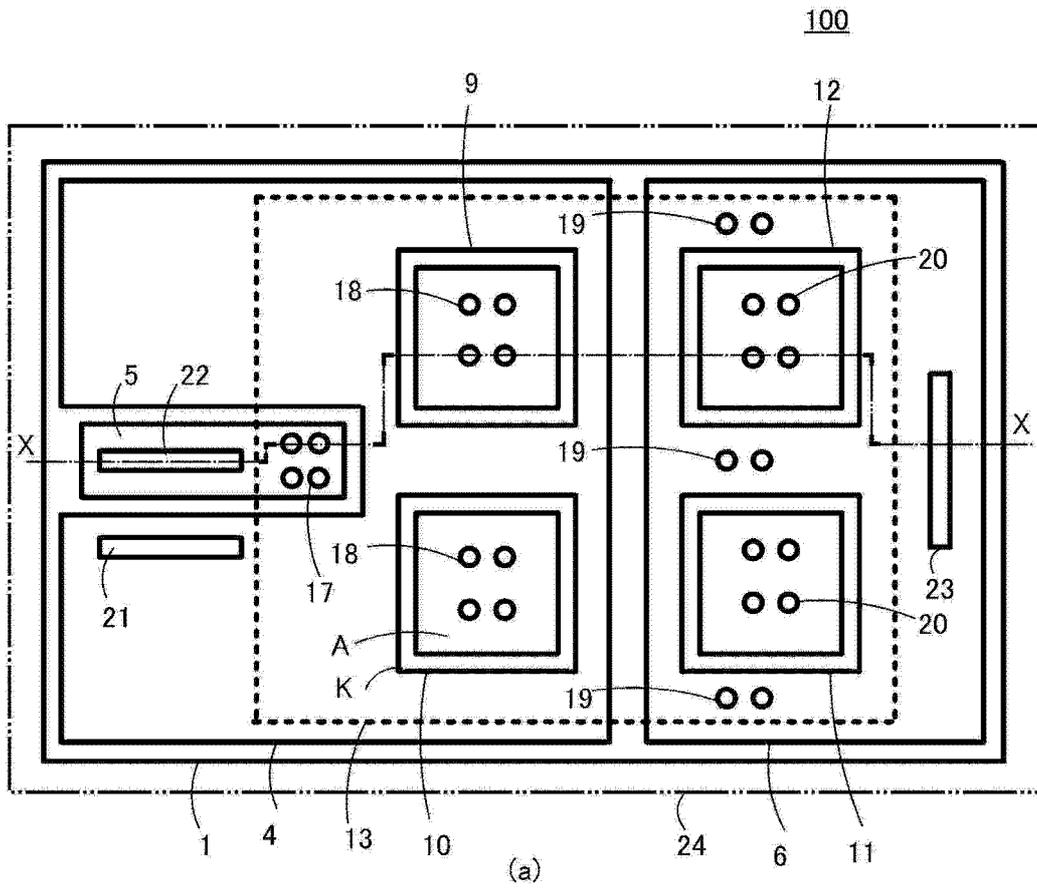


图 15

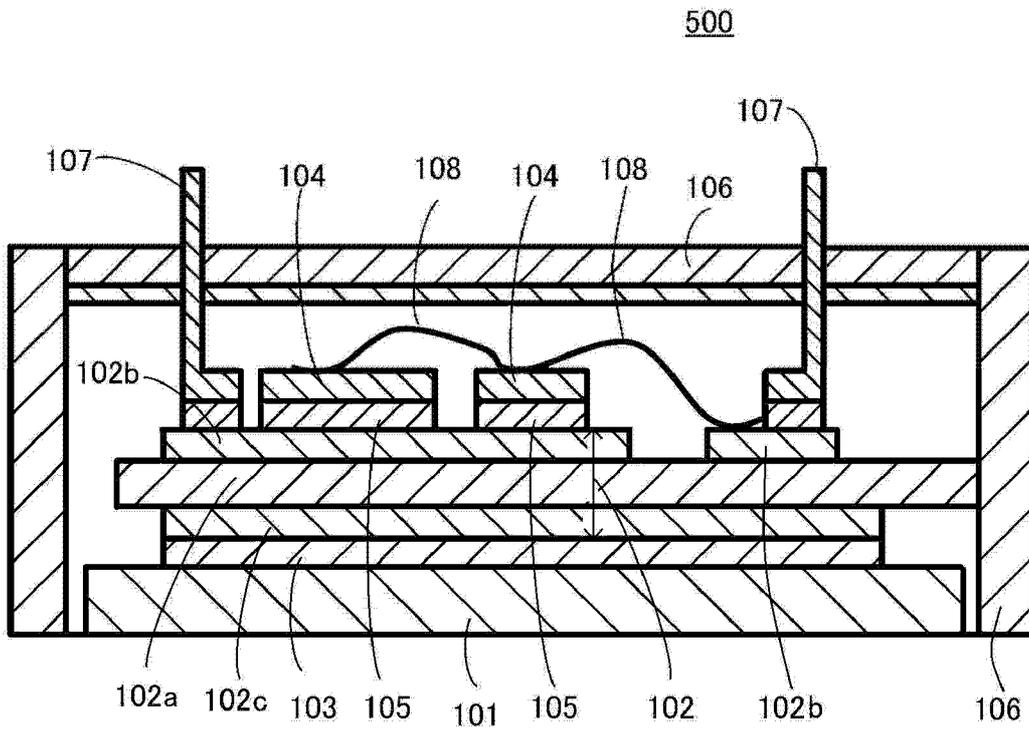


图 16