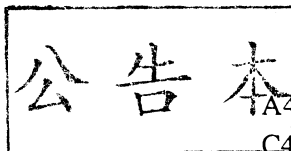


申請日期	90.03.30
案 號	90107611
類 別	G46F 9/38



514827

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	在多線索超大指令字處理器中分配功能單元之裝置及其方法
	英 文	"METHOD AND APPARATUS FOR ALLOCATING FUNCTIONAL UNITS IN A MULTITHREADED VLIW PROCESSOR"
二、發明 創作人	姓 名	1.納文 海恩茲 NEVIN HEINTZE 2.史帝芬諾斯 凱瑟拉斯 STEFANOS KAXIRAS 3.艾倫 大偉 柏倫包 ALAN DAVID BERENBAUM 4.托爾 E 傑瑞米森 TOR E JEREMIASSEN
	國 籍	1.澳洲 2.希臘 3.美國 4.挪威
	住、居所	1.美國紐澤西州摩利西城市摩特凱柏大道301號 2.美國紐澤西州紐澤西市華盛頓大道444號 3.美國紐約州紐約市西第十二街37號 4.美國德州蘇卡蘭市郵政信箱16789號
三、申請人	姓 名 (名稱)	美商艾基爾系統管理人公司 AGERE SYSTEMS GUARDIAN CORPORATION
	國 籍	美國
	住、居所 (事務所)	美國賓州艾倫城市聯邦大道555號
	代 表 人 姓 名	理察 J. 布托斯 RICHARD J. BOTOS

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 2000年03月30日 09/538,670 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

相關申請案對照

本發明係關於美國專利申請案標題"在多線索超大指令字(VLIW)處理器中釋放功能單元之裝置及其方法"，代理人檔案號碼(Berenbaum 8-3-4-4)；美國專利申請案標題"在多線索超大指令字(VLIW)處理器中分離訊包之裝置及其方法"，代理人檔案號碼(Berenbaum 9-4-5-5)；以及美國專利申請案標題"在多線索超大指令字(VLIW)處理器中識別可分離訊包之裝置及其方法"，代理人檔案號碼(Berenbaum 10-5-6-6)，分別同此同時申請，讓渡予本發明受讓人，而且以引用的方式併入本文中。

發明範疇

本發明大致上係關於多線索處理器，尤其有關一種在這類多線索處理器中配置功能單元之方法及裝置。

發明背景

電腦架構於設計上試圖更快完成工作負載。已經提議或建議一些架構設計可供開拓程式平行性。通常，一次發出一個以上作業之架構執行程式可較一次僅發出一作業之架構更快速。近來，電腦架構之進展已經導引至一次發出一個以上作業的方法，並且藉此加速程式作業。圖1說明一傳統微處理器架構100。尤其，微處理器100包括一程式計數器(PC)110，一暫存器組120及一些功能單元(FUs) 130-N。冗餘之功能單元(FU)130-1至130-N提供所說明之微處理器架構100足夠的硬體資源，可平行執行對應的作業數目。

五、發明說明(2)

一種在程式中開拓平行性之架構將運算元一次發佈至一個以上功能單元，以加速程式執行。已經提議或建議具有一平行架構的一些架構，其中包括：超純量處理器，超大指令字(VLIW)處理器和多線索處理器，以下分別結合圖2，4和5予以討論。通常，一超純量處理器於運轉時間利用硬體動態決定：來自一單一指令流的一些作業是否獨立，果真如此，則處理器使用平行之算術與邏輯單元(ALUs)執行指令。如果任何指令其來源運算元均非取決於前面任何指令之目的地運算元，則稱兩指令獨立。一超大指令字(VLIW)處理器於編譯期間評估指令，並將作業適當分組，以便根據相依性資訊平行執行。另一方面，線索處理器平行執行一個以上指令流，而非試圖在一單一指令流內開拓平行性。

如圖2所示，一超純量處理器架構200具有一些功能單元，於個別具有有效資料之事件中獨立作業。例如，如圖2所示，超純量處理器200具有三個功能單元，當作算術與邏輯單元(ALUs)230-N加以實施，可同時各自計算結果。超純量處理器200包括一前端區段208，具有一指令提取區塊210，一指令解碼區塊215，和一指令順序單元220(發出區塊)。指令提取區塊210從一單一線索指令流的一輸入佇列205獲得指令。指令順序單元220以一已知方式識別獨立指令，可於可用之算術與邏輯單元(ALUs)230-N中同時執行。細化區塊250允許指令的完成，同時提供緩衝儲存及重新排序，用以將結果寫回暫存器組

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (3)

240。

於圖3所示之程式片段310中，位置L1，L2和L3之指令相互獨立，其中指令L2和L3其來源運算元均非取決於前面任何指令之目的地運算元。當程式計數器(PC)設定於位置L1時，指令順序單元220於指令流中往前查看，並且偵測L2和L3之指令獨立性，因此，可將三者全部同時發佈至三個可用的功能單元230-N。有關超純量處理器之更詳細討論，見例如James. E. Smith和Gurindar. S. Sohi，"超純量處理器之微架構"，電機電子工程師學會(IEEE)公報(一九九五年十二月)，以引用的方式併入本文中。

如早先所指示，圖4中所示之超大指令字(VLIW)處理器400仰賴軟體在編譯時間從一單一指令流偵測資料平行性，而非使用硬體於運轉時間動態偵測平行性。當以產生圖3之碼片段310的來源碼加以表達時，VLIW編譯器將須偵測指令獨立性，並且建構一單一超大指令，其中包括全部三項作業。於運轉時間，處理器400之發出邏輯將於一週期中發出此寬指令，將資料導引至所有可用的功能單元430-N。如圖4所示，超大指令字(VLIW)處理器400包括一整合之提取/解碼區塊420，用以從記憶體中獲得早先的分組指令410。有關超大指令字(VLIW)處理器之更詳細討論，見例如Burton J. Smith，"HEP多重處理器電腦系統之架構及應用"，SPIE即時信號處理IV，241-248(一九八一年)，以引用的方式併入本文中。

例如以電機電子工程師學會(IEEE)電腦事務(一九八八

五、發明說明 (4)

年八月)其 Robert P. Colwell 等人"追蹤排程編譯器之 VLIW 架構"中討論之多流架構所表達的各種 VLIW 處理器使用固定寬度指令，其中預先定義之欄位將資料立即導引至所有功能單元 430-N。當完成寬指令中指定之所有作業時，處理器發出一新的多重作業指令。如取自美國德州達拉斯，德州儀器之 C6x 處理器，以及取自美國加州聖克拉拉，英特爾公司之商用 EPIC IA-64 處理器的更多新近 VLIW 處理器均改用可變長度指令訊包，其中包括附隨的一或更多作業。

圖 5 中所示之多線索處理器 500 藉由平行執行一個以上指令流獲得效能改善，而非試圖在一單一指令流內開拓平行性。圖 5 中所示之多線索處理器 500 包括一程式計數器 510-N，一暫存器組 520-N，及一功能單元 530-N，分別專用於一對應指令流 N。多線索處理器 500 之替代實行利用一單一功能單元 530，其具有數個暫存器組 520-N 和程式計數器 510-N。這類替代之多線索處理器 500 可加以設計，使處理器 500 於一二週期內交換從一程式計數器/暫存器組 510-N/520-N 發佈至另一程式計數器/暫存器組 510-N/520-N 的指令。因此，如 LOAD 指令之長潛伏指令可與來自其他指令流之較短作業重疊。取自美國華盛頓州西雅圖，Tera 電腦公司之商用 TERA MTA 架構即為此類型的一例子。

一種多線索架構 500 之擴充稱為同時多線索，其組合以上結合圖 2 所討論之超純量架構與以上結合圖 5 所討論之多線索設計。有關同時多線索技術之詳細討論，見例如第

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (5)

22屆電腦架構國際研討會公報，392-403 (Santa Margherita Ligure，義大利，一九九五年六月)中Dean Tullsen等人之"同時多線索：最大化之晶載平行性"，以引用的方式併入本文中。通常，於一同時多線索架構中存在一功能單元池，可將任意數目之功能單元設計成一指令，該指令可從一些程式計數器/暫存器組結構中的任一結構發出。藉由在一些程式線索中共享功能單元，同時多線索架構可較圖5中所示之多線索架構更有效率地使用硬體。

雖然同時多線索架構之組合方式提供優於超純量架構或者多線索架構等個別方式的改良效率，但同時多線索架構仍然需要加工式發出邏輯，用以動態檢查指令流，以便偵測潛在平行性。因此需要一種多線索處理器架構，其不需動態決定兩指令流是否獨立。尚需要一種提供同時多線索之多線索架構。另外尚需要一種多線索架構，可於這類多線索處理器中即時配置功能單元。

發明概要

大致上，揭露一種在多線索超大指令字(VLIW)處理器中配置功能單元之方法及裝置。本發明組合傳統超大指令字(VLIW)架構與傳統多線索架構之技術。本發明之組合架構減少個別程式內以及跨越工作負載的執行時間。

本發明利用編譯器偵測多線索處理器架構內之平行性。因此，揭露一種多線索VLIW架構，其係藉由以類似單一線索VLIW處理器之方式，從一單一程式順序器發出多重指令，而開拓程式平行性，其中同時支援多重程式順序

五、發明說明 (6)

器，如同同時多線索的架構，但由於不需要動態決定，所以發出邏輯的複雜度較為簡化。

本發明於相同週期中將指令配置予功能單元，以便將多重 VLIW 指令發佈至多重功能單元。於將引數調度至功能單元之前，本發明的配置機構佔用一管線級。通常，配置級藉由根據線索優先或資源可用性，抑或兩者，選擇適當指令，並將指令指派予功能單元，而決定如何將指令分組於一起，使效率最大化。

配置級從於管線中提取及解碼之(最多) $N * K$ 個指令中，選擇適當的 M 個指令，供執行用。指令選擇標準係根據線索優先或資源可用性，抑或兩者。於線索優先標準下，不同線索可具有不同優先。配置級選擇及轉送屬於具有最高優先之線索的訊包(或者來自訊包之指令)，供執行用，其中該最高優先係根據所實行的優先政策。於資源可用性標準下，唯獨當訊包所需資源(像是功能單元)可供下一週期使用時，才可配置(最多具有 K 個指令)訊包。功能單元向配置級報告其可用性。

藉由參照以下之詳細說明及圖式，可更完整了解本發明，以及本發明之進一步特性與優點。

圖式簡單說明

圖 1 說明一傳統一般化微處理器架構；

圖 2 係一傳統超純量處理器架構的一示意方塊圖；

圖 3 係說明作業其獨立性的一程式片段；

圖 4 係一傳統超大指令字(VLIW)處理器架構的一示意方

五、發明說明(7)

塊圖；

圖5係一傳統多線索處理器的一示意方塊圖；

圖6說明根據本發明的一多線索VLIW處理器；

圖7A說明一多線索處理器的一傳統管線；

圖7B說明根據本發明之多線索處理器的一管線；以及

圖8係圖7B之配置級其實行的一示意方塊圖。

詳細說明

圖6說明根據本發明的一多線索VLIW處理器600。如圖6所示，其中有三個指令線索，亦即，線索A(TA)，線索B(TB)，和線索C(TC)，各以指令數 n 作業。此外，所說明之多線索VLIW處理器600包括九個功能單元620-1至620-9，可獨立配置予任何線索TA-TC。由於跨越所說明之三線索TA-TC的指令數目為九，而且所說明之可用功能單元620其數目同樣為九，所以來自全部三線索TA-TC的每一指令均可於一週期中發出其指令訊包，並且於後續週期中移動至指令 $n+1$ 。

應注意的是，通常指令與其指定作業間存在一對一對應。因此，此處這類名詞可交換使用。尚應注意，於一指令指定多重作業之情況下，假設多線索VLIW處理器600包括一或更多多重作業功能單元620，用以執行指定多重作業的指令。可處理指定多重作業指令之架構的一例子為複雜指令集電腦(CISC)。

本發明於相同週期中將指令配置予功能單元，以便將多重VLIW指令發佈至多重功能單元。恰於將引數調度至功

五、發明說明(8)

能單元之前，本發明的配置機構佔用一管線級。因此，圖7A說明一傳統管線道700，包括一提取級710，用以從記憶體獲得訊包；一解碼級720，用以識別所需之功能單元和暫存器，供提取指令用；以及一執行級730，用以執行指定作業，及處理結果。

因此，於一傳統VLIW架構中，每一週期(於提取級710中)提取最多包含K個指令之訊包。於解碼級720中，最多將K個指令解碼，並且傳送至(最多)K個功能單元(FUs)。於執行級730中，將讀取對應於指令的暫存器，功能單元以該等指令進行作業，並將結果寫回暫存器。假設於每一功能單元中最多可讀取三個暫存器，而且最多可寫入一個暫存器。

圖7B說明根據本發明的一管線750，其中增加以下結合圖8進一步討論之配置級780，供多線索VLIW處理器實行用。通常，配置級780決定如何將作業分組於一起，使效率最大化。因此，管線750包括一提取級760，用以從記憶體獲得最多N個訊包；一解碼級770，用以識別功能單元和暫存器，供提取指令(最多 $N \times K$ 個指令)用；一配置級780，用以選擇適當指令，並且指派予FU，以及一執行級790，用以執行指定作業，及處理結果。

於本發明之多線索VLIW處理器600，硬體中支援最多N個線索。N個線索上下文存在且包括一單一線索之所有可能暫存器以及所需之所有狀態資訊。一多線索VLIW處理器600具有M個功能單元，其中M大於或等於K。圖7B中

五、發明說明 (9)

所示之已修正管線級 750 以下列方式工作。於每一週期中，於提取級 760 提取最多 N 個訊包 (各包括最多 K 個指令)。解碼級 770 將最多 N * K 個指令解碼，並且決定其需求和讀取與寫入的暫存器。配置級 780 從 (最多) N * K 個指令中選擇 M 個指令，並將其轉送至 M 個功能單元。假設每一功能單元最多可讀取 3 個暫存器，以及寫入一個暫存器。於執行級 790 中，最多 M 個功能單元讀取最多 3 * M 個暫存器，以及寫入最多 M 個暫存器。

配置級 780 從於級 760 和 770 提取及解碼之 (最多) N * K 個指令中，選擇適當的 M 個指令，供執行用。選擇標準係根據線索優先或資源可用性，抑或兩者。於線索優先標準下，不同線索可具有不同優先。配置級 780 選擇及轉送屬於具有最高優先之線索的訊包 (或者來自訊包之指令)，供執行用，其中該最高優先係根據所實行的優先政策。亦可實行優先政策的多線索。例如，支援 N 個上下文 (N 個硬體線索) 之多線索 VLIW 處理器的優先政策可具有 N 個優先位準。處理器裡中之最高優先線索將配置於任何其他線索的前面。於具有相等優先之線索中，等候最久供配置用之線索較佳。

於資源可用性標準下，唯獨當訊包所需資源 (功能單元) 可供下一週期使用時，才可配置 (最多 K 個指令) 訊包。功能單元向配置級 780 報告其可用性。

圖 8 說明配置級 780 其實行的一示意方塊圖。如圖 8 所示，實行配置級 780 所需硬體包括一優先編碼器 810，及

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (10)

二縱橫式交換機820，830。通常，優先編碼器810檢查每一線索中多重作業之狀態，以及可用功能單元之狀態。優先編碼器810選擇即將執行之訊包，而且設定第一縱橫式交換機820，以便於下一週期開始時，將適當之暫存器內容傳輸至功能單元。優先編碼器810之輸出配置第一縱橫式交換機820將資料從選定線索路由選擇至適當的功能單元。此可完成如下：例如藉由將(包括一線索識別字)暫存器識別字傳送至功能單元，而且令功能單元經由一分離之資料網路讀取暫存器內容，並且使用縱橫式交換機810將適當之暫存器內容移動至於下一週期開始時由功能單元讀取的鎖存器。

優先編碼器810根據優先和資源可用性，從提取級760(圖7B)所提取之N個訊包中選擇最多N個訊包，供執行用。換言之，優先編碼器選擇並未要求不可用資源供執行用的最高優先線索。然後，設定第一縱橫式交換機810。輸入縱橫式交換機810將最多3個 $K \times N$ 輸入路由選擇至最多 $3 \times M$ 個輸出。第一縱橫式交換機810具有將每一訊包之暫存器識別字(或者適當暫存器之內容)傳輸至適當功能單元的能力。

由於相同週期中可選擇最多N個線索，而且每一線索可發出具有最多K個指令之訊包，同時每一指令可讀取最多3個暫存器，所以存在 $3K \times N$ 個暫存器識別字可供選擇。由於只存在M個功能單元，而且每一功能單元可接受一單一指令，所以僅存在 $3M$ 個暫存器識別字可供選擇。因

五、發明說明 (11)

此，縱橫式交換機實行暫存器識別字(或者暫存器內容)之 $3K * N$ 至 $3M$ 的路由選擇。

輸出縱橫式交換機 830 將 M 個輸入路由選擇至 $N * M$ 或 $N * K$ 個輸出。第二縱橫式交換機 830 設定於適當時間，將功能單元之結果傳輸回至適當暫存器。第二縱橫式交換機 830 可藉由將(包括一線索識別字之)暫存器識別字傳送至功能單元，當作一分離之網路而實行。當功能單元計算結果時，功能單元將結果路由選擇至給定之暫存器識別字。有 M 個結果必須路由選擇至最多 N 個線。每一線索可接受最多 K 個結果。第二縱橫式交換機 830 將 M 個結果路由選擇至 $N * K$ 個可能目的地。第二縱橫式交換機 830 可當作連接至全部 N 個暫存器檔案之 M 個匯流排而實行。此情況下，變成將 M 個結果路由選擇至 $N * M$ 個可能目的地(如果暫存器檔案具有接受 M 個結果之能力)。

應了解，此處所示及說明之具體實施例和變化僅用以說明本發明的原則，而且熟習此項技藝者於不脫離本發明之範圍和精神下可實行各種修正。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11a)

91年10月9日 修正補充

圖式元件符號說明

100	微處理器架構
110	程式計數器 (PC)
120	暫存器組
130-1~130-3	功能單元 (FUs)
200	超純量處理器架構
205	輸入佇列
208	前端區段
210	指令提取區塊
215	指令解碼區塊
220	指令順序區塊 (發出區塊)
230-1~230-N	算術與邏輯單元
240	暫存器組
250	細化區塊
310	程式片段
400	超大指令字 (VLIW) 處理器
410	早先的分組指令
420	整合之提取/解碼區塊
430-1~430-N	功能單元
500	多線索處理器
510-1~510-N	程式計數器
520-1~520-N	暫存器組
530-1~530-N	功能單元
600	多線索 VLIW 處理器
620-1~620-9	功能單元
700	管線道
710	提取級
720	解碼級
730	執行級
750	管線道
760	提取級
770	解碼級
780	配置級
790	執行級
810	優先編碼器
820	輸入縱橫式交換機
830	輸出縱橫式交換機

四、中文發明摘要 (發明之名稱：在多線索超大指令字處理器中分配功能單元之裝置及其方法)

揭露一種在多線索超大指令字(VLIW)處理器中配置功能單元之方法及裝置。本發明組合傳統VLIW架構及傳統多線索架構之技術，以減少個別程式內以及跨越工作負載的執行時間。本發明利用編譯器偵測平行性。所揭露之多線索VLIW架構藉由以一類似單一線索VLIW處理器之方式，從一單一程式順序器發出多重指令，而開拓程式平行性，其同時支援多重程式順序器，如同同時多線索的架構。指令於相同週期中配置予功能單元，以便將多重VLIW指令發佈至多重功能單元。恰於將引數調度至功能單元之前，本發明的配置機構佔用一管線級。配置級藉由選擇適當指令，並將指令指派予FUs，而決定如何將指令分組於一

英文發明摘要 (發明之名稱： "METHOD AND APPARATUS FOR ALLOCATING FUNCTIONAL UNITS IN A MULTITHREADED VLIW PROCESSOR")

A method and apparatus are disclosed for allocating functional units in a multithreaded very large instruction word (VLIW) processor. The present invention combines the techniques of conventional VLIW architectures and conventional multithreaded architectures to reduce execution time within an individual program, as well as across a workload. The present invention utilizes a compiler to detect parallelism. The disclosed multithreaded VLIW architecture exploits program parallelism by issuing multiple instructions, in a similar manner to single threaded VLIW processors, from a single program sequencer, and also supports multiple program sequencers, as in simultaneous multithreading. Instructions are allocated to functional units to issue multiple VLIW instructions to multiple functional units in the same cycle. The allocation mechanism of the present invention occupies a pipeline stage just before arguments are dispatched to functional units. The allocate stage determines how to group the instructions together to maximize efficiency, by selecting appropriate instructions and assigning the instructions to the FUs. The criteria for

四、中文發明摘要 (發明之名稱：)

起，使效率最大化。選擇準則係根據線索優先或資源可用性，抑或此二者。於線索優先準則下，不同線索可具有不同優先。配置級選擇及轉送屬於具有最高優先之線索的訊包(或者來自訊包之指令)，供執行用，其中該最高優先係根據所實行的優先政策。於資源可用性準則下，唯獨當(具有最多K個指令)訊包所需的資源(功能單元)可供下一週期使用時，才配置訊包。功能單元向配置級報告其可用性。

英文發明摘要 (發明之名稱：)

selection are thread priority or resource availability or both. Under the thread priority criteria, different threads can have different priorities. The allocate stage selects and forwards the packets (or instructions from packets) for execution belonging to the thread with the highest priority according to the priority policy implemented. Under the resource availability criteria, a packet (having up to K instructions) can be allocated only if the resources (functional units) required by the packet are available for the next cycle. Functional units report their availability to the allocate stage.

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

1. 一種多線索超大指令字(VLIW)處理器，包括：
 複數個功能單元，用以執行來自一指令流之複數個指令，其中該指令流具有複數個線索，而且該等線索具有一優先；以及
 一配置器，用以從該指令流中選擇指令，而且將指令轉送至複數個功能單元，該配置器根據該線索優先選擇指令。
2. 如申請專利範圍第1項之多線索超大指令字(VLIW)處理器，其中該線索優先允許不同線索具有不同優先。
3. 如申請專利範圍第1項之多線索超大指令字(VLIW)處理器，其中該配置器選擇及轉送屬於具有最高優先之線索的指令，供執行用。
4. 如申請專利範圍第1項之多線索超大指令字(VLIW)處理器，其中該配置器根據該線索優先和資源可用性選擇及轉送指令。
5. 一種多線索超大指令字(VLIW)處理器，包括：
 複數個功能單元，用以執行來自一多線索指令流之複數個指令；以及
 一配置器，用以從該指令流中選擇指令，並且將指令轉送至複數個功能單元，該配置器根據資源可用性選擇指令。
6. 如申請專利範圍第5項之多線索超大指令字(VLIW)處理器，其中該資源可用性允許唯獨當指令所需資源可供下一週期使用時，才配置指令。

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

- 7. 如申請專利範圍第5項之多線索超大指令字(VLIW)處理器，其中該資源包括該等功能單元。
- 8. 如申請專利範圍第5項之線索超大指令字(VLIW)處理器，其中該配置器根據該資源可用性和指派予該等線索之優先選擇及轉送指令。
- 9. 一種在多線索超大指令字(VLIW)處理器中處理來自一指令流之指令的方法，包括下列步驟：
 使用複數個功能單元執行指令，該等線索具有一優先；
 根據該線索優先從指令流中選擇指令；以及
 將選定之指令轉送至複數個功能單元。
- 10. 如申請專利範圍第9項之方法，其中該線索優先允許不同線索具有不同優先。
- 11. 如申請專利範圍第9項之方法，其中該選擇步驟選擇屬於具有最高優先之線索的指令，供執行用。
- 12. 一種在多線索超大指令字(VLIW)處理器中處理來自一指令流之指令的方法，該指令流具有複數個線索，包括下列步驟：
 使用複數個功能單元執行指令；
 根據資源可用性從該指令流中選擇指令；以及
 將選定之指令轉送至複數個功能單元。
- 13. 如申請專利範圍第12項之方法，其中該資源可用性允許唯獨當指令所需資源可供下一週期使用，才配置指令。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

14. 如申請專利範圍第12項之方法，其中該資源包括該等功能單元。

15. 一種在多線索超大指令字(VLIW)處理器中處理來自一指令流之指令的製造物品，該指令流具有複數個線索，包括：

一電腦可讀取媒體，具有其中所實施之電腦可讀取碼裝置，該電腦可讀取碼裝置包括碼裝置，用以引發電腦：

使用複數個功能單元執行指令，該等線索具有一優先；

根據該線索優先從該指令流中選擇指令；以及

將選定指令轉送至複數個功能單元。

16. 一種在多線索超大指令字(VLIW)處理器中處理來自一指令流之指令的製造物品，該指令流具有複數個線索，包括：

一電腦可讀取媒體，具有其中所實施之電腦可讀取碼裝置，該電腦可讀取碼裝置包括碼裝置，用以引發電腦：

使用複數個功能單元執行指令；

根據資源可用性從該指令流中選擇指令；以及

將選定指令轉送至複數個功能單元。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

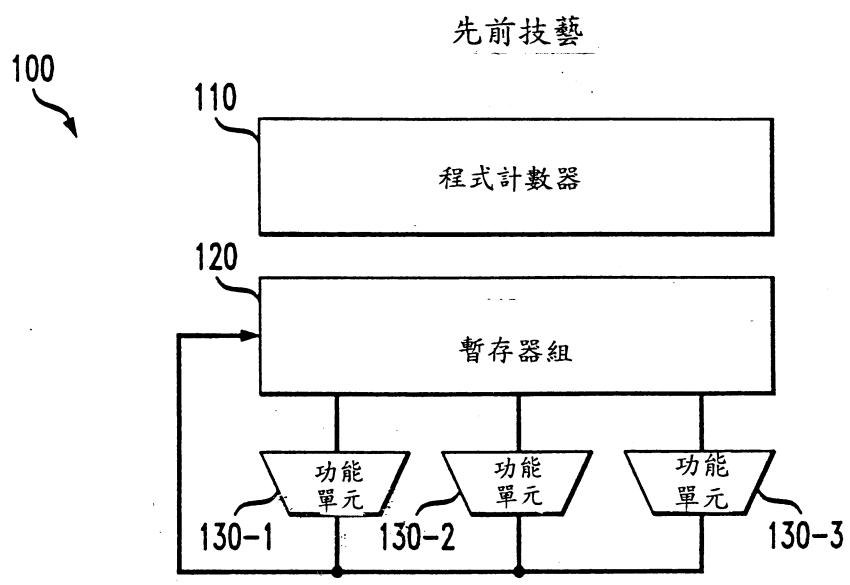


圖 1

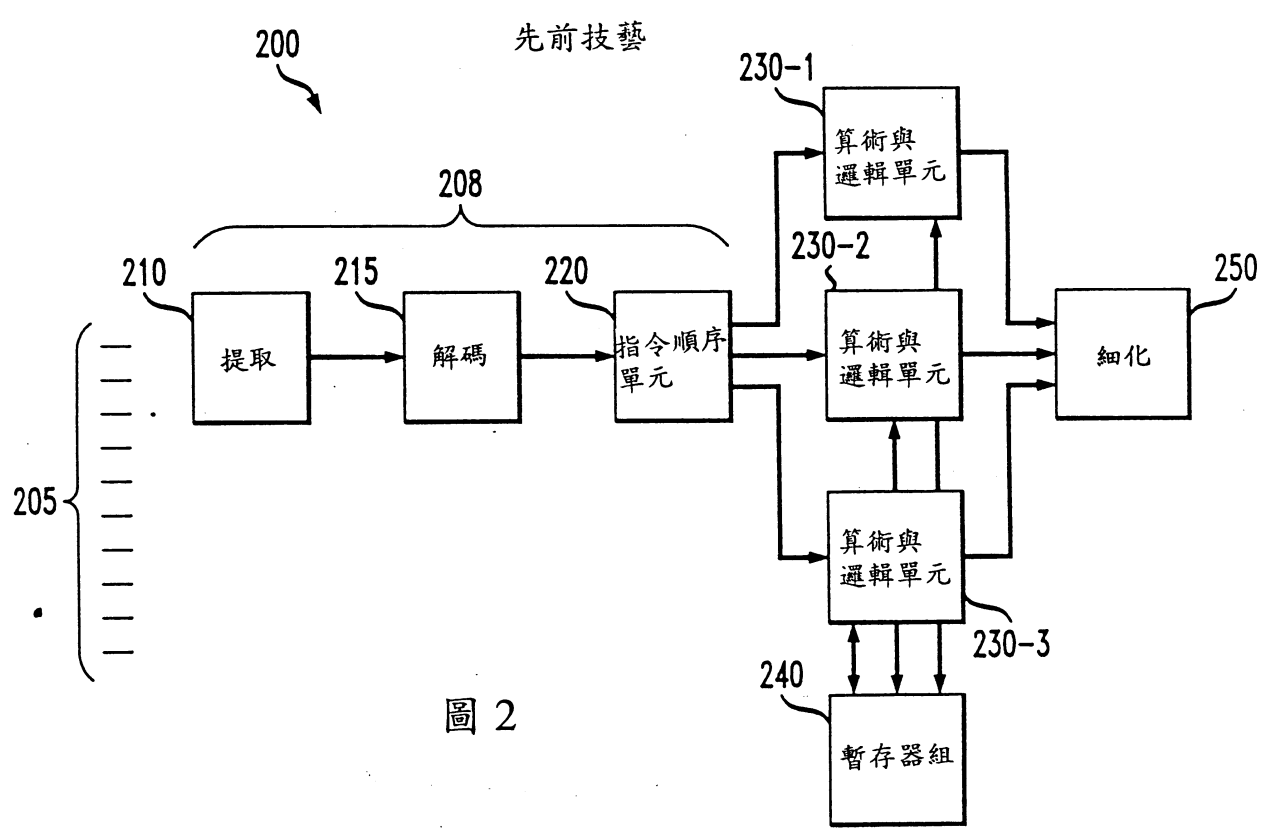


圖 2

310 {

L3:	加	R0,	R1,	R2
L2:	減	R3,	R4,	R2
L1:	或	R6,	R1,	R5

圖 3

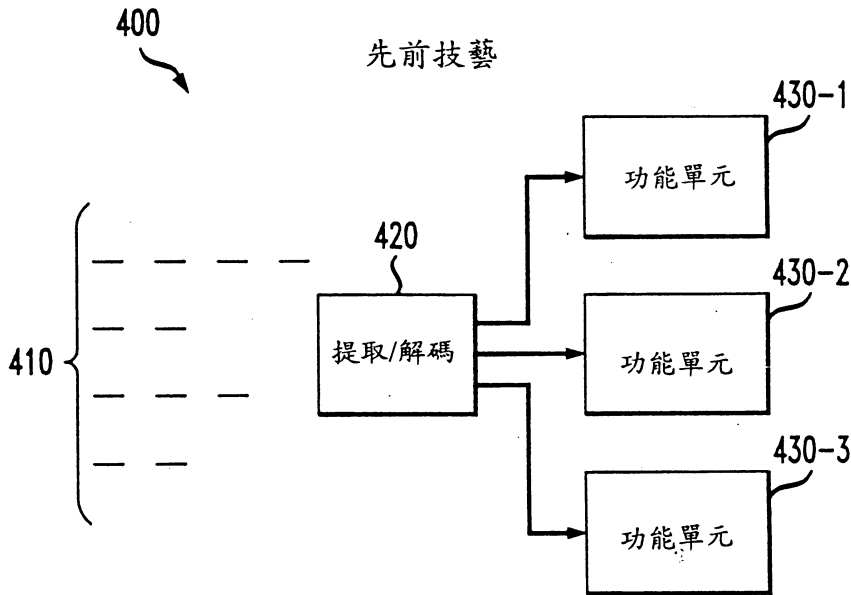


圖 4

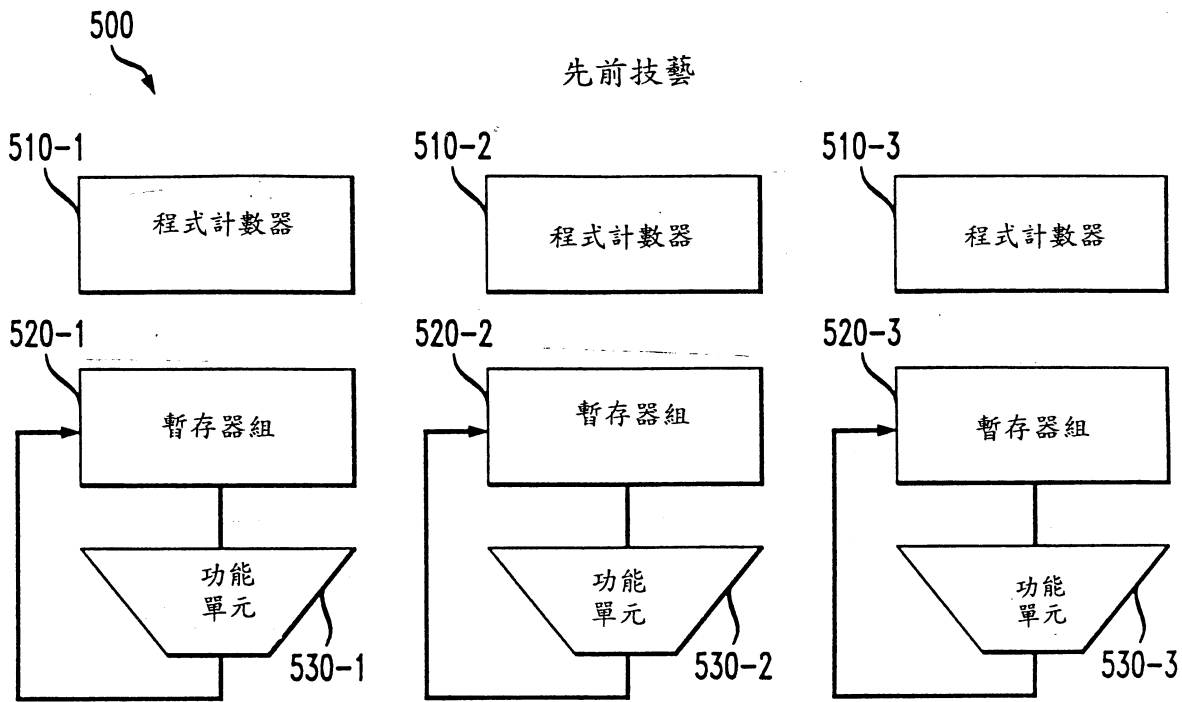


圖 5

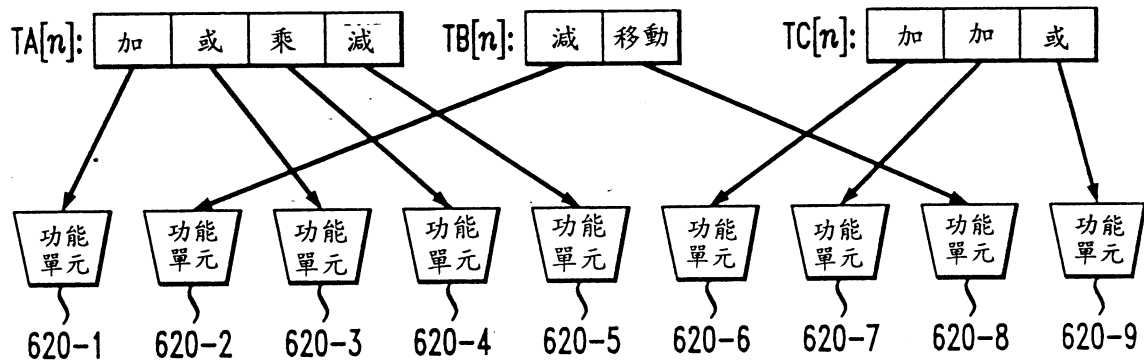


圖 6

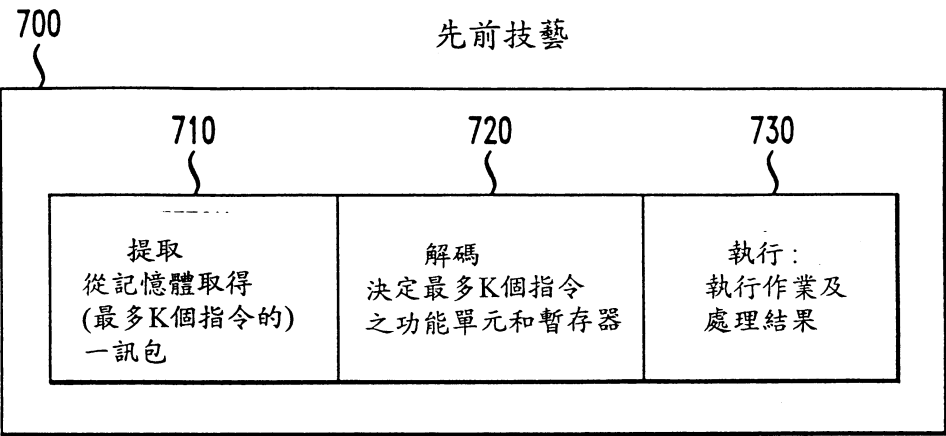


圖 7A

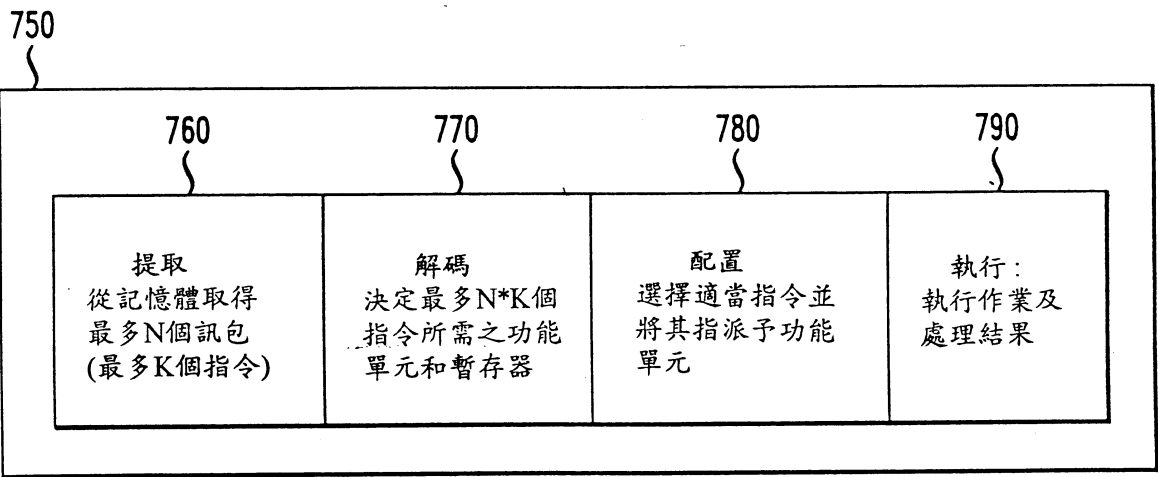


圖 7B

780

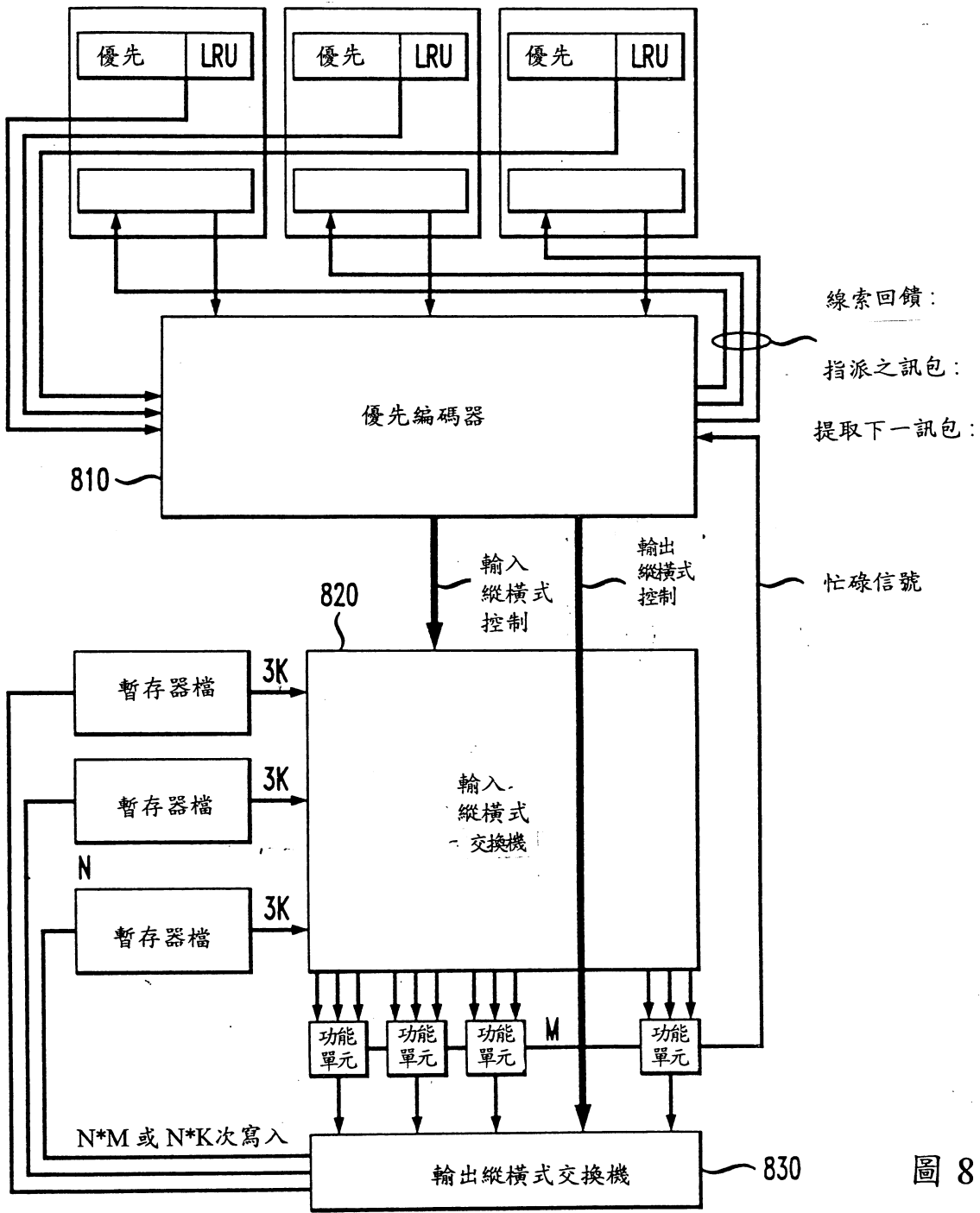


圖 8