





圖式

1/9

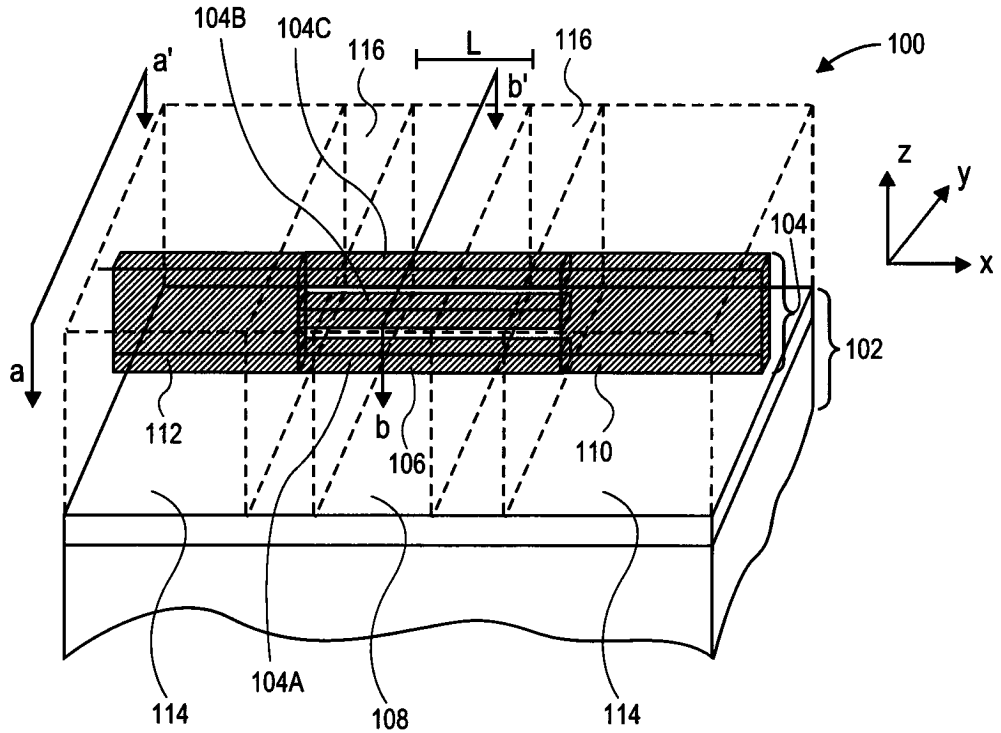


圖 1A

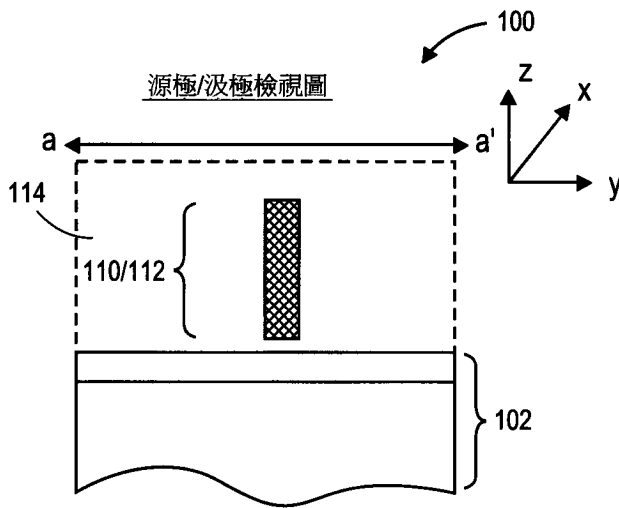


圖 1B

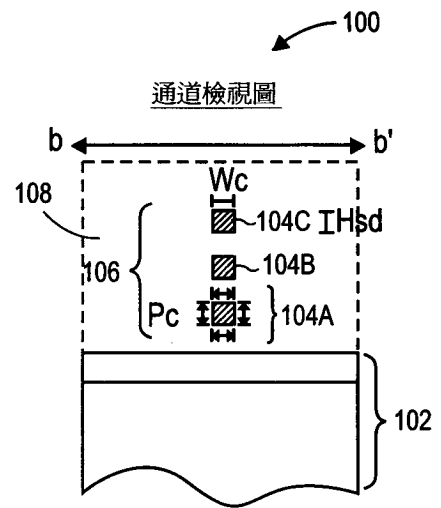
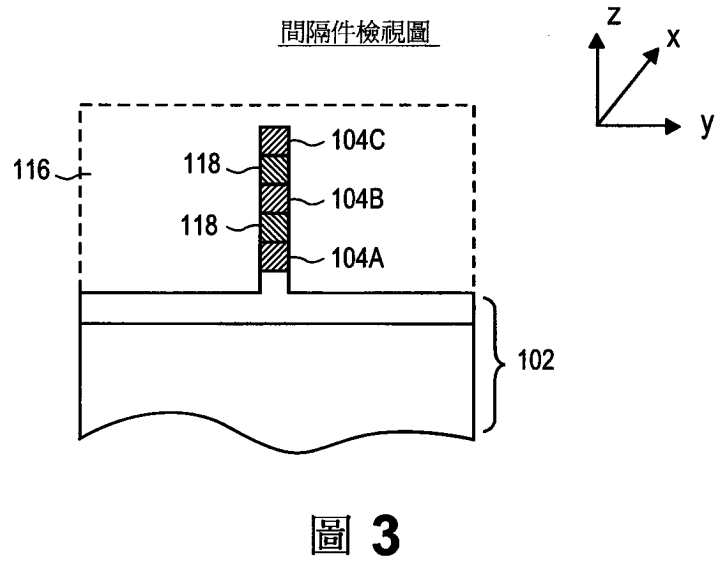
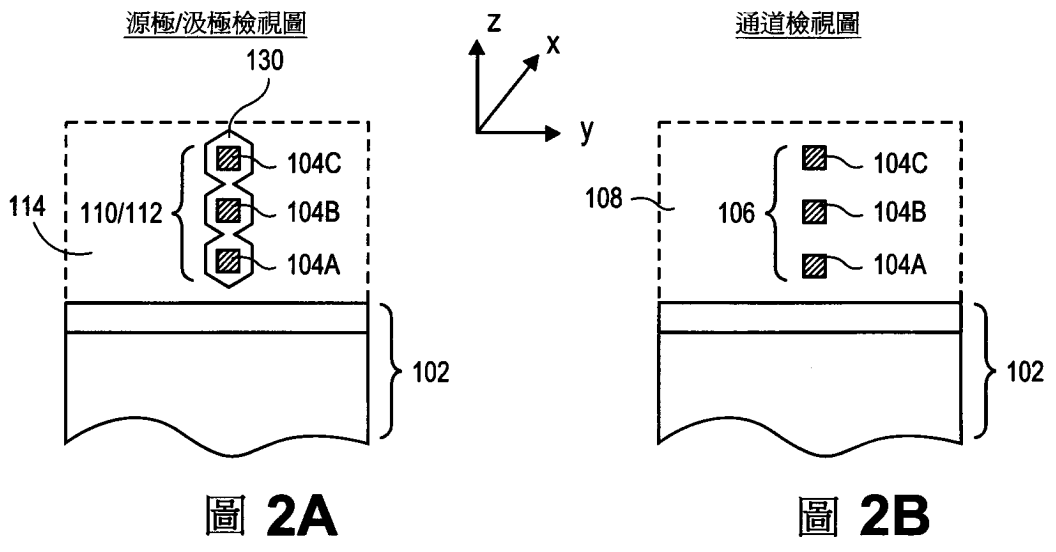


圖 1C



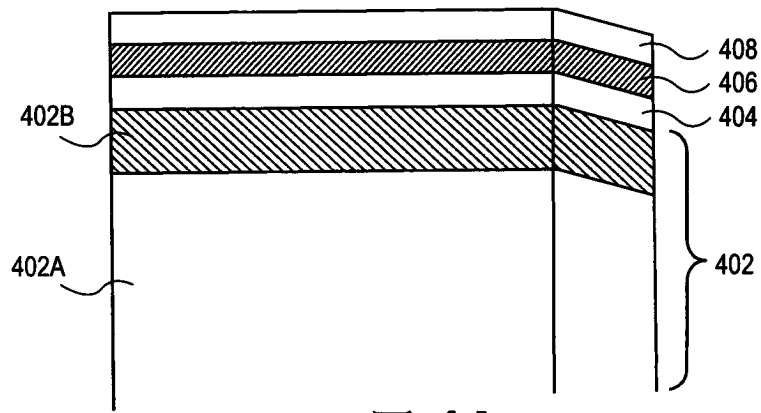


圖 4A

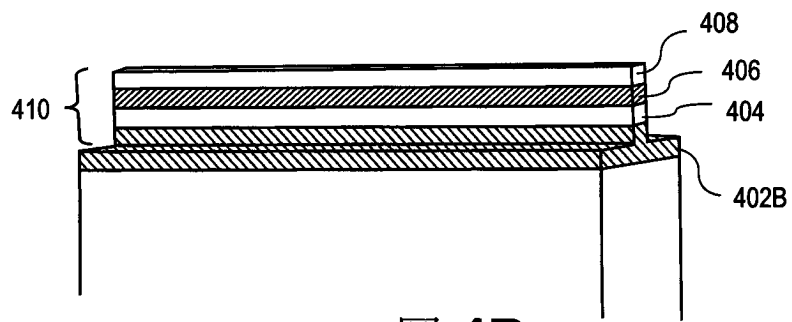


圖 4B

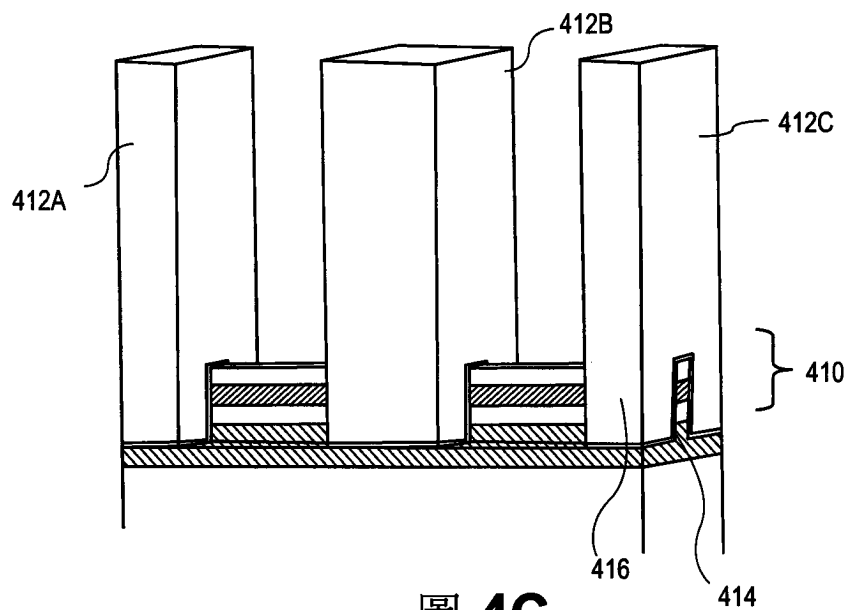


圖 4C

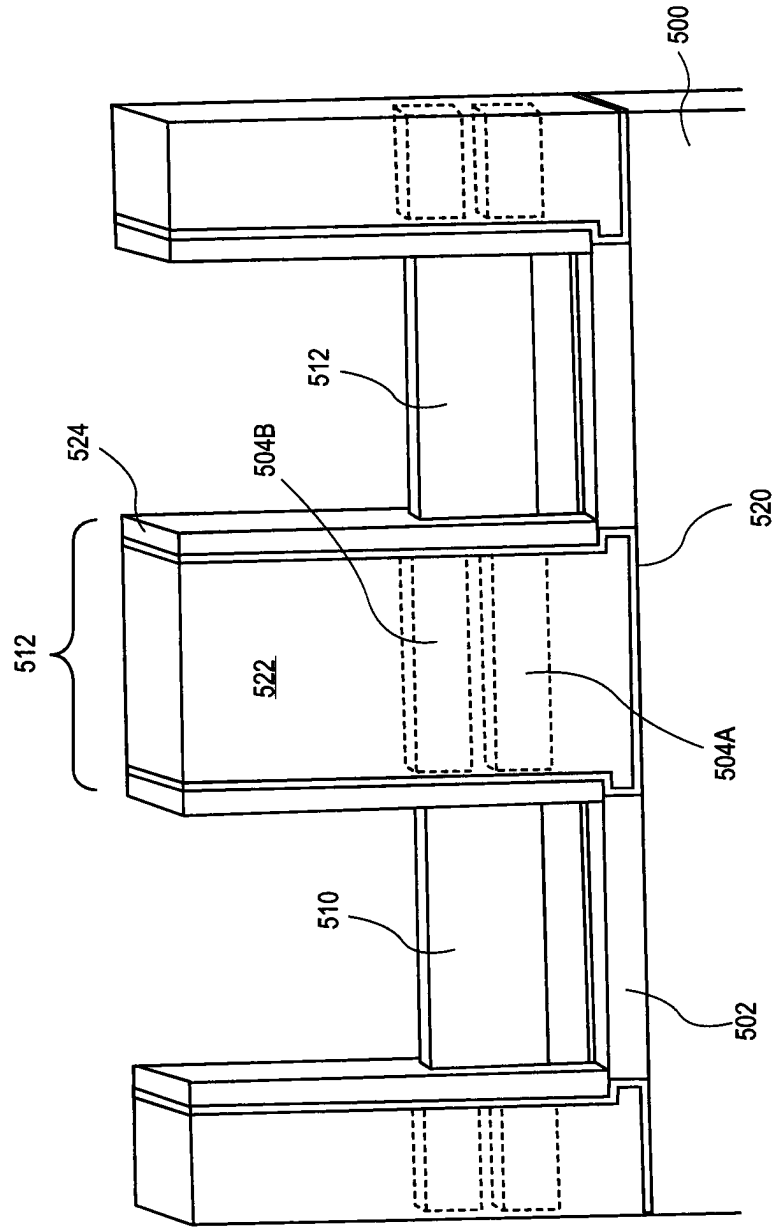


圖 5

經滲雜的Si或SiGe (650)

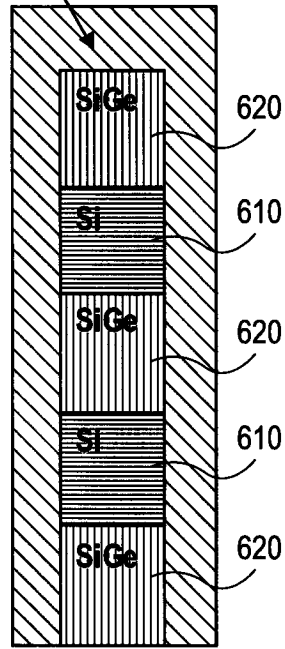


圖 6A

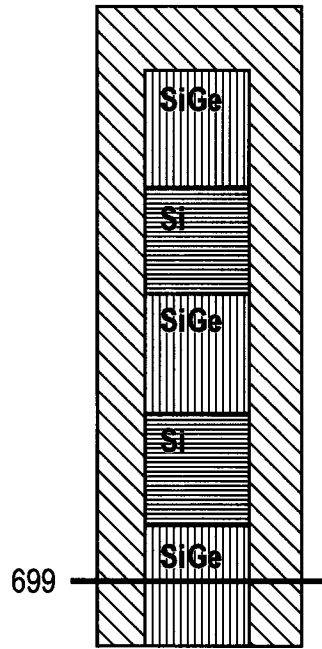


圖 6B

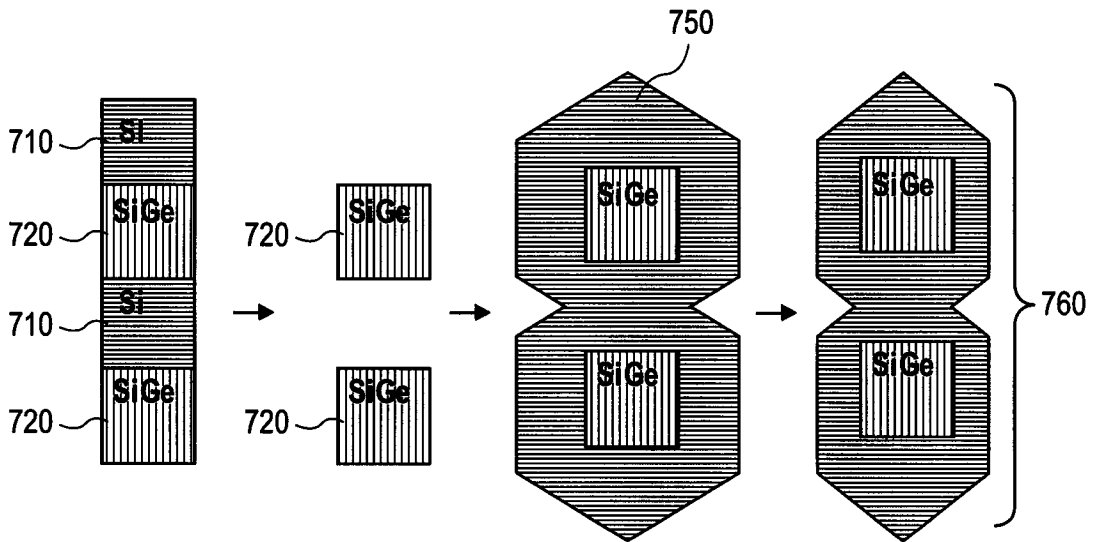


圖 7A

圖 7B

圖 7C

圖 7D

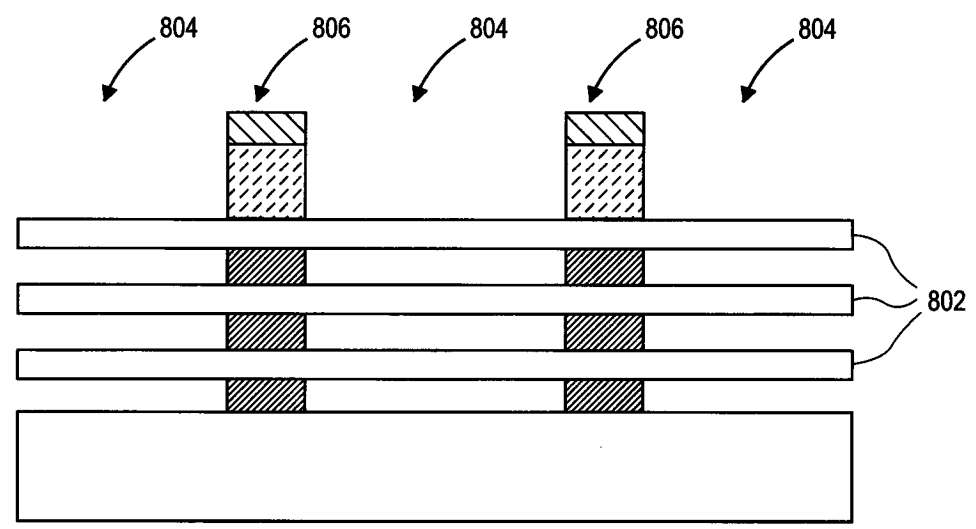


圖 8A

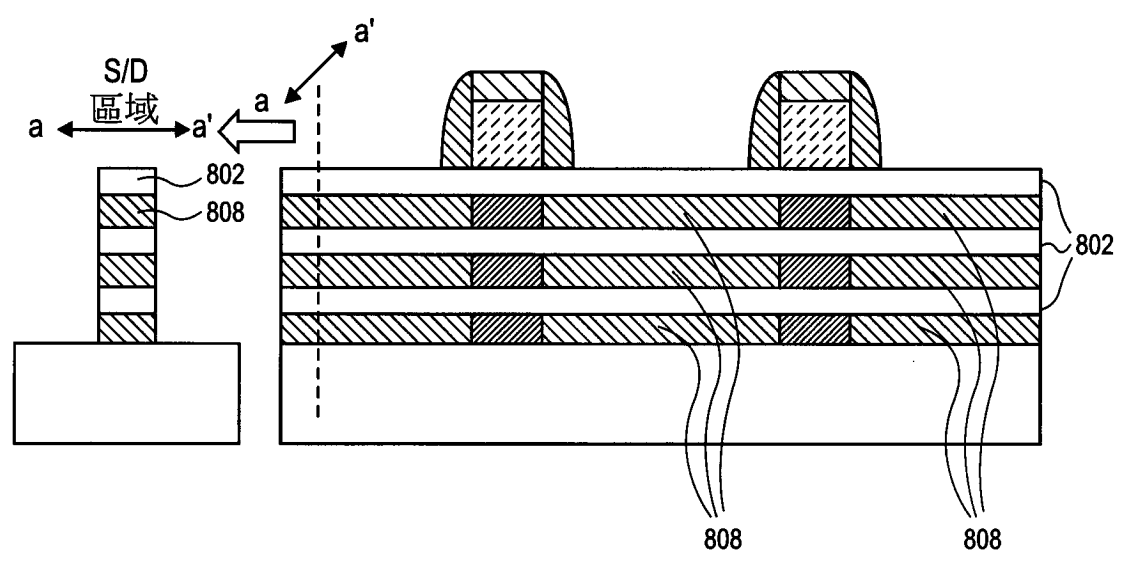


圖 8B



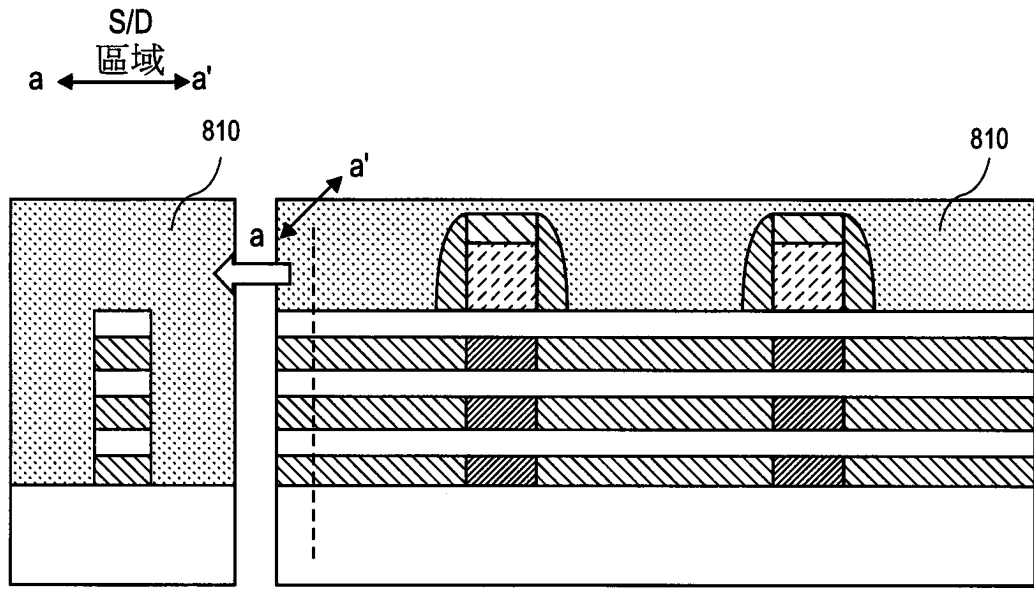


圖 8C

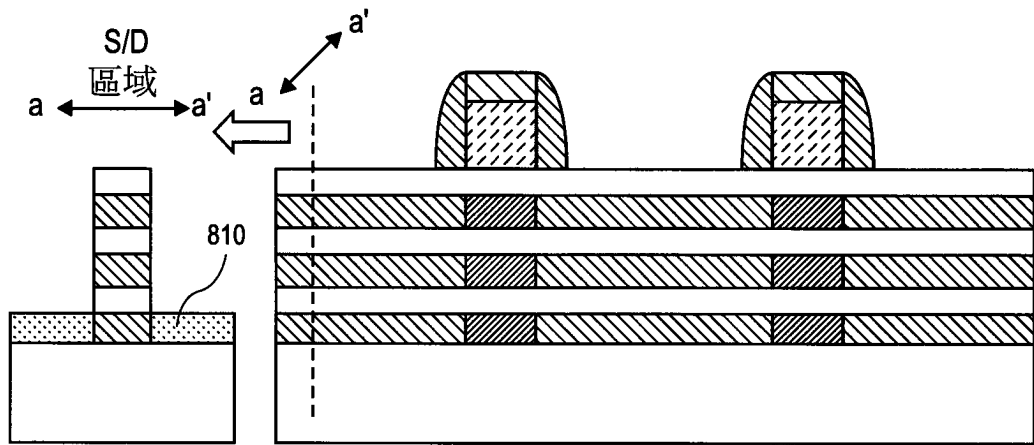


圖 8D

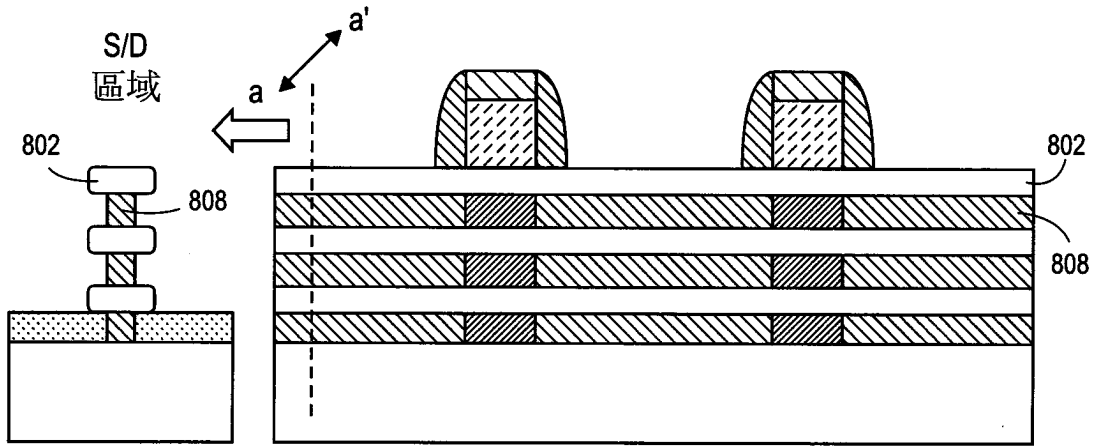


圖 8E

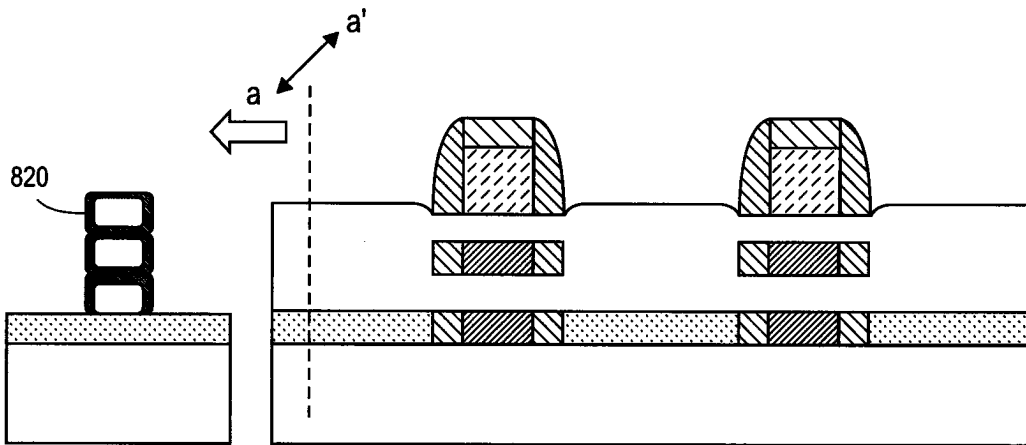


圖 8F

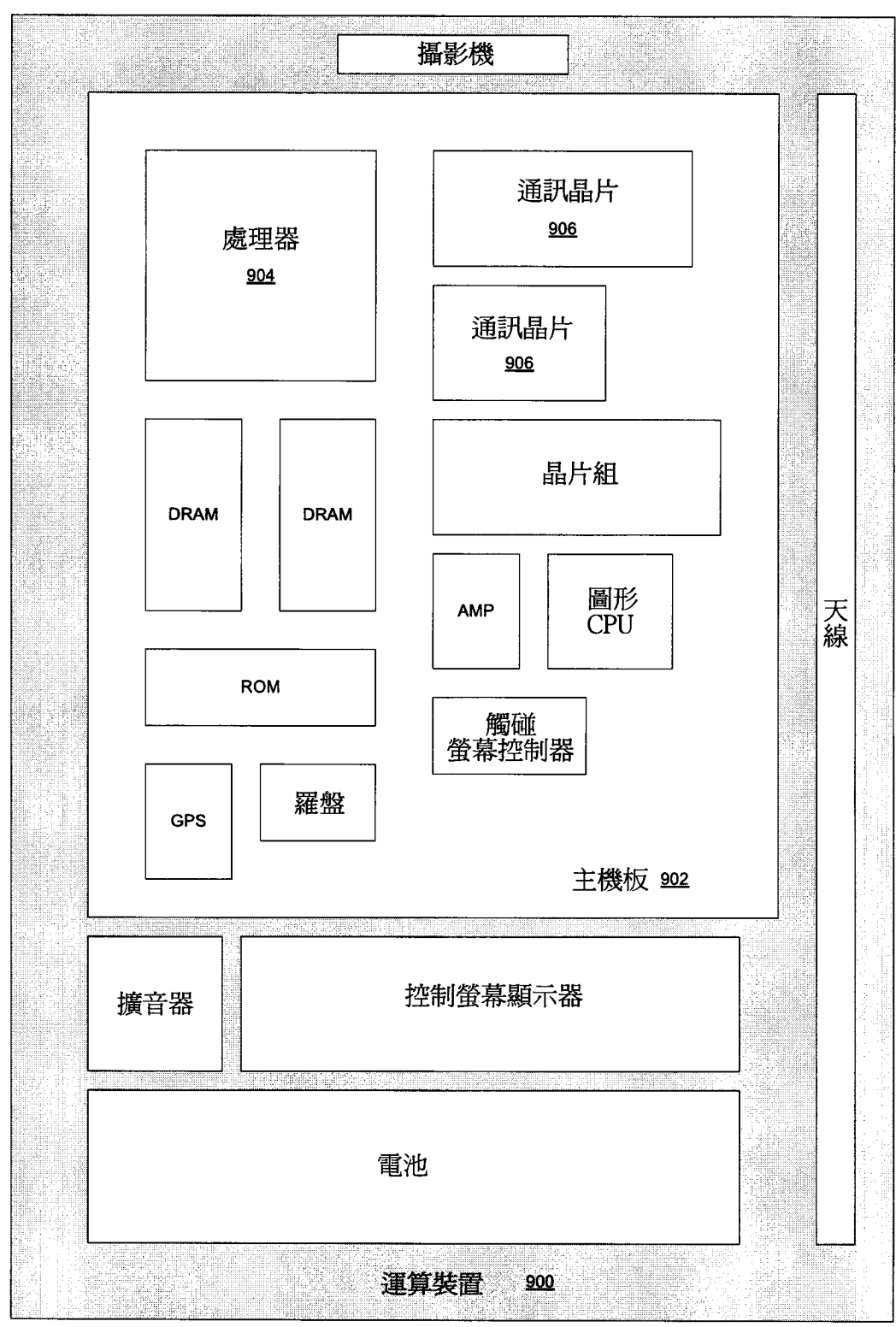


圖 9

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

具有非分離的源極及汲極區域的奈米線結構(二)  
NANOWIRE STRUCTURES HAVING NON-DISCRETE  
SOURCE AND DRAIN REGIONS

## 【技術領域】

發明領域

[0001]本發明之實施例係奈米線半導體裝置之領域，且特別是具有非分離的源極和汲極區域之奈米線結構。

## 【先前技術】

發明背景

[0002]在過去數十年，尺寸化(scaling)積體電路內的形貌體已經是一永遠成長的半導體工業背後之一推進力量。尺寸化成更小又更小的形貌體使半導體晶片之有限真實狀態上的功能單元之密度增加。舉例來說，縮小電晶體尺寸允許在一晶片上併入一增加數量的記憶體裝置、給予產品之製造有增加的容量。然而，推進更為多的容量是不是沒有問題的。對於最佳化各個裝置的功能之必要性變得更增重要。

[0003]由於微電子裝置大小尺寸超過15奈米(nm)點，維持移動性改進和短通道控制提供裝置製造中的一挑戰。用來製造裝置的奈米線提供改良的短通道控制。舉例來說，砷銻( $\text{Si}_x\text{Ge}_{1-x}$ )奈米線通道結構(其中 $x < 0.5$ )提供在可觀 $E_g$ 上之行動性增強， $E_g$ 係適合用於利用較高電壓操作之許多

傳統產品中。更進一步地，矽鍺( $\text{Si}_x\text{Ge}_{1-x}$ )奈米線通道(其中  $x > 0.5$ )提供在較低的 $E_{gs}$ (其適合在例如行動/手持領域中的低電壓產品)之行動性增進。

[0004]許多不同技術已試圖改良電晶體的外部電阻( $R_{ext}$ )，包括改良的接觸金屬、增加摻雜物之活性和在半導體和接觸金屬之間降低障壁。然而， $R_{ext}$ 降低之領域中仍需要顯著的改良。

## 【發明內容】

### 發明概要

[0005]本發明之實施例包括具有非分離的源極和汲極區域之奈米線結構。

[0006]在一實施例中，一半導體裝置包括設置於一基材上方之多個垂直堆疊的奈米線。該等奈米線之每一者包括設置在該奈米線中一分離的通道區域。一閘極電極堆疊環繞該等多個垂直堆疊的奈米線。一對非分離的源極和汲極區域係設置在該等多個垂直堆疊的奈米線之該等分離的通道區域的兩側之任一側且與其緊鄰。

[0007]在另一實施例中，製造一奈米線半導體裝置之一方法包括在一基材上方形成多個垂直堆疊的奈米線。該等奈米線的每一者包括設置在該奈米線中一分離的通道區域。一閘極電極堆疊係遭形成來環繞該等多個垂直堆疊的奈米線之該等分離的通道區域。一對非分離的源極和汲極區域在該等多個垂直堆疊的奈米線之該等分離的通道區域的兩側之任一側形成且與其緊鄰。

[0008]在另一實施例中，製造一奈米線半導體裝置之一方法包括在一基材上方形成多個直堆疊的奈米線。該等奈米線之每一者包括設置在該奈米線中一分離的通道區域。一閘極電極堆疊係遭形成來環繞該等多個垂直堆疊的奈米線之該等分離的通道區域。該等多個垂直堆疊的奈米線之每一者的源極和汲極區域係遭移除。一對非分離的源極和汲極區域然後在該等多個垂直堆疊的奈米線之該等分離的通道區域的兩側之任一側形成且與其緊鄰。

### 【圖式簡單說明】

[0009]根據本發明之一實施例，圖1A繪示一奈米線為基礎的半導體結構之一個三維截面檢視圖。

[0010]根據本發明之一實施例，圖1B繪示圖1A的該奈米線為基礎的半導體結構當沿著該a-a'軸之一截面源極/汲極檢視圖。

[0011]根據本發明之一實施例，圖1C繪示圖1A的該奈米線為基礎的半導體結構當沿著該b-b'軸之一截面通道檢視圖。

[0012]根據本發明之一實施例，圖2A繪示另一個奈米線為基礎的半導體結構之一截面源極/汲極檢視圖。

[0013]根據本發明之一實施例，圖2B繪示以圖2A的該奈米線為基礎的半導體結構之一截面通道檢視圖。

[0014]根據本發明之一實施例，圖3繪示一奈米線為基礎的半導體結構之一截面間隔件檢視圖。

[0015]根據本發明之一實施例，圖4A~4C繪示代表在提

供一開始結構以供製造具有非分離的源極和汲極區域的一奈米線半導體裝置之一方法中的各種操作之三維截面檢視圖。

[0016]根據本發明之一實施例，圖5繪示具有諸如接觸區域的金屬區域作為非分離的源極和汲極區域的一奈米線半導體裝置之一個三維截面檢視圖。

[0017]根據本發明之一實施例，圖6A和6B繪示在一多重奈米線結構的一非分離的源極或汲極區域的製造中之各種操作之截面檢視圖。

[0018]根據本發明之一實施例，圖7A~7D繪示一多重奈米線結構之一非分離的源極或汲極的製造中之各種操作之截面檢視圖。

[0019]根據本發明之一實施例，圖8A~8F繪示一多重奈米線結構之一非分離的源極或汲極區域的製造中之各種操作之截面檢視圖。

[0020]圖9繪示根據本發明之一實施例之一運算裝置。

## 【實施方式】

較佳實施例之詳細說明

[0021]具有非分離的源極和汲極區域的奈米線結構係獲描述。在接下來的敘述中，為了提供本發明之實施例的一通透了解，提出眾多特定細節，例如特定奈米線整合和材料形態。對於熟於此技者將會明顯的是，本發明之實施例可不需這些特定細節而實現。在其他例子中，為了不要使本發明之實施例不必要地晦澀難懂，例如積體電路設計

布局之周知形貌體不會詳細描述。更進一步地，應了解的是在圖式中所顯示的各種實施例係為例示性代表且不必然依比例繪出。

[0022] 本文於此揭露具有經改良(降低的)外部電阻之奈米線結構以及製造此種結構之方法，此種結構例如為具有用於具有二或更多的奈米線之裝置的非分離的或整體源極和汲極區域。本發明之一或更多實施例係針對用以改良(藉由增加)一多重奈米線裝置之非分離的源極和汲極區域中的接觸區之方式，或是透過摻雜或材料工程或其兩者，改良該非分離的源極和汲極和接觸障壁。整體來看，裝置效能可藉由經由增加該接觸區、抑或是減少一金屬和半導體之間或一經重度摻雜半導體和一經輕度摻雜半導體之間的障壁，來減少外部電阻而獲改良。

[0023] 在一實施例中，具有固態(例如非分離的)源極和汲極區域之一奈米線結構顯現以其製造之一裝置之經改良(較低的)外部電阻或通到電阻。一或更多實施例係針對金屬源極和汲極區域中的一或更多者，導入藉由雷射退火在非分離的源極和汲極區域之增加摻雜或應變、一曲折(zig-zag)(例如經切割)非分離的源極和汲極表面。一或更多實施例係針對程序流程，其提供摻雜物給奈米線或奈米線部分，以及合併一磊晶沉積材料，以提供最終亞米茄( $\omega$ ) 鰭型或環繞型接觸件。

[0024] 本文所描述的實施例可針對程序流程以及對於奈米線結構為獨特之肇致結構，例如如同與鰭式FET或三閘



類型架構。舉例來說，在一實施例中，一熔化雷射處理係被用來互混兩種材料，否則或是被用來界定替代奈米線，以摻雜該等奈米線，以及可能地以使該等奈米線的該等通到區域應變。在另一實施例中，提供一金屬源極和汲極區域，其中該源極和汲極區域係實際上以與該等奈米線的剩餘部分接觸之一金屬代替，例如藉由使用一接觸金屬作為一接觸件並且取代該等源極和汲極區域。此種實施例可使未摻雜的線和用以最佳化從其形成的一裝置之運作功能選項能使用。在另一實施例中，一非分離的源極或汲極區域係藉由磊晶形成和隨後的晶向取決蝕刻，來提供具有經增加接觸區之一結構。在另一實施例中，一程序流程使一奈米線能摻雜，其導致該等源極和汲極區域中的合併磊晶區域，以及可能地，對該等源極和汲極區域之亞米茄接觸件。會了解的是，本文所描述的該等實施例，諸如上述的實施例，可用來與另外者結合。

[0025] 本文所描述的一或更多實施例係針對改良奈米線為基礎的裝置之效能。在一實施例中，一奈米線結構係備有一接觸區(例如在該源極和汲極區域中)，其較佳地以奈米線的數量尺寸化。舉例來說，在一實施例中，一奈米線為基礎的結構具有一接觸區，其圍繞多條奈米線之一整體源極或汲極區域，提供相同節距之高接觸區。亦提供用以製造此種結構之方法。在一實施例中，提供金屬源極和汲極區域。當具有一適合的低障壁遭選擇時，此種裝置之該外部電阻(接觸件+整體體積(bulk))可被降低，蓋因該金屬的

電阻將會較低於經摻雜的矽。

[0026]總體來說，本文所描述的一或更多方式可藉由減少一奈米線為基礎的裝置之外部電阻而用來改良該奈米線為基礎的裝置之驅動電流。下文提供範例性實施例。

[0027]在第一第一範例性實施例中，圖1A繪示一奈米線為基礎的半導體結構之一個三維截面檢視圖。根據本發明之一實施例，圖1B繪示圖1A的該奈米線為基礎的半導體結構當沿著該a-a'軸之一截面源極/汲極檢視圖。根據本發明之一實施例，圖1C繪示圖1A的該奈米線為基礎的半導體結構當沿著該b-b'軸之一截面通道檢視圖。

[0028]參照圖1A，一半導體裝置100包括設置在一基材102上方之一或更多個垂直堆疊的奈米線(例如104組)。如同第一範例，具有奈米線104A、104B和104C之一個三奈米線為基礎的裝置係為例示的目的而顯示。為了描述之方便，奈米線104A係被用來作為一範例，其中描述係著重於該等奈米線中的一者。要了解的是，描述一奈米線的特性時，基於多條奈米線之實施例針對該等奈米線之每一者可具有相同的特性。

[0029]該等奈米線104中的每一者包括設置於該奈米線中的一通道區域106。該通道區域106具有一長度(L)。參照圖1C，該通道區域也具有與該長度(L)正交之一周邊(Pc)。參照圖1A和1C兩者，一間極電極堆疊108環繞該等通道區域106中的每一者之全部的周邊(Pc)。該間極電極堆疊108包括一間極電極，以及設置在該通道區域106和該間極電極

(未繪出)之間的一閘極介電層。該通道區域係分離的於其完全地被該閘極電極堆疊108所環繞，且沒有例如下層基材材料或上層通道製造材料之任何中介材料。於是，在具有多條奈米線104的實施例中，該等奈米線之該等通道區域106亦會相對於彼此分離的。

[0030] 參照圖1A和1B兩者，該半導體裝置100包括一對非分離的源極和汲極區域110/112。該對非分離的源極和汲極區域110/112係設置於該等多個垂直堆疊的奈米線104之該等通道區域106之二側之一者。更進一步地，該對非分離的源極和汲極區域110/112係緊鄰(直接抑或間接，後者顯示於圖1A中)於該等多個垂直堆疊的奈米線104之該等通道區域106。該等源極/汲極區域110/112係非分離的，於其中針對一奈米線104之各個通道區域106並非單獨且分離的源極和汲極區域。在一此種實施例中，如同將要在下文所闡述者，源極/汲極區域110/112包括諸如中介於通道製造材料之中介材料。因此，在具有多條奈米線104之實施例中，相反於針對各個奈米線為分離的，該等奈米線之該等源極/汲極區域110/112係為整體源極/汲極區域。

[0031] 根據本發明之一實施例，以及圖1A和1B所描繪者，該半導體裝置100進一步包括一對接觸件114，每個接觸件114設置在該對非分離的源極和汲極區域110/112中的一者上。在一此種實施例中，如同圖1B所描繪者，以一垂直感知，每個接觸件114完全地環繞該個別的非分離的源極或汲極區域110/112。

[0032] 參照圖 1B 和 1C，該等非分離的源極和汲極區域 110/112 在感知上係整體，即一單一一致形貌體係被用來作為用於多條(在此情況中，3 條)奈米線 104 之一源極或汲極區域，以及更特定地係用於大於一個的分離的通道區域 106。在一實施例中，該對非分離的源極和汲極區域 110/112 為由與該分離的通道區域 106 相同之一第一半導體材料和一不同的第二半導體材料所組成之一對半導體區域。舉例來說，在一此種實施例中，該第二材料係被用來在製造分離的奈米線中作為一中介材料之一中介材料。此一範例係在下文與圖 4C、6A 和 6B 關聯地作更詳細地描述。在一特定此種實施例中，該等第一和第二半導體材料係被合併，且該等非分離的源極和汲極區域 110/112 之該等半導體區域進一步包括一摻雜物種類。此一範例係在下文與圖 6A 和 6B 關聯地作更詳細地描述。如同一整體範例，在一特定實施例中，該第一半導體材料為矽鍺，該第二半導體材料為矽，以及該摻雜物種類為一 P 型摻雜物種類。在另一特定實施例中，該第一半導體材料為矽，該第二半導體材料為矽鍺，以及該摻雜物種類為一 N 型摻雜物種類。在一實施例中，從與等該分離的通道區域 106 的長度正交之一截面觀點，該對非分離的源極和汲極區域 110/112 之每一者在形狀上大約為矩形，如圖 1B 中所描繪者。

[0033] 在另一方面，該等非分離的源極和汲極區域 110/112 之全部周邊可能不能與接觸件 114 接觸而接取。利用圖 1B 作為一對比範例，該等非分離的源極和汲極區域

110/112之全部周邊，如同沿著a-a'軸所取得者，係由該等接觸件114所環繞。然而，在另一實施例中，例如，由於一中介介電層之存在，對該等非分離的源極和汲極區域110/112的底部之接取係不會為之，以及該接觸件114因此只會部分地環繞該等非分離的源極和汲極區域110/112。此一實施例之一特別範例係在下文與圖8C~8F關聯地作更詳細地描述。

[0034]在另一方面，在該等源極和汲極區域之位置中的該等奈米線104A~104C的部分係以例如一接觸金屬之一金屬種類來移除和取代。在一實施例中，該對非分離的源極和汲極區域然後會實際上對該等多個垂直堆疊的奈米線104A~104C提供接觸。亦即，該等接觸件區域114，除了提供接觸外，也扮演為非分離的源極和汲極區域之角色。此一實施例之一特別範例係在下文與圖5關聯地描述。

[0035]在另一方面，多條奈米線之分離的部分係藉由一耦接材料的附加而作為非分離的。如同在另一上下文中所使用地，在一第二範例性實施例中，圖1A繪示一奈米線為基礎的半導體結構之一個三維截面檢視圖。根據本發明之另一實施例，圖2A繪示圖1A的該奈米線為基礎的半導體結構當沿著該a-a'軸之一截面源極/汲極檢視圖。根據本發明之另一實施例，圖2B繪示圖1A的該奈米線為基礎的半導體結構當沿著該b-b'軸之一截面通道檢視圖。

[0036]參照圖1A，一半導體裝置100包括設置在一基材102上方之一或更多個垂直堆疊的奈米線(例如104組)。該等

奈米線104中的每一者包括設置在該奈米線中的一通道區域106。參照圖1A和2B兩者，一閘極電極堆疊108環繞該等通道區域106中的每一者之全部周邊。參照圖1A和2A兩者，該半導體裝置100包括一對非分離的源極和汲極區域110/112。該對非分離的源極和汲極區域110/112係設置於該等多個垂直堆疊的奈米線104之該等通道區域106之兩側中的一者中。更進一步地，該對非分離的源極和汲極區域110/112係緊鄰於該等多個垂直堆疊的奈米線104之該等通道區域106。也包括一對接觸件114，各個接觸件114係設置在該對非分離的源極和汲極區域110/112中的一者上。

[0037]參照2B圖，根據本發明之一實施例，該對非分離的源極和汲極區域110/112係一對半導體區域，其係由與該等分離的通道區域104A~104C相同的第一半導體材料以及至少部分地環繞該第一半導體材料之一第二經切割(例如曲折)的半導體材料130所組成。亦即，該第二半導體材料130呈現奈米線104A~104C之分離的部分、以及非分離的或整體源極和汲極區域。在一如此實施例中，該等第一(例如奈米線材料)和第二(130)半導體材料為相同。此一實施例之一特別範例係在下文與圖7A~7D關聯地描述。

[0038]參照圖1A，在一實施例中，該半導體裝置100進一步包括一對間隔件116。該等間隔件116係設置在該閘極電極堆疊108以及該對非分離的源極和汲極區域110/112的一個別者之間。此種間隔件116係在下文與圖3關聯地作更詳細地描述。

[0039] 基材 102 可由適合半導體裝置製造之一材料所組成。在一實施例中，基材 102 包括由一材料的一單一晶體所組成之較下面的整體體積基材，該材料可包括但不限於矽、鍺、矽鍺或一個三五族化合物半導體材料。由一材料所組成之一較上面的絕緣體層係設置在該較下面的整體體積基材，該材料可包括但不限於氧化矽、氮化矽或氮氧化矽。因此，該結構 100 可從一起始絕緣體上半導體基材製造。可替代地，該結構 100 係直接地從一整體體積基材形成，以及局部氧化係被用於形成電性絕緣部分而取代掉上文所述的較上面的絕緣層。在另一替代性實施例中，該結構 100 係直接地從一整體體積基材形成，以及摻雜係被用來在其上形成電性隔離的主動區域，例如奈米線。在一此種實施例中，該第一奈米線(即鄰近該基材者)係處於一亞米茄 FET( $\omega$ -FET)類型結構之形式。

[0040] 在一實施例中，該等奈米線 104 可被尺寸化為線體或條帶，並且可具有去角(squared-off)或較圓(rounder)的角。參照 1C 圖，在一實施例中，該等通道區域 106 之每一者具有一寬度( $W_c$ )和一高度( $H_c$ )，該寬度( $W_c$ )大約與該高度( $H_c$ )相同。亦即，該等通道區域 106 和該源極/汲極區域 110/112 在截面輪廓上為類似方形，或是若角為圓的，則在截面輪廓上為類似圓形。然而，在另一實施例中(未繪出)，該通道區域之寬度和高度不需要為相同。舉例來說，該寬度( $W_c$ )係實質上大於該高度( $H_c$ )。在一特定實施例中，該寬度  $W_c$  係大約比該高度  $H_c$  大 2~10 倍。亦即，該等通道區域

106和該源極/汲極區域110/112在截面輪廓上為類似矩形，或是若角為圓的，則為類似橢圓形。具有此種幾何形狀之奈米線可指涉為奈米條帶。在一替代性實施例中(未繪出)，該等奈米條帶係垂直定向。

[0041]在一實施例中，該等奈米線104係由一材料所組成，該材料例如但不限於矽、鍺或其組合。在一此種實施例中，該等奈米線係單結晶。舉例來說，針對一矽的奈米線104，一單結晶奈米線可根據一(100)全面方向(global orientation)，例如以z方向中的一 $\langle 100 \rangle$ 平面。然而，要了解的是，亦可考慮其他方向。在一實施例中，從一截面觀點，該等奈米線104之尺寸係在奈米等級。舉例來說，在一特定實施例中，該等奈米線的最小尺寸係小於大約20奈米。在一實施例中，該等奈米線104係由一應變材料所組成，特別是在該等通道區域106中。

[0042]在一實施例中，閘極電極堆疊108之該閘極電極係由一金屬閘極所構成，以及該閘極介電層係由一高介電係數(high-K)材料所構成。舉例來說，在一實施例中，該閘極介電層係由一材料所構成，該材料例如但不限於氧化鉛、氮氧化鉛、矽酸鉛、氧化釧、氧化鋯、矽酸鋯、氧化鈮、鈦酸鋇、鈦酸鋇、鈦酸鋇、氧化鈮、氧化鋁、鉛銦鈮氧化物、銦鋅酸鉛、或其等之組合。更進一步地，閘極介電層之一部分可包括形成自該奈米線104的頂部幾層之一層自然氧化層。在一實施例中，該閘極介電層係包含有一頂部高介電係數的部分和由一半導體材料之一氧化物所



構成一較下面的部分。在一實施例中，該閘極介電層係由氧化鈣之一頂部部分和氧化矽或氮氧化矽之一底部部分所構成。

[0043]在一實施例中，該閘極電極矽由一金屬層所構成，該金屬層例如但不限於金屬氮化物、金屬碳化物、金屬矽化物、金屬鋁化物、鈣、鎡、鈦、鉭、鋁、鈺，鈹，鉑，鈷，鎳或導電性金屬氧化物。在一特定實施例中，該閘極電極係由形成於一金屬工作函數設定層上方之一非工作函數設定填充材料所構成。

[0044]在一實施例中，該等間隔件116係由一絕緣介電材料所構成，該絕緣介電材料例如但不限於氧化矽、氮氧化矽或氮化矽。在一實施例中，該等接觸件114係製造自一金屬種類。該金屬種類可為諸如鎳或鈷之一純金屬，或是可為諸如一金屬對金屬合金或一金屬對半導體合金(例如，像是一矽化物材料)之一合金。

[0045]如同上文所述，在至少數個實施例中，該等通道區域係為分離的，而該等源極和汲極區域不會。然而，該奈米線的其他區域則不需要，或甚至能夠為分離的。舉例來說，根據本發明之一實施例，圖3繪示一奈米線為基礎的半導體結構之一截面間隔件檢視圖。

[0046]參照圖3，奈米線104A~104C在間隔件116下方的位置處非為分離的。在一實施例中，奈米線104A~104C之該堆疊，具有在其中的中介半導體材料118，例如在矽奈米線之間中介的矽鍺，或反之亦然，如同在下文與圖4B相關

聯地描述者。在一實施例中，該底部的奈米線104A係仍與基材102的一部分接觸。因此，在一實施例中，在該等間隔件中的一或兩者下方之該等多個垂直堆疊的奈米線之一部分為非分離的，抑或是在奈米線之間者、在底部的奈米線104A者、或上述兩者，亦然。

[0047]在另一方面，提出製造一奈米線半導體裝置之方法。舉例來說，根據本發明之一實施例，圖4A~4C繪示代表在提供一開始結構以供製造具有非分離的源極和汲極區域的一奈米線半導體裝置之一方法中的各種操作之三維截面檢視圖。

[0048]製造一奈米線半導體裝置之一方法可包括在一基材上方形成一奈米線。在顯示兩個矽奈米線的形成之一特定範例中，圖4A繪示一基材402(例如由上面具有一絕緣氧化矽層402B的一整體體積基材矽基材402A所構成)，其具有設置於其上的一矽層404/矽鍺層406/矽層408堆疊。會了解的是，在另一實施例中，一矽鍺層/矽層/矽鍺層堆疊可被用來最終地形成兩個矽鍺奈米線。

[0049]參照圖4B，該矽層404/矽鍺層406/矽層408堆疊之一部分以及該氧化矽層402B的一頂部部分係例如以一遮罩和電漿蝕刻而被圖案化於一鰭型結構401。

[0050]該方法亦可包括於該奈米線中形成一通道區域，該通道區域具有一長度以及正交於該長度的一周邊。在顯示在兩個矽奈米線上方形成三閘極結構之一特定範例中，圖4C繪示具有上面設置有三個犧牲閘極412A、412B和

412C之鰭型結構410。在一此種實施例中，該等三個犧牲閘極412A、412B和412C係由一犧牲閘極氧化層414和一犧牲多晶矽閘極層416所構成，其等係以一電漿蝕刻程序而覆蓋沉積和圖案化。

[0051]雖然沒有繪出，接下來的圖案化以形成該等三個犧牲閘極412A、412B和412C，但是間隔件可形成於該等三個犧牲閘極412A、412B和412C的側壁上，摻雜可獲執行(例如尖端及/或源極和汲極類型摻雜)，以及一介層介電層可形成來包覆該等三個犧牲閘極412A、412B和412C。該介層介電層可被研磨以暴露該等三個犧牲閘極412A、412B和412C而供一取代閘極程序(replacement gate process)或閘極最後程序(gate-last, process)用。另外，該鰭狀結構410之該矽鍺層406的部分和該絕緣氧化矽層402B的部分可於由該等犧牲閘極412A、412B和412C所原始包覆的該等區域中移除。從而剩餘該等矽層404和408之分離的部分。或是在相反的情況中，若以矽和矽鍺層的一反轉堆疊啟始，則剩餘該等兩個矽鍺層之分離的部分。

[0052]在一實施例中，該等矽層404和408的分離的部分將最終地變為一奈米線為基礎的裝置內之通道區域。因此，在此程序階段，可執行通道設建(engineer)或調諧(tuning)。舉例來說，在一實施例中，所形成的該等矽層404和408之該等分離的部分係利用氧化和蝕刻程序來變薄。此一蝕刻程序可遭執行，同時該等線藉由蝕刻該矽鍺層406而分離。於是，獨立於改變該裝置的該等源極和汲極區域，

形成自矽層404和408之該等初始線開始變得較厚且變薄至適合一奈米線裝置中的一通道區域之一尺寸。

[0053] 初始程序亦可包括形成環繞該通道區域的全部周邊之一閘極電極堆疊。在顯示在該等兩個矽奈米線上方形形成三個閘極結構之特定範例中，一閘極介電層(例如一高介電係數閘極介電層)和一閘極電極層(例如一金屬閘極電極層)係遭形成。另外地，在形成永久閘極堆疊之後，隨後移除任何介層介電層可遭執行，提供對該等源極和汲極區域之接取。

[0054] 該方法亦可包括於該等通道區域的任一側上形成用於該等奈米線之一對非分離的源極和汲極區域。從而，可執行源極和汲極區域製造與設建或是調諧，其範例如下述。要了解的是，類似的設建或調諧可反而在一程序流程中較早執行，例如早於一介層介電層之沉積和永久閘極電極之形成。

[0055] 在一第一範例中，以圖4C的結構作為一開始點而開始，根據本發明之一實施例，圖5繪示具有諸如接觸區域的金屬區域作為非分離的源極和汲極區域的一奈米線半導體裝置之一個三維截面檢視圖。

[0056] 參照圖5，一閘極電極堆疊512包括一閘極介電層520、一閘極電極522和側壁間隔件524。該閘極電極堆疊環繞分離的奈米線通道區域504A/B。一對非分離的源極和汲極區域510和512緊鄰該等分離的通道區域504A/B。埋藏氧化層502使一基材500隔離。要了解的是，本文的概念可都

適用於整體體積上或諸如一下面的亞米茄-FET裝置的鰭狀氧化結構下方之上之線。在一實施例中，該對非分離的源極和汲極區域510和512有效地接觸沒有包括奈米線材料之區域。在一此種實施例中，該等接觸件係形成自一金屬種類。在一特定的此種實施例中，該金屬種類係藉由一致地沉積一接觸金屬且然後填充任何剩餘溝槽體積而形成。該沉積的一致方面可藉由利用化學汽相沉積法(CVD)、原子層沉積法(ALD)或金屬回流來執行。因此，圖5的結構可被檢視為具有與奈米線的端部接觸(相對於僅僅環繞奈米線)之接觸件。

[0057]在一實施例中，為了從圖4C的該結構達成圖5的該結構，一間隔件係遭形成，以及該源極/汲極開口中的該等矽區域係遭選擇性蝕刻，讓該等矽鍺層剩餘下來。另外的矽鍺然後會在該等存有的矽鍺線的頂部上磊晶地成長。該矽鍺亦可被摻雜和退火，以驅使摻雜物進入該間隔件下方之鄰接矽線的表面中。該程序流程同前述地以繼續形成一介層介電材料以及形成該閘極電極堆疊。當該等源極/汲極區中的該介層介電材料遭移除，則該矽鍺磊晶層係遭暴露，且然後遭蝕刻以留下對進入該間隔件之該等矽奈米線之該等端部開放的一孔穴。該接觸金屬然後遭沉積以填充該孔穴，以及做出該等矽奈米線之端點。在一此種實施例中，此方式係可適用於具有非常低的介面障壁高度之金屬化接觸件架構，其中很小的接觸區域並非一顯著損失。在另一實施例中，隨著於該等源極和汲極區以一金屬填充、

或隨後藉由於一溝槽接觸件製造操作蝕刻而移除之另一暫時性材料填充，一替代性程序流程包括都對該等矽和矽鍺線回蝕(etch-out)。

[0058]在本文所描述的一或更多方法中，除了提供電氣接觸之外，該接觸金屬和沉積程序可遭選擇，使得該金屬包括通道奈米線上的一適合應變，以增進該裝置效能。舉例來說，在一實施例中，例如在未經摻雜的線之特殊情況中，一中間隙工作函數金屬係被用來製造接觸件，且在該金屬對源極/汲極表面處無需一高摻雜程度。

[0059]上述的程序流程之一變化可利用一熔化雷射退火或其他有效的退火，而用來摻雜或增加該等奈米線之矽(或替代地，矽鍺)源極和汲極區域中的應變原子濃度。根據本發明之一實施例，圖6A和6B繪示在一多重奈米線結構的一非分離的源極或汲極區域的製造中之各種操作之截面檢視圖。

[0060]舉例來說，利用圖4C的結構作為一開始點，間隔件會首先形成於該等閘極堆疊412A~412C上。參照圖6A，該等矽區域610或該等矽鍺區域620之任一者為奈米線之端部，其具有其他材料，用於該等奈米線之製造中之一中介材料。一經摻雜矽或矽鍺層650係繞著該等源極和汲極區域選擇性地沉積，例如環繞堆疊區域610和620之暴露部分。參照6B圖，一非晶化深度699係接著圖6A的該結構之一高劑量植入之後而形成。在一實施例中，一熔化的雷射退火程序(可能包括於該熔化期間內提供支持之暫時層之

沉積)係被用來熔化該非晶化深度 699 上方之所有非晶化層。在另一實施例中，使用一非雷射為基礎的退火。在一此種實施例中，熔化肇致在該等經融化層中的原子之一重新分配。該等經沉積層然後可遭摻雜，蓋因經植入的摻雜物分配到該等層 610 和 620 中，降低一最終形成的非分離的源極和汲極區域之電阻。在一實施例中，當該等經沉積層包括諸如鍺或碳之一應變原子，在該非分離的源極或汲極區域中的結果應變係被用來增加對應的分離的通道區域中之該應變。舉例來說，在一特定的實施例中，一 Ge:B 薄膜(如 650)係遭沉積以及熔化。於是，與該等奈米線一致之一非分離的源極或汲極區域之該等部分內的該等 Ge 和 B 的濃度係增加。該經增加的 Ge 扮演為使矽或矽鍺中的任一者之 PMOS 通道應變。此一選項可能不會與一全部圍繞接觸(contact-all-around)結構相容，蓋因該源極和汲極區域會具有一均勻的 Ge 濃度。

[0061]用以增進奈米線為基礎的結構之電阻之另一選項可牽涉藉由暴露諸如<111>剖面之一半導體材料的剖面來增加用於多重奈米線之該等接觸區。根據本發明之一實施例，圖 7A~7D 繪示一多重奈米線結構之一非分離的源極或汲極的製造中之各種操作之截面檢視圖。

[0062]舉例而言，利用圖 4C 的該結構作為一開始點，間隔件會首先形成於該等閘極堆疊 412A~412C 上。參照圖 7A，該等矽區域 710 或該等矽鍺區域 720 中的任一者係奈米線之端部，其具有其他材料，用於該等奈米線之製造中之

一中介材料。在所顯示的特定情況中，該等矽鍺區域720為奈米線之該等端部。

[0063]參照圖7B，該等矽區域710係選擇性地移除，以留下剩餘的該等奈米線之該等矽鍺端部720。一矽鍺層750係繞著該等源極和汲極區域選擇性地沉積，例如環繞如圖7C所描繪的該等矽鍺區域720之暴露部分。參照圖7D，諸如一KOH之一異向蝕刻(orientation dependent etch)係用來進一步暴露該等<111>平面以及增加用以與該等非分離的源極或汲極區域760接觸之區。在一實施例中，該所肇致的曲折接觸源極或汲極結構增加該接觸區，其減少從其製造的一裝置之外部電阻。在一實施例中，一隨後形成的接觸金屬環繞該等非分離的源極或汲極區域760，使得其與該等非分離的源極或汲極區域760之側部和頂部都接觸，增加該接觸金屬源極或汲極接觸區。

[0064]在另一實施例中，適合摻雜和提供接觸件給奈米線的源極或汲極區域之一程序流程，包括接著間隔件形成(例如以圖4C的結構開始，且其接著間隔件材料沉積和蝕刻)，於非分離的源極和汲極區域中製造線體。隨後，一內部間隔件獲增添，源極/汲極摻雜物獲增添或是該區域為磊晶成長。然後該所肇致結構會以諸如矽氧化物之一犧牲介電質填充，其會在一較晚的程序操作移除。此一替代性選項可被用來促使該等奈米線的該等源極和汲極區域之摻雜更容易。如同一範例性程序流程，根據本發明之一實施例，圖8A~8F繪示一多重奈米線結構之一非分離的源極或汲極



區域的製造中之各種操作之截面檢視圖。

[0065] 參照圖 8A，鰭部或線體 802 切割係供諸如圖 4C 的結構之一結構用，該結構係於閘極或閘極停留區域 806 之間的源極/汲極區域中。舉例來說，接著移除該等源極和汲極區域 804 中的該等矽鍍層後，一間隔件可被增添到圖 4C 的該結構。如圖 8B 所描繪者，然後一介電層 808 遭形成以填充任何開口溝槽或孔穴。參照圖 8C，一源極/汲極區域隔離層 810 遭形成。如圖 8D 所描繪者，該源極/汲極區域隔離層 810 然後會凹陷。參照圖 8E，該介電層 808 係在該等線體 802 下面凹陷，以暴露該等線體 802 的更多表面區。在某些情況中，所有的介電層 808 遭移除。此一方式可包括一內部間隔件之形成，以使源極和汲極區域與居處於該等通道部分下面之該矽鍍層隔開。如圖 8F 所描繪者，然後一磊晶層 820 形成於該等線體 802 的源極和汲極部分。在一實施例中，以一經摻雜磊晶層環繞該等源極和汲極區域可使該等線體 802 線體的該等源極和汲極區域能摻雜以及能設定該等線體和該接觸金屬之間的摻雜程度。

[0066] 接著上述的程序流程，接觸金屬可在溝槽接觸蝕刻之後遭增添。在一實施例中，圖 8A~8F 之上述範例能夠被用於形成於一整體體積半導體基材或一經隔離基材中任一者之奈米線結構，例如一絕緣體上矽基材。與圖 8B 和 8C 相關聯所描述的該等操作可僅於一整體體積基材的情形中需要。

[0067] 緣此，本發明之一或更多實施例包括用以製造具

有非分離的源極和汲極區域之奈米線結構之方法、不同地協調該通道和接觸位置(即源極和汲極區域)區之方法、或在相同的程序中兩者皆作之方法。形成自此等方法之結構相對於傳統結構可提供外部電阻( $R_{ext}$ )改進(降低)。實施例包括提供在該等源極和汲極區域中之經增加摻雜(或製造金屬源極或汲極)、增加接觸區或增加該裝置的通道中之應變、或兩者。此等方式可改進自所描述的奈米線結構所製造之一裝置的效能。

[0068]圖9繪示根據本發明之一實作之一運算裝置900。該運算裝置900收容一板件902。該板件902可包括數個構件，其包括但不限於一處理器904和至少一通訊晶片906。該處理器904係實體且電氣地耦接到該板件902。在某些實作中，該至少一通訊晶片906亦係實體且電氣地耦接到該板件902。在進一步的實作中，該通訊晶片906係該處理器904之部分。

[0069]依據其之應用，運算裝置900可包括可與或不與該板件902實體且電氣地耦接之其他構件。這些其他構件包括但不限於：依電性記憶體(例如DRAM)、非依電性記憶體(例如ROM)、快閃記憶體、一圖形處理器、一數位信號處理器、一保密處理器、一晶片組、一天線、一顯示器、一觸碰式螢幕顯示器、一觸碰式螢幕控制器、一電池、一音訊編碼器、一視訊編碼器、一電源放大器、一全球定位系統(GPS)裝置、一羅盤、一加速計、一陀螺儀、一揚聲器、一攝影機和一大量儲存裝置(諸如硬碟驅動機、光碟片

(CD)、數位多功能碟片(DVD)等等)。

[0070]該通訊晶片906使無線通訊能夠將資料傳送到該運算裝置900以及從該運算裝置900傳送。詞彙「無線」和其衍生詞可被用來描述電路、裝置、系統、方法、技術、通訊通道等，其等可透過使用經由一非固態媒體之經調變電磁輻射使資料通訊。該詞彙並非意指相關聯的裝置不會含有任何線體，即使在某些實施例中它們沒有。該通訊晶片906可實作為數個無線標準或協定中的任一者，包括但不限於Wi-Fi(IEEE 802.11家族)、WiMAX (IEEE 802.16家族)、IEEE 802.20、長期演進(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其衍生者，以及被指定為3G、4G、5G和超過者之任何其他無線協定。該運算裝置900可包括多個通訊晶片906。舉例而言，一第一通訊晶片906可專屬於諸如Wi-Fi和藍牙之較短範圍的無線通訊，以及一第二通訊晶片906可專屬於諸如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO和其他之較長範圍的無線通訊。

[0071]該運算裝置900的該處理器904包括封裝於該處理器904內之一積體電路晶粒。在本發明之某些實作中，該處理器的該積體電路晶粒包括一或更多個裝置，諸如根據本發明之實作所造出之奈米線電晶體。詞彙「處理器」可表示任何裝置、或處理來自暫存器及/或記憶體之電子資料以將該電子資料轉換為可儲存於暫存器及/或記憶體中的其他電子資料之裝置的部分。

[0072]該通訊晶片 906 亦包括封裝於該通訊晶片 906 內之一積體電路晶粒。根據本發明之另一實作，該通訊晶片之積體電路晶粒包括一或更多個裝置，諸如根據本發明之實作所造出之奈米線電晶體。

[0073]在進一步的實作中，被容納於該運算裝置 900 之另一個構件可含有一積體電路晶粒，其包括諸如根據本發明之實作所造出之奈米線電晶體的一或更多裝置。

[0074]在各種實作中，該運算裝置 900 可為一膝上型電腦、一上網型電腦、一筆記型電腦、一超輕薄電腦、一智慧型手機、一平板電腦、一個人數位助理(PDA)、一超行動 PC、一行動電話、一桌上型電腦、一伺服器、一印表機、一掃描器、一監視器、一機上盒、一娛樂控制單元、一數位攝影機、一可攜式音樂播放器或一數位視訊紀錄器。在進一步的實作中，該運算裝置 900 可為處理資料之任何其他電子裝置。

[0075]因此，具有非分離的源極和汲極區域之奈米線結構已獲揭露。在一實施例中，一半導體裝置包括設置於一基材上方之多個垂直堆疊的奈米線。該等奈米線之每一者包括設置在該奈米線中的一分離的通道區域。一閘極電極堆疊環繞該等多個垂直堆疊的奈米線。一對非分離的源極和汲極區域係設置在該等多個垂直堆疊的奈米線之該等分離的通道區域之二側的任一側且與其緊鄰。在一實施例中，該半導體裝置進一步包括一對接觸件，各個接觸件係設置在該對非分離的源極和汲極區域中的一者上。在一實

施例中，該對非分離的源極和汲極區域提供對該等多個垂直堆疊的奈米線之接觸。

### 【符號說明】

100...半導體裝置	520、808...介電層
102、402、402A、500...基材	522...閘極電極
104、104A~104C...奈米線	504A、504B...通道區域
106...通道區域	610、710...矽區域
108、512...閘極電極堆疊	620、720...矽鍺區域
110、112、510、512、760、804... 源極/汲極區域	699...非晶化深度
114...接觸件	802...線體
116、524...間隔件	806...持留區域
118、130...半導體材料	810...隔離層
402B...氧化矽層	820...磊晶層
404、408...矽層	900...運算裝置
406、650、750...矽鍺層	902...板件
401、410...鱗型結構	904...處理器
412A~412C...犧牲閘極	906...通訊晶片
414...犧牲閘極氧化層	L...長度
416...犧牲多晶矽閘極層	Pc...周邊
502...埋藏氧化層	Wc...寬度
	Hc...高度

I651855

**發明摘要**

雙面影印

※ 申請案號：104125951(由101145908分割)

※ 申請日：101/12/06

※IPC 分類：*H01L 29/78* (2006.01)  
*H01L 29/40* (2006.01)**【發明名稱】(中文/英文)**

具有非分離的源極及汲極區域的奈米線結構(二)

NANOWIRE STRUCTURES HAVING NON-DISCRETE SOURCE AND DRAIN REGIONS

**【中文】**

本文已揭露具有非分離的源極和汲極區域之奈米線結構。舉例來說，一半導體裝置包括設置於一基材上方之多個垂直堆疊的奈米線。該等奈米線之每一者包括設置在該奈米線中之一分離的通道區域。一閘極電極堆疊環繞該等多個垂直堆疊的奈米線。一對非分離的源極和汲極區域係設置在該等多個垂直堆疊的奈米線之該等分離的通道區域的兩側之任一側且與其緊鄰。

**【英文】**

Nanowire structures having non-discrete source and drain regions are described. For example, a semiconductor device includes a plurality of vertically stacked nanowires disposed above a substrate. Each of the nanowires includes a discrete channel region disposed in the nanowire. A gate electrode stack surrounds the plurality of vertically stacked nanowires. A pair of non-discrete source and drain regions is disposed on either side of, and adjoining, the discrete channel regions of the plurality of vertically stacked nanowires.

**【代表圖】**

**【本案指定代表圖】：**第（ 1A ）圖。

**【本代表圖之符號簡單說明】：**

100…半導體裝置	110、112…源極/汲極區域
102…基材	114…接觸件
104、104A~104C…奈米線	116…間隔件
106…通道區域	L…長度
108…閘極電極堆疊	

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

(無)

## 申請專利範圍

1. 一種半導體裝置，其包含：

設置於一基材上方之多個垂直堆疊的奈米線，該等奈米線之每一者包含設置在該奈米線中一分離的通道區域；

環繞該等多個垂直堆疊的奈米線之一閘極電極堆疊；

設置在該等多個垂直堆疊的奈米線之該等分離的通道區域的兩側之任一側、且與該等分離的通道區域緊鄰的一對非分離的源極和汲極區域，其中該對非分離的源極和汲極區域係一對半導體區域，其包含與該等分離的通道區域相同之一第一半導體材料，以及不同之一第二半導體材料，該等非分離的源極和汲極區域之各者具有一頂表面和一對側壁表面；

設置於該閘極電極堆疊與該對非分離的源極和汲極區域間之一對間隔件，其中在該間隔件之一者或兩者下之該等多個垂直堆疊的奈米線之一部分是非分離的；以及

一對接觸件，各個接觸件係設置在該對非分離的源極和汲極區域中的一對應者之該頂表面和該對側壁上。

2. 如申請專利範圍第1項之半導體裝置，其中各個接觸件完全地環繞個別的該非分離的源極或汲極區域。
3. 如申請專利範圍第1項之半導體裝置，其中各個接觸件



- 僅部分地環繞個別的該非分離的源極或汲極區域。
4. 如申請專利範圍第1項之半導體裝置，其中該等第一和第二半導體材料係被合併，該等半導體區域進一步包含一摻雜物種類。
  5. 如申請專利範圍第4項之半導體裝置，其中該第一半導體材料為矽鍺，該第二半導體材料為矽，以及該摻雜物種類為一P型摻雜物種類。
  6. 如申請專利範圍第4項之半導體裝置，其中該第一半導體材料為矽，該第二半導體材料為矽鍺，以及該摻雜物種類為一N型摻雜物種類。
  7. 如申請專利範圍第1項之半導體裝置，其中從與該等分離的通道區域的長度正交之一截面觀點，該對非分離的源極和汲極區域之每一者在形狀上大約為矩形。
  8. 如申請專利範圍第1項之半導體裝置，其中該第二半導體材料係至少部分地環繞該第一半導體材料的一經切出小平面之半導體材料。
  9. 如申請專利範圍第1項之半導體裝置，其中該閘極電極堆疊包含一金屬閘極和一高介電係數(high-K)的閘極介電質，且該等奈米線的每一者包含矽、鍺或其等之組合。
  10. 如申請專利範圍第1項之半導體裝置，其中該等非分離的源極和汲極區域之各者具有一最底表面，且其中各個接觸件係設置在該對非分離的源極和汲極區域中的該對應者之該最底表面上。