

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610095751.1

[51] Int. Cl.

H01L 27/04 (2006.01)

H01L 23/525 (2006.01)

H01L 21/822 (2006.01)

H01L 21/768 (2006.01)

[45] 授权公告日 2009 年 12 月 23 日

[11] 授权公告号 CN 100573871C

[22] 申请日 2006.7.4

[21] 申请号 200610095751.1

[30] 优先权

[32] 2005.7.6 [33] JP [31] 197939/2005

[73] 专利权人 株式会社瑞萨科技

地址 日本东京都

[72] 发明人 堀田胜彦 屈原乡子 早水太一
河野祐一

[56] 参考文献

JP2004-146598A 2004.5.20

US6100116A 2000.8.8

CN1577832A 2005.2.9

US2004/0092091A1 2004.5.13

审查员 田书凤

[74] 专利代理机构 北京市金杜律师事务所
代理人 王茂华

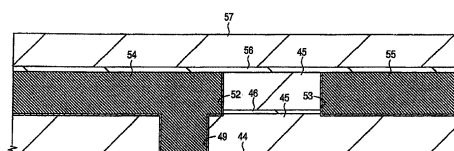
权利要求书 4 页 说明书 19 页 附图 29 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

为了改进具有利用大马士革技术形成的熔丝的半导体器件的可靠性，在第四层布线和熔丝上方淀积阻挡绝缘膜和层间绝缘膜。该阻挡绝缘膜与位于下方的阻挡绝缘膜一样是一种用于防止 Cu 的扩散并且由通过等离子体 CVD 淀积的 SiCN 膜组成的绝缘膜。覆盖熔丝的该阻挡绝缘膜的厚度大于位于下方的阻挡绝缘膜的厚度，使得改进熔丝的耐潮性。



1. 一种半导体器件，包括：

第一层间绝缘膜，形成在半导体衬底的主表面上方；

第一布线，掩埋在形成于所述第一层间绝缘膜中的第一布线沟槽的内部；

第二层间绝缘膜，通过用于覆盖所述第一布线的第二阻挡绝缘膜，形成在所述第一层间绝缘膜上方；

熔丝，掩埋在形成于所述第二层间绝缘膜中的第二布线沟槽的内部；

第二布线，掩埋在形成于所述第二层间绝缘膜中的第三布线沟槽的内部；

第二阻挡绝缘膜，覆盖所述熔丝和所述第二布线；

最上层布线，通过第一绝缘膜，形成在所述第二阻挡绝缘膜上方；以及

表面保护膜，覆盖所述最上层布线，

其中所述第二阻挡绝缘膜比所述第一阻挡绝缘膜厚，

其中在所述熔丝之上的所述第一绝缘膜和所述表面保护膜中，形成有到达所述第二阻挡绝缘膜的表面的第一开口，以及

其中在所述最上层布线之上的所述表面保护膜中，形成有到达所述最上层布线的第二开口。

2. 根据权利要求1所述的半导体器件，

其中所述第一和第二阻挡绝缘膜包括 SiCN 膜。

3. 根据权利要求1所述的半导体器件，

其中所述第一布线、所述第二布线以及所述熔丝包括主要由铜构成的金属膜。

4. 根据权利要求1所述的半导体器件，

其中所述表面保护膜由包括氮化硅膜和氧化硅膜的层叠膜形成。

5. 根据权利要求1所述的半导体器件，
其中所述第一层间绝缘膜由SiOC膜形成。
6. 根据权利要求1所述的半导体器件，
其中所述第二层间绝缘膜由作为主要成分的氧化硅膜形成。
7. 根据权利要求1所述的半导体器件，
其中所述第二层间绝缘膜由添加有氟的氧化硅膜形成。
8. 根据权利要求1所述的半导体器件，
其中所述最上层布线包括主要由铝构成的金属膜。
9. 根据权利要求1所述的半导体器件，进一步包括：
第一聚酰亚胺树脂膜，形成在所述表面保护膜上方；
引线，形成在所述第一聚酰亚胺树脂膜上方并且电连接到所述最上层布线；
第二聚酰亚胺树脂膜，用于覆盖所述引线；以及
外部连接端子，形成在所述引线上方并且从所述第二聚酰亚胺树脂膜的部分露出。
10. 根据权利要求9所述的半导体器件，
其中所述引线包括主要由铜构成的金属膜。
11. 一种半导体器件的制造方法，包括以下步骤：
 - (a) 在半导体衬底的主表面上方形成第一层间绝缘膜，并且在所述第一层间绝缘膜中形成第一布线沟槽；
 - (b) 在所述第一层间绝缘膜上方包括所述第一布线沟槽的内部，形成第一金属膜，并且通过化学机械抛光，去除所述第一布线沟槽外部的所述第一金属膜，以在所述第一布线沟槽的内部形成包括所述第一金属膜的第一布线；
 - (c) 在所述第一层间绝缘膜上方包括所述第一布线的顶部，形成第一阻挡绝缘膜；
 - (d) 在所述第一阻挡绝缘膜上方形成第二层间绝缘膜，并且在所述第二层间绝缘膜中形成第二和第三布线沟槽；
 - (e) 在所述第二层间绝缘膜上方包括所述第二和第三布线沟槽

的内部，形成第二金属膜，并且通过化学机械抛光，去除所述第二和第三布线沟槽外部的所述第二金属膜，以在所述第二布线沟槽的内部形成包括所述第二金属膜的熔丝，以及在所述第三布线沟槽的内部形成包括所述第二金属膜的第二布线；

(f) 在所述第二层间绝缘膜上方包括所述第二布线和所述熔丝的顶部，形成比所述第一阻挡绝缘膜厚的第二阻挡绝缘膜；

(g) 在所述第二阻挡绝缘膜上方形成第一绝缘膜，并且在所述第一绝缘膜上方形成最上层布线；以及

(h) 在所述第一绝缘膜上方形成表面保护膜以覆盖所述最上层布线；以及

(i) 在所述熔丝之上的所述第一绝缘膜和所述表面保护膜中，形成到达所述第二阻挡绝缘膜的表面的第一开口，并且在所述最上层布线之上的所述表面保护膜中形成到达所述最上层布线的第二开口。

12. 根据权利要求 11 所述的半导体器件的制造方法，其中所述第一和第二阻挡绝缘膜包括 SiCN 膜。

13. 根据权利要求 11 所述的半导体器件的制造方法，其中所述第一和第二金属膜由作为主要成分的铜膜形成。

14. 根据权利要求 11 所述的半导体器件的制造方法，其中所述表面保护膜由包括氮化硅膜和氧化硅膜的层叠膜形成。

15. 根据权利要求 11 所述的半导体器件的制造方法，其中所述第一层间绝缘膜由 SiOC 膜形成。

16. 根据权利要求 11 所述的半导体器件的制造方法，其中所述第二层间绝缘膜由作为主要成分的氧化硅膜形成。

17. 根据权利要求 11 所述的半导体器件的制造方法，其中所述第二层间绝缘膜由添加有氟的氧化硅膜形成。

18. 根据权利要求 11 所述的半导体器件的制造方法，其中所述第一和第二阻挡绝缘膜通过等离子体 CVD 方法形成。

19. 根据权利要求 11 所述的半导体器件的制造方法，
其中所述最上层布线包括主要由铝构成的金属膜。

20. 根据权利要求 11 所述的半导体器件的制造方法，在步骤(i)
后进一步包括以下步骤：

(j) 在所述表面保护膜上方包括所述最上层布线的顶部，形成
第一聚酰亚胺树脂膜，并且在所述第一聚酰亚胺树脂膜上方形成引
线，以使所述引线电连接到所述最上层布线；以及

(k) 在所述第一聚酰亚胺树脂膜上方包括所述引线的顶部，形
成第二聚酰亚胺树脂膜，并且在从所述第二聚酰亚胺树脂膜的部分
露出的所述引线上方形成外部连接端子。

21. 根据权利要求 20 所述的半导体器件的制造方法，
其中所述引线包括主要由铜构成的金属膜。

半导体器件及其制造方法

相关申请的交叉引用

本申请要求于 2005 年 7 月 6 日提交的日本专利申请 No.2005-197939 的优先权，其内容在此通过参考引入本申请。

技术领域

本发明涉及一种半导体器件及其制造方法，并且特别地涉及一种应用在具有利用大马士革（Damascene）技术形成的熔丝（fuse）的半导体器件上的有效的技术。

背景技术

在制造精细的半导体器件的方法中，一种被称为“大马士革技术”的精细布线形成方法正变得普及。

在大马士革技术中，在半导体衬底上方的层间绝缘膜中形成精细布线沟槽之后，在层间绝缘膜上方包括布线沟槽的内部，淀积金属膜，并且通过化学机械抛光将布线沟槽外部的金属膜去除以在沟槽内形成精细的掩埋布线。

特别是在双大马士革技术中，在形成在层间绝缘膜中的布线沟槽的下部中形成用于连接下层的布线的过孔，并且同时在布线沟槽和过孔中掩埋金属膜以形成布线，因此减少了步骤的数目。同时，一种用于在过孔中形成金属栓塞之后在布线沟槽的内部形成掩埋布线的技术被称为“单大马士革技术”。

作为掩埋布线的金属材料，主要使用 Cu（铜即使制造得很薄也可以确保很高的可靠性）。当通过大马士革技术在层间绝缘膜中形成掩埋布线时，为了减小在相邻布线之间生成的电容，该层间绝缘膜由具有低介电常数的绝缘材料制成。通过大马士革技术在由低介

电常数材料制成的层间绝缘膜中形成掩埋布线的技术在日本未审专利公开 No. 2004-221275 (专利文献 1) 和日本未审专利公开 No. 2003-124307 (专利文献 2) 中公开。

日本未审专利公开 No. 2003-318262 (专利文献 3) 公开了一种结构, 其中使用最上层的铜布线作为熔丝并且在最上层的铜布线的表面上形成 SiCN 膜。

(专利文献 1) 日本未审专利公开 No. 2004-221275

(专利文献 2) 日本未审专利公开 No. 2003-124307

(专利文献 3) 日本未审专利公开 No. 2003-318262

发明内容

半导体存储器例如 SRAM (静态随机存取存储器) 以及 DRAM (动态随机存取存储器) 具有一种冗余功能, 用于补救在晶片制造工艺中产生的缺陷, 以改进其生产成品率。

这是一种缺陷补救功能, 通过在电路的部分中制备备用的列和行 (冗余电路) 并且当地址信号被提供到存储单元的存储阵列中的有缺陷的单元 (故障比特) 时选择该备用的列和行, 即使在电路的部分中发生故障, 也可以防止整个芯片变成有缺陷的。

从故障部分切换到备用部分是通过切断连接到地址切换电路的缺陷补救熔丝来执行的。为了切断该熔丝, 主要使用了一种具有置换方案的高自由度并且从区域效率的角度来说是有利的激光焊接系统。

该缺陷补救熔丝由金属布线材料制成并且是在半导体衬底上方形成布线的步骤中同时形成。当在晶片制造工艺的最后步骤中通过探针测试发现了有缺陷的单元时, 通过激光器切断上述熔丝以将地址分配到对应于该有缺陷单元的备用单元。因此, 当通过上述的大马士革技术在层间绝缘膜中形成铜掩埋布线时, 在形成掩埋布线的步骤中同时形成铜熔丝。

当要通过上述的激光焊接系统切断熔丝时, 为了便于切断该熔

丝，在探针测试之前，必须在熔丝之上的绝缘膜中形成一个开口并且必须将覆盖熔丝的绝缘膜制得比其它区域要薄。然而，由于该开口即使在晶片的制造工艺过程结束并且晶片被分割为芯片时也保留着，因此一旦水通过薄绝缘膜从外部进入到芯片的内部时，就会腐蚀熔丝。当熔丝腐蚀时，腐蚀就会通过连接到熔丝的布线而蔓延到芯片中，从而降低了半导体器件的使用寿命以及可靠性。虽然有一些存储器产品是通过在探针测试之后在晶片的表面上涂覆聚酰亚胺树脂来生产的，但是由于聚酰亚胺树脂膜具有低耐潮性，所以其不能有效地防止水进入芯片中。

本发明的一个目的是提供一种用于提高具有利用大马士革技术形成的熔丝的半导体器件的可靠性的技术。

从以下结合附图进行的描述中，本发明的上述和其它目的以及新的特征将会变得明显。

以下给出由本申请所公开的发明中的典型发明的简要描述。

本发明的半导体器件包括形成在半导体衬底的主表面上的第一层间绝缘膜，掩埋在形成于第一层间绝缘膜中的第一布线沟槽的内部的第二布线，通过第一阻挡绝缘膜在第一层间绝缘膜上方形成的用于覆盖第二布线的第二层间绝缘膜，掩埋在形成于第二层间绝缘膜中的第二布线沟槽的内部的熔丝，掩埋在形成于第二层间绝缘膜中的第三布线沟槽的内部的第三布线，覆盖熔丝和第三布线的第三阻挡绝缘膜，通过第一绝缘膜在第三阻挡绝缘膜上方形成的最上层布线，以及覆盖最上层布线的表面保护膜，其中：

第三阻挡绝缘膜比第一阻挡绝缘膜厚；并且到达第三阻挡绝缘膜的表面的第一开口形成在熔丝之上的第一绝缘膜和表面保护膜中。

根据本发明的半导体器件的制造方法包括以下步骤：

(a) 在半导体衬底的主表面上形成第一层间绝缘膜并且在该第一层间绝缘膜中形成第一布线沟槽；

(b) 在第一层间绝缘膜上方包括第一布线沟槽的内部，形成第

一金属膜，并且通过化学机械抛光，去除第一布线沟槽外部的第一金属膜，以在第一布线沟槽的内部形成由第一金属膜组成的第一布线；

(c) 在第一层间绝缘膜上方包括第一布线的顶部，形成第一阻挡绝缘膜；

(d) 在第一阻挡绝缘膜上方形成第二层间绝缘膜，并且在该第二层间绝缘膜中形成第二和第三布线沟槽；

(e) 在第二层间绝缘膜上方包括第二和第三布线沟槽的内部，形成第二金属膜，并且通过化学机械抛光，去除第二和第三布线沟槽外部的第二金属膜，以在第二布线沟槽的内部形成由第二金属膜组成的熔丝以及在第三布线沟槽的内部形成由第二金属膜组成的第二布线；

(f) 在第二层间绝缘膜上方包括第二布线和熔丝的顶部，形成比第一阻挡绝缘膜厚的第二阻挡绝缘膜；

(g) 在第二阻挡绝缘膜上方形成第一绝缘膜，并且在该第一绝缘膜上方形成最上层布线；以及

(h) 在熔丝之上的第一绝缘膜和表面保护膜中形成到达第二阻挡绝缘膜的表面的第一开口，并且在最上层布线之上的第一绝缘膜和表面保护膜中形成到达最上层布线的第二开口。

下面将简要描述由本申请所公开的发明中的典型发明获得的效果。

可以提高熔丝元件的可靠性。也就是，可以提高半导体器件的可靠性。此外，可以简化制造半导体器件的方法。

附图说明

图 1 是表示根据本发明一个实施例的半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 2 是表示在图 1 之后半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 3 是表示在图 2 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 4 是表示在图 3 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 5 是表示在图 4 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 6 是表示在图 5 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 7 是表示在图 6 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 8 是表示在图 7 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 9 是表示在图 8 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 10 是表示在图 9 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 11 是表示在图 10 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 12 是表示在图 11 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 13 是表示在图 12 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 14 是表示在图 13 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 15 是表示在图 14 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 16 是表示在图 15 之后半导体器件的制造方法的半导体衬底的关键部分的截面图;

图 17 是表示在图 16 之后半导体器件的制造方法的半导体衬底

的关键部分的截面图；

图 18 是表示在图 17 之后半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 19 是表示在图 18 之后半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 20 是表示在图 19 之后半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 21 是表示在图 20 之后半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 22 是表示在图 21 之后半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 23 是表示在图 22 之后半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 24 是表示在图 23 之后半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 25 是表示在图 24 之后半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 26 是表示在图 25 之后半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 27 是表示根据本发明另一个实施例的半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 28 是表示在图 27 之后半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 29 是表示在图 28 之后半导体器件的制造方法的半导体衬底的关键部分的截面图；

图 30 是表示在图 29 之后半导体器件的制造方法的半导体衬底的关键部分的截面图。

具体实施方式

下面将参照附图对本发明的优选实施例进行详细的描述。在所有用于说明实施例的附图中，原则上对相同的部件给予相同的参考标号并且省略对其的重复描述。

(第一实施例)

本实施例为一种具有四层 Cu 布线和一个熔丝的半导体器件。现按照参照图 1 到图 26 的步骤顺序对其制造方法进行描述。

如图 1 所示,首先在由单晶硅制成的半导体衬底(此后简称为“衬底”)的主表面上形成作为半导体器件的 n 沟道型 MISFET (Qn) 和 p 沟道型 MISFET (Qp)。图 1 中的参考标号 2 指的是器件隔离沟槽,参考标号 4 指的是 p 型阱以及参考标号 5 指的是 n 型阱。

器件隔离沟槽 2 是通过在由蚀刻衬底 1 而形成的沟槽的内部掩埋例如氧化硅膜 3 作为绝缘膜而形成。p 型阱 4 和 n 型阱 5 是通过将 p 型杂质(硼)离子和 n 型杂质(磷)离子注入到衬底 1 并且加热衬底 1 以使这些杂质扩散到衬底 1 中而形成。

n 沟道型 MISFET (Qn) 包括:由形成在 p 型阱 4 的表面的氧化硅膜或氮氧化硅氮化物膜组成的栅绝缘膜 6;由形成在该栅绝缘膜 6 上方的多晶硅膜组成的栅电极 7;由形成在栅电极 7 的侧壁上的氧化硅膜组成的侧壁间隔层 8;以及在栅电极 7 的两侧上的 p 型阱 4 上方形成的一对 n 型半导体区域(源,漏)11。p 沟道型 MISFET (Qp) 包括栅绝缘膜 6、栅电极 7、侧壁间隔层 8 以及在栅电极 7 的两侧上的 n 型阱 5 上方形成的一对 p 型半导体区域(源,漏)12。将 n 型杂质(磷)引入到构成 n 沟道型 MISFET (Qn) 的栅电极 7 的多晶硅膜中,并且将 p 型杂质(硼)引入到构成 p 沟道型 MISFET (Qp) 的栅电极 7 的多晶硅膜中。在 n 沟道型 MISFET (Qn) 的栅电极 7 和 n 型半导体区域(源,漏)11 的表面上以及在 p 沟道型 MISFET (Qp) 的栅电极 7 和 p 型半导体区域(源,漏)12 的表面上形成 Co(钴)硅化物膜 9,从而减少了栅电极 7 和源漏极的电阻。

之后,如图 2 所示,在 n 沟道型 MISFET (Qn) 和 p 沟道型 MISFET (Qp) 上方形成栓塞 16 和第一层布线 19,以通过栓塞 16 将 n 沟道

型 MISFET (Qn) 和 p 沟道型 MISFET (Qp) 电连接到第一层布线 19。

该第一层布线 19 通过以下方法形成。在衬底 1 上方淀积了蚀刻停止膜 13 和绝缘膜 14 之后, 通过化学机械抛光使绝缘膜 14 的表面平坦化。该蚀刻停止膜 13 例如由通过 CVD 淀积的氮化硅膜组成, 并且该绝缘膜 14 例如由通过 CVD 淀积的氧化硅膜组成。

接着, 蚀刻在 n 沟道型 MISFET (Qn) 的 n 型半导体区域 (源, 漏) 11 和 p 沟道型 MISFET (Qp) 的 p 型半导体区域 (源, 漏) 12 上方的绝缘膜 14, 并且蚀刻位于绝缘膜 14 下方的蚀刻停止膜 13 以形成接触孔 15。接着在接触孔 15 中形成栓塞 16。该栓塞 16 例如由包括 TiN (氮化钛) 膜和 W (钨) 膜的层叠膜组成。该 TiN 膜用作 W 膜的阻挡金属膜。该阻挡金属膜可以由包括 TiN 膜和 Ti (钛) 膜的层叠膜组成。

接着通过 CVD 在绝缘膜 14 上方淀积厚度约为 200nm 的绝缘膜 17 (SiOC 膜 17) 以及厚度约为 50nm 的为氧化硅膜的绝缘膜 18, 并且利用光刻胶膜 (未示出) 作为掩膜对绝缘膜 17 和绝缘膜 18 进行干法蚀刻以形成布线沟槽 20。绝缘膜 17 (SiOC 膜 17) 为低介电绝缘膜, 用于降低布线之间的电容, 例如是一种具有比氧化硅膜 (例如 TEOS (四乙氧基硅烷) 氧化物膜) 的介电常数低的介电常数的绝缘膜。一般情况下, 将具有比 TEOS 氧化膜的介电常数 ($\epsilon=4.1\sim 4.2$) 低的介电常数的绝缘膜称为“低介电绝缘膜”。在本实施例中, 介电常数约为 2.7。形成在 SiOC 膜 17 上方的绝缘膜 18 用作保护膜, 用于防止具有低机械强度的 SiOC 膜 17 因化学机械抛光而劣化。

接着, 通过溅射在布线沟槽 20 的内部淀积厚度约为 50nm 且由 TiN 膜或包括 TiN 膜和 Ti 膜的层叠膜组成的阻挡金属膜, 并且通过溅射或镀覆淀积厚度 (约为 800nm 到 1600nm) 足以完全填充布线沟槽 20 的内部的 Cu 膜。该阻挡金属膜用作用于防止该 Cu 膜扩散到其周围的绝缘膜中的阻挡膜。作为可以使用的阻挡金属膜, 除了 TiN 膜之外, 还有例如 WN (氮化钨) 膜或 TaN (氮化钽) 膜的金属氮

化物膜，由通过向这些材料之一添加 Si 所得到的合金制成的膜，例如 Ta 膜、Ti 膜、W 膜或 TiW 膜的高熔点金属膜，包括这些高熔点金属膜的层叠膜，或者难以与 Cu 发生反应的导电膜。

之后，通过使用化学机械抛光去除布线沟槽 20 外部的 Cu 膜和阻挡金属膜，在布线沟槽 20 的内部形成了主要由铜组成的金属膜。因此形成了由包括保留在布线沟槽 20 内部的阻挡金属膜和 Cu 膜的层叠膜组成的第一层布线 19。

之后，如图 3 所示，在第一层布线 19 上方相继地淀积阻挡绝缘膜 21 和阻挡绝缘膜 22、层间绝缘膜 23 以及绝缘膜 24。该阻挡绝缘膜 21 是用于防止作为第一层布线 19 的材料的 Cu 扩散到层间绝缘膜 23 中的绝缘膜，并且该阻挡绝缘膜 21 由例如通过等离子体 CVD 淀积的厚度为 20nm 到 100nm 的 SiCN 膜组成。该阻挡绝缘膜 22 是用于防止构成位于下方 (underlying) 的阻挡绝缘膜 21 的 SiCN 膜中所包含的胺化合物扩散到层间绝缘膜 23 中的绝缘膜，并且该阻挡绝缘膜 22 由例如通过 CVD 淀积的厚度为 10nm 到 100nm 的 SiCO 膜组成。当胺化合物扩散到层间绝缘膜 23 中时，其会扩散到在随后步骤中形成在绝缘膜 24 上方的光刻胶膜中，从而使得光刻胶膜的感光功能失效。

该层间绝缘膜 23 由具有低介电常数的绝缘膜例如上述的 SiOC 膜组成，以降低在第一层布线 19 与在后面步骤中形成的第二层布线之间的电容。该 SiOC 膜通过 CVD 淀积形成并且厚度约为 460nm。该低介电膜例如层间绝缘膜 23 可以通过涂覆 (coating) 来形成。与位于下方的绝缘膜 18 一样，形成在层间绝缘膜 23 上方的绝缘膜 24 也是用于在通过化学机械抛光形成 Cu 布线时对由具有低机械强度的 SiOC 膜组成的层间绝缘膜 23 进行保护并且由通过 CVD 淀积的厚度约为 50nm 的氧化硅膜组成的绝缘膜。

随后，如图 4 所示，在绝缘膜 24 上方形成抗反射膜 25 并且在该抗反射膜 25 上方形成光刻胶膜 26。形成该抗反射膜 25 以防止当光刻胶膜 26 被曝光时由反射在第一层布线 19 的表面上的曝光光线

入射在光刻胶膜 26 上而引起的分辨率的降低。该抗反射膜被称为“BARC（底部抗反射涂层）”，并且与位于下方的绝缘膜 24 和层间绝缘膜 23 相比具有更高的折射率。光刻胶膜 26 通过具有过孔图形的光掩膜（未示出）而曝光并且显影以转移具有用于形成过孔的开口的图形。

如图 5 所示，然后通过使用光刻胶膜 26 作为掩膜，相继地对抗反射膜 25、绝缘膜 24 以及层间绝缘膜 23 进行干法蚀刻，以在第一层布线 19 之上形成过孔 27。

之后，去除光刻胶膜 26 以及抗反射膜 25。在这一点上，当抗反射膜 25 由上述的 BARC 组成时，由于该膜的成分与光刻胶膜 26 的成分相似，因此可以通过一次清洗同时去除光刻胶膜 26 和抗反射膜 25。之后，如图 6 所示，将填料 28 填充到过孔 27 中。该填料 28 是一种绝缘材料，其成分基本与抗反射膜 25 相似。为了填入填料 28，在将填料 28 施加到绝缘膜 24 包括过孔 27 的内部并且使其固化后，回蚀刻过孔 27 外部的填料 28。用于连接第一层布线 19 和后面将会形成的第二层布线的过孔 27 的直径相对较小。因此，当执行该回蚀刻时，填充到过孔 27 中的填料 28 的表面变得基本平坦并且基本与绝缘层 24 的表面平齐。

然后，如图 7 所示，在绝缘膜 24 上方形成抗反射膜 30，并且在抗反射膜 30 上方形成光刻胶膜 31。在本实施例中，该抗反射膜 30 由上述的 BARC 组成。通过使光刻胶膜 31 经由具有布线沟槽图形的光掩膜曝光并且显影，来转移具有用于布线沟槽形成区域的开口的图形。

之后，如图 8 所示，通过使用光刻胶膜 31 作为掩膜，对抗反射膜 30 和绝缘膜 24 进行干法蚀刻，并且对层间绝缘膜 23 部分地进行干法蚀刻从而形成布线沟槽 32。由于在这一点上，层间绝缘膜 23 中没有蚀刻停止膜，因此通过时间控制来执行用于形成布线沟槽 32 的蚀刻。正如其后将描述的，由于下层布线的尺寸布置得比上层布线的尺寸更精细，因此当形成其介电常数高于层间绝缘膜 23 的介电

常数的膜时，布线之间的电容增加。在本实施例中，通过不在层间绝缘膜 23 中形成蚀刻停止膜，可以降低布线之间的电容。由于上层布线沟槽的深度布置得比下层布线沟槽的深度小，用于形成布线沟槽的蚀刻量小，因此使得可以不形成蚀刻停止膜而通过控制蚀刻时间来控制膜厚度。

如图 9 所示，在去除光刻胶膜 31 之后，通过干法蚀刻去除绝缘膜 24 上方的抗反射膜 30。也对填充在过孔 27 中的填料 28 以及位于填料 28 下方的阻挡绝缘膜 22 和阻挡绝缘膜 21 进行蚀刻以使第一层布线 19 的表面暴露于过孔 27 的底部。

接着，如图 10 所示，在布线沟槽 32 和过孔 27 的内部形成第二层布线 33。为了形成第二层布线 33，通过溅射，在绝缘膜 24 上方包括布线沟槽 32 和过孔 27 的内部，淀积薄约 50nm 的 TiN 膜（阻挡金属膜）。在通过溅射或镀覆在该 TiN 膜上方淀积了完全填充布线沟槽 32 和过孔 27 的内部的厚 Cu 膜之后，通过化学机械抛光去除布线沟槽 32 外部的 Cu 膜和阻挡金属膜。由于绝缘膜 24 具有比层间绝缘膜 23 高的机械强度，所以其用作对于层间绝缘膜 23 的保护膜。

如图 11 所示，当在第二层布线 33 上方淀积了阻挡绝缘膜 34、层间绝缘膜 35 以及抗反射膜 36 之后，通过利用形成在抗反射膜 36 上方的光刻胶膜 37 作为掩膜，对该抗反射膜 36 和层间绝缘膜 35 进行干法蚀刻，以在第二层布线 33 之上形成过孔 38。

与用来覆盖第一层布线 19 的表面的阻挡绝缘膜 21 一样，阻挡绝缘膜 34 是一种用于防止作为布线材料的 Cu 扩散到层间绝缘膜 35 中并且由例如通过等离子体 CVD 淀积的厚度约为 20nm 到 100nm 的 SiCN 膜组成的绝缘膜。

由于布线存在于在衬底 1 上方形成的多层布线中的上层中，因此布线之间的距离变得较大，所以布线之间的电容变得较小。因此，当在随后步骤中形成的第三层布线之间的电容或者在第三层布线和第二层布线 33 之间的电容不再成为问题时，层间绝缘膜 35 由通过 CVD 淀积的厚度约为 700nm 的氧化硅膜形成。由于氧化硅膜比由低

介电常数材料制成的 SiCO 膜更精细，因此当层间绝缘膜 35 由氧化硅膜组成时，即使层间绝缘膜 35 直接淀积在为 SiCN 膜的阻挡绝缘膜 34 上，胺化合物的扩散也不会引起问题。由于 SiCN 膜具有相对较低的与氧化硅膜的粘附力，因此可以在阻挡绝缘膜 34 和层间绝缘膜 35 之间形成 SiCO 膜，以改善它们之间的粘附力。作为用于形成层间绝缘膜 35 的氧化硅基材料，可以使用其介电常数通过添加 F（氟）而减小的氧化硅。

同时，当第三层布线（43）之间的电容或在第三层布线（43）和第二层布线 33 之间的电容成为一个问题时，层间绝缘膜 35 由例如 SiCO 的低介电常数材料制成。在本例中，在阻挡绝缘膜 34 和层间绝缘膜 35 之间形成了 SiCO 膜以防止包含在阻挡绝缘膜 34 中的胺化合物的扩散。以下将描述其中层间绝缘膜 35 由氧化硅膜组成的情况。

在去除光刻胶膜 37 和抗反射膜 36 之后，如图 12 所示，将填料 39 填充到过孔 38 中。该填料 39 由成分基本与上述抗反射膜的成分相同的绝缘材料组成。将填料 39 填入的方法也与将填料 28 填入过孔 27 的内部的方法相同。由于用于连接第二层布线 33 与稍后形成的第三层布线的过孔 38 的直径相对较小，因此填充到过孔 38 中的填料 39 的表面变得基本平坦并且基本与层间绝缘膜 35 的表面平齐。

接着，如图 13 所示，在层间绝缘膜 35 中形成布线沟槽 42。为了形成该布线沟槽 42，当在层间绝缘膜 35 上方形成抗反射膜 40 并且在该抗反射膜 40 上方形成光刻胶膜 41 后，通过使用光刻胶膜 41 作为掩膜，对抗反射膜 40 进行干法蚀刻，并且对层间绝缘膜 35 部分地进行干法蚀刻。在本实施例中，与上述的布线沟槽 32 一样，布线沟槽 42 的形成通过时间控制的蚀刻来进行。

如图 14 所示，接着在布线沟槽 42 以及过孔 38 的内部形成第三层布线 43。为了形成该第三层布线 43，通过干法蚀刻首先去除光刻胶膜 41 并接着去除抗反射膜 40。当去除该抗反射膜 40 时，也去除填充到过孔 38 中的填料 39 和位于填料 38 下方的阻挡绝缘膜 34，以

使第二层布线 33 的表面暴露于过孔 38 的底部。通过溅射，在层间绝缘膜 35 上方包括布线沟槽 42 和过孔 38 的内部，淀积薄 TiN 膜（阻挡金属膜），通过溅射或镀覆，在该 TiN 膜上方淀积厚 Cu 膜，并且通过化学机械抛光，去除布线沟槽 42 外部的 Cu 膜以及阻挡金属膜。

接着，如图 15 所示，在第三层布线 43 上方淀积阻挡绝缘膜 44 以及层间绝缘膜 45。与位于下方的阻挡绝缘膜 34 和 21 一样，该阻挡绝缘膜 44 是一种用于防止 Cu 的扩散并且由通过等离子体 CVD 淀积的厚度约为 50nm 到 100nm 的 SiCN 膜组成的绝缘膜。将在随后步骤中形成在层间绝缘膜 45 中的第四层布线在尺寸、布线之间的距离以及厚度上都比下层布线的大。因此该层间绝缘膜 45 由通过 CVD 淀积的厚度为 1 μ m 的氧化硅膜组成。可以在阻挡绝缘膜 44 和层间绝缘膜 45 之间形成 SiCO 膜以改善它们之间的粘附力。作为构成层间绝缘膜 45 的氧化硅材料，可以使用其介电常数通过添加 F 而减小的氧化硅。

如果层间绝缘膜 45 的厚度变大，当部分蚀刻层间绝缘膜 45 以形成布线沟槽时，就难以非常精确地控制布线沟槽的深度。也就是说，由于布线沟槽 52 和 53 比上述的布线沟槽 32 和 42 深，所以难以像上述的布线沟槽 32 和 42 那样通过时间控制的蚀刻来形成布线沟槽 52 和 53。接着，通过在层间绝缘膜 45 的中间（halfway）位置处形成具有不同于层间绝缘膜 45 的蚀刻选择比率的停止膜 46 以在该停止膜 46 的表面处停止蚀刻，从而对布线沟槽的深度进行控制。在本实施例中，使用由等离子体 CVD 淀积的厚度约为 10nm 到 100nm 的 SiCN 膜作为形成在层间绝缘膜 45 的中间位置处的停止膜 46。由于该 SiCN 膜对于氧化硅膜具有高的蚀刻选择比率以及低的介电常数，所以其可以用作停止膜 46。此外，由于其具有低的反射系数（其折射率小于层间绝缘膜 45 的折射率），其也可以用作抗反射膜，如后面所述。

如图 16 所示，在层间绝缘膜 45 上方形成抗反射膜 47 之后，通过使用形成在抗反射膜 47 上方的光刻胶膜 48 作为掩膜，相继地对

抗反射膜 47、层间绝缘膜 45、停止膜 46 以及层间绝缘膜 45 进行干法蚀刻，从而在第三层布线 43 之上形成过孔 49。

在去除光刻胶膜 48 以及抗反射膜 47 后，如图 17 所示，将填料 50 填入过孔 49 的内部。该填料 50 的材料以及填入填料 50 的方法与上面所述的相同。由于用于形成第四层布线的过孔 49 的半径和深度大于下层的过孔 38 和 27 的半径和深度，因此难以很好地填入填料 50。因此，填入过孔 49 中的填料 50 的表面变得不平坦并且在填料 50 和层间绝缘膜 45 之间有一个高度差。

接着，如图 18 所示，在层间绝缘膜 45 上方形成光刻胶膜 51。由于如上所述，填入过孔 49 中的填料 50 的表面不平坦并且在层间绝缘膜 45 之间有一个高度差，因此难以通过涂覆在层间绝缘膜 45 的整个表面上方形成均匀的抗反射膜。因此，在层间绝缘膜 45 上直接形成光刻胶膜 51 而不使用抗反射膜。

通过使用具有布线沟槽图形和熔丝图形的光掩膜（未示出）对光刻胶膜 51 进行曝光并且显影，以转移具有用于布线沟槽形成区域和熔丝形成区域的开口的图形。如上所述，在层间绝缘膜 45 的中间位置处形成由具有低反射系数的 SiCN 膜组成的停止膜 46。因此，可以抑制由于反射在第三层布线 43 的表面的曝光光线入射在光刻胶膜 51 上而引起的分辨率降低的不利性，而无需在光刻胶膜 51 下方形成抗反射膜。于是，不再需要在光刻胶膜 51 下方形成抗反射膜的步骤，从而使得步骤得以简化。在层间绝缘膜 45 的中间位置处形成的停止膜 46 必须具有与氧化硅膜不同的蚀刻选择比率、低反射系数和低介电常数。这种绝缘材料的例子除了 SiCN 之外还包括氮化硅（SiN）和氮氧化硅（SiON）。其中，SiCN 为最优选的。

接着，如图 19 所示，通过使用光刻胶膜 51 作为掩膜，对层间绝缘膜 45 进行干法蚀刻，并且该蚀刻在停止膜 46 的表面处停止。于是，在停止膜 46 上方的层间绝缘膜 45 中形成布线沟槽 52 和布线沟槽 53。

如图 20 所示，接着通过湿法蚀刻去除光刻胶膜 51 和填充在过

孔 49 中的填料 50。通过利用干法蚀刻去除过孔 49 底部处的阻挡绝缘膜 44，将第三层布线 43 的表面暴露于过孔 49 的底部。

如图 21 所示，接着在布线沟槽 52 和过孔 49 的内部形成第四层布线 54 并且还在布线沟槽 53 的内部形成将成为熔丝 55 的第四层布线 54。未示出，熔丝 55 通过下层布线与电阻器元件相连。该电阻器元件由与 MISFET (Qn, Qp) 的栅电极 7 的相同层的多晶硅膜形成。当通过将在后面描述的探针测试在 CMOS 存储器的部分中发现了缺陷时，利用激光束来切断该熔丝 55 以改变该电阻器元件的电阻值并且用冗余存储器代替有缺陷的存储器。

为了形成第四层布线 54 以及熔丝 55，通过溅射在层间绝缘膜 45 上方包括布线沟槽 52 和 53 以及过孔 49 的内部，淀积薄 TiN 膜(阻挡金属膜)，通过溅射或镀覆在该 TiN 膜上方淀积厚 Cu 膜，并且通过化学机械抛光去除在布线沟槽 52 和 53 外部的 Cu 膜和阻挡金属膜。

虽然蚀刻停止膜 46 保留在层间绝缘膜 45 中，但由于第四布线层中的布线之间的距离布置得大于在第四布线层之下的第一布线层、第二布线层和第三布线层中布线之间的距离，并且层间绝缘膜 45 厚，因此布线之间的电容的增加以及布线层之间的电容的增加几乎可以忽略。

如图 22 所示，在第四层布线 54 和熔丝 55 上方淀积阻挡绝缘膜 56 和层间绝缘膜 57。与位于下方的阻挡绝缘膜 44、34 和 21 一样，该阻挡绝缘膜 56 是一种用于防止 Cu 的扩散并且由通过等离子体 CVD 淀积的 SiCN 膜组成的绝缘膜。与位于下方的层间绝缘膜 45 和 35 一样，该层间绝缘膜 57 由氧化硅基绝缘膜组成并且厚度约为 900nm。在图 22 和后面的附图中，没有示出第四层布线 54 之下的部分。

如后面将要描述的，在第四层布线 54 和熔丝 55 上方形成层间绝缘膜和表面保护层。在熔丝 55 之上的层间绝缘膜和表面保护膜中形成一个用于将激光束施加到熔丝 55 的开口。因此，当水从外部通

过该开口进入到电路中时，熔丝 55 将被腐蚀。接着，在本实施例中，将上述阻挡绝缘膜 56 的厚度制成大于位于下方的阻挡绝缘膜 44、34 和 21 的厚度（例如，约为 150nm 到 200nm），从而改善熔丝 55 的耐潮性。

如图 23 所示，在层间绝缘膜 57 上方形成最上层布线（第五层布线）60，并且接着在该最上层布线 60 上方形成表面保护膜 61。为了形成最上层布线 60，通过使用光刻胶膜（未示出）作为掩膜，对第四层布线 54 之上的层间绝缘膜 57 进行干法蚀刻，并且对位于下方的阻挡绝缘膜 56 进行干法蚀刻，以形成过孔 58 以及在过孔 58 的内部形成栓塞 59。与位于下方的栓塞 16 一样，该栓塞 59 由包括 TiN 膜和 W 膜的叠层组成。通过溅射，在层间绝缘膜 57 上方淀积厚度约为 50nm 到 100nm 的 TiN 膜、厚度约为 1 μ m 的 AL 合金膜以及厚度约为 50nm 到 100nm 的 TiN 膜，并且通过使用光刻胶膜（未示出）作为掩膜来对这些导电膜进行蚀刻以形成最上层布线 60。最上层布线 60 之上的表面保护膜 61 由包括通过等离子体 CVD 淀积的厚度约为 200nm 的氧化硅膜和厚度约为 600nm 的氮化硅膜的叠层组成。

如图 24 所示，接着通过使用光刻胶膜（未示出）作为掩膜，对表面保护层 61 进行干法蚀刻，以使最上层布线 60 的部分曝光，从而形成键合焊盘 60B。对熔丝 55 之上的表面保护膜 61 和层间绝缘膜 57 进行干法蚀刻以形成开口 62。蚀刻停止在覆盖熔丝 55 的阻挡绝缘膜 56 的表面处，使得阻挡绝缘膜 56 保留在熔丝 55 上方。

由于将熔丝 55 之上的阻挡绝缘膜 56 制成比位于下方的阻挡绝缘膜 44、34 和 21 厚，因此可以确保耐潮性。也就是说，如果上述阻挡绝缘膜 56 的厚度等于位于下方的阻挡绝缘膜 44、34 和 21 的厚度，则通过用于在熔丝 55 之上形成开口 62 的蚀刻步骤、用于去除光刻胶膜的氧等离子体灰化步骤及其它的清洗步骤，阻挡绝缘膜 56 的厚度变得较小，从而降低了耐潮性。由于用于形成开口 62 的蚀刻特别地必须进行得比位于下方的层间绝缘膜深，因此可以理解由于过蚀刻而造成的阻挡绝缘膜 56 的损失。因此，在本实施例中，必须

将阻挡绝缘膜 56 的厚度制成大于位于下方的阻挡绝缘膜 44、34 和 21 的厚度。

接着通过将探针（未示出）施加到键合焊盘 60B 的表面来执行电路电测试（探针测试）。当通过该探针测试在半导体器件的部分上发现了缺陷时，将激光束通过开口 62 施加到熔丝 55 以将其切断使得用冗余存储器代替有缺陷的存储器。

留在熔丝 55 上的绝缘膜必须足够厚以通过施加激光束而被切断并且根据需要可以留下绝缘膜 57。

在表面保护膜 61 上方淀积聚酰亚胺树脂膜 63 后，如图 25 所示，在该聚酰亚胺树脂膜 63 上方形成引线 64，以电连接到键合焊盘 60B。该引线 64 用于将构成 CMOS 存储器的外部连接端子的焊料凸点电连接到键合焊盘 60B。为了形成该引线 64，首先在表面保护膜 61 上方淀积聚酰亚胺树脂膜 63，并且通过使用光刻胶膜（未示出）作为掩膜对键合焊盘 60B 之上的聚酰亚胺树脂膜 63 进行蚀刻，以使该键合焊盘 60B 的表面露出。在表面保护膜 61 上方形成其中打开了用于形成引线 64 的区域的光刻胶膜（未示出）后，通过镀覆或溅射在表面保护膜 61 上方形成 Cu 膜。

在用聚酰亚胺树脂膜 65 覆盖了由 Cu 膜组成的引线 64 的表面后，如图 26 所示，对聚酰亚胺树脂膜 65 的部分进行蚀刻以使引线 64 的一个端部露出，并且通过镀覆，在该引线 64 的表面上形成 Au（金）膜 66。之后，通过印刷，在 Au（金）膜 66 的表面上形成焊料凸点 67 以形成用于半导体器件的外部连接端子。

虽然在上述形成引线 64 的步骤中由于对光刻胶膜的蚀刻或灰化使得熔丝 55 之上的阻挡绝缘膜 56 变薄，但是可以通过预先将阻挡绝缘膜 56 制得较厚来防止耐潮性的劣化。

（第二实施例）

在上述实施例 1 中，在层间绝缘膜中形成过孔后形成布线沟槽。在本实施例中，在层间绝缘膜中形成布线沟槽后形成过孔。

首先，如图 27 所示，在第三层布线 43 上方淀积阻挡绝缘膜 44

和层间绝缘膜 45。在层间绝缘膜 45 的中间位置处形成停止膜 46。使用通过等离子体 CVD 淀积的厚度约为 10nm 到 100nm 的 SiCN 膜作为停止膜 46。至此为止的步骤与在上述实施例的图 1 到图 15 中所示的步骤相同。

如图 28 所示，在层间绝缘膜 45 上方形成光刻胶膜 51 后，通过使用光刻胶膜 51 作为掩膜对层间绝缘膜 45 进行干法蚀刻，并且在停止膜 46 的表面处停止蚀刻，从而在停止膜 46 之上的层间绝缘膜中形成布线沟槽 52 和 53。虽然在本实施例中，不在层间绝缘膜 45 和光刻胶膜 51 之间形成抗反射膜，但是在层间绝缘膜 45 的中间位置处形成由具有低反射系数的 SiCN 膜组成的停止膜 46。因此，可以抑制由于反射在第三层布线 43 的表面上的曝光光线在光刻胶膜 51 上的入射而引起的分辨率降低的不利性，而无需在光刻胶膜 51 之下形成抗反射膜。

如图 29 所示，在层间绝缘膜 45 上方形成光刻胶膜 48 之后，通过使用光刻胶膜 48 作为掩膜，对层间绝缘膜 45 和阻挡绝缘膜 46 进行干法蚀刻以形成过孔 49，使得将第三层布线 43 暴露在过孔 49 的底部。由于在本例中，停止膜 48 还用作抗反射膜，因此可以抑制由于反射在第三层布线 43 的表面上的曝光光线在光刻胶膜 48 上的入射而引起的分辨率降低的不利性。

如图 30 所示，在去除光刻胶膜 48 之后，在布线沟槽 52 和过孔 49 的内部形成第四层布线 54，并且在布线沟槽 53 的内部形成熔丝 55。该第四层布线 54 和熔丝 55 的形成方式与第一实施例中的相同。

同样在本实施例中，在层间绝缘膜 45 中形成布线沟槽 52 和 53 后形成过孔 49，形成第四层布线 54 的步骤可以被简化。因此可以以较高的生产率形成第四层布线 54。

虽然基于本发明的实施例对本发明的发明人所做出的发明进行了描述，但不用说，本发明并不限于此，并且可以在不脱离本发明的精神和范围的情况下，对本发明进行各种变化和修改。例如，本发明可以应用于制造具有五层或更多层 Cu 布线层的半导体器件的

方法中。

本发明可有利地应用于具有由双大马士革技术形成的多层布线的半导体器件。

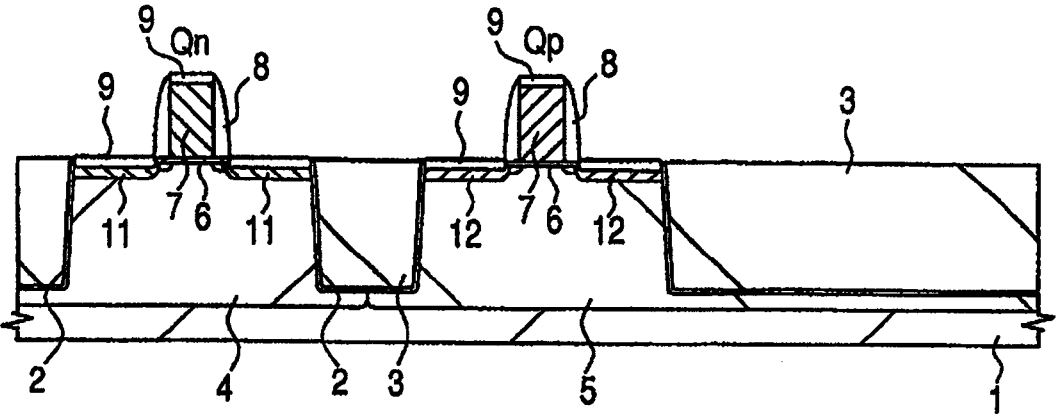


图 1

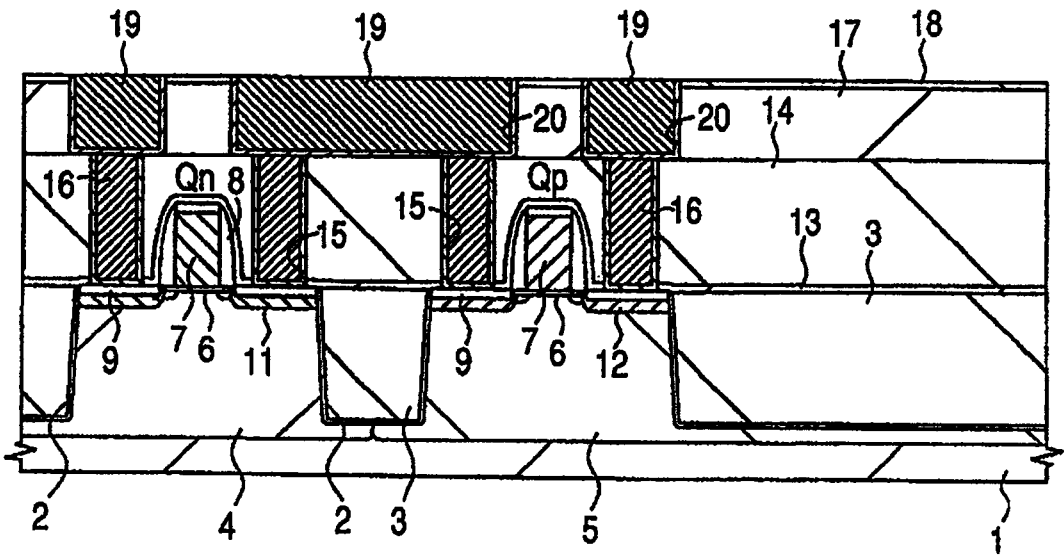


图 2

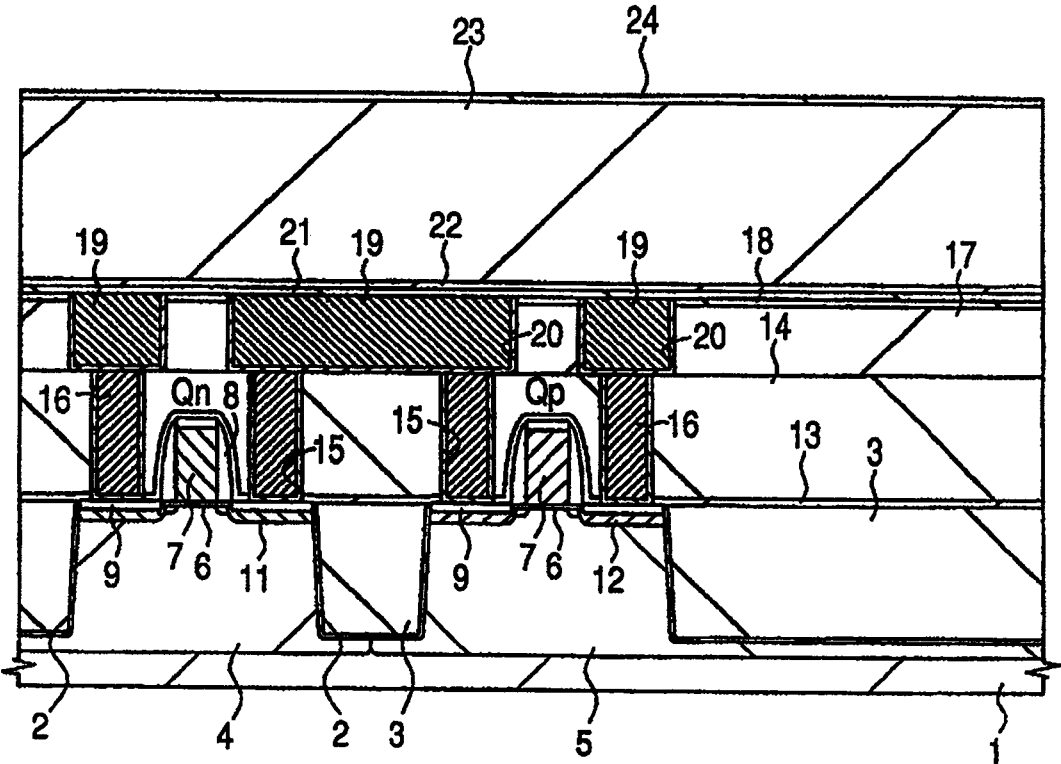


图 3

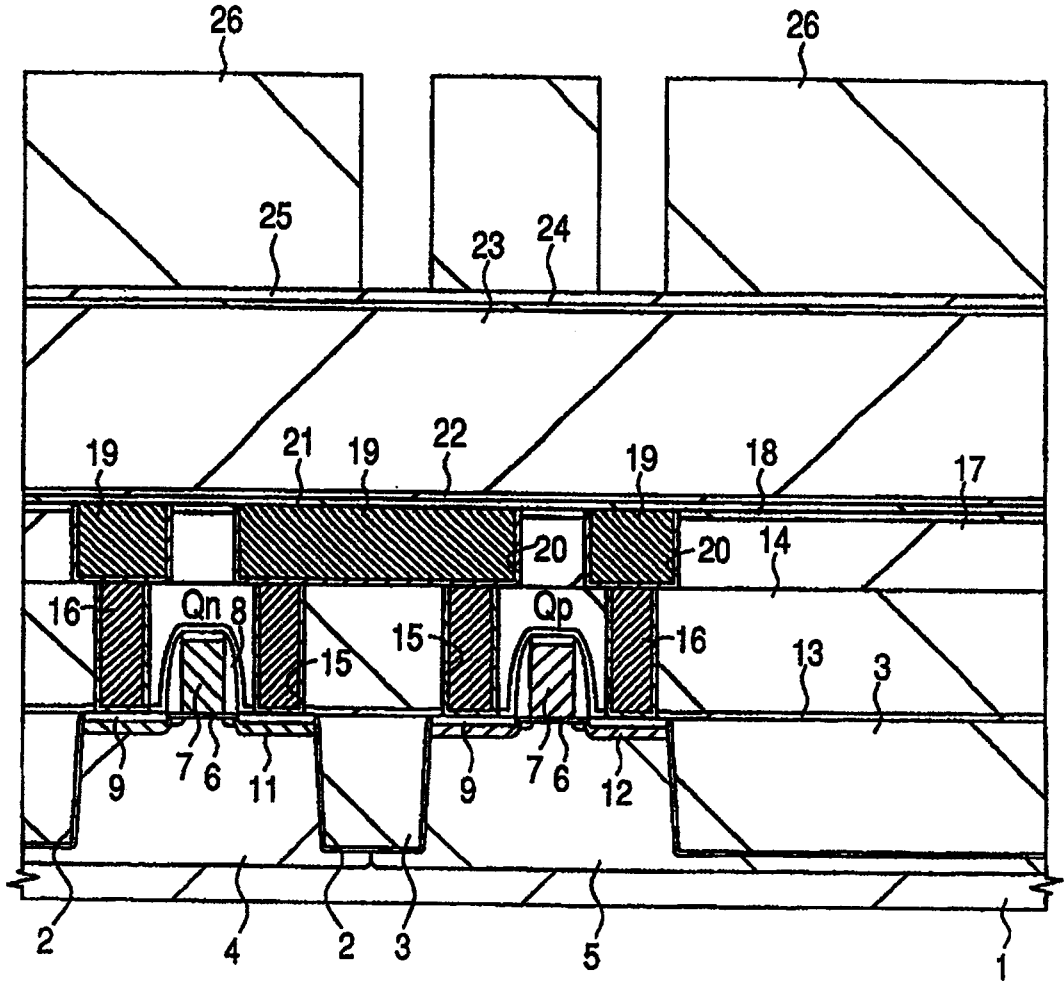


图 4

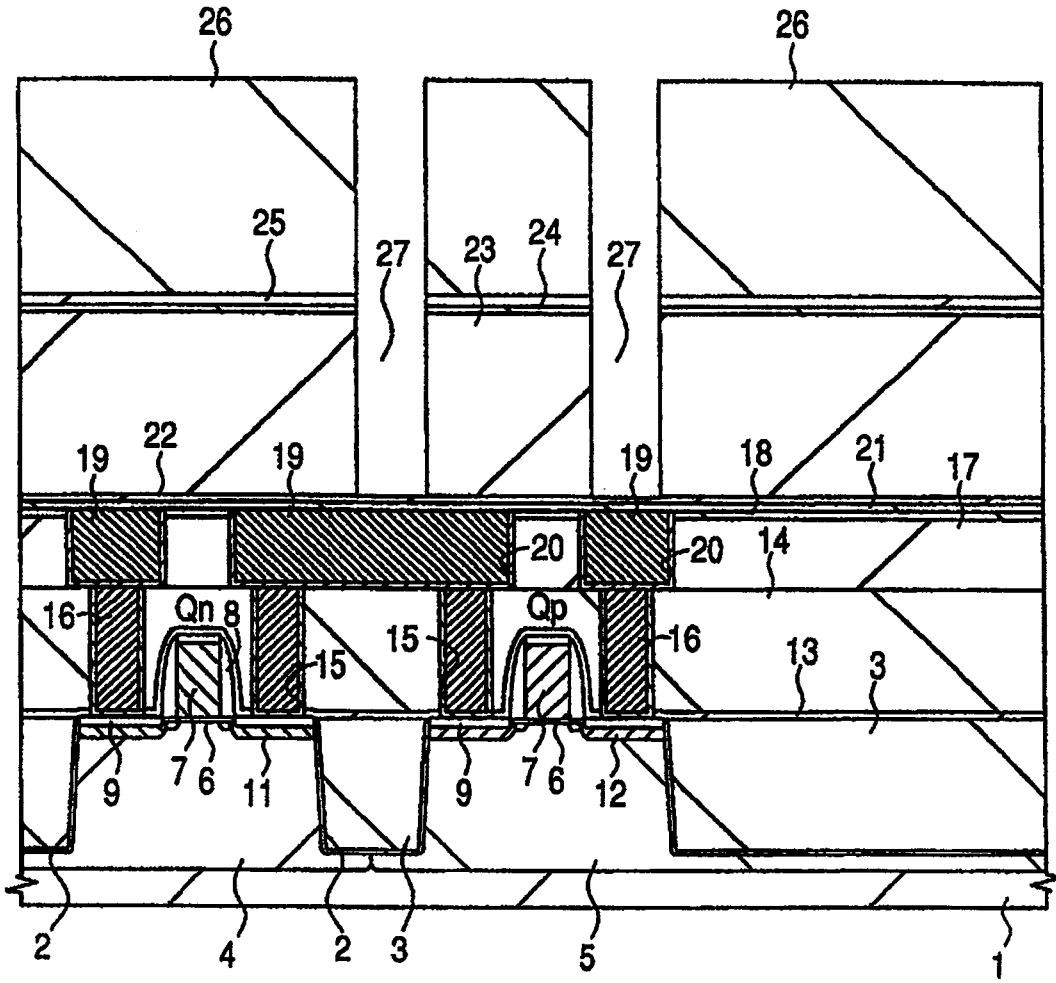


图 5

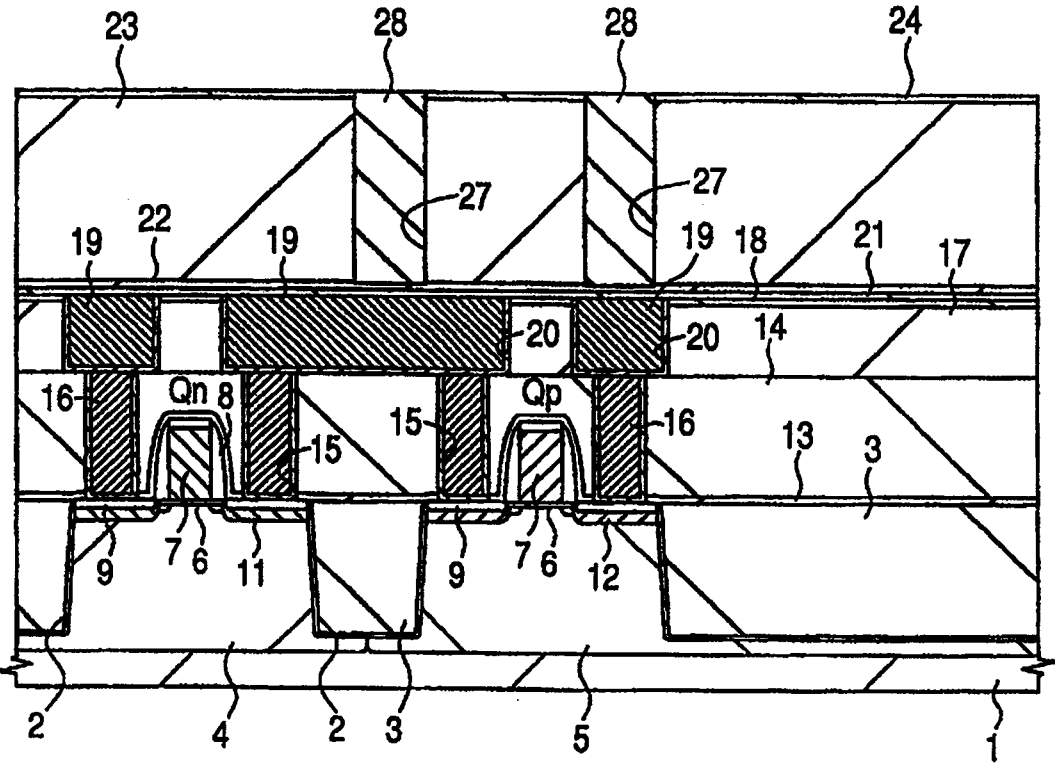


图 6

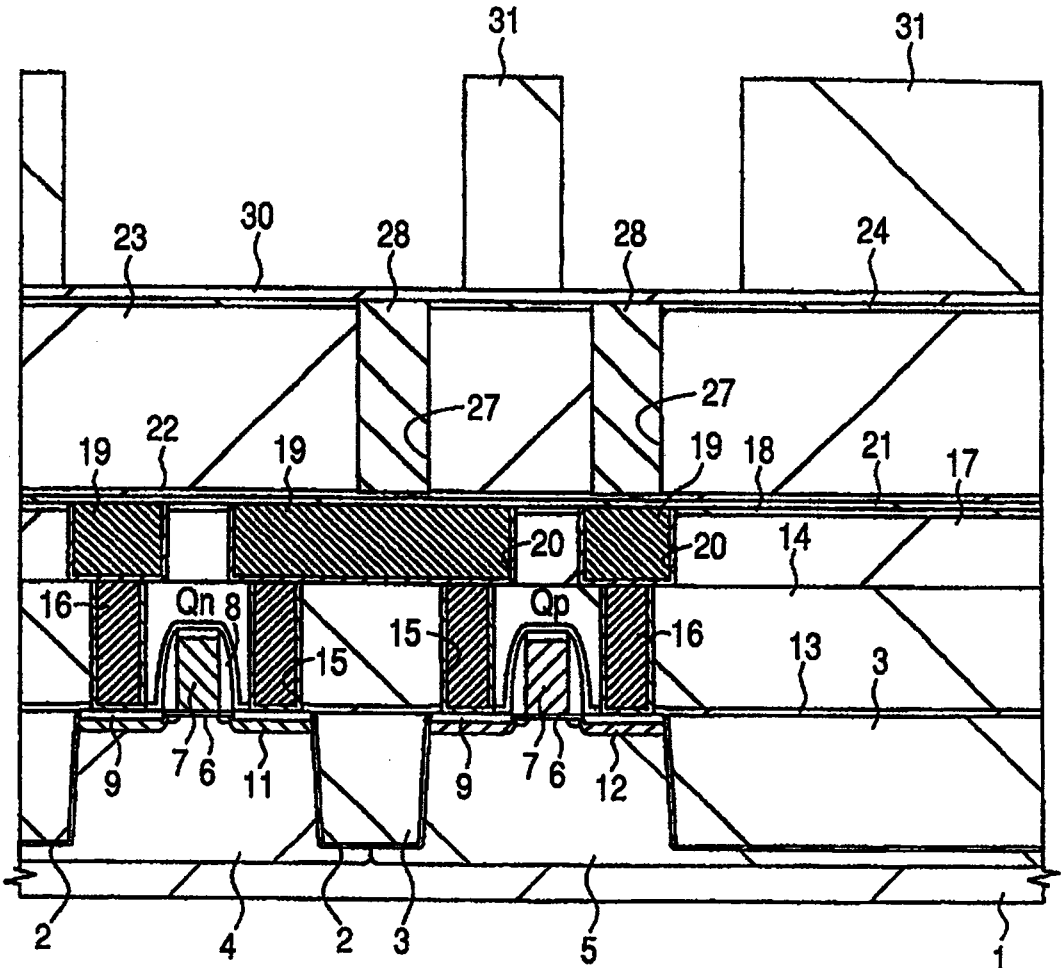


图 7

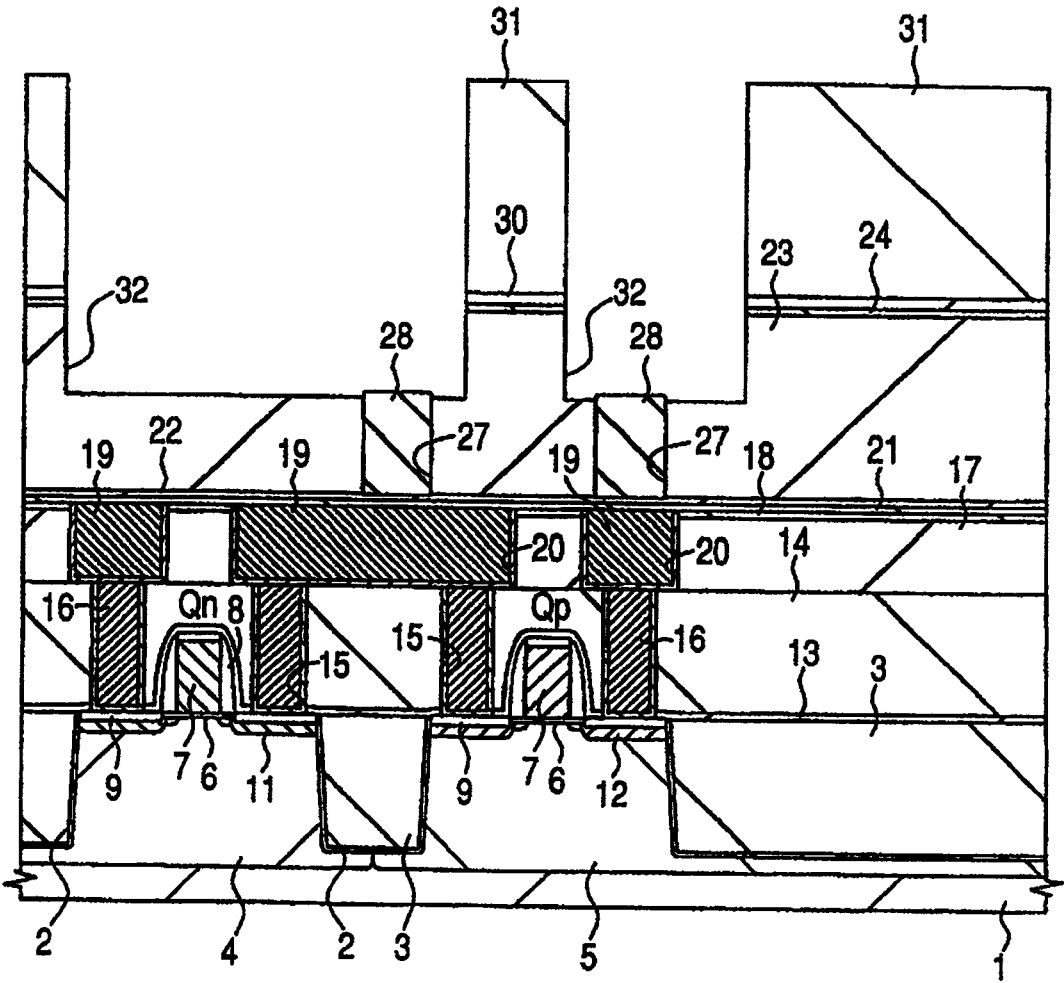


图 8

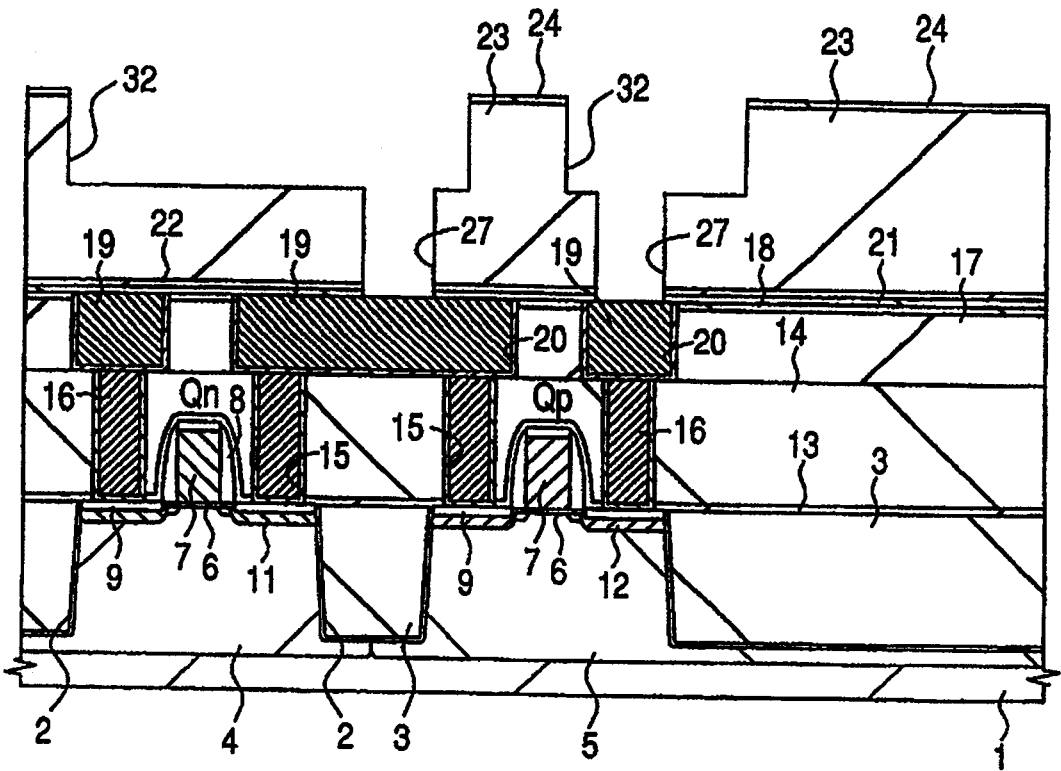


图 9

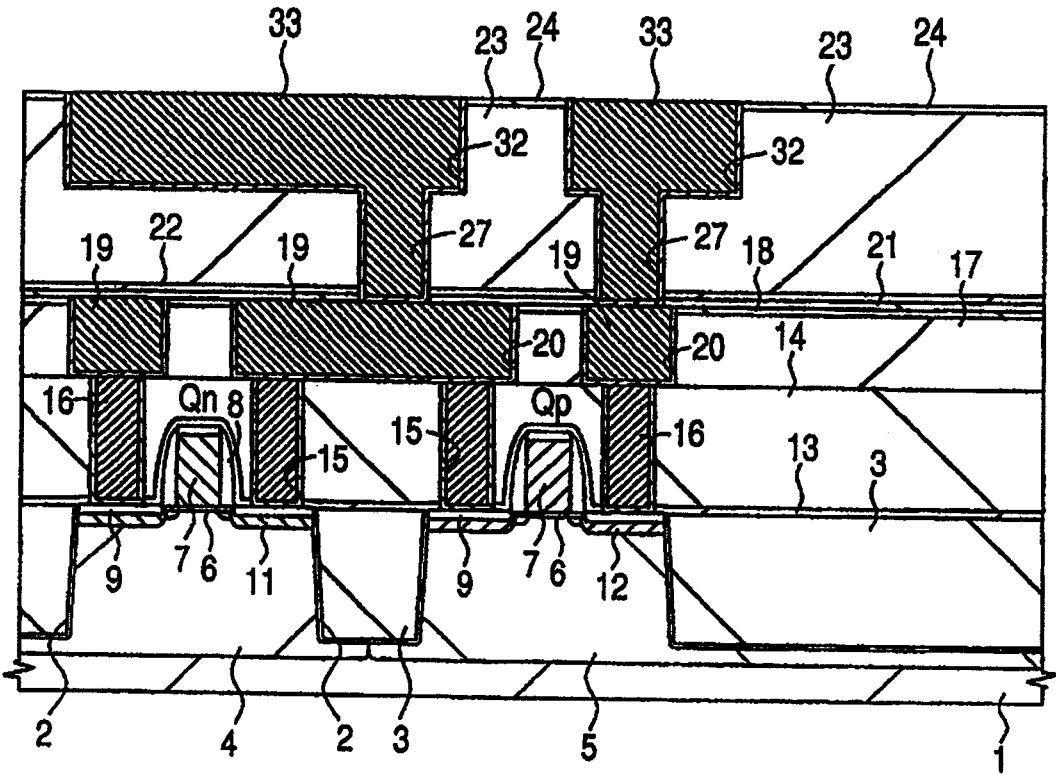


图 10

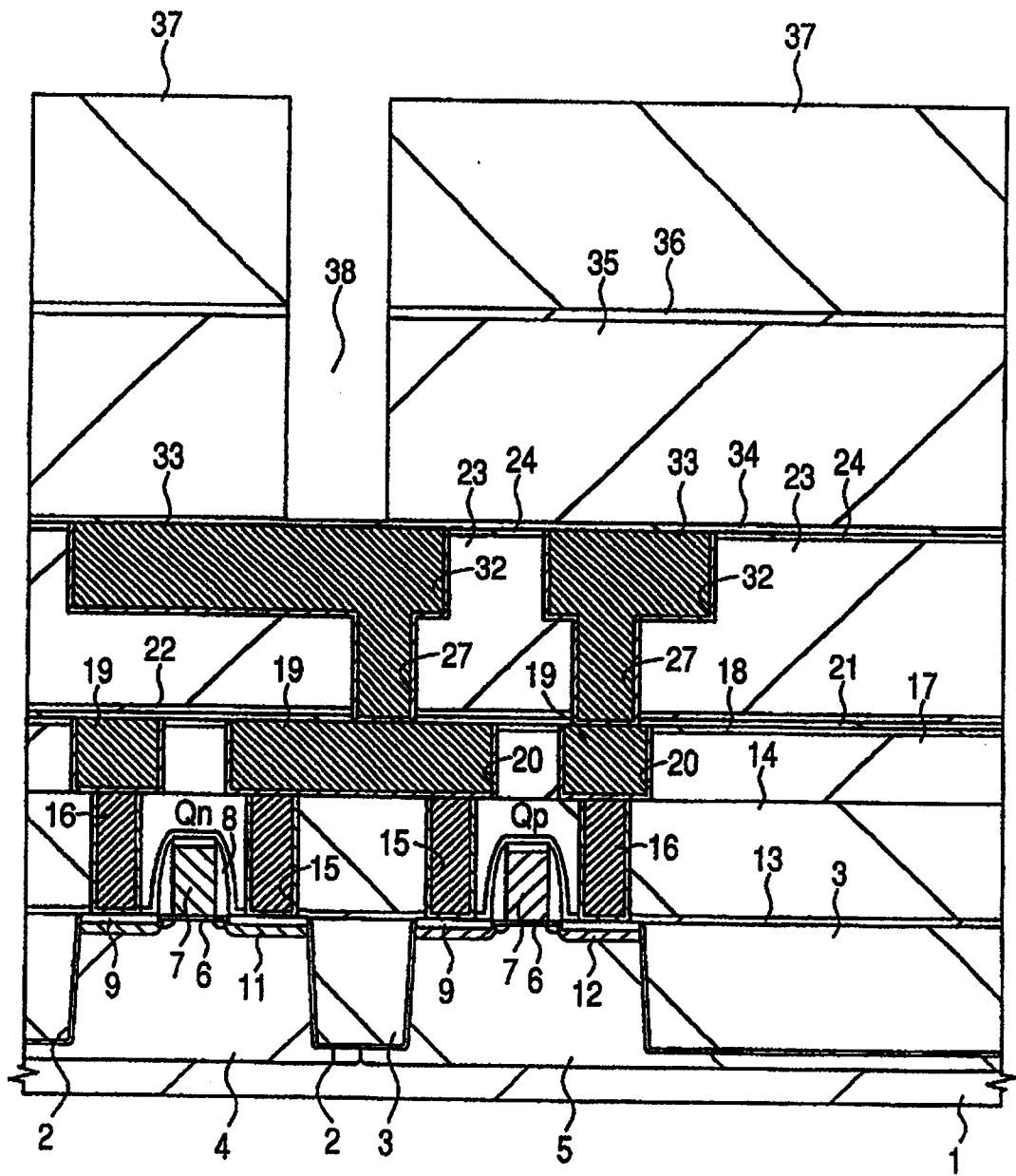


图 11

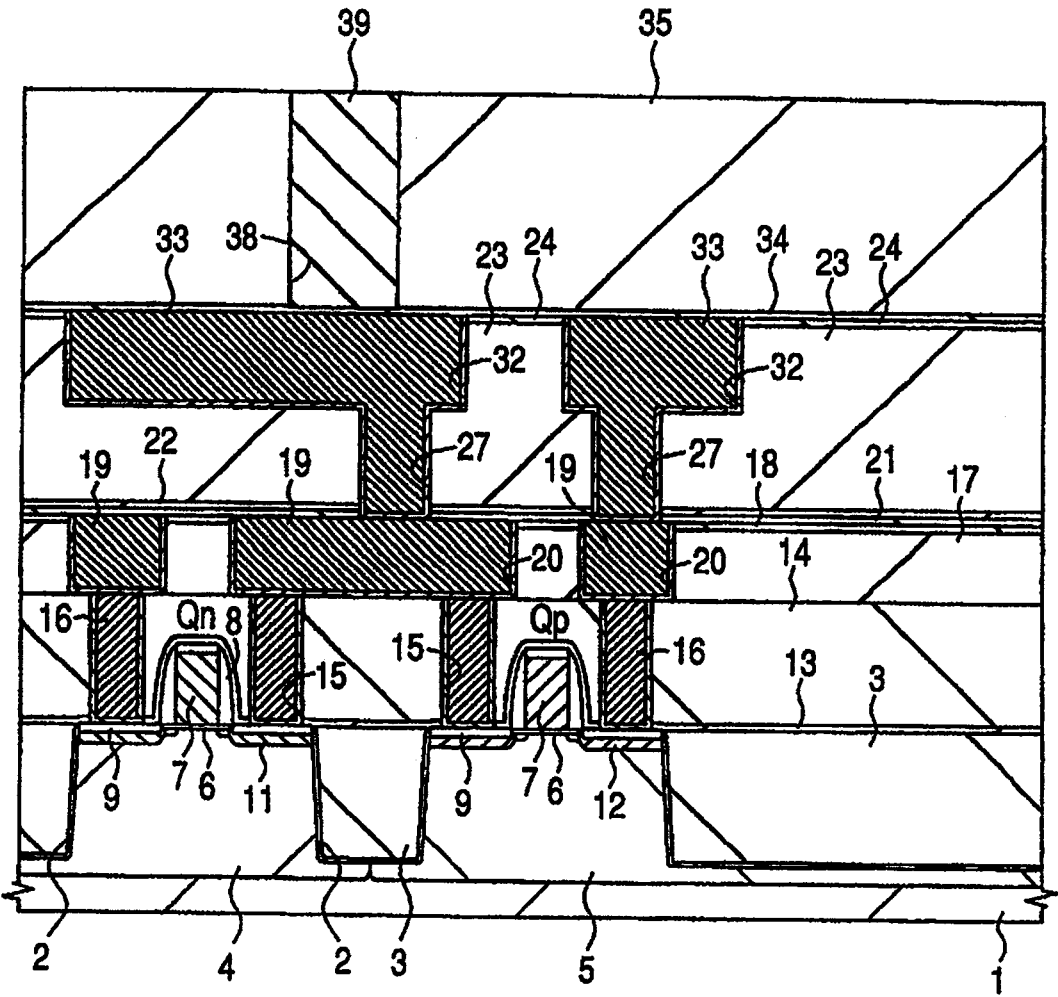


图 12

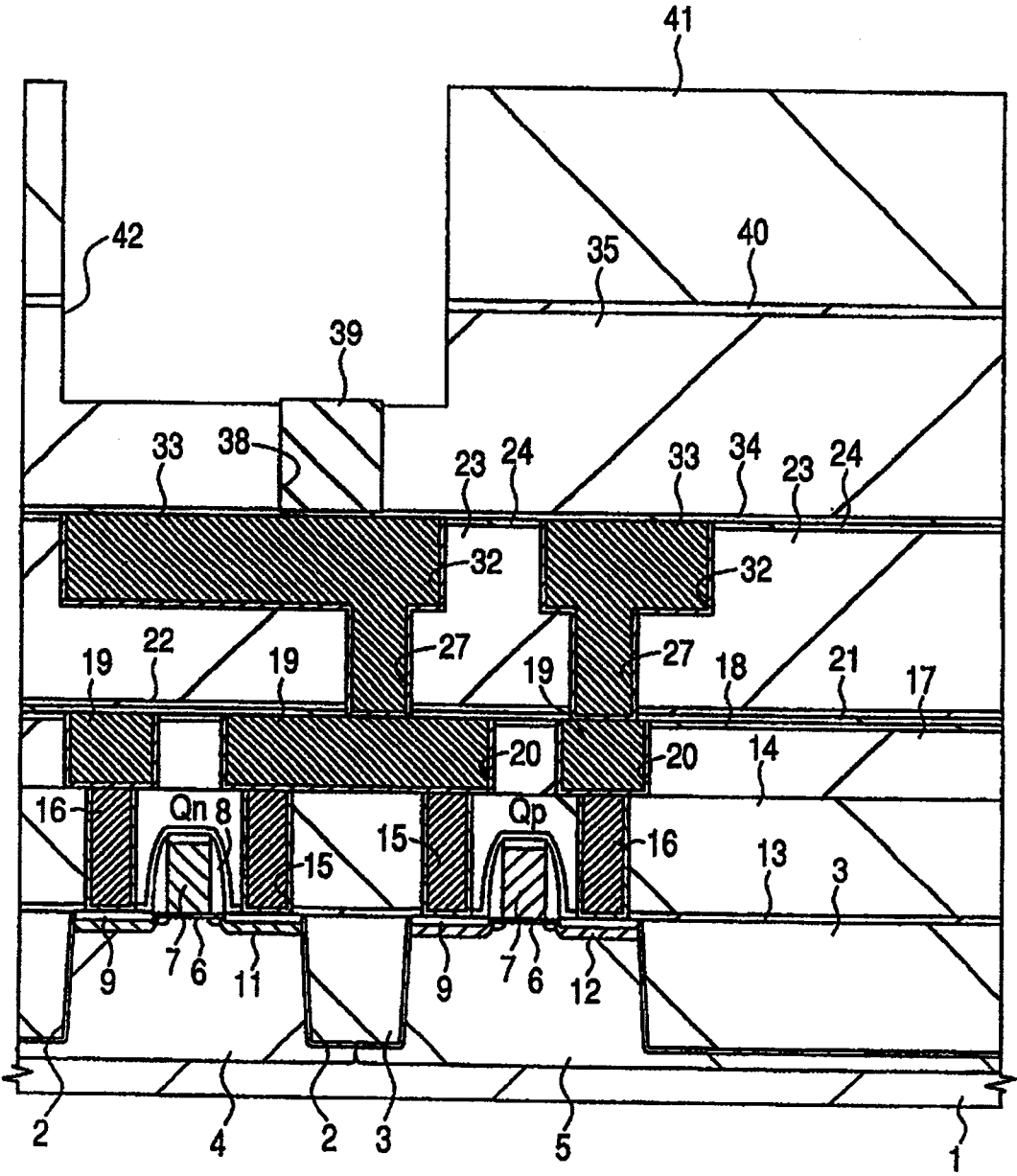


图 13

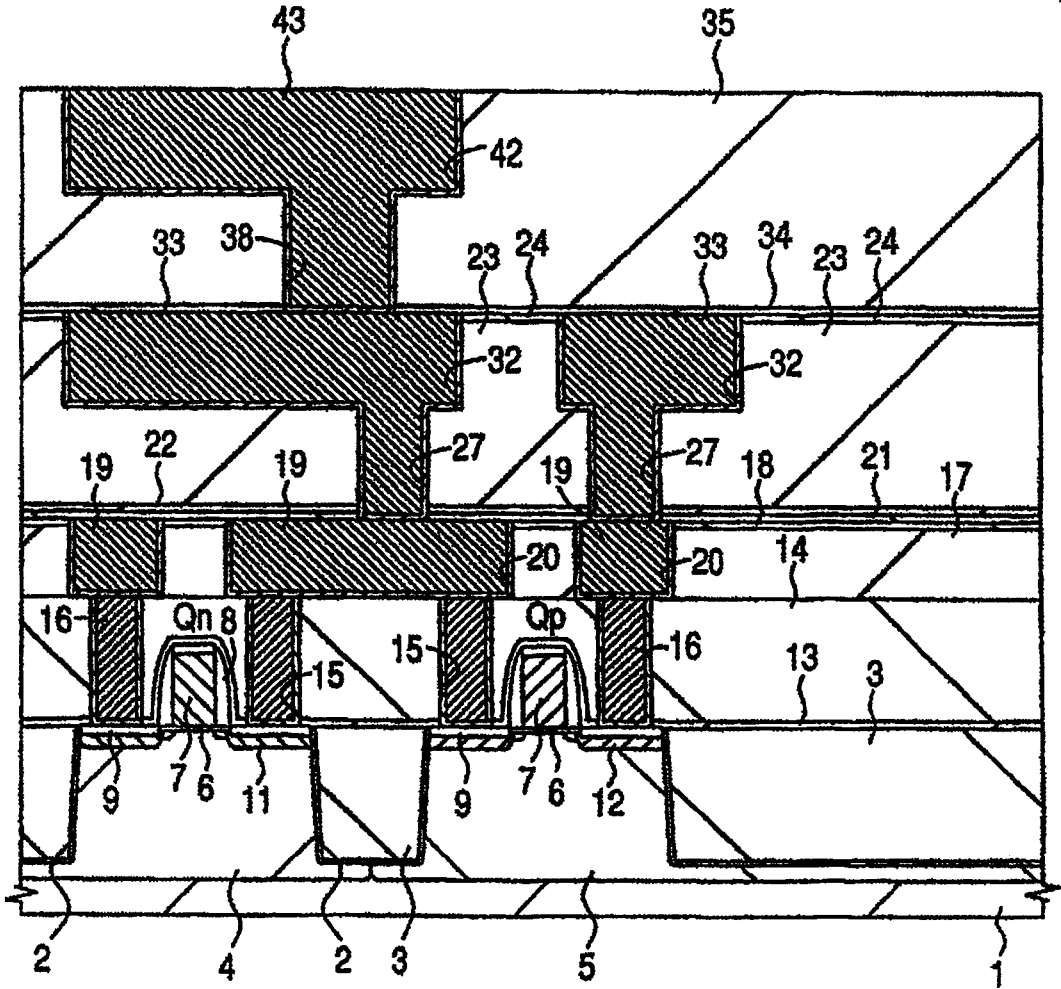


图 14

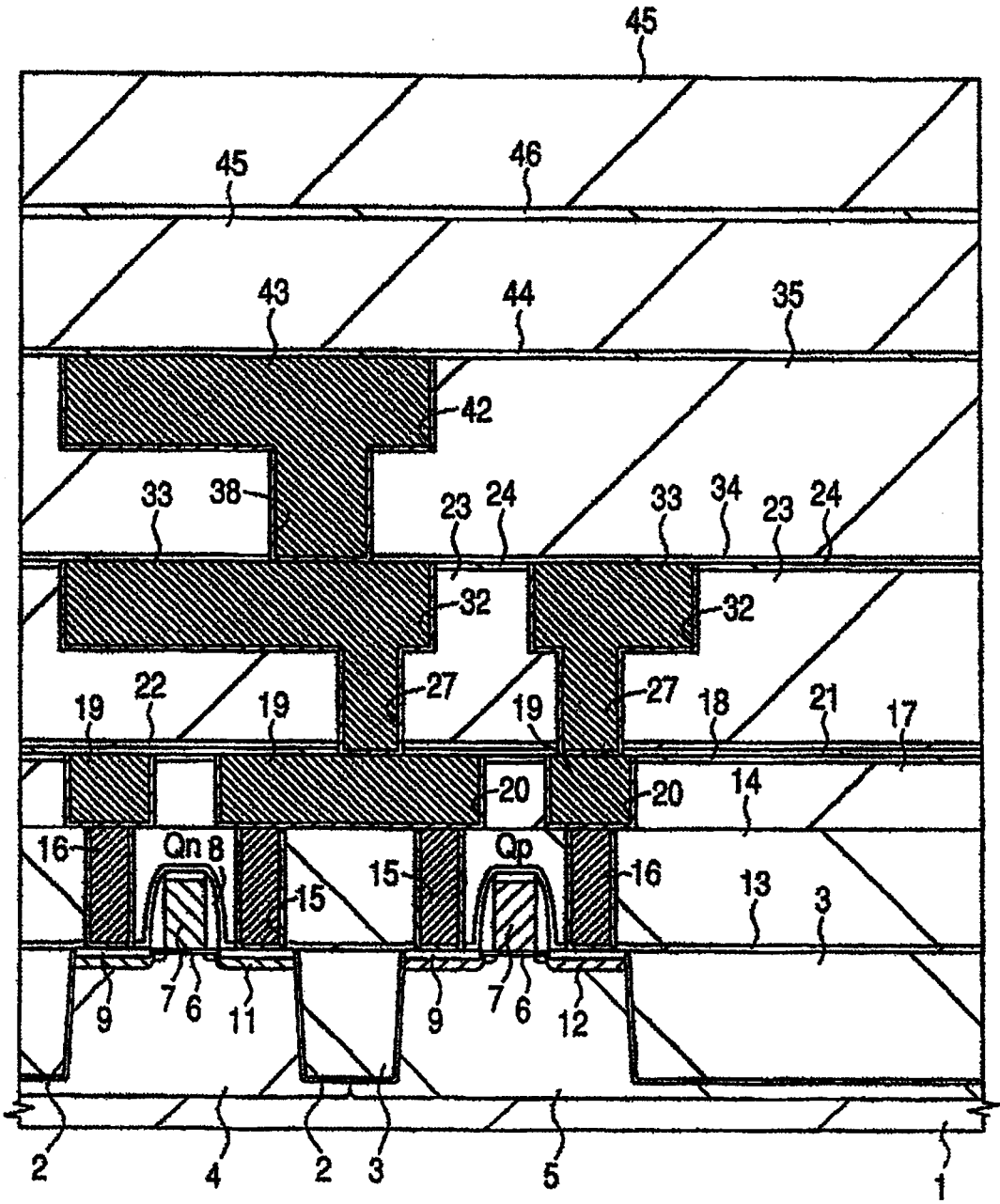


图 15

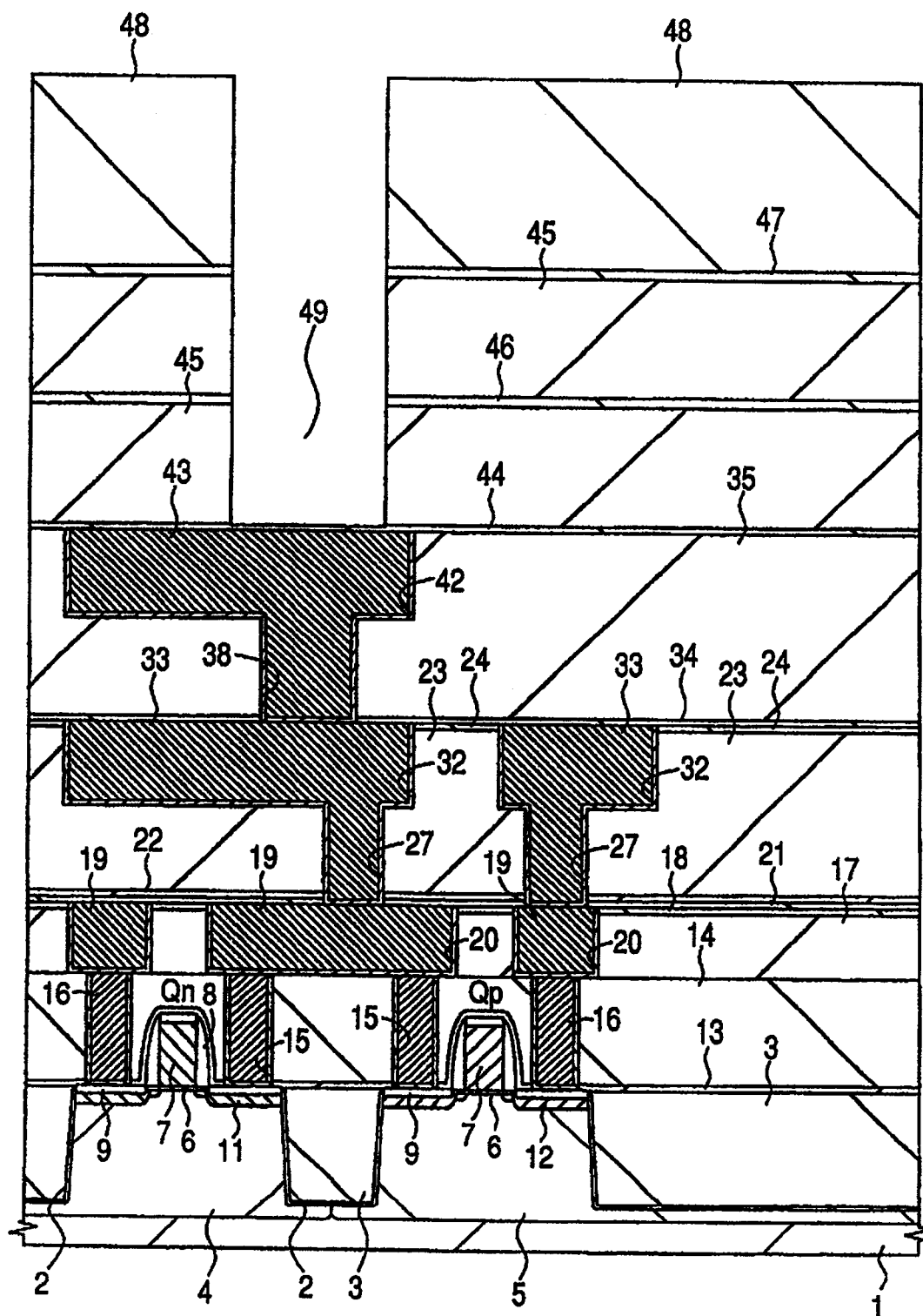


图 16

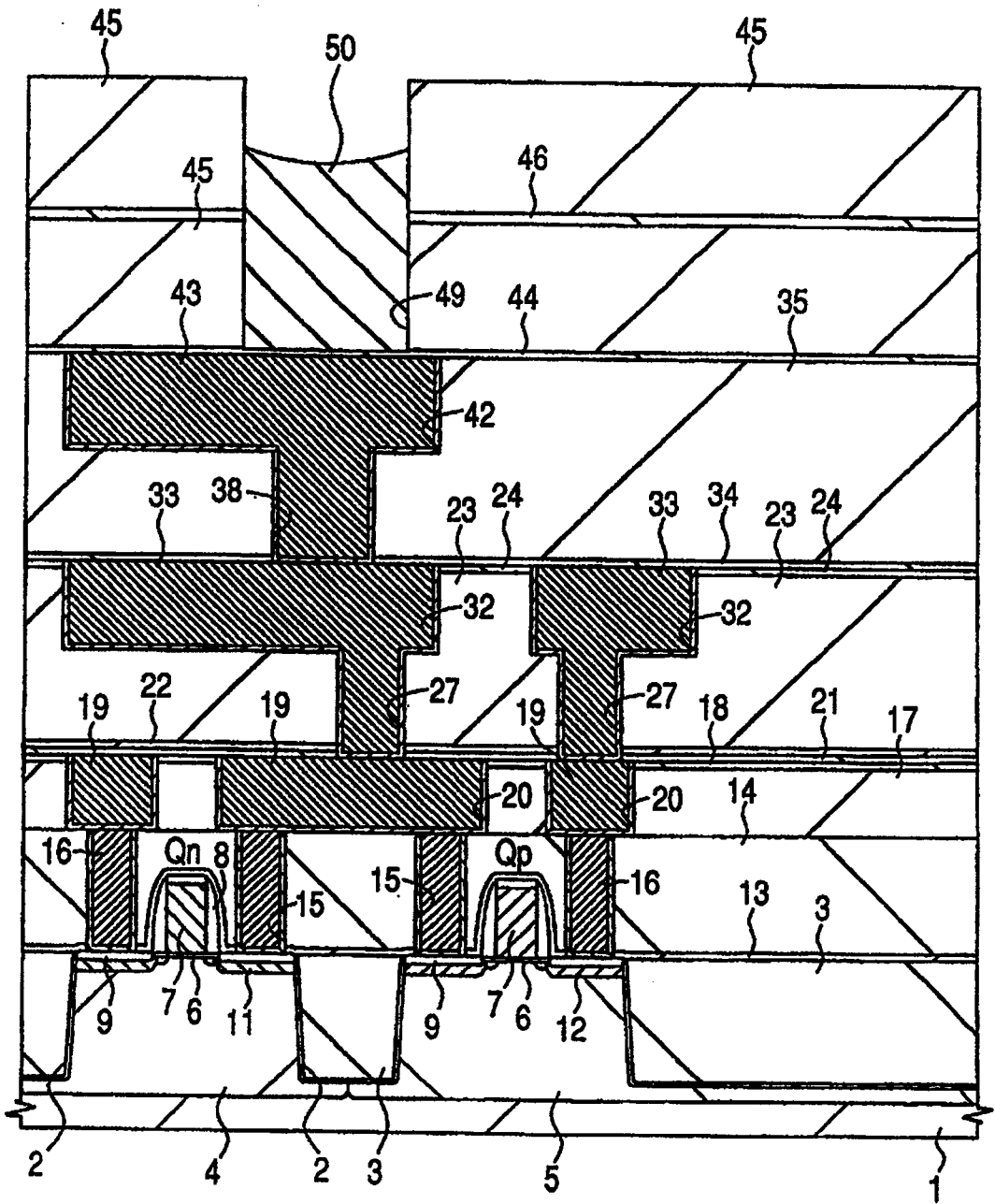


图 17

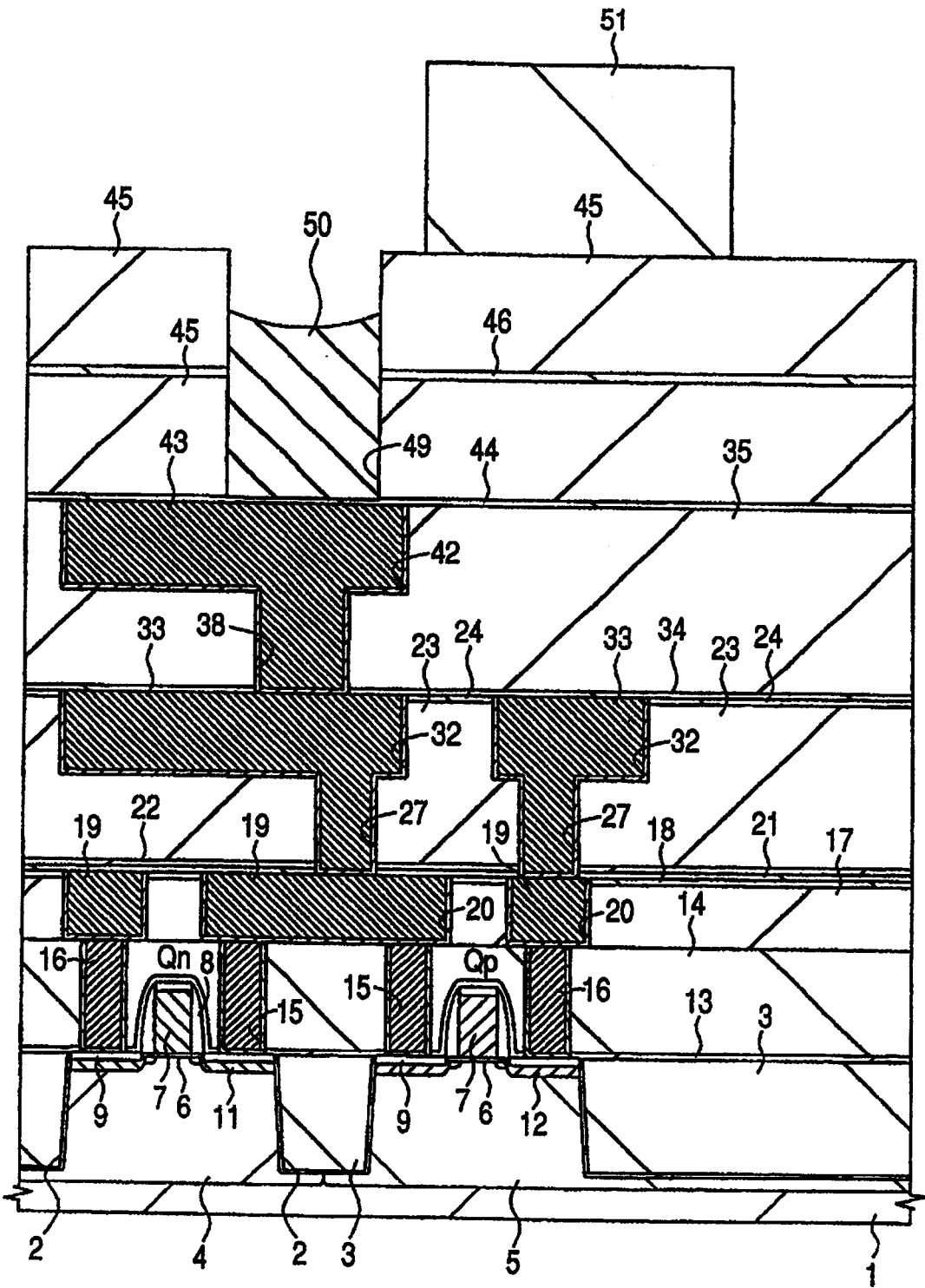


图 18

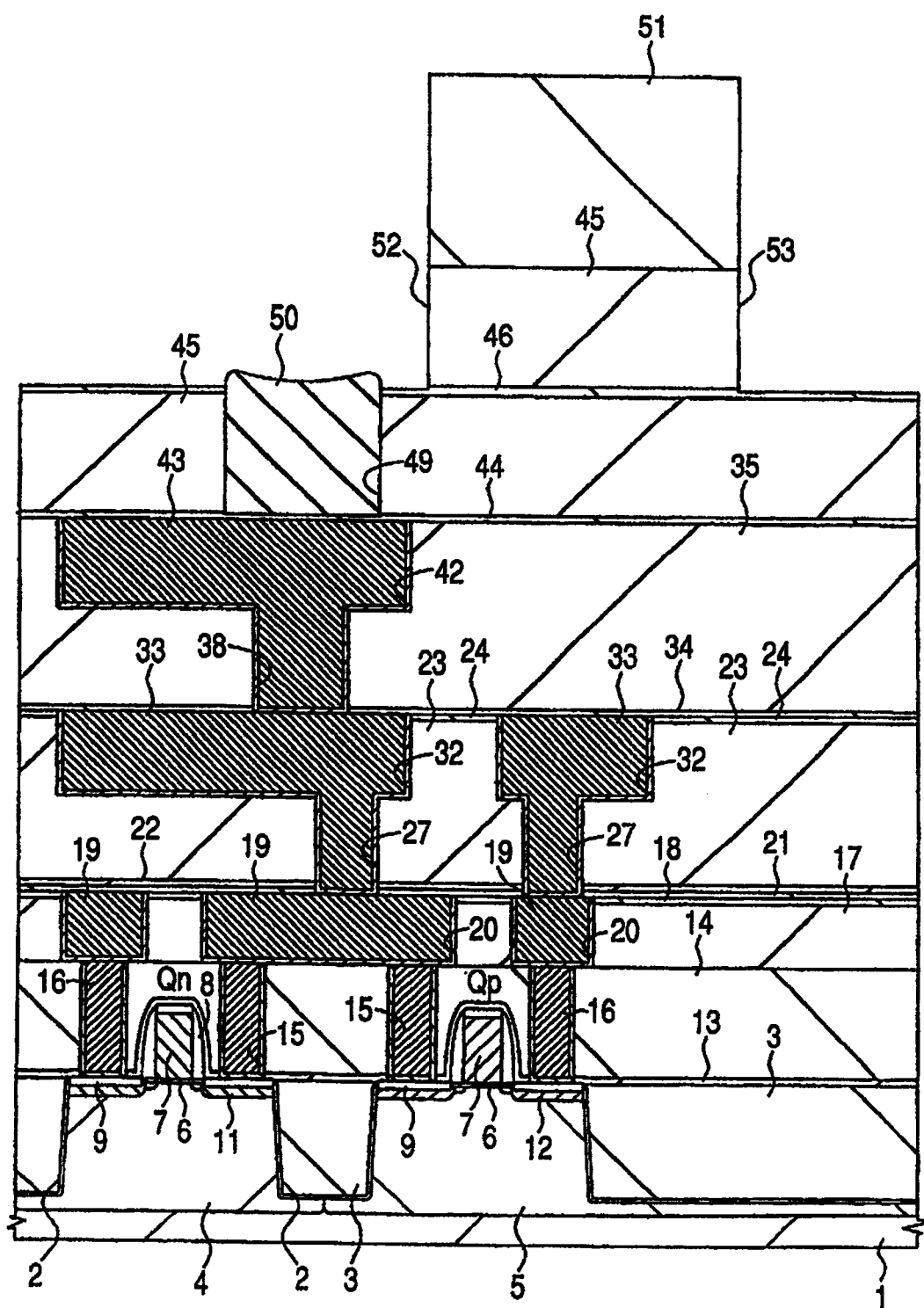


图 19

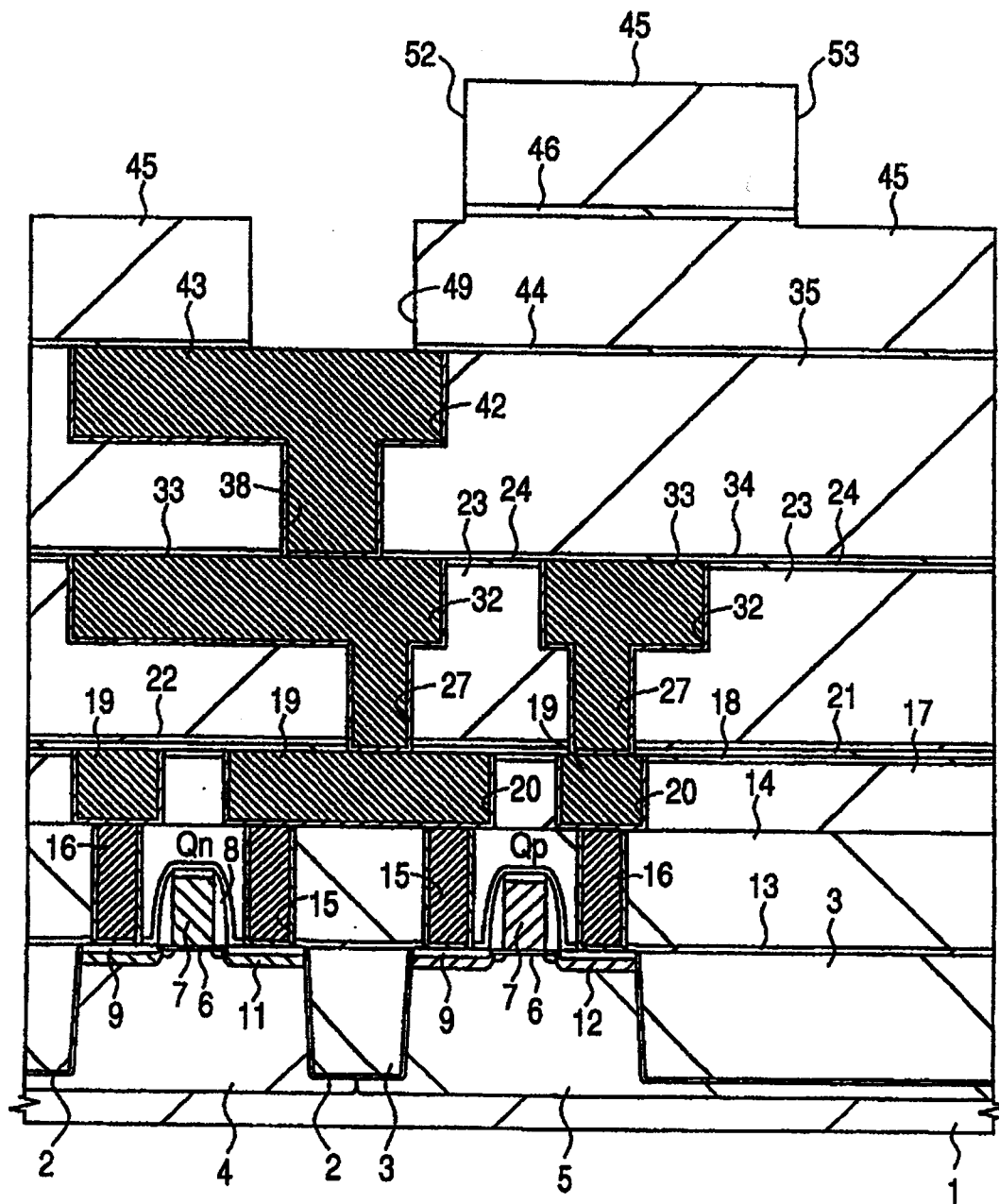


图 20

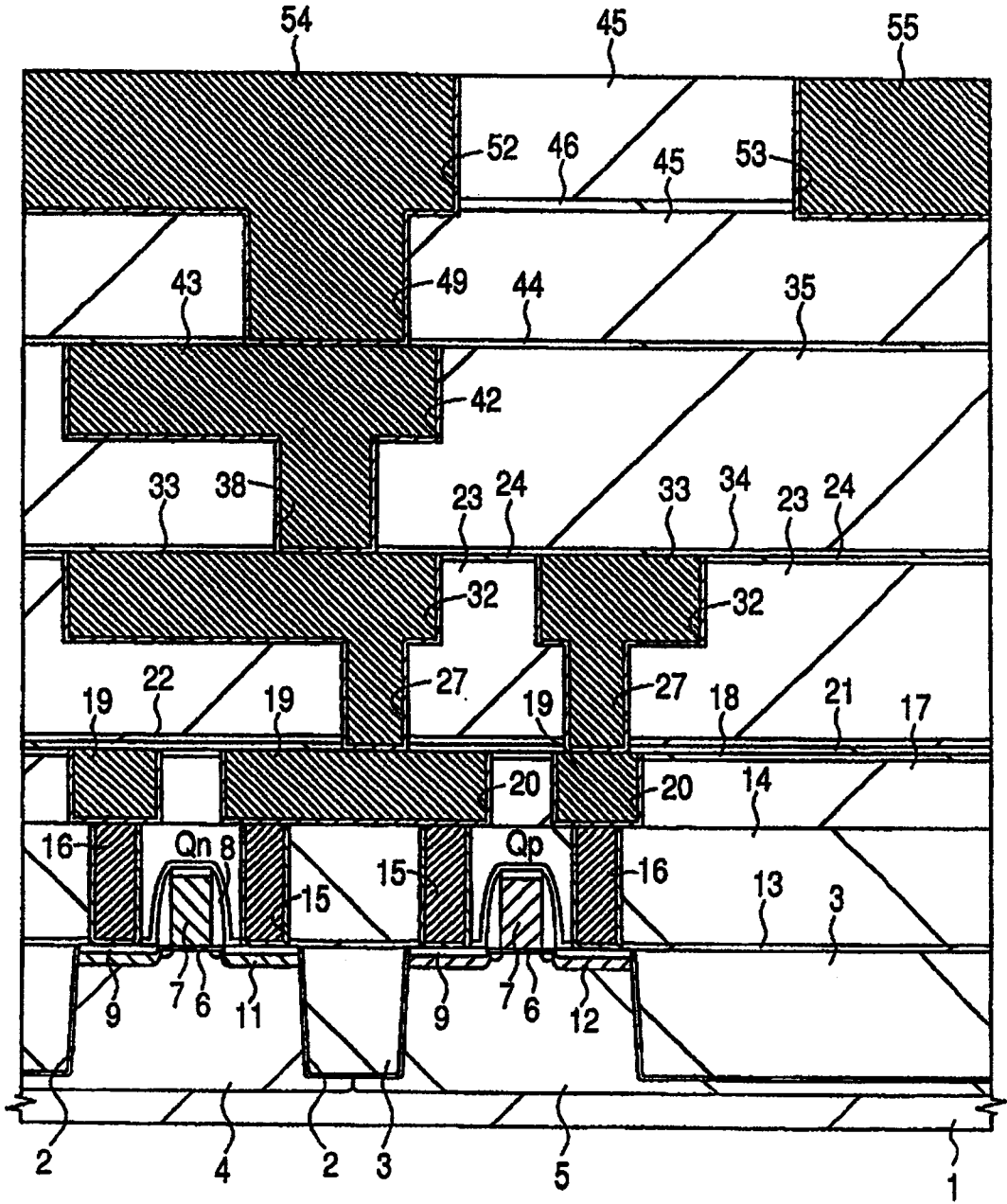


图 21

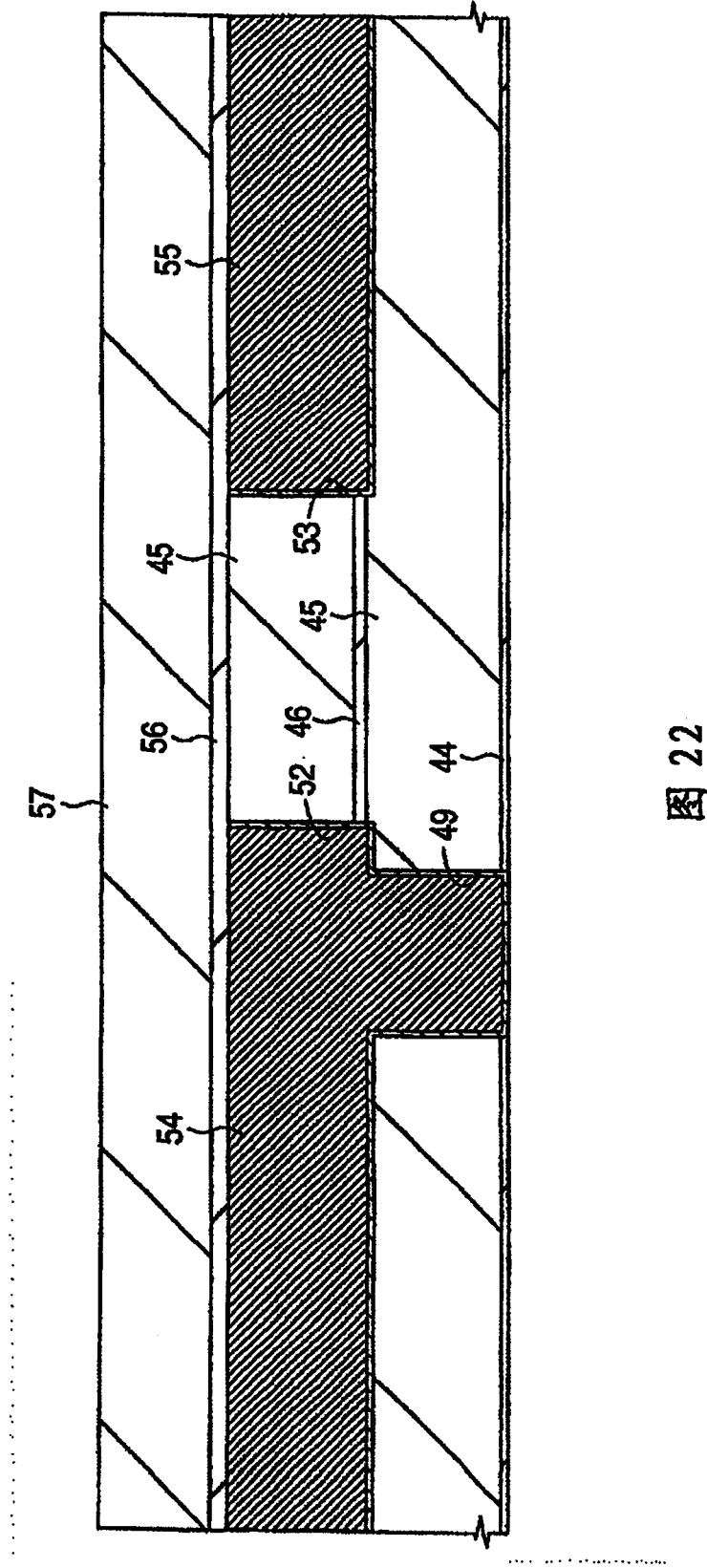


图 22

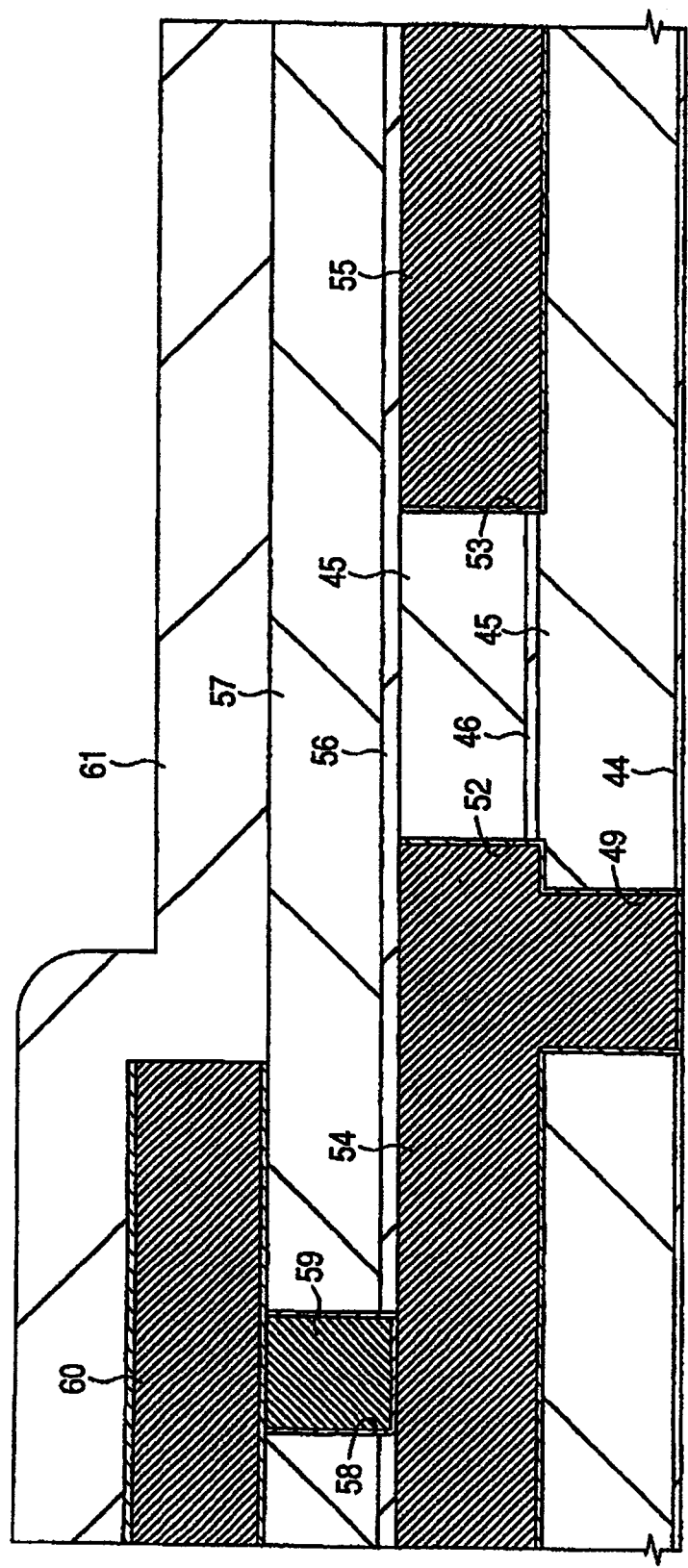


图 23

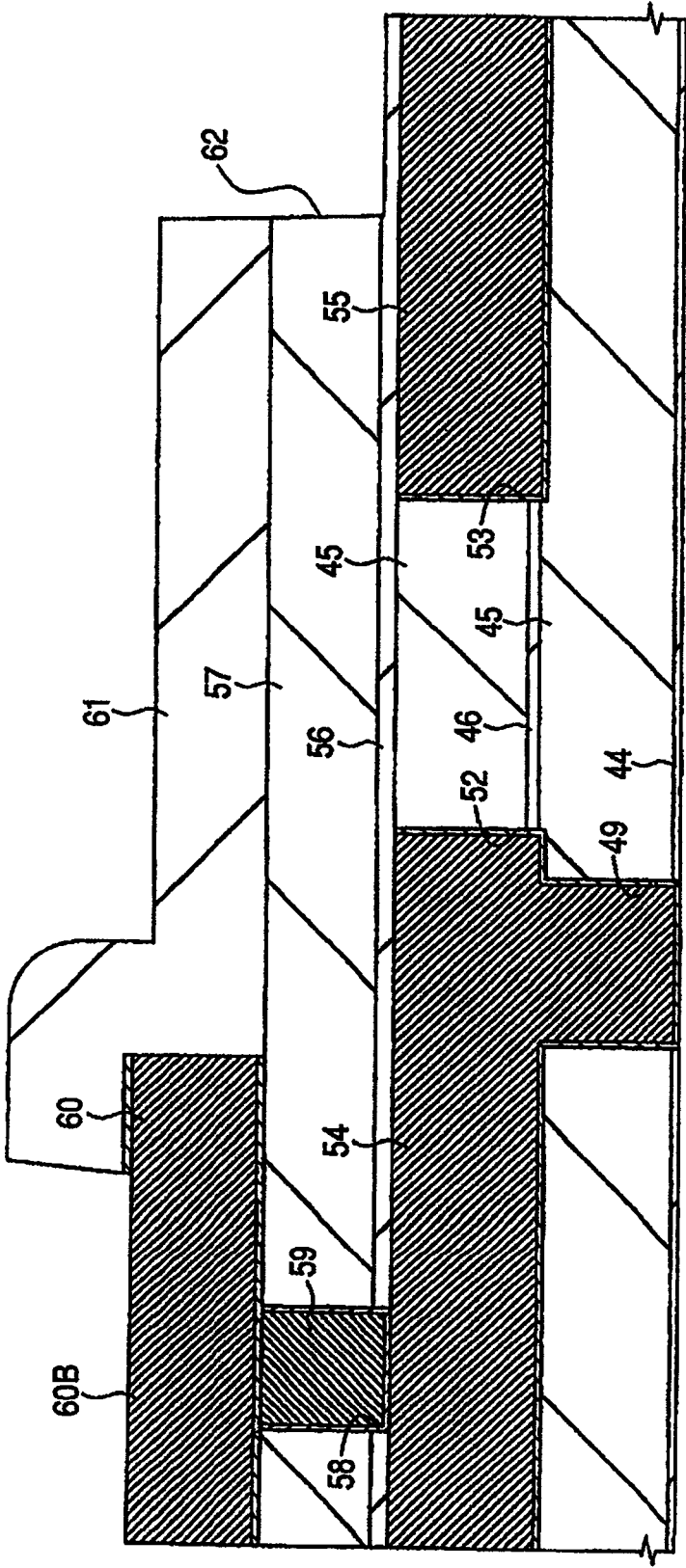


图 24

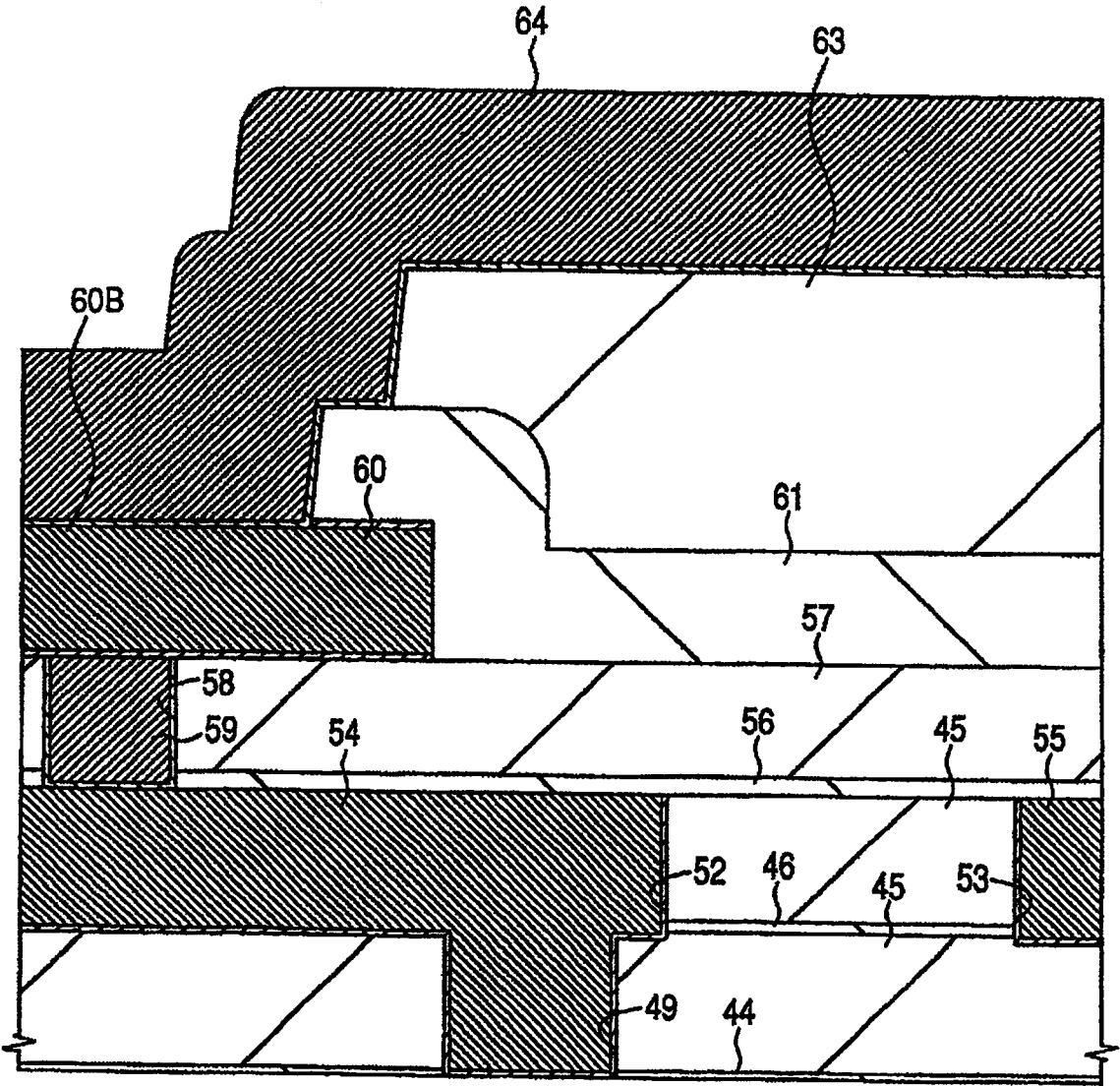


图 25

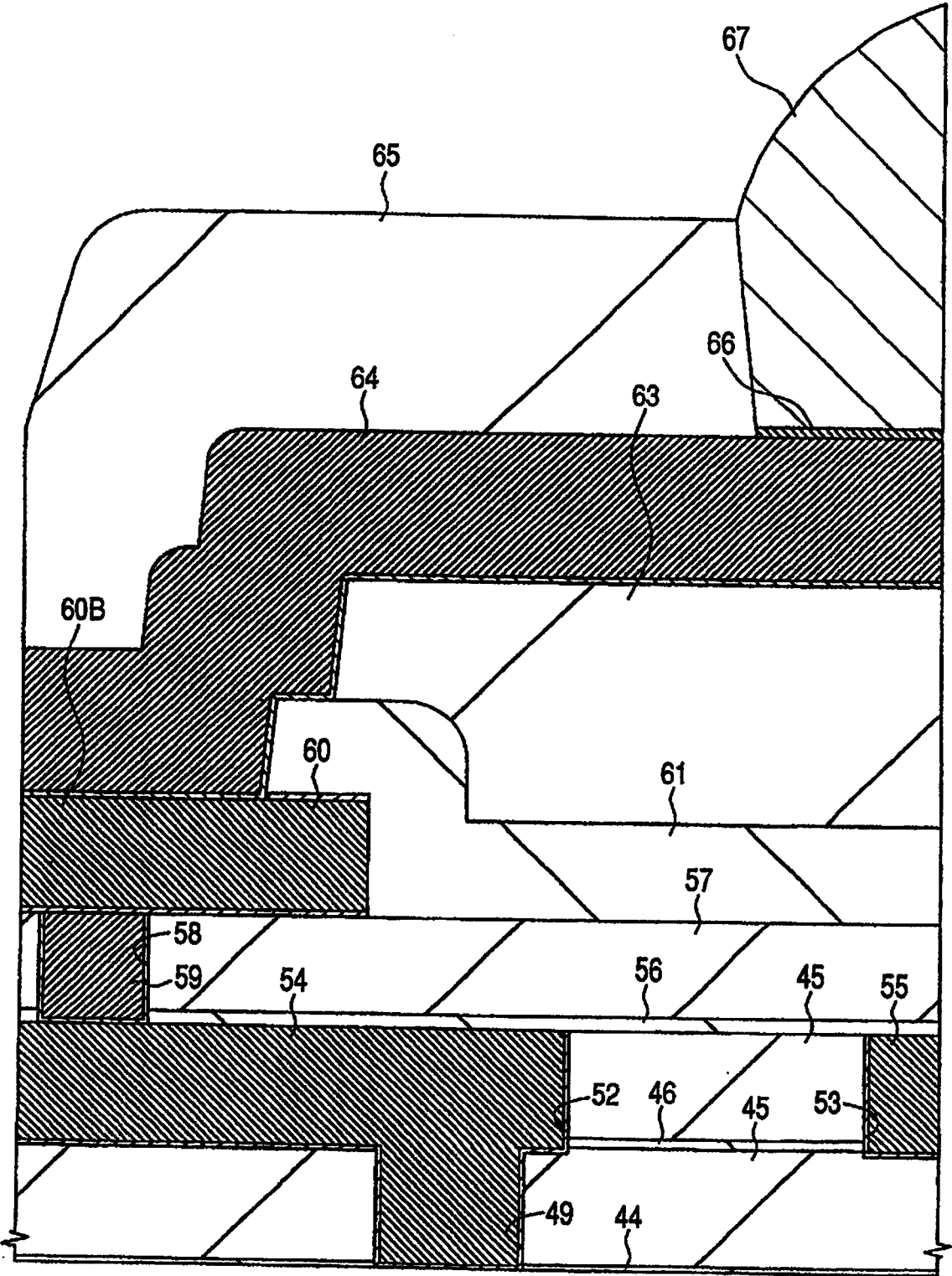


图 26

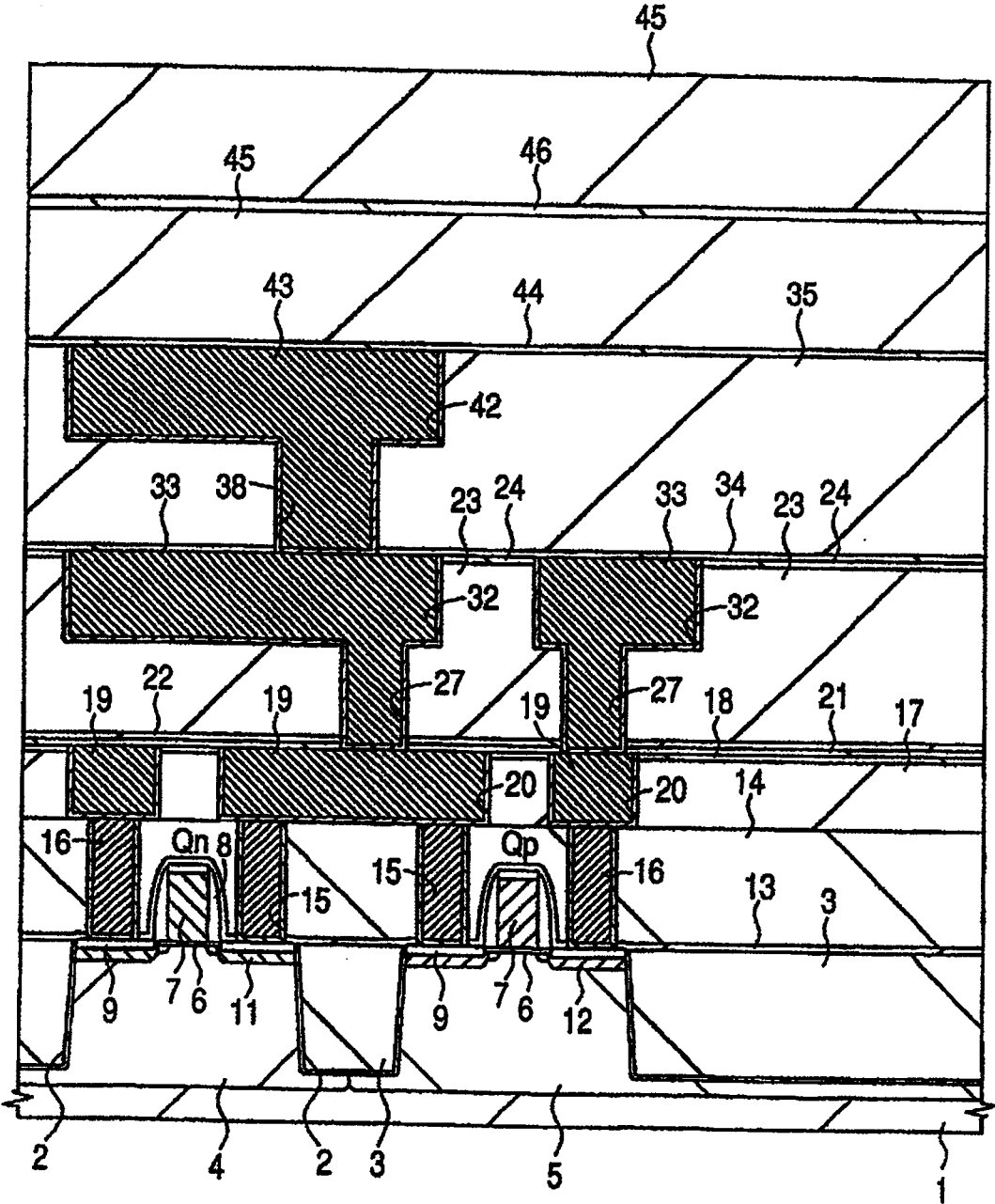


图 27

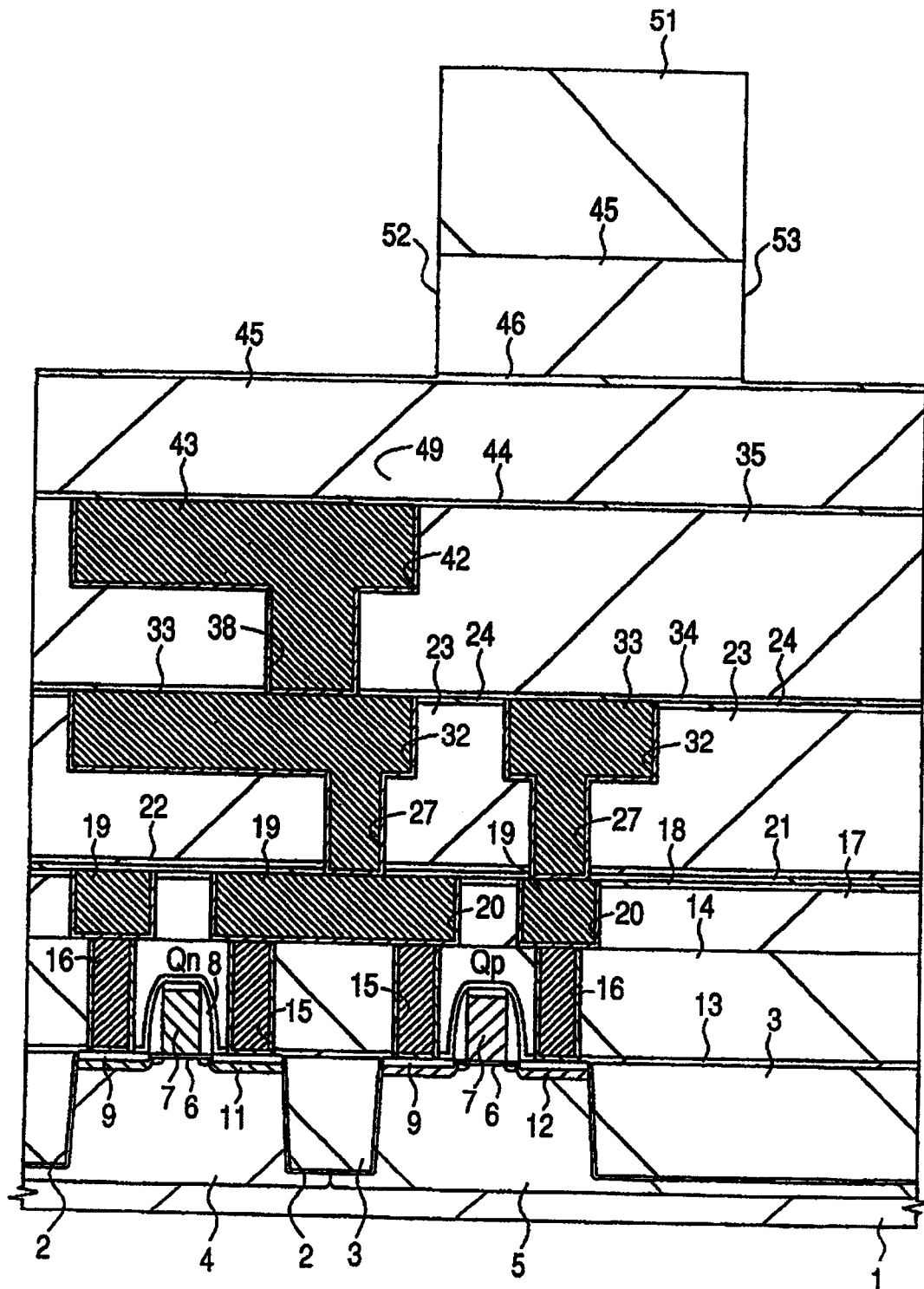


图 28

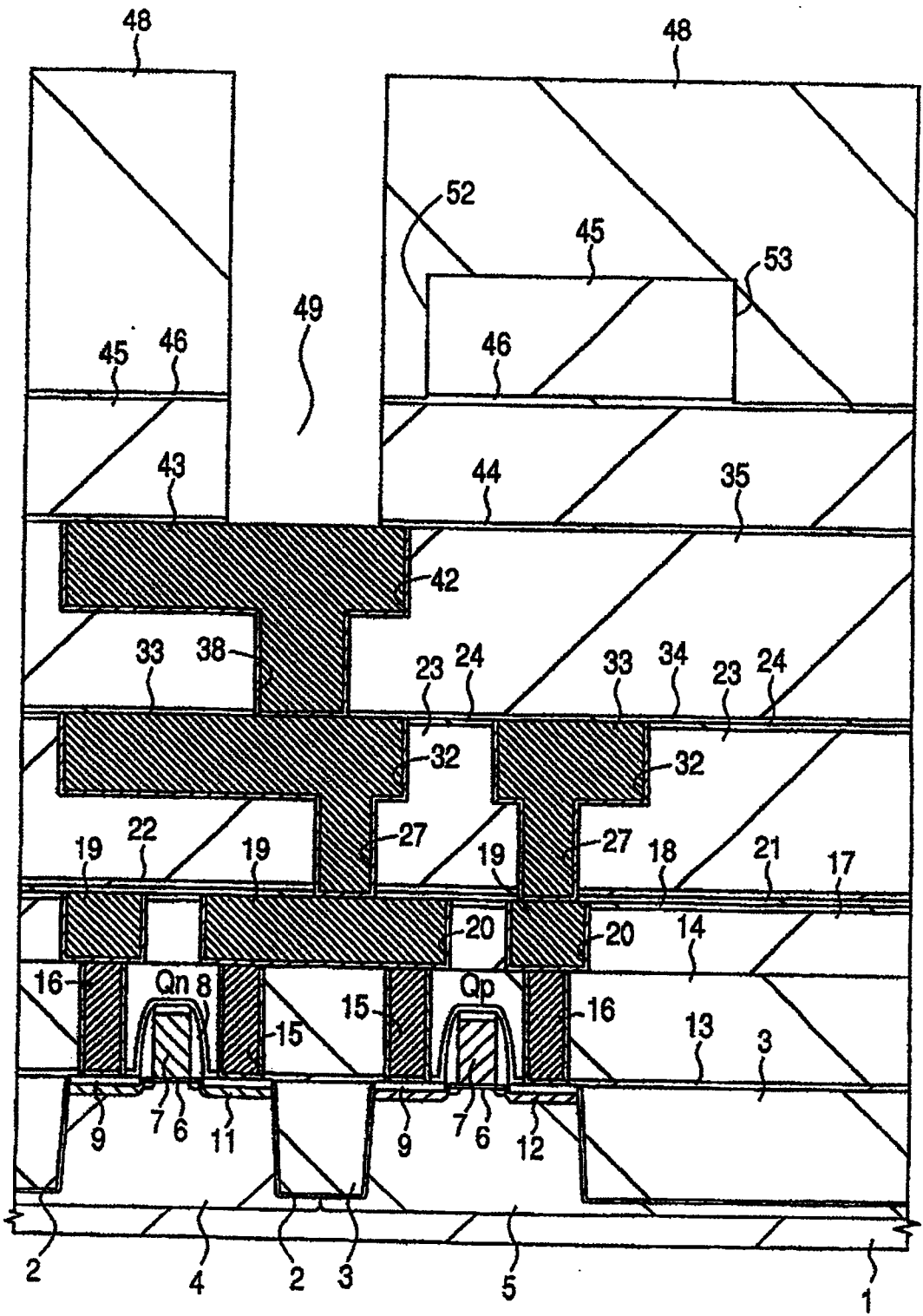


图 29

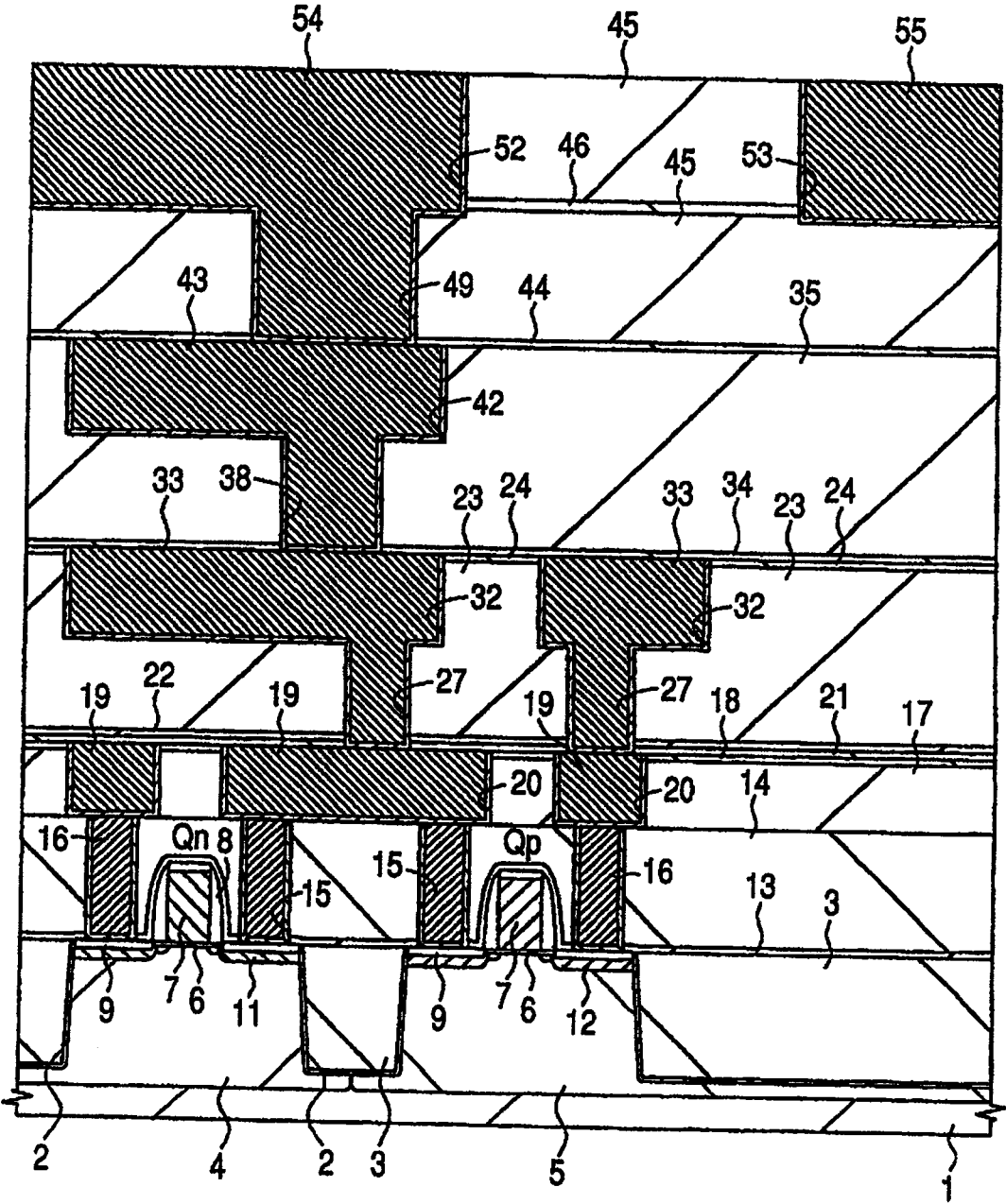


图 30