



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0070561
(43) 공개일자 2008년07월30일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2008-0007636

(22) 출원일자 2008년01월24일

심사청구일자 2008년01월24일

(30) 우선권주장

JP-P-2007-00015175 2007년01월25일 일본(JP)

(71) 출원인

가부시끼가이샤 도시바

일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고

(72) 발명자

이시다 히로카즈

일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시
끼가이샤 도시바지적재산본부 내

다나카 마사유키

일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시
끼가이샤 도시바지적재산본부 내

오자와 요시오

일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시
끼가이샤 도시바지적재산본부 내

(74) 대리인

장수길, 이중희, 박충범

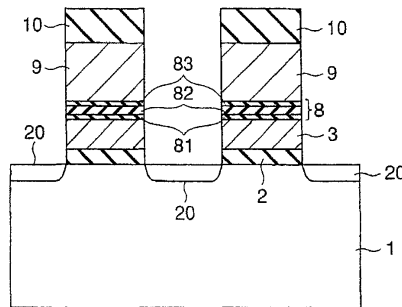
전체 청구항 수 : 총 18 항

(54) 불휘발성 반도체 기억 장치 및 그 제조 방법

(57) 요약

불휘발성 반도체 기억 장치는, 제1 절연층, 제1 도전층, 소자 분리용의 절연층, 제2 절연층 및 제2 도전층을 구비한다. 제1 절연층은 기판의 주표면에 형성되고, 제1 도전층은 그 위에 형성된다. 소자 분리용의 절연층은, 제1 절연층의 게이트폭 방향의 양측면 및, 제1 도전층의 게이트폭 방향의 양측면의 적어도 일부를 매립하여 상면이 제1 도전층의 상면과 저면 사이의 높이에 위치하도록 형성된다. 제2 절연층은, 제1 도전층 및 소자 분리용의 절연층 상에 형성된 실리콘 산화막과 실리콘 산화질화막과 실리콘 산화막으로 이루어지는 3층 절연막을 포함한다. 제2 도전층은 그 위에 형성된다.

대표도 - 도7



특허청구의 범위

청구항 1

불휘발성 반도체 기억 장치로서,
반도체 기관의 주표면에 형성된 제1 절연층,
상기 제1 절연층 상에 형성된 제1 도전층,
상기 제1 절연층의 게이트폭 방향의 양측면 및, 상기 제1 도전층의 게이트폭 방향의 양측면의 적어도 일부를 매립하여, 상면이 상기 제1 도전층의 상면과 저면 사이의 높이에 위치하도록 형성된 소자 분리용의 절연층,
상기 제1 도전층 및 상기 소자 분리용의 절연층 상에 형성된 제2 절연층으로서, 실리콘 산화막인 하층 절연막과 실리콘 산화질화막인 중간 절연막과 실리콘 산화막인 상층 절연막을 갖는 3층 절연막을 포함한 제2 절연층, 및
상기 제2 절연층 상에 형성된 제2 도전층
을 포함하는 불휘발성 반도체 기억 장치.

청구항 2

제1항에 있어서,
상기 중간 절연막에 함유되는 수소 원자 및 염소 원자의 농도는 각각, 1.0×10^{19} atoms/cm³ 이하인 불휘발성 반도체 기억 장치.

청구항 3

제2항에 있어서,
상기 중간 절연막에 함유되는 산소 원자의 비율은, 총원자수의 10% 이상인 불휘발성 반도체 기억 장치.

청구항 4

제1항에 있어서,
상기 제1 도전층 상에 형성된 상기 중간 절연막에서의 질소 원자 농도는, 상기 제1 도전층의 게이트폭 방향의 상기 양측면 상에 형성된 상기 중간 절연막에서의 질소 원자 농도보다도 높은 불휘발성 반도체 기억 장치.

청구항 5

제1항에 있어서,
상기 제1 도전층 상에 형성된 상기 중간 절연막에서의 질소 원자 농도는, 상기 소자 분리용의 절연층 상에 형성된 상기 중간 절연막에서의 질소 원자 농도보다도 높은 불휘발성 반도체 기억 장치.

청구항 6

제1항에 있어서,
상기 소자 분리용의 절연층 상에 형성된 상기 중간 절연막에서의 산소 원자 농도는, 상기 제1 도전층 상에 형성된 상기 중간 절연막에서의 산소 원자 농도보다도 높은 불휘발성 반도체 기억 장치.

청구항 7

제1항에 있어서,
상기 제2 절연층은, 상기 제1 도전층과 상기 하층 절연막 사이에 형성된 제1 실리콘 질화막과, 상기 제2 도전층과 상기 상층 절연막 사이에 형성된 제2 실리콘 질화막을 더 구비하고, NONON 구조인 불휘발성 반도체 기억 장치.

청구항 8

제1항에 있어서,

상기 제2 절연층은, 상기 제1 도전층과 상기 하층 절연막 사이, 및 상기 제2 도전층과 상기 상층 절연막 사이의 한쪽에 형성된 실리콘 질화막을 더 구비하는 불휘발성 반도체 기억 장치.

청구항 9

불휘발성 반도체 기억 장치의 제조 방법으로서,

반도체 기판의 주표면에 제1 절연층을 형성하는 단계,

상기 제1 절연층 상에 제1 도전층을 형성하는 단계,

상기 제1 도전층 및 상기 제1 절연층의 게이트폭 방향의 양측면을 에칭하여 홈을 형성하는 단계,

상기 제1 절연층의 게이트폭 방향의 양측면 및, 상기 제1 도전층의 게이트폭 방향의 양측면의 적어도 일부의 상기 홈을 절연막으로 매립하여, 상면이 상기 제1 도전층의 상면과 저면 사이의 높이에 위치하도록 소자 분리용의 절연층을 형성하는 단계,

상기 제1 도전층 및 상기 소자 분리용의 절연층 상에 제2 절연층을 형성하는 단계, 및

상기 제2 절연층 상에 제2 도전층을 형성하는 단계

를 포함하고,

상기 제2 절연층을 형성하는 단계는,

상기 제1 도전층 및 상기 소자 분리용의 절연층 상에, 실리콘 산화막인 하층절연막을 형성하는 단계,

상기 하층 절연막 상에, 플라즈마 질화법 또는 스퍼터법에 의해 실리콘 산화질화막인 중간 절연막을 형성하는 단계, 및

상기 중간 절연막 상에, 실리콘 산화막인 상층 절연막을 형성하는 단계를 포함하는 불휘발성 반도체 기억 장치의 제조 방법.

청구항 10

제9항에 있어서,

상기 중간 절연막에 함유되는 수소 원자 및 염소 원자의 농도는 각각, 1.0×10^{19} atoms/cm³ 이하인 불휘발성 반도체 기억 장치의 제조 방법.

청구항 11

제10항에 있어서,

상기 중간 절연막에 함유되는 산소 원자의 비율은, 총원자수의 10% 이상인 불휘발성 반도체 기억 장치의 제조 방법.

청구항 12

제9항에 있어서,

상기 중간 절연막을 형성하는 단계는, 질소와 아르곤을 포함하는 분위기 하에서 상기 플라즈마 질화법에 의해 행해지고, 상기 하층 절연막인 실리콘 산화막을 질화하여 상기 실리콘 산화질화막을 형성하는 단계인 불휘발성 반도체 기억 장치의 제조 방법.

청구항 13

제9항에 있어서,

상기 중간 절연막을 형성하는 단계는, 상기 하층 절연막 상에 상기 스퍼터법에 의해 상기 실리콘 산화질화막을 형성하는 단계인 불휘발성 반도체 기억 장치의 제조 방법.

청구항 14

제9항에 있어서,

상기 제1 도전층 상에 형성된 상기 중간 절연막에서의 질소 원자 농도는, 상기 제1 도전층의 게이트폭 방향의 상기 양측면 상에 형성된 상기 중간 절연막에서의 질소 원자 농도보다도 높은 불휘발성 반도체 기억 장치의 제조 방법.

청구항 15

제9항에 있어서,

상기 제1 도전층 상에 형성된 상기 중간 절연막에서의 질소 원자 농도는, 상기 소자 분리용의 절연층 상에 형성된 상기 중간 절연막에서의 질소 원자 농도보다도 높은 불휘발성 반도체 기억 장치의 제조 방법.

청구항 16

제9항에 있어서,

상기 소자 분리용의 절연층 상에 형성된 상기 중간 절연막에서의 산소 원자 농도는, 상기 제1 도전층 상에 형성된 상기 중간 절연막에서의 산소 원자 농도보다도 높은 불휘발성 반도체 기억 장치의 제조 방법.

청구항 17

제9항에 있어서,

상기 소자 분리용의 절연층을 형성하는 단계 후이고, 또한 상기 하층 절연막을 형성하는 단계 전에, 상기 제1 도전층 상에 제1 실리콘 질화막을 형성하는 단계와, 상기 상층 절연막을 형성하는 단계 후이고, 또한 상기 제2 도전층을 형성하는 단계 전에, 제2 실리콘 질화막을 형성하는 단계를 더 구비하는 불휘발성 반도체 기억 장치의 제조 방법.

청구항 18

제9항에 있어서,

상기 소자 분리용의 절연층을 형성하는 단계 후이고, 또한 상기 하층 절연막을 형성하는 단계 전에, 및 상기 상층 절연막을 형성하는 단계 후이고, 또한 상기 제2 도전층을 형성하는 단계 전의 한쪽에, 실리콘 질화막을 형성하는 단계를 더 구비하는 불휘발성 반도체 기억 장치의 제조 방법.

명세서

발명의 상세한 설명

기술분야

- <1> <관련 출원>
- <2> 본 출원은 2007년 1월 25일에 출원된 일본 특허출원 제2007-015175호에 기초한 것으로, 그 우선권을 주장하며, 상기 출원의 전체 내용은 본 명세서에 참조 인용된다.
- <3> 본 발명은, 불휘발성 반도체 기억 장치 및 그 제조 방법에 관한 것으로, 더욱 구체적으로는, 전극간 절연막으로서 ONO막(산화막/질화막/산화막) 등의 다층 산화질화막을 갖는 불휘발성 반도체 기억 장치 및 그 제조 방법에 관한 것이다.

배경기술

- <4> 불휘발성 반도체 기억 소자의 미세화에 수반하여, 인접 셀 간의 간섭의 증대, 즉 한쪽의 셀의 부유 게이트 전극층에 축적된 전하에 의해 다른 쪽의 셀의 부유 게이트 전극층에 전하가 유기되는 현상이 문제로 되어 있다.
- <5> 불휘발성 반도체 기억 소자의 전극간 절연막으로서는 최근, 다층 산화질화막이 이용되고 있다(예를 들면, 일본 특허 공개 2005-223198호 공보 참조). 따라서, 상기 간섭 효과를 방지하기 위해서는, 다층 산화질화막의 박막

화가 필요하게 되어 있다. 전극간 절연막의 박막화에 의해, 부유 게이트 전극층끼리의 대향 면적을 작게 하는 것이 가능해지고, 그에 의하여 상기 간섭 효과를 억제할 수 있기 때문이다. 그러나, 전극간 절연막의 박막화에 의해, 막 내에 생기는 전계는 강해지게 되므로, 리크 전류의 증가나, 전기적 스트레스에 의한 막질의 열화의 문제가 현저화되어 있다.

발명의 내용

해결 하고자하는 과제

- <6> 전극간 절연막은, 아몰퍼스 실리콘 또는 폴리실리콘 상에 성막해야만 하기 때문에, 열산화, 질화 등에 의한 방법으로는 안정된 두께의 막을 성막할 수 없다. 따라서, 반응 가스를 이용한 CVD법을 이용하여 성막된다. 그 때, 반응 가스 내에 포함되는 원소에 의해, 전극간 절연막 내에 불순물 준위가 생기게 된다. 그런데, 플라즈마 질화, 스퍼터 성막에 의해 성막한 막은, 반응 가스에 불순물로 되는 물질을 포함하지 않기 때문에, 불순물이 혼입하기 어렵다고 하는 특징이 있다.
- <7> 불순물 준위는 고전계의 인가에 의해, 전자가 트랩되어, 막 내의 전계를 완화하는 역할을 하는 경우도 있지만, 대부분의 경우, 불순물을 통하여 리크 전류를 증대시키는 원인으로 된다. 또한, 불순물은 그 후의 열공정에 의해 확산하여 다른 막에ダメージ를 주어, 막 특성을 열화시킨다. 또한, 막 내에 있는 수소와 실리콘의 결합은, 디바이스 동작 시에 생기는 장기적인 전기적 스트레스에 의해 결합이 끊어지게 되는 경우가 있고, 그에 의하여 디바이스 성능이 열화한다.

과제 해결수단

- <8> 본 발명의 제1 양태에 따른 불휘발성 반도체 기억 장치는, 반도체 기관의 주표면에 형성된 제1 절연층, 상기 제1 절연층 상에 형성된 제1 도전층, 상기 제1 절연층의 게이트폭 방향의 양측면 및, 상기 제1 도전층의 게이트폭 방향의 양측면의 적어도 일부를 매립하여, 상면이 상기 제1 도전층의 상면과 저면 사이의 높이에 위치하도록 형성된 소자 분리용의 절연층, 상기 제1 도전층 및 상기 소자 분리용의 절연층 상에 형성된 제2 절연층으로서, 실리콘 산화막인 하층 절연막과 실리콘 산화질화막인 중간 절연막과 실리콘 산화막인 상층 절연막을 갖는 3층 절연막을 포함한 제2 절연층, 및 상기 제2 절연층 상에 형성된 제2 도전층을 구비한다.
- <9> 본 발명의 제2 양태에 따른 불휘발성 반도체 기억 장치의 제조 방법은, 반도체 기관의 주표면에 제1 절연층을 형성하는 단계, 상기 제1 절연층 상에 제1 도전층을 형성하는 단계, 상기 제1 도전층 및 상기 제1 절연층의 게이트폭 방향의 양측면을 에칭하여 홈을 형성하는 단계, 상기 제1 절연층의 게이트폭 방향의 양측면 및, 상기 제1 도전층의 게이트폭 방향의 양측면의 적어도 일부의 상기 홈을 절연막으로 매립하여, 상면이 상기 제1 도전층의 상면과 저면 사이의 높이에 위치하도록 소자 분리용의 절연층을 형성하는 단계, 상기 제1 도전층 및 상기 소자 분리용의 절연층 상에 제2 절연층을 형성하는 단계, 및 상기 제2 절연층 상에 제2 도전층을 형성하는 단계를 포함하고, 상기 제2 절연막을 형성하는 단계는, 상기 제1 도전층 및 상기 소자 분리용의 절연층 상에, 실리콘 산화막인 하층 절연막을 형성하는 단계, 상기 하층 절연막 상에, 플라즈마 질화법 또는 스퍼터법에 의해 실리콘 산화질화막인 중간 절연막을 형성하는 단계, 및 상기 중간 절연막 상에, 실리콘 산화막인 상층 절연막을 형성하는 단계를 포함한다.

효과

- <10> 본 발명에 따르면, 부유 전극 간의 간섭 효과를 억제하고, 전극간 절연막에 흐르는 리크 전류를 저감하고, 또한 소자의 열화를 방지하는 것이 가능한 불휘발성 반도체 기억 장치 및 그 제조 방법을 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- <11> <제1 실시 양태>
- <12> 본 발명의 제1 실시 양태에 따른 불휘발성 반도체 기억 장치의 제조 공정을, 도 1 내지 도 7에 도시하는 단면도를 이용하여 설명한다.
- <13> 우선 도 1의 단면도에 도시한 바와 같이, p형 실리콘 기관(1) 상(혹은 n형 실리콘 기관 상에 p형 웰을 형성한 것)에 제1 절연층(2)을 1nm 내지 15nm 정도의 두께로 형성한다. 상기 제1 절연층(2)은, 예를 들면 실리콘 산화막이다. 그 위에 Chemical Vapor Deposition(CVD)에 의해 전하 축적층으로 되는 제1 도전층(3)(부유 게이트 전극층)을 10nm 내지 200nm 정도의 두께로 형성한다. 이 제1 도전층(3)은, 예를 들면 아몰퍼스 실리콘 또는 폴

리실리콘이다.

- <14> 다음으로, 화학 기상 성장법에 의해 실리콘 질화막(4)을 50nm 내지 200nm 정도의 두께로 형성하고, 다음으로, 화학 기상 성장법에 의해 실리콘 산화막(5)을 50nm 내지 400nm 정도의 두께로 형성한다. 다음으로, 실리콘 산화막(5) 상에, 포토레지스트(6)를 도포하고, 노광 묘화에 의해 레지스트를 패터닝함으로써 도 1의 구조 단면도를 얻는다.
- <15> 그 후, 도 1에 도시한 포토레지스트(6)를 내에칭 마스크로 하여 실리콘 산화막(5)을 에칭한다. 에칭 후에 포토레지스트(6)를 제거하고, 이번에는, 실리콘 산화막(5)을 마스크로 하여 실리콘 질화막(4)을 에칭한다. 또한, 제1 도전층(3), 제1 절연층(2), 및 실리콘 기판(1)을 에칭하는 것에 의해, 도 2에 도시한 바와 같은 소자 분리를 위한 홈을 형성한다.
- <16> 그 후, 에칭에 의해 형성된 단면의 데미지 제거를 위한 고온 후산화 공정을 행한다. 다음으로, 실리콘 산화막 등으로 이루어지는 소자 분리용의 매립 절연막(7)을 200nm 내지 1500nm 형성함으로써 소자 분리 홈을 매립한다. 또한, 질소 분위기 혹은 산소 분위기에서 고온의 열처리를 행함으로써 소자 분리용의 절연막(7)의 고밀도화를 행한다. 다음으로, Chemical Mechanical Polishing(CMP)에 의해 실리콘 질화막(4)을 스톱퍼로 하여 평탄화를 행하여, 도 3의 구조를 얻는다.
- <17> 다음으로, 실리콘 질화막(4)과 선택비를 갖고 에칭하는 것이 가능한 방법을 이용하여 실리콘 산화막(7)(매립 절연막)을 에칭한다. 본 실시 양태에서는, 도 4에 도시한 바와 같이 제거 후의 실리콘 산화막(7)의 표면이, 제1 도전층(3)의, 예를 들면 약 절반의 막 두께의 높이까지 제거되는 경우를 나타내고 있다. 그리고, 실리콘 질화막(4)을 실리콘 산화막(7)과 선택비가 있는 방법으로 제거하면, 도 4의 구조를 얻는다.
- <18> 여기에서, 소자 분리용의 절연막(7)의 상면은, 제1 도전층(3)의 상면과 저면 사이의 높이에 위치하게 되어, 제1 도전층(3)의 상면이 소자 분리용의 절연막(7)의 상면보다도 돌출한 형상으로 되어 있다. 이는, 이 후 형성하는 전극간 절연막(8)과 제1 도전층(3)과의 접촉 면적을 늘리기 위해서이다.
- <19> 다음으로 도 5에 도시한 바와 같이, 도 4의 구조로 이루어지는 기초층 상에 전극간 절연막(8)(제2 절연층)을 형성한다. 전극간 절연막(8)은 3층의 절연막(81~83)으로 구성되어 있는 다층 절연막이다.
- <20> 상기 도 5의 구조는 이하의 수순에 의해 형성된다.
- <21> 우선, 도 4의 구조를 갖는 기초층 상에, CVD법에 의해 실리콘 산화막(81)(하층 절연막)을 0.5nm~15nm의 두께로 형성한다. 다음으로, 실리콘 산화막(81) 상에 플라즈마 질화법에 의해 실리콘 산화질화막(82)(중간 절연막)을 0.5nm~5nm의 두께로 형성한다. 마지막으로, 실리콘 산화질화막(82) 상에 CVD법에 의해 실리콘 산화막(83)(상층 절연막)을 0.5nm~10nm의 두께로 형성하여, 도 5에 도시한 전극간 절연막(8)이 형성된다.
- <22> 여기에서, 상기 실리콘 산화질화막(82)의 형성 방법에 대하여 상세하게 설명한다. 실리콘 산화질화막(82)은, 질소, 아르곤 분위기 하에서의 플라즈마 질화에 의해 형성한다. 이때, 실리콘 산화질화막(82)은 실리콘 산화막(81)을 질화하여 성막되기 때문에, 10% 이상의 산소를 함유한 산화질화막으로 된다. 10% 이상의 산소를 함유한 산화질화막은 질화막과 비교하여 유전률이 낮게 되기 때문에, 절연막(7)을 사이에 두고 인접하는 셀의 제1 도전층(3)끼리의 사이에서 생기는 전기적인 간섭 효과를 충분히 억제하는 것이 가능하다.
- <23> 성막 시의 로내 온도는 350℃~600℃ 사이이며, 성막 시의 로내 압력은, 50mTorr~2Torr 사이이다. 플라즈마 질화에 의해 생성된 실리콘 산화질화막(82)은, CVD법의 원료 가스로서 이용되는 실란(SiH₄), 디클로로실란(DCS), 트리클로로실란(TCS), 헥사클로로실란(HCD) 등에 함유되는 수소, 염소 원자를 함유하지 않기 때문에, 염소, 수소의 원자 농도가 모두 1.0×10¹⁹ atoms/cm³ 이하인 저농도의 막이 성막된다.
- <24> 염소 농도가, 1.0×10¹⁹ atoms/cm³ 이하로 낮은 경우에는, 염소 농도가, 1.0×10¹⁹ atoms/cm³ 보다 많은 경우에 비하여, 염소에 의해 형성되는 트랩 준위의 수가 대폭 감소하기 때문에, 트랩 준위를 통하여 생기는 리크 전류를 억제할 수 있다. 또한, 그 후의 디바이스 소자 작성 시의 열공정에 의해 염소가 확산하여, 산화막에 데미지를 주는 영향을 억제할 수 있다.
- <25> 또한, 수소는, 질화막 내에서 Si-H 결합을 형성하여 존재한다. 이 Si-H 결합은, 디바이스 소자 사용 시에 생기는 전기적 스트레스에 의해 절단되어, Si의 dangling 본드가 생겨서, 임계값의 어긋남 등, 소자의 신뢰성을 현저하게 악화시킨다. 수소 농도가, 1.0×10¹⁹ atoms/cm³ 이하로 낮은 경우에는, 수소 농도가, 1.0×10¹⁹ atoms/cm³ 보

다 많은 경우에 비하여 Si-H의 양도 대폭 감소하기 때문에, Si-H가 절단되는 영향도 적어진다. 그 결과, 소자의 신뢰성의 열화를 억제할 수 있다.

- <26> 따라서, 실리콘 산화질화막(82)을 플라즈마 질화에 의해 성막하는 것에 의해, 리크 전류가 적고, 신뢰성의 열화가 적은 소자 특성을 얻을 수 있다.
- <27> 또한, 플라즈마 질화에 의해 실리콘 산화질화막(82)을 형성하면, 제1 도전층(3) 상에 있는 실리콘 산화막(81)의 상부는, 많은 질화 래디컬이 충돌하기 때문에 충분한 질화가 이루어진다. 그러나 한편, 제1 도전층(3)의 측면부를 덮고 있는 실리콘 산화막(81)에는 질화 래디컬이 그다지 닿지 않기 때문에, 그 위에 형성된 실리콘 산화질화막(82)의 질소 원자 농도가, 제1 도전층(3)의 상부의 실리콘 산화질화막(82)과 비교하여 낮아진다.
- <28> 다시 말해서, 제1 도전층(3)의 측면부를 덮고 있는 실리콘 산화질화막(82)의 산소 원자 농도는, 제1 도전층(3)의 상부의 실리콘 산화질화막(82)의 산소 원자 농도에 비하면 높다.
- <29> 따라서, 제1 도전층(3) 상에 있는 실리콘 산화질화막(82)은 질소 원자 농도가 높기 때문에, 유전률이 높게 되어 있다. 유전률이 높게 되는 것에 의해 물리적인 막 두께를 두껍게 할 수 있으므로, 리크 전류의 저감을 도모할 수 있다. 또한 그와 동시에, 질소에 의해 생기는 트랩 준위가 전자 트랩으로서 기능하므로, 그에 의하여 전계가 완화되어서 리크 전류가 감소하는 효과도 기대할 수 있다.
- <30> 한편, 제1 도전층(3)의 측면에 위치하고 있고 제1 도전층(3)의 상부와 비교하여 상대적으로 질소 원자 농도가 낮은, 즉 산소 원자 농도가 높은 실리콘 산화질화막(82)은, 유전률이 낮기 때문에, 절연막(7)을 사이에 두고 인접하는 셀의 제1 도전층(3)끼리의 사이에서 생기는 전기적인 간섭 효과를 억제할 수 있다.
- <31> 그리고, 도 6에 도시한 바와 같이 전극간 절연막(8) 상에, 예를 들면, 폴리실리콘 혹은 아몰퍼스 실리콘으로 이루어지는 제2 도전층(9)을 10nm~200nm의 두께로 형성한다. 제2 도전층(9)은, 불휘발성 반도체 기억 장치에 있어서의 제어 게이트 전극으로 된다. 제2 도전층(9) 상에 마스크재(10)를 형성하여, 도 6의 단면 구조도를 얻는다.
- <32> 그 후, 마스크재(10) 상에 레지스트를 도포하고(도시 생략), 노광 묘화에 의해 레지스트를 패터닝한다. 이 레지스트를 마스크로 하여 가공을 행하여, 마스크재(10), 제2 도전층(9), 전극간 절연막(8)(제2 절연층), 제1 도전층(3), 제1 절연층(2)을 에칭 제거한다(도시 생략). 또한 레지스트를 제거하면, 도 6의 A-A'선을 따른 지면에 수직한 단면도로서 도 7에 도시한 구조를 얻는다. 그리고, 도 7의 에칭된 영역의 저부로 되는 기판(1)의 표면에, 이온 주입에 의해 소스 및 드레인 영역(20)을 형성한다.
- <33> 또한, 본 실시 양태에서는, 전극간 절연막(8)으로서는 ONO(산화막/(산화)질화막/산화막)로 이루어지는 3층 구조의 경우에 대해 설명했지만, 이에 한정되는 것은 아니다. 예를 들면, 3층 구조의 상하, 즉, 제1 도전층(3)과 실리콘 산화막(81) 사이, 및 제2 도전층(9)과 실리콘 산화막(83) 사이의 양쪽에 SiN막을 형성하여 NONON 구조로 한 전극간 절연막의 경우, 혹은 어느 한 계면에 SiN막을 형성한 전극간 절연막에 있어서도, 마찬가지로의 효과를 얻을 수 있다.
- <34> <제2 실시 양태>
- <35> 본 발명의 제2 실시 양태에 따른 불휘발성 반도체 기억 장치의 제조 공정에 대하여 설명한다.
- <36> 우선, 제1 실시 양태와 마찬가지로의 공정에 의해 도 4의 구조를 작성한다.
- <37> 다음으로 도 5에 도시한 바와 같이, 도 4의 구조로 이루어지는 기초층 상에 전극간 절연막(8)(제2 절연층)을 형성한다. 전극간 절연막(8)은 3층의 절연막(81~83)으로 구성되어 있는 다층 절연막이다. 본 실시 양태에 있어서의 도 5의 구조는 제1 실시 양태와는 달리 이하의 수순에 의해 형성된다.
- <38> 우선, 도 4의 구조를 갖는 기초층 상에, CVD법에 의해 실리콘 산화막(81)(하층절연막)을 0.5nm~10nm의 두께로 형성한다. 다음으로, 실리콘 산화막(81) 상에 스퍼터법에 의해 실리콘 산화질화막(82)(중간 절연막)을 0.5nm~15nm의 두께로 형성한다. 마지막으로, 실리콘 산화질화막(82) 상에 CVD법에 의해 실리콘 산화막(83)(상층 절연막)을 0.5nm~10nm의 두께로 형성하여, 도 5에 도시하는 전극간 절연막(8)이 형성된다.
- <39> 여기서, 실리콘 산화질화막(82)의 형성 방법에 대하여 상세하게 설명한다. 실리콘 산화질화막(82)은, 산소, 질소 분위기 하에서의 스퍼터에 의해 형성한다. 이 때, 챔버 분위기 내에는, 산소, 질소가 존재하기 때문에, 실리콘 산화질화막(82)은 10% 이상의 산소를 함유한 산화질화막으로 된다. 10% 이상의 산소를 함유한 산화질화막은 질화막과 비교하여 유전률이 낮기 때문에, 절연막(7)을 사이에 두고 인접하는 셀의 제1 도전층(3)끼리의 사

이에서 생기는 전기적인 간섭 효과를 억제할 수 있다.

- <40> 성막 시의 웨이퍼 온도는 300℃, RF 파워 3kW에서 성막을 행하였다. 스퍼터 성막에 의해 성막한 실리콘 산화질화막(82)은, CVD법의 원료 가스로서 이용되는 실란(SiH₄), 디클로로실란(DCS), 트리클로로실란(TCS), 헥사클로로실란(HCD) 등에 함유되는 수소, 염소 원자를 함유하지 않기 때문에, 염소, 수소의 원자 농도가 모두 1.0×10¹⁹ atoms/cm³ 이하로 저농도의 막이 성막된다.
- <41> 염소 농도가, 1.0×10¹⁹ atoms/cm³ 이하로 낮은 경우에는, 염소가 형성하는 트랩 준위를 통하여 생기는 리크 전류를 억제할 수 있다. 또한, 그 후의 디바이스 소자 작성 시의 열공정에 의해 염소가 확산하여, 산화막에 테미지를 주는 영향을 억제할 수 있다.
- <42> 또한, 수소가 질화막 내에서 형성하는 Si-H 결합은, 디바이스 소자 사용 시에 생기는 전기적 스트레스에 의해 절단되어, Si의 뎅글링 본드가 생겨서, 임계값의 어긋남 등, 소자의 신뢰성을 현저하게 악화시킨다. 수소 농도가, 1.0×10¹⁹ atoms/cm³ 이하로 낮은 경우에는, Si-H의 양도 적어지게 되기 때문에, Si-H가 절단된 영향도 적어지게 되어, 소자의 신뢰성에 미치는 영향이 적어진다.
- <43> 따라서, 실리콘 산화질화막(82)을 스퍼터 성막하는 것에 의해 리크 전류가 적고, 신뢰성의 열화가 적은 소자 특성을 얻을 수 있다.
- <44> 이 후의 공정은, 도 6, 도 7에 도시한 바와 같이 제1 실시 양태와 마찬가지로이다.
- <45> 또한, 본 실시 양태에 있어서도, 전극간 절연막(8)으로서는 ONO(산화막/(산화)질화막/산화막)로 이루어지는 3층 구조의 경우에 대해 설명했지만, 이에 한정되는 것은 아니다. 예를 들면, 3층 구조의 상하, 즉, 제1 도전층(3)과 실리콘 산화막(81) 사이, 및 제2 도전층(9)과 실리콘 산화막(83) 사이의 양쪽에 SiN막을 형성하여 NONON 구조로 한 전극간 절연막의 경우, 혹은 어느 한 계면에 SiN막을 형성한 전극간 절연막에 있어서도 상기와 마찬가지로의 효과를 얻을 수 있다.
- <46> 또한, 본 실시 양태에서는, 전극간 절연막(8)의 산화막(83)을 CVD로 형성한 예에 대하여 설명했지만, 그 밖의 형성 방법에 의해 형성하여도 된다. 예를 들면, 제1 도전층(3) 상에 형성한 실리콘 산화막(81)과 실리콘 산화질화막(82)으로 이루어지는 ON막을 산화하는 것에 의해, Top-SiO₂막을 형성하여 실리콘 산화막(83)으로 하는 것도 가능하다.
- <47> 또한, 본 실시 양태에서는, 스퍼터 성막에 의해 막 두께가 두꺼운 실리콘 산화질화막(82)을 형성할 수 있기 때문에 이러한 방법이 가능하게 된다. 이러한 방법에 의해 형성한 인터폴리 절연막에 의해서도 상기와 마찬가지로의 효과를 얻을 수 있다.
- <48> <제3 실시 양태>
- <49> 본 발명의 제3 실시 양태에 따른 불휘발성 반도체 기억 장치의 제조 공정에 대하여 설명한다.
- <50> 우선, 전술한 제1, 제2 실시 양태와 마찬가지로의 공정에 의해 도 4의 구조를 작성한다.
- <51> 다음으로 도 5에 도시한 바와 같이, 도 4의 구조로 이루어지는 기초층 상에 전극간 절연막(8)(제2 절연층)을 형성한다. 전극간 절연막(8)은 3층의 절연막(81~83)으로 구성되어 있는 다층 절연막이다. 본 실시 양태에 있어서의 도 5의 구조는 이하의 수순에 의해 형성된다.
- <52> 우선, 도 8에 도시한 바와 같이, 도 4의 구조를 갖는 기초층 상에, CVD법에 의해 실리콘 산화막(81)(하층 절연막)을 0.5nm~15nm의 두께로 형성한다. 다음으로, 실리콘 산화막(81) 상에 플라즈마 질화법에 의해 실리콘 산화질화막(82)(중간 절연막)을 0.5nm~5nm의 두께로 형성한다.
- <53> 실리콘 산화질화막(82)은 제1 실시 양태와 마찬가지로 하여 플라즈마 질화에 의해 생성되기 때문에, 10% 이상의 산소를 함유한 산화질화막으로 된다. 10% 이상의 산소를 함유한 산화질화막은 질화막과 비교하여 유전률이 낮게 되기 때문에, 절연막(7)을 사이에 두고 인접하는 셀의 제1 도전층(3)끼리의 사이에서 생기는 전기적인 간섭 효과를 억제할 수 있다.
- <54> 또한, 제1, 제2 실시 양태와 마찬가지로, 실리콘 산화질화막(82)의 수소 원자 농도, 염소 원자 농도는 각각, 모두 1.0×10¹⁹ atoms/cm³ 이하로 낮기 때문에, 리크 전류가 적고, 신뢰성의 열화가 적은 소자 특성을 얻을 수 있다.

- <55> 또한, 제1 실시 양태와 마찬가지로, 플라즈마 질화에 의해 실리콘 산화질화막(82)을 형성하고 있으므로, 제1 도전층(3) 상에 있는 실리콘 산화질화막(82)의 질소 원자 농도가, 제1 도전층(3)의 측면부 상에 형성된 실리콘 산화질화막(82)의 질소 원자 농도와 비교하여 높게 된다.
- <56> 다시 말해서, 제1 도전층(3)의 측면부를 덮고 있는 실리콘 산화질화막(82)의 산소 원자 농도는, 제1 도전층(3)의 상부의 실리콘 산화질화막(82)의 산소 원자 농도에 비하면 높다.
- <57> 따라서, 전극간 절연막(8)에 흐르는 리크 전류가 감소함과 동시에, 절연막(7)을 사이에 두고 인접하는 셀의 제1 도전층(3)끼리의 사이에서 생기는 전기적인 간섭 효과를 억제할 수 있다.
- <58> 다음으로, 도 9에 도시한 바와 같이 화학 기상 성장법에 의해 실리콘 산화막(11)을 50nm 내지 400nm 정도 형성한다. 다음으로, 실리콘 산화막(11) 상에, 포토레지스트(12)를 도포하고, 노광 묘화에 의해 레지스트(12)를 패터닝함으로써 도 9의 구조 단면도를 얻는다.
- <59> 그리고, 도 9에 도시한 포토레지스트(12)를 내에칭 마스크로 하여 실리콘 산화막(11)을 에칭한 후, 포토레지스트(12)를 제거하여 도 10의 구조를 얻는다.
- <60> 다음으로, 도 11에 도시한 바와 같이 실리콘 산화막(11)을 마스크로 하여 질소를 이온 주입한다. 이에 의해, 실리콘 산화막(11)에 의해 마스크 된 절연막(7) 상에 형성된 실리콘 산화질화막(82)을 제외하고, 제1 도전층(3) 상에 형성된 실리콘 산화질화막(82)에 질소를 도입한다.
- <61> 여기서, 도 12에 도시한 바와 같이 실리콘 산화막(11)의 마스크를 더 넓게 형성하여, 제1 도전층(3)의 측면부를 덮는 실리콘 산화질화막(82)도 마스크하게 되어, 제1 도전층(3) 상에 형성된 실리콘 산화질화막(82)에만 질소를 도입하도록 하여도 된다.
- <62> 본 실시예에서는, 이온 주입에 의해 질소를 도입했지만, 플라즈마 질화에 의해 질소를 도입해도 된다.
- <63> 본 실시 양태에서는, 전술한 질소 주입 공정을 거침으로써, 제1 도전층(3) 상의 실리콘 산화질화막(82)의 질소 원자 농도를, 소자 분리용의 절연막(7) 상에 형성된 실리콘 산화질화막(82), 및 제1 도전층(3)의 측면부를 덮는 실리콘 산화질화막(82)에 비하여 더 높게 하는 것이 가능하다.
- <64> 이에 의해 더욱 리크 전류가 감소하는 효과를 기대할 수 있다. 한편, 소자 분리용의 절연막(7) 상에 형성된 실리콘 산화질화막(82), 및 제1 도전층(3)의 측면부를 덮는 실리콘 산화질화막(82)은 제1 도전층(3) 상보다도 상대적으로 질소 원자 농도가 낮아져 있기 때문에 상대적으로 유전률이 낮다. 따라서, 절연막(7)을 사이에 두고 인접하는 셀의 제1 도전층(3)끼리의 사이에서 생기는 전기적인 간섭 효과를 억제할 수 있다.
- <65> 그 후, 마스크로서 이용한 실리콘 산화막(11)을 웨트 에칭에 의해 박리하는 것에 의해, 도 13의 단면 구조를 얻는다. 또한, 실리콘 산화질화막(82) 상에 CVD법에 의해 실리콘 산화막(83)(상층 절연막)을 0.5nm~10nm의 두께로 형성하여, 도 5에 도시하는 전극간 절연막(8)이 형성된다.
- <66> 이 후의 공정은, 도 6, 도 7에 도시한 바와 같이 제1, 제2 실시 양태와 마찬가지로이다.
- <67> 본 실시 양태에서는, 제1 도전층(3) 상에 형성된 실리콘 산화질화막(82)에 대하여 질소를 주입한 경우를 설명했지만, 소자 분리용의 절연막(7) 상의 실리콘 산화질화막(82)에만 산소를 이온 주입 또는, 산소 분위기 하에서의 어닐, 플라즈마 산화에 의해 주입하여, 인접 셀 간의 간섭 효과의 한층 더한 저감을 도모하여도 된다.
- <68> 이에 의해서도, 제1 도전층(3) 상과 소자 분리용의 절연막(7) 상에서의 실리콘 산화질화막(82)의 질소와 산소의 원자 농도에 관하여 상대적으로 마찬가지로 관계를 얻을 수 있으므로, 전술한 경우와 마찬가지로 효과를 기대할 수 있다.
- <69> 본 실시 양태에 있어서도, 전극간 절연막(8)으로서는 ONO(산화막/(산화)질화막/산화막)로 이루어지는 3층 구조의 경우에 대해 설명했지만, 이에 한정되는 것은 아니다. 예를 들면, 3층 구조의 상하, 즉, 제1 도전층(3)과 실리콘 산화막(81) 사이, 및 제2 도전층(9)과 실리콘 산화막(83) 사이의 양쪽에 SiN막을 형성하여 NONON 구조로 한 전극간 절연막의 경우, 혹은 어느 한 계면에 SiN막을 형성한 전극간 절연막에 있어서도 상기와 마찬가지로의 효과를 얻을 수 있다.
- <70> 이상 설명한 바와 같이, 상기 제1 내지 제3 실시 양태에서는, 불휘발성 반도체 기억 소자의 전극간 절연막으로서 이용되는 ONO막(산화막/질화막/산화막), 및 NONON막(질화막/산화막/질화막/산화막/질화막) 등의 다층 산화질화막의 구조에서, 적어도 1개의 질화막이, 산소를 함유하는 산화질화막이며, 또한 불순물인 수소, 염소의 함유

량이 적은 막인 것을 특징으로 한다.

<71> 부유 게이트 전극층 상에 형성된 산화질화막은, 질소 원자 농도를 높게 함으로써 리크 전류를 줄이는 것이 가능하게 된다. 또한, 부유 게이트 전극층의 측면부 혹은 소자 분리 절연막 상에 형성된 산화질화막은, 산소 원자 농도를 높게 함으로써 유전률을 낮추어, 부유 게이트 전극층 간에서의 간섭 효과를 억제할 수 있다.

<72> 또한, 산화질화막 내의 염소 및 수소의 불순물 농도를 적게 하는 것에 의해, 염소에 의해 생긴 트랩 준위를 통한 리크 전류를 줄이고, 수소의 이탈에 의해 생기는 장기간의 소자의 신뢰성의 열화를 저감할 수 있다.

<73> 상술한 바와 같이, 본 발명의 한 양태에 따르면, 부유 전극 간에서의 간섭 효과를 억제하고, 전극간 절연막에 흐르는 리크 전류를 저감하고, 또한 소자의 열화를 방지하는 것이 가능한 불휘발성 반도체 기억 장치 및 그 제조 방법을 제공할 수 있다.

<74> 당업자들이라면 부가적인 장점 및 변경들을 용이하게 이룰 수 있다. 따라서, 광의의 관점에서 본 발명은 본 명세서에 예시되고 기술된 상세한 설명 및 대표 실시예에 한정되는 것은 아니다. 따라서, 첨부된 청구 범위 및 그 등가물에 의해 정의된 바와 같은 일반적인 본 발명의 사상 또는 범주를 벗어나지 않고서도 다양한 변경이 가능하다.

도면의 간단한 설명

<75> 도 1은, 본 발명의 제1 실시 양태에 따른 불휘발성 반도체 기억 장치의 제조 공정을 도시하는 단면도.

<76> 도 2는, 도 1에 이어지는 불휘발성 반도체 기억 장치의 제조 공정을 도시하는 단면도.

<77> 도 3은, 도 2에 이어지는 불휘발성 반도체 기억 장치의 제조 공정을 도시하는 단면도.

<78> 도 4는, 도 3에 이어지는 불휘발성 반도체 기억 장치의 제조 공정을 도시하는 단면도.

<79> 도 5는, 도 4에 이어지는 불휘발성 반도체 기억 장치의 제조 공정을 도시하는 단면도.

<80> 도 6은, 도 5에 이어지는 불휘발성 반도체 기억 장치의 제조 공정을 도시하는 단면도.

<81> 도 7은, 도 6에 이어지는 불휘발성 반도체 기억 장치의 제조 공정을 도시하는 도 6의 A-A'선을 따른 단면도.

<82> 도 8은, 본 발명의 제3 실시 양태에 따른 불휘발성 반도체 기억 장치의 제조 공정을 도시하는 단면도.

<83> 도 9는, 도 8에 이어지는 불휘발성 반도체 기억 장치의 제조 공정을 도시하는 단면도.

<84> 도 10은, 도 9에 이어지는 불휘발성 반도체 기억 장치의 제조 공정을 도시하는 단면도.

<85> 도 11은, 도 10에 이어지는 불휘발성 반도체 기억 장치의 제조 공정을 도시하는 단면도.

<86> 도 12는, 본 발명의 제3 실시 양태에 따른 불휘발성 반도체 기억 장치의 다른 제조 공정을 도시하는 단면도.

<87> 도 13은, 도 11에 이어지는 불휘발성 반도체 기억 장치의 제조 공정을 도시하는 단면도.

<88> <도면의 주요 부분에 대한 부호의 설명>

<89> 1 : p형 실리콘 기판 2 : 제1 절연층

<90> 3 : 제1 도전층 4 : 실리콘 질화막

<91> 5 : 실리콘 산화막 6 : 포토레지스트

<92> 7 : 매립 절연막 8 : 전극간 절연막

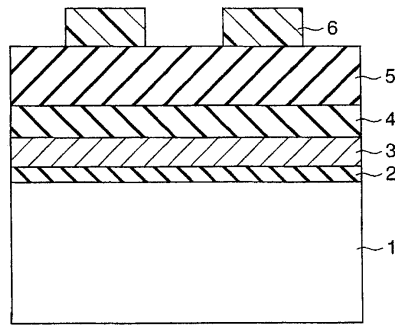
<93> 9 : 제2 도전층 10 : 마스크재

<94> 20 : 소스 및 드레인 영역 81 : 실리콘 산화막

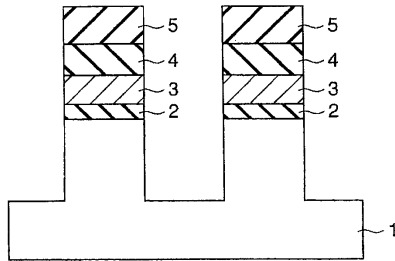
<95> 82 : 실리콘 산화질화막 83 : 실리콘 산화막

도면

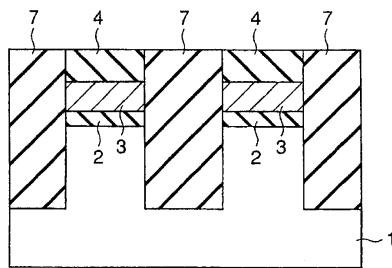
도면1



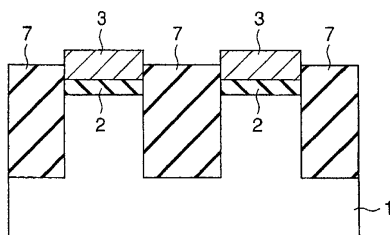
도면2



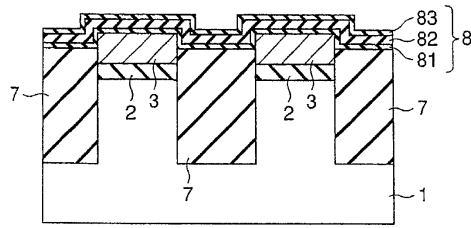
도면3



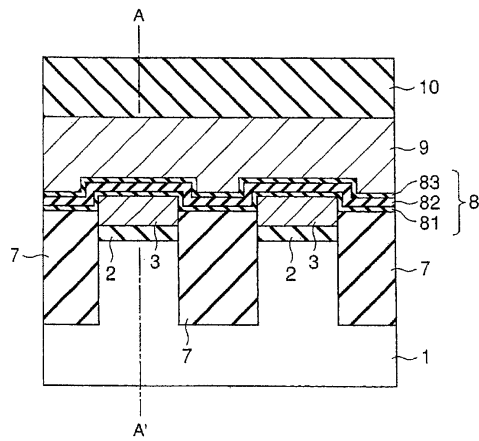
도면4



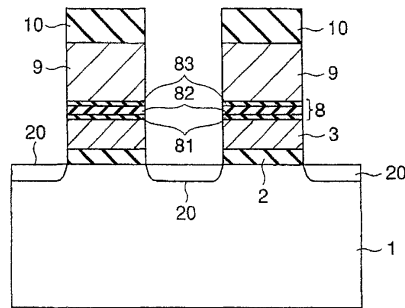
도면5



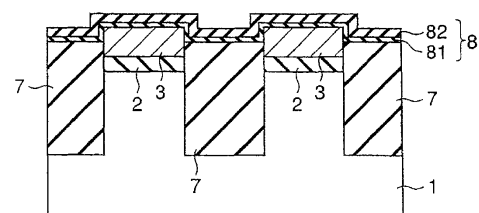
도면6



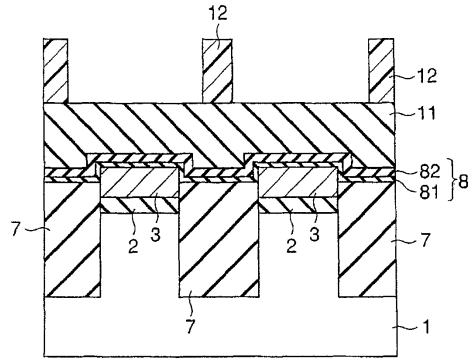
도면7



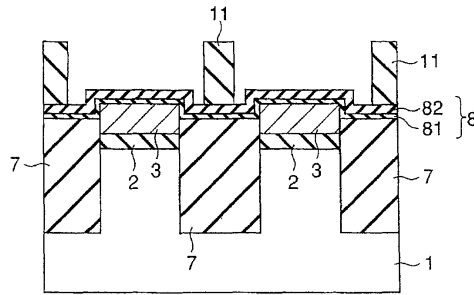
도면8



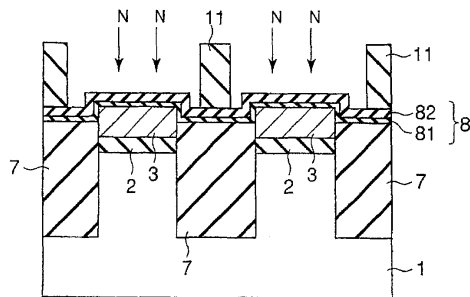
도면9



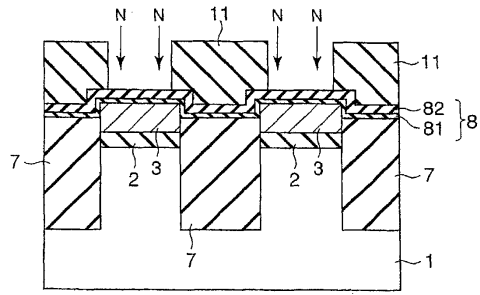
도면10



도면11



도면12



도면13

