

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 10 月 29 日 (29.10.2020)



(10) 国际公布号
WO 2020/215426 A1

(51) 国际专利分类号:
G09G 3/3266 (2016.01)

中国广东省深圳市福田区深南大道6021号喜年中心A座1709-1711, Guangdong 518040 (CN)。

(21) 国际申请号: PCT/CN2019/088054

(22) 国际申请日: 2019 年 5 月 23 日 (23.05.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910334424.4 2019年4月24日 (24.04.2019) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(72) 发明人: 薛炎 (XUE, Yan); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT & TRADEMARK AGENCY);

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: ARRAY SUBSTRATE

(54) 发明名称: 阵列基板

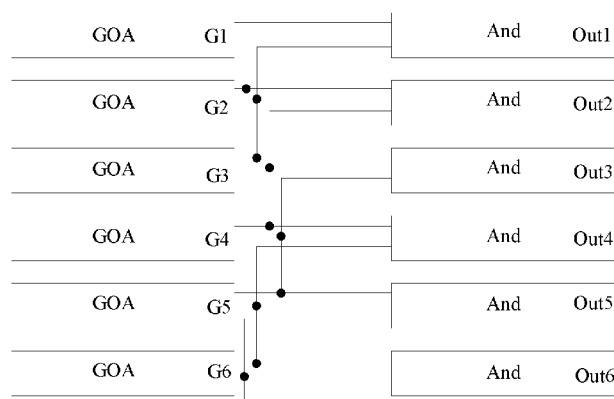


图 2

(57) Abstract: An array substrate, the array substrate comprising a GOA circuit and a plurality of And logic gate units integrated on a rear end of the GOA circuit; the GOA circuit comprises a plurality of cascaded GOA units, each GOA unit including a scanning signal end, and at least three consecutive GOA units accessing one And logic gate unit by means of the scanning signal ends.

(57) 摘要: 一种阵列基板, 该阵列基板包括 GOA 电路以及集成于 GOA 电路后端的多个 And 逻辑门单元; GOA 电路包括多个级联的 GOA 单元, 每个 GOA 单元包含扫描信号端, 至少三个连续的 GOA 单元通过扫描信号端接入一个 And 逻辑门单元。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

阵列基板

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种阵列基板。

背景技术

[0002] OLED显示装置按照驱动方式可以分为无源矩阵型OLED(Passive Matrix OLED, PMOLED)和有源矩阵型OLED(Active Matrix OLED, AMOLED)两大类。其中，AMOLED具有呈阵列式排布的像素，属于主动显示类型，发光效能高，通常用作高清晰度的大尺寸显示装置。

[0003] 目前大尺寸AMOLED面板像素普遍采用外部补偿方案，外部补偿方案需要阵列基板中的GOA电路输出超宽脉冲信号(>3ms)，因而在输出阶段，GOA电路的第一节点(Q)需要长时间维持宽脉冲，而此时Q点处于浮动状态，如果薄膜晶体管TFT的漏电流较大，Q点无法维持长时间高电位，GOA则无法输出超宽脉冲。

[0004] 如图1所示，当时钟周期(CK)的脉冲宽度为3ms时，理论上GOA电路能够输出3ms的脉宽。但实际上，Q点无法长时间维持高电压，因此，GOA电路也无法输出宽脉冲，此时，GOA电路的实际脉宽为2ms；而由于GOA电路的脉宽不满3ms，电路级传也会失效。

[0005] 因此，需要提出一种新的阵列基板，以解决上述问题。

发明概述

技术问题

[0006] 本发明提供一种阵列基板，能够利于实现补偿阶段的GOA超宽脉冲输出，以解决现有的阵列基板因TFT的漏电流较大，Q点无法维持长时间高电位，GOA无法输出超宽脉冲的技术问题。

问题的解决方案

技术解决方案

[0007] 为解决上述问题，本发明提供的技术方案如下：

- [0008] 本发明提供一种阵列基板，所述阵列基板包括GOA电路以及集成于所述GOA电路后端的多个And逻辑门单元；
- [0009] 所述GOA电路包括多个级联的GOA单元，每个所述GOA单元包含有扫描信号端，至少三个连续的所述GOA单元通过所述扫描信号端接入一个所述And逻辑门单元。
- [0010] 在本申请实施例所提供的阵列基板中，设 n 为自然数，第 n 级所述GOA单元输出第 n 级扫描信号；
- [0011] 第 $n-1$ 级所述扫描信号、第 n 级所述扫描信号、第 $n+1$ 级所述扫描信号为第 $n-1$ 级所述And逻辑门单元的输入信号；
- [0012] 第 n 级所述扫描信号、第 $n+1$ 级所述扫描信号、第 $n+2$ 级所述扫描信号为第 n 级所述And逻辑门单元的输入信号。
- [0013] 在本申请实施例所提供的阵列基板中，设 m 为自然数，所述GOA电路包括 m 个所述GOA单元（ $m > n$ ），第 $m-1$ 级和第 m 级所述GOA单元为虚拟GOA单元。
- [0014] 在本申请实施例所提供的阵列基板中，第 n 级And逻辑门单元电路包括六个薄膜晶体管，第一直流低电压，第二直流低电压，直流高电压，WR控制信号和And逻辑门输出信号；
- [0015] 其中，第一薄膜晶体管的栅极连接所述直流高电压，源极和漏极分别连接第 n 级所述And逻辑门输出信号和第二薄膜晶体管的栅极；
- [0016] 第二薄膜晶体管的源极和漏极分别连接所述直流高电压和第三薄膜晶体管的栅极；
- [0017] 第三薄膜晶体管的源极和漏极分别连接所述第二直流低电压和第 n 级所述And逻辑门输出信号；
- [0018] 第四薄膜晶体管的栅极连接第 n 级所述扫描信号，源极和漏极分别连接所述WR控制信号和所述第一直流低电压；
- [0019] 第五薄膜晶体管的栅极连接第 $n+1$ 级所述扫描信号，源极和漏极分别连接所述WR控制信号和所述第一直流低电压；
- [0020] 第六薄膜晶体管的栅极连接第 $n+2$ 级所述扫描信号，源极和漏极分别连接所述WR控制信号和所述第一直流低电压。

- [0021] 在本申请实施例所提供的阵列基板中，第n级所述扫描信号为高电位，所述第六薄膜晶体管打开，所述WR控制信号为低电位，所述第三薄膜晶体管关闭，所述第一薄膜晶体管打开，第n级所述And逻辑门输出信号输出高电位。
- [0022] 在本申请实施例所提供的阵列基板中，第n级所述扫描信号为低电位，第n+1级所述扫描信号为高电位，所述第五薄膜晶体管打开，所述第六薄膜晶体管关闭，所述WR控制信号为低电位，第n级所述And逻辑门输出信号输出高电位。
- [0023] 在本申请实施例所提供的阵列基板中，第n+1级所述扫描信号为低电位，第n+2级所述扫描信号为高电位，所述第六薄膜晶体管打开，所述第五薄膜晶体管关闭，所述WR控制信号为低电位，第n级所述And逻辑门输出信号输出高电位。
- [0024] 在本申请实施例所提供的阵列基板中，第n+2级所述扫描信号为低电位，所述第四薄膜晶体管关闭，所述WR控制信号为高电位，所述第三薄膜晶体管打开，第n级所述And逻辑门输出信号输出低电位。
- [0025] 在本申请实施例所提供的阵列基板中，所述第二直流低电压大于所述第一直流低电压。
- [0026] 在本申请实施例所提供的阵列基板中，所述GOA电路为基于IGZO材料制备的GOA电路。

发明的有益效果

有益效果

- [0027] 本发明的有益效果为：本发明的阵列基板包括GOA电路以及集成于GOA电路后端的多个And逻辑门单元；GOA电路包括多个级联的GOA单元，每个GOA单元包含有扫描信号端，至少三个连续的GOA单元通过扫描信号端接入一个And逻辑门单元；当电路工作时，至少三个连续的GOA单元可以接连升高至高电位，使And逻辑门单元的输出信号端能够维持更长时间的高电位；本发明的阵列基板可以降低GOA电路的输出脉宽，而脉冲宽度的降低利于降低第一节点（Q）的漏电流，有利于获得稳定的GOA输出信号，同时GOA电路能够正常级传。

对附图的简要说明

附图说明

- [0028] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术

术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- [0029] 图1为现有阵列基板的信号波形图；
- [0030] 图2为本发明实施例提供的阵列基板的结构示意图；
- [0031] 图3为本发明实施例提供的阵列基板的电路示意图；
- [0032] 图4为本发明实施例提供的阵列基板的信号波形图；
- [0033] 图5为本发明实施例提供的阵列基板输出窄脉冲时的信号波形图；
- [0034] 图6为本发明实施例提供的阵列基板的第31级GOA单元的电路示意图；
- [0035] 图7为本发明实施例提供的阵列基板的第31级GOA单元的信号波形图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [0036] 以下各实施例的说明是参考附加的图示，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。在图中，结构相似的单元是用以相同标号表示。
- [0037] 本发明针对现有的阵列基板，因TFT的漏电流较大，Q点无法维持长时间高电位，GOA无法输出超宽脉冲的技术问题，本实施例能够解决该缺陷。
- [0038] 如图2所示，本发明提供一种阵列基板，所述阵列基板包括GOA电路以及集成于所述GOA电路后端的多个And逻辑门单元；所述GOA电路包括多个级联的GOA单元，每个所述GOA单元包含有扫描信号端，至少三个连续的所述GOA单元通过所述扫描信号端接入一个所述And逻辑门单元。
- [0039] 例如，如果需要得到3ms的脉冲宽度，可以由多级GOA单元接入And逻辑门单元获得，最后GOA电路的输出脉宽可以降为1ms。
- [0040] 在其它实施例中，连入And逻辑门单元的GOA单元的数目可以更多，当连入And逻辑门单元的GOA单元的数目越多，越能够降低GOA电路的脉冲宽度。而GOA电路的脉冲宽度的降低有利于降低Q点的漏电流，降低Q点的漏电流能够获得

稳定的GOA输出信号，同时能够保证GOA电路正常级传。

[0041] 设 n 为自然数，第 n 级所述GOA单元输出第 n 级扫描信号；第 $n-1$ 级所述扫描信号、第 n 级所述扫描信号、第 $n+1$ 级所述扫描信号为第 $n-1$ 级所述And逻辑门单元的输入信号；第 n 级所述扫描信号、第 $n+1$ 级所述扫描信号、第 $n+2$ 级所述扫描信号为第 n 级所述逻辑门单元的输入信号。

[0042] 设 m 为自然数，所述GOA电路包括 m 个所述GOA单元（ $m > n$ ），第 $m-1$ 级和第 m 级所述GOA单元为虚拟GOA单元。最后两级GOA单元为虚拟GOA单元，一方面为上一级GOA单元提供反馈信号，另一方面为最后一级的And逻辑门单元提供信号源。

[0043] 在其它实施例中，例如，四个所述GOA单元接入一个所述And逻辑门单元，此时第 $m-2$ 级、第 $m-1$ 级、第 m 级为虚拟GOA单元，虚拟GOA单元为上一级GOA单元提供反馈信号，并同时为最后一级的And逻辑门单元提供信号源。若是接入的GOA单元为5个或更多，皆以此规律类推。

[0044] 图3为本发明的And逻辑门电路图，第 n 级And逻辑门单元电路包括有六个薄膜晶体管，第一直流低电压VGL1，第二直流低电压VGL2，直流高电压VGH，WR控制信号和第 n 级And逻辑门输出信号Out（ n ）；其中，第一薄膜晶体管T1的栅极连接所述直流高电压，源极和漏极分别连接第 n 级所述And逻辑门输出信号和第二薄膜晶体管T2的栅极；第二薄膜晶体管T2的源极和漏极分别连接所述直流高电压和第三薄膜晶体管T3的栅极；第三薄膜晶体管T3的源极和漏极分别连接所述第二直流低电压和第 n 级所述And逻辑门输出信号；第四薄膜晶体管T4的栅极连接第 n 级所述扫描信号，源极和漏极分别连接所述WR控制信号和所述第一直流低电压；第五薄膜晶体管T5的栅极连接第 $n+1$ 级所述扫描信号，源极和漏极分别连接所述WR控制信号和所述第一直流低电压；第六薄膜晶体管T6的栅极连接第 $n+2$ 级所述扫描信号，源极和漏极分别连接所述WR控制信号和所述第一直流低电压。

[0045] 其中，T4、T5、T6连入第 n 级、第 $n+1$ 级和第 $n+2$ 级的所述GOA单元的扫描信号；所述WR控制信号为所述And逻辑电路中的内部控制信号。

[0046] 图4为本发明的第 n 级And逻辑门信号波形图，所述第 n 级And逻辑门电路宽脉冲

的工作过程可以分为四个阶段：

- [0047] S1阶段：第n级所述扫描信号升为高电位，所述第六薄膜晶体管打开，所述WR控制信号为低电位，所述第三薄膜晶体管关闭，所述第一薄膜晶体管打开，第n级所述And逻辑门输出信号输出高电位。
- [0048] S2阶段：第n级所述扫描信号降为低电位，第n+1级所述扫描信号为高电位，所述第五薄膜晶体管打开，所述第六薄膜晶体管关闭，所述WR控制信号为低电位，第n级所述And逻辑门输出信号输出高电位。
- [0049] S3阶段：第n+1级所述扫描信号降为低电位，第n+2级所述扫描信号为高电位，所述第六薄膜晶体管打开，所述第五薄膜晶体管关闭，所述WR控制信号为低电位，第n级所述And逻辑门输出信号输出高电位。
- [0050] S4阶段：第n+2级所述扫描信号降为低电位，所述第四薄膜晶体管关闭，所述WR控制信号为高电位，所述第三薄膜晶体管打开，第n级所述And逻辑门输出信号输出低电位。
- [0051] 通过所述And逻辑门电路，可以让GOA电路的脉冲宽度由1ms升至3ms。
- [0052] 在GOA电路的编程阶段，GOA无需输出宽脉冲，同样能够利用本发明的结构输出窄脉冲，如图5所示，其为本发明的阵列基板输出窄脉冲的波形示意图，在输出窄脉冲时，阵列基板中的GOA电路的工作过程与输出宽脉冲时一致，通过And逻辑门电路，可以让GOA电路的脉冲宽度由5 μ s升至15 μ s。
- [0053] 如图6、图7所示，其为第31级GOA（G31）单元的电路图与信号波形图。
- [0054] 第31级GOA单元是由18个薄膜晶体管TFT和一个电容Cbt构成，其中，CLK、CLKB是波形相反的交流电源，VGH、VGL1和VGL2是DC直流电源，STV是启动脉冲(start pulse)触发信号，为启动第一级GOA单元所需。节点N、Q、QB、Cout(n-1)、Cout(n)、Cout(n+1)、G(n)等是电路中重要的节点。
- [0055] 其中，CLKB是第一时钟信号，CLK是第二时钟信号；Cout（n-1）为前一级级传信号输出端；G（n）是第n级扫描信号输出端；Q为第一节点；N为第三节点；QB为第四节点。
- [0056] 第31级GOA单元中的18个TFT按照功能性划分，T11和T12属于上拉控制模块；

T21、T22及T23属于上拉模块；T31、T32及T33属于下拉模块；T41-T45属于下拉维持模块；T51-T54属于反相器模块；T6为反馈模块；以第31级GOA单元为例，下面介绍GOA电路的具体工作过程：

[0057] 当Cout(30)为高电位时，CLK同时处于高电位，T11和T22打开，Cout(30)的高电位传入到Q点，Q点为高电位，同时T21、T22与T23打开，由于Q与QB点之间连接反相器结构，它们之间的电位相反，因此，QB处于低电位，T41、T42、T43、T44与T45均关闭、同时，Cout(32)处于低电位，T31、T32和T33关闭，CLKB处于低电位，输出Cout(n)与G(n)为低电位。

[0058] 然后，Cout(30)和CLK为低电位，T11与T12关闭，此时，Q点受到电容耦合效应，被抬到更高的电位，T31、T32、T33、T41、T42、T43、T44与T45继续关闭，CLKB是高电位，此时Cout(31)与G(31)为高电位。此时，T6打开，N点处于高电位，该电位降低了T12、T44与T32管的漏电流。需要说明的是我们引入两条VGL线，其中 $VGL2 > VGL1$ ，使得 $V_{gs} < 0$ ，降低了T31、T41、T43与T6管 V_{th} 为负值时漏电的风险。另外，在168ms的电位维持阶段，Q点电位并未降低，说明该电路能够有效解决Q点电位维持问题。

[0059] 随后，CLK升为高电位，Cout(30)为低电位，同时Cout(32)为高电位，T11、T12、T31、T32与T33打开，Q点电位迅速被拉低，此时，QB点电位被拉至高电位，T41、T42、T43、T44与T45均打开，Cout(31)与G(31)被分别拉低至低电位 $VGL1$ 与 $VGL2$ 。

[0060] GOA单元最后输出为扫描信号G(n)，每个GOA单元通过扫描信号端接入多个And逻辑门单元，为And逻辑门单元提供输入信号。

[0061] 本发明的有益效果为：本发明的阵列基板包括GOA电路以及集成于GOA电路后端的多个And逻辑门单元；GOA电路包括多个级联的GOA单元，每个GOA单元包含有扫描信号端，至少三个连续的GOA单元通过扫描信号端接入一个And逻辑门单元；当电路工作时，至少三个连续的GOA单元可以接连升高至高电位，使And逻辑门单元的输出信号端能维持更长时间的高电位；本发明的阵列基板可以降低GOA电路的输出脉宽，而脉冲宽度的降低利于降低第一节点(Q)的漏电流，有利于获得稳定的GOA输出信号，同时GOA电路能够正常级传。

[0062] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种阵列基板，其中，所述阵列基板包括GOA电路以及集成于所述GOA电路后端的多个And逻辑门单元；
- 所述GOA电路包括多个级联的GOA单元，每个所述GOA单元包含有扫描信号端，至少三个连续的所述GOA单元通过所述扫描信号端接入一个所述And逻辑门单元。
- [权利要求 2] 根据权利要求1所述的阵列基板，其中，设 n 为自然数，第 n 级所述GOA单元输出第 n 级扫描信号；
- 第 $n-1$ 级所述扫描信号、第 n 级所述扫描信号、第 $n+1$ 级所述扫描信号为第 $n-1$ 级所述And逻辑门单元的输入信号；
- 第 n 级所述扫描信号、第 $n+1$ 级所述扫描信号、第 $n+2$ 级所述扫描信号为第 n 级所述And逻辑门单元的输入信号。
- [权利要求 3] 根据权利要求1所述的阵列基板，其中，设 m 为自然数，所述GOA电路包括 m 个所述GOA单元（ $m > n$ ），第 $m-1$ 级和第 m 级所述GOA单元为虚拟GOA单元。
- [权利要求 4] 根据权利要求2所述的阵列基板，其中，第 n 级And逻辑门单元电路包括六个薄膜晶体管，第一直流低电压，第二直流低电压，直流高电压，WR控制信号和And逻辑门输出信号；
- 其中，第一薄膜晶体管的栅极连接所述直流高电压，源极和漏极分别连接第 n 级所述And逻辑门输出信号和第二薄膜晶体管的栅极；
- 第二薄膜晶体管的源极和漏极分别连接所述直流高电压和第三薄膜晶体管的栅极；
- 第三薄膜晶体管的源极和漏极分别连接所述第二直流低电压和第 n 级所述And逻辑门输出信号；
- 第四薄膜晶体管的栅极连接第 n 级所述扫描信号，源极和漏极分别连接所述WR控制信号和所述第一直流低电压；
- 第五薄膜晶体管的栅极连接第 $n+1$ 级所述扫描信号，源极和漏极分别连接所述WR控制信号和所述第一直流低电压；

第六薄膜晶体管的栅极连接第 $n+2$ 级所述扫描信号，源极和漏极分别连接所述WR控制信号和所述第一直流低电压。

- [权利要求 5] 根据权利要求4所述的阵列基板，其中，第 n 级所述扫描信号为高电位，所述第六薄膜晶体管打开，所述WR控制信号为低电位，所述第三薄膜晶体管关闭，所述第一薄膜晶体管打开，第 n 级所述And逻辑门输出信号输出高电位。
- [权利要求 6] 根据权利要求4所述的阵列基板，其中，第 n 级所述扫描信号为低电位，第 $n+1$ 级所述扫描信号为高电位，所述第五薄膜晶体管打开，所述第六薄膜晶体管关闭，所述WR控制信号为低电位，第 n 级所述And逻辑门输出信号输出高电位。
- [权利要求 7] 根据权利要求4所述的阵列基板，其中，第 $n+1$ 级所述扫描信号为低电位，第 $n+2$ 级所述扫描信号为高电位，所述第六薄膜晶体管打开，所述第五薄膜晶体管关闭，所述WR控制信号为低电位，第 n 级所述And逻辑门输出信号输出高电位。
- [权利要求 8] 根据权利要求4所述的阵列基板，其中，第 $n+2$ 级所述扫描信号为低电位，所述第四薄膜晶体管关闭，所述WR控制信号为高电位，所述第三薄膜晶体管打开，第 n 级所述And逻辑门输出信号输出低电位。
- [权利要求 9] 根据权利要求4所述的阵列基板，其中，所述第二直流低电压大于所述第一直流低电压。
- [权利要求 10] 根据权利要求1所述的阵列基板，其中，所述GOA电路为基于IGZO材料制备的GOA电路。

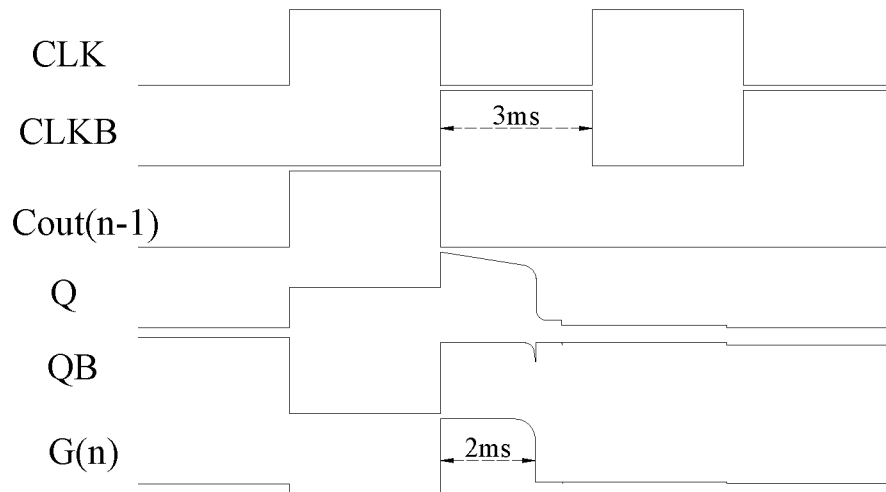


图 1

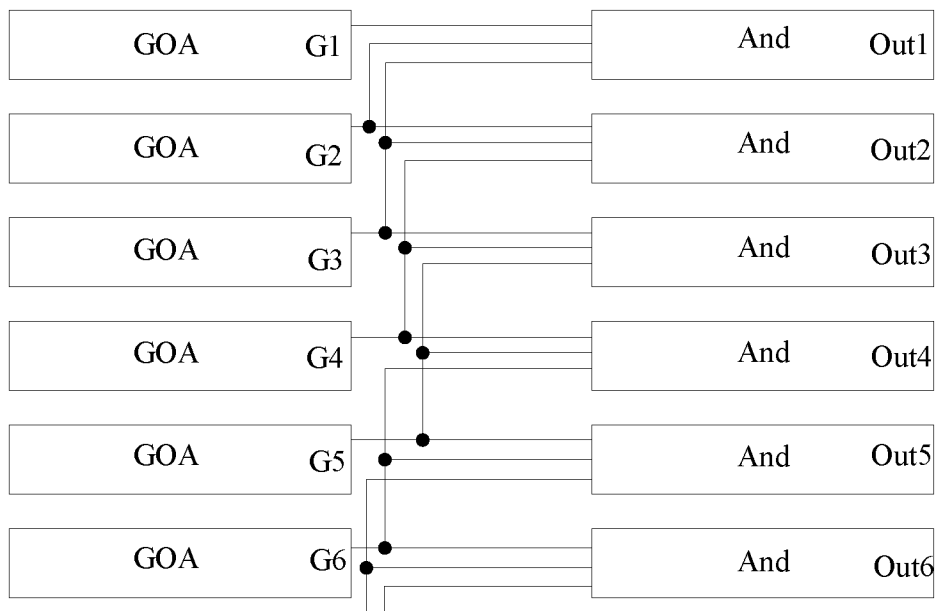


图 2



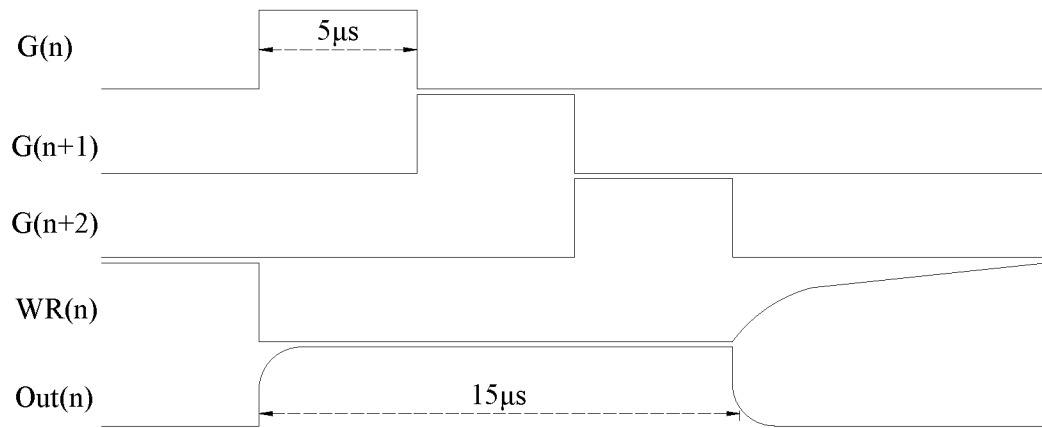


图 5

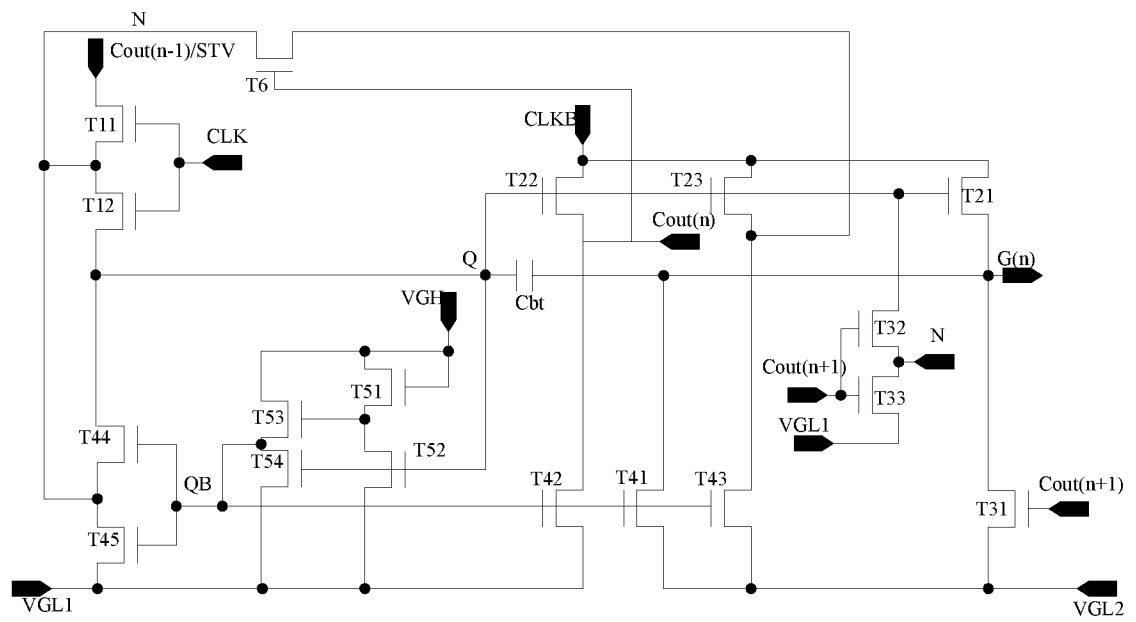


图 6

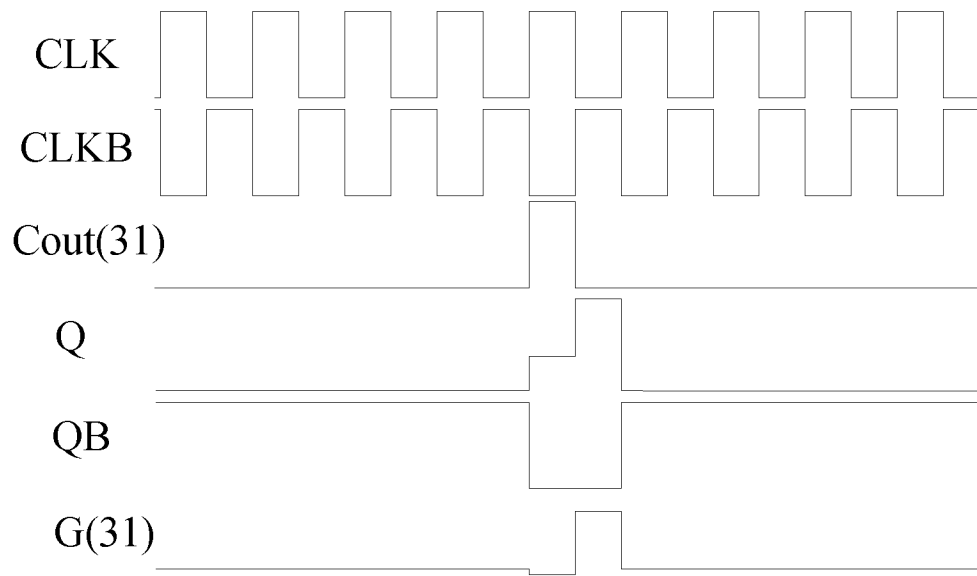


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/088054

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3266(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE: 阵列基板, 栅极驱动, 脉冲, 脉宽, 与门, 逻辑与, 级联, GOA, gate driver on array, AND, pulse, cascade

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105321453 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 10 February 2016 (2016-02-10) description, paragraphs [0031]-[0036], and figure 2	1-10
A	CN 104282269 A (BOE TECHNOLOGY GROUP CO., LTD.) 14 January 2015 (2015-01-14) entire document	1-10
A	CN 104240631 A (BOE TECHNOLOGY GROUP CO., LTD.) 24 December 2014 (2014-12-24) entire document	1-10
A	CN 107393473 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 24 November 2017 (2017-11-24) entire document	1-10
A	US 2014198023 A1 (NOVATEK MICROELECTRONICS CORP.) 17 July 2014 (2014-07-17) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

31 December 2019

Date of mailing of the international search report

22 January 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/088054

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105321453	A	10 February 2016	US	2017154564	A1	01 June 2017
CN	104282269	A	14 January 2015	US	9997136	B2	12 June 2018
				WO	2016058351	A1	21 April 2016
				CN	104282269	B	09 November 2016
				US	2016189677	A1	30 June 2016
				EP	3208791	A4	11 April 2018
				EP	3208791	A1	23 August 2017
CN	104240631	A	24 December 2014	EP	3185236	A4	04 April 2018
				EP	3185236	A1	28 June 2017
				CN	104240631	B	28 September 2016
				WO	2016026209	A1	25 February 2016
				US	2016259455	A1	08 September 2016
				US	9626028	B2	18 April 2017
CN	107393473	A	24 November 2017	WO	2019037299	A1	28 February 2019
				CN	107393473	B	23 November 2018
				US	2019066596	A1	28 February 2019
US	2014198023	A1	17 July 2014	TW	I483230	B	01 May 2015
				TW	201428713	A	16 July 2014

国际检索报告

国际申请号

PCT/CN2019/088054

A. 主题的分类 G09G 3/3266(2016.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, WPI, EPDOC, CNKI, IEEE:阵列基板, 栅极驱动, 脉冲, 脉宽, 与门, 逻辑与, 级联, G0A, gate driver on array, AND, pulse, cascade																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 105321453 A (武汉华星光电技术有限公司) 2016年 2月 10日 (2016 - 02 - 10) 说明书第[0031]-[0036]段, 图2</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 104282269 A (京东方科技集团股份有限公司) 2015年 1月 14日 (2015 - 01 - 14) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 104240631 A (京东方科技集团股份有限公司) 2014年 12月 24日 (2014 - 12 - 24) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 107393473 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 24日 (2017 - 11 - 24) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2014198023 A1 (NOVATEK MICROELECTRONICS CORP.) 2014年 7月 17日 (2014 - 07 - 17) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 105321453 A (武汉华星光电技术有限公司) 2016年 2月 10日 (2016 - 02 - 10) 说明书第[0031]-[0036]段, 图2	1-10	A	CN 104282269 A (京东方科技集团股份有限公司) 2015年 1月 14日 (2015 - 01 - 14) 全文	1-10	A	CN 104240631 A (京东方科技集团股份有限公司) 2014年 12月 24日 (2014 - 12 - 24) 全文	1-10	A	CN 107393473 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 24日 (2017 - 11 - 24) 全文	1-10	A	US 2014198023 A1 (NOVATEK MICROELECTRONICS CORP.) 2014年 7月 17日 (2014 - 07 - 17) 全文	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
A	CN 105321453 A (武汉华星光电技术有限公司) 2016年 2月 10日 (2016 - 02 - 10) 说明书第[0031]-[0036]段, 图2	1-10																		
A	CN 104282269 A (京东方科技集团股份有限公司) 2015年 1月 14日 (2015 - 01 - 14) 全文	1-10																		
A	CN 104240631 A (京东方科技集团股份有限公司) 2014年 12月 24日 (2014 - 12 - 24) 全文	1-10																		
A	CN 107393473 A (深圳市华星光电半导体显示技术有限公司) 2017年 11月 24日 (2017 - 11 - 24) 全文	1-10																		
A	US 2014198023 A1 (NOVATEK MICROELECTRONICS CORP.) 2014年 7月 17日 (2014 - 07 - 17) 全文	1-10																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
国际检索实际完成的日期	国际检索报告邮寄日期																			
2019年 12月 31日	2020年 1月 22日																			
ISA/CN的名称和邮寄地址	授权官员																			
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	杨莹莹																			
传真号 (86-10)62019451	电话号码 86-(10)-53961527																			

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/088054

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105321453	A	2016年 2月 10日	US	2017154564	A1	2017年 6月 1日
CN	104282269	A	2015年 1月 14日	US	9997136	B2	2018年 6月 12日
				WO	2016058351	A1	2016年 4月 21日
				CN	104282269	B	2016年 11月 9日
				US	2016189677	A1	2016年 6月 30日
				EP	3208791	A4	2018年 4月 11日
				EP	3208791	A1	2017年 8月 23日
CN	104240631	A	2014年 12月 24日	EP	3185236	A4	2018年 4月 4日
				EP	3185236	A1	2017年 6月 28日
				CN	104240631	B	2016年 9月 28日
				WO	2016026209	A1	2016年 2月 25日
				US	2016259455	A1	2016年 9月 8日
				US	9626028	B2	2017年 4月 18日
CN	107393473	A	2017年 11月 24日	WO	2019037299	A1	2019年 2月 28日
				CN	107393473	B	2018年 11月 23日
				US	2019066596	A1	2019年 2月 28日
US	2014198023	A1	2014年 7月 17日	TW	I483230	B	2015年 5月 1日
				TW	201428713	A	2014年 7月 16日