

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013 年 8 月 29 日 (29.08.2013)



(10) 国际公布号
WO 2013/123786 A1

- (51) 国际专利分类号:
H01L 21/77 (2006.01) *H01L 27/12* (2006.01)
- (21) 国际申请号: PCT/CN2012/084970
- (22) 国际申请日: 2012 年 11 月 21 日 (21.11.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210043853.4 2012 年 2 月 23 日 (23.02.2012) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 宁策 (NING, Ce); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 吕志军 (LV, Zhijun); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。
- 本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: THIN FILM TRANSISTOR ARRAY SUBSTRATE AND PRODUCING METHOD THEREOF

(54) 发明名称: 薄膜晶体管阵列基板及其制作方法

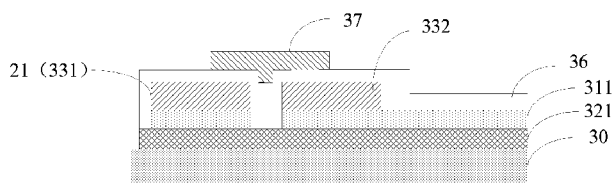


图 8 / Fig. 8

(57) Abstract: Disclosed are a thin film transistor array substrate and a producing method thereof in the embodiments of the present invention, the producing method comprising: forming an active layer thin film and a conductive layer thin film on a substrate; depositing a source/drain layer thin film on the conductive layer thin film, treating the conductive layer thin film and the source/drain layer thin film using gray tone or half tone masking process, to form at least two data wires, a pixel electrode and source/drain electrodes of the thin film transistor (TFT); after depositing an insulating layer thin film covered the active layer thin film, the source/drain electrodes, the data wires and the pixel electrode, forming a through hole and a gate insulating layer of the TFT on the insulating layer, to form an active layer of the TFT; forming a gate electrode of the TFT and at least two gate scanning wires cross with the data wires.

(57) 摘要: 本发明的实施例公开了一种薄膜晶体管阵列基板及其制作方法。该制作方法包括: 在基板上制备有源层薄膜和导电层薄膜; 在导电层薄膜上沉积源/漏极层薄膜, 对导电层薄膜和源/漏极层薄膜采用灰色调或半色调掩模工艺进行处理, 得到至少两条数据线、像素电极、薄膜晶体管 (TFT) 的源/漏电极; 沉积覆盖有源层薄膜、源/漏电极、数据线、像素电极的绝缘层薄膜后, 在绝缘层上制备过孔、TFT 的栅极绝缘层, 并得到 TFT 的有源层; 在绝缘层上制备 TFT 的栅电极和与数据线交叉的至少两条栅极扫描线。

WO 2013/123786 A1

薄膜晶体管阵列基板及其制作方法

技术领域

5 本发明涉及薄膜晶体管阵列基板及其制作方法。

背景技术

目前，在显示器领域多采用平板显示器，绝大多数的平板显示器件都是有源矩阵液晶显示器件（Active Matrix Liquid Crystal Display, AMLCD）。现有的 AMLCD 器件中包含薄膜晶体管（Thin Film Transistor, TFT）阵列基板，由于非晶硅（a-Si）易于实现在低温下大面积制备，并且制备技术相对成熟，因此成为目前在制作 TFT 阵列基板时广泛使用的材料。但是，a-Si 材料的带隙只有 1.7eV，对可见光不透明，而且在可见光范围内具有光敏性，因此就需要增加不透明金属掩模板（黑矩阵）来阻挡光线，相应的增加了 TFT 阵列基板制作工艺的复杂性，提高了成本，降低可靠性和开口率。同时，为了获得足够的亮度，就需要增加光源光强，相应的增加了功率消耗。此外，a-Si 材料的迁移率很难超过 $1\text{cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1}$ ，因此现有的 TFT 阵列基板很难满足尺寸不断增大的液晶电视和更高性能的驱动电路的需求。

由于非晶硅 TFT 阵列基板具有上述缺陷，氧化物半导体薄膜晶体管以其诸多优势受到广泛的关注，近几年发展相对迅速。氧化物半导体的迁移率高、均一性好、透明且制作工艺简单，可以更好地满足大尺寸液晶显示器的需求。并且，制作氧化物 TFT 与现有的 LCD 生产线匹配性好，容易转型，因此氧化物 TFT 备受人们的关注，已成为最近的研究热点。

但是，现有技术制作氧化物 TFT 阵列基板时，至少需要 4 次掩模曝光工艺，制作工艺非常复杂，并且掩模板的成本较高，相应的产品的制作成本提高，产品良率降低，设备产能降低。

发明内容

本发明的一个实施例提供一种薄膜晶体管阵列基板的制作方法，包括：
30 在基板上制备有源层薄膜和导电层薄膜；在所述导电层薄膜上沉积源/漏极层

薄膜,对所述导电层薄膜和所述源/漏极层薄膜采用灰色调或半色调掩模工艺进行处理,得到至少两条数据线、像素电极和薄膜晶体管的源/漏电极,所述薄膜晶体管的源极与所述数据线连接;沉积覆盖所述有源层薄膜、源/漏电极、数据线、像素电极的绝缘层薄膜后,在所述绝缘层薄膜上制备过孔、薄膜晶

5 体管的栅极绝缘层,并得到薄膜晶体管的有源层,每条所述数据线对应的区域内的选定位置处设置有所述过孔;以及在所述绝缘层上制备薄膜晶体管的栅电极和与所述数据线交叉的至少两条栅极扫描线,所述薄膜晶体管的栅电极与

本发明的另一个实施例提供一种薄膜晶体管阵列基板,包括基板、由交叉排列的数据线和栅极扫描线分割出的像素单元阵列,其中,每个所述像素单元包括:位于所述基板上的薄膜晶体管的有源层;位于所述薄膜晶体管的有源层上方的像素电极;位于所述像素电极上方的数据线和薄膜晶体管的源/漏电极;覆盖数据线、薄膜晶体管的源/漏电极和有源层的薄膜晶体管的栅极绝缘层;位于所述薄膜晶体管的栅极绝缘层上的薄膜晶体管的栅电极,其中,

10 每条所述数据线连接一行薄膜晶体管的源极,每条所述数据线对应的区域内的选定位置处设置有所述过孔,每条所述栅极扫描线连接一行薄膜晶体管的栅极。

附图说明

20 为了更清楚地说明本发明实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本发明的一些实施例,而非对本发明的限制。

图1为本发明实施例中的TFT阵列基板的一个像素单元的俯视图;

图2为本发明实施例中制备导电层薄膜后的A-A'位置处的截面图;

25 图3为本发明实施例中采用灰色调掩模板对光刻胶曝光显影后A-A'位置处的截面图;

图4为本发明实施例中对刻蚀导电层薄膜和源/漏极层薄膜后的A-A'位置处的截面图;

图5为本发明实施例中灰化处理光刻胶后的A-A'位置处的截面图;

30 图6为本发明实施例中刻蚀形成TFT器件的源电极后A-A'位置处的截

面图;

图 7 为本发明实施例中制备 TFT 器件的栅极绝缘层后的 A-A'位置处的截面图;

图 8 为本发明实施例中制备 TFT 器件的栅电极后的 A-A'位置处的截面图。

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例的附图,对本发明实施例的技术方案进行清楚、完整地描述。显然,所描述的实施例是本发明的一部分实施例,而不是全部的实施例。基于所描述的本发明的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

针对现有技术中存在的制作薄膜晶体管阵列基板的过程中掩模曝光次数过多导致的产品成本高、良品率低和设备产能低的问题,本发明实施例提供一种薄膜晶体管阵列基板的制作方法,包括如下步骤:

S10: 在基板上制备有源层薄膜和导电层薄膜。

S11: 在导电层薄膜上沉积源/漏极层薄膜,对导电层薄膜和源/漏极层薄膜采用灰色调或半色调掩模工艺进行处理,得到至少两条数据线、像素电极、TFT 的源/漏电极;阵列基板上的一列 TFT 的源极与一条数据线连接。例如,有源层薄膜中源电极和漏电极之间的部分则形成沟道。

S12: 沉积覆盖有源层薄膜、源/漏电极、像素电极的绝缘层薄膜后,在绝缘层薄膜上制备过孔、TFT 的栅极绝缘层,并得到 TFT 的有源层;每条数据线对应的区域内的选定位置处设置有过孔。

S13: 在绝缘层上制备 TFT 的栅电极和与数据线交叉的至少两条栅极扫描线,阵列基板上的一行 TFT 的栅电极与一条栅极扫描线连接。

完成上述四个步骤后,就形成了 TFT 阵列基板。在将 TFT 阵列基模组装成液晶显示器的时候,将所有的栅极扫描线的一端通过引脚与扫描驱动电路连接,所有的数据线的一端通过过孔与数据驱动电路连接即可。为了更加清楚,本发明的附图中主要显示了薄膜晶体管附近的截面图。因此,并未示出用于数据线和数据驱动电路连接的过孔。然而,该过孔的位置可以采用现

有技术中的任何位置，本发明的实施例对此没有特别限定。

形成的 TFT 阵列基板可以包含多个像素单元，图 1 所示为 TFT 阵列基板中的一个像素单元的俯视图，水平设置的为平行的栅极扫描线 20，数据线 21 与栅极扫描线 20 彼此交叉（例如彼此垂直）设置，被栅极扫描线 20 和数据线 21 分割后的区域为一个像素单元。下面结合图 2 至图 8，详细说明采用 3 张掩模板制作本发明的 TFT 阵列基板的步骤，在图 1 中 A-A' 位置处的截面图是为了展示 TFT 器件的结构，图中示出了 TFT 器件的源电极 331、漏电极 332、栅电极 37，下面在每个步骤中对 A-A' 位置处的截面图做出说明。

如图 2 所示，提供用于制作 TFT 阵列基板的基板 30 可以是石英玻璃、普通玻璃、塑料基板等等。在该基板 30 上沉积氧化物薄膜，可以利用磁控溅射等方法沉积氧化锌 ZnO、氧化铟 In_2O_3 、铟镓锌氧化物 IGZO 等，沉积的氧化物薄膜的厚度例如为 100-150nm；对该氧化物薄膜进行表面处理，处理后在该氧化物薄膜的表面形成一层导电层薄膜 31，导电薄膜下方未经处理的氧化物薄膜为有源层薄膜 32。其中表面处理可以是离子注入、等离子体法等等方法。例如，可以用离子注入的方法对 ZnO 薄膜注入铝（Al）、铟（In）等金属，对 In_2O_3 薄膜注入金属锡（Sn），当然也可以注入其他的金属。也可以用等离子体法将氢气（ H_2 ）或氮气（ N_2 ）电离成等离子体后再对 ZnO 薄膜、IGZO 薄膜等进行处理。表面处理后形成的透明导电层薄膜 31 的厚度例如为 50-100nm。

这就完成了上述步骤 S10 中的制备有源层薄膜和导电层薄膜的过程。

第一次掩模工艺：

在导电层薄膜 31 上沉积源/漏极层薄膜 33 后，在源/漏极层薄膜 33 上涂覆光刻胶，采用灰色调或半色调掩模板（以下以灰色调掩模板为例进行说明）也就是第一张掩模板对光刻胶进行掩模曝光、显影。对应于数据线、像素电极、TFT 的源电极和沟道的位置不曝光，对应于 TFT 漏电极的位置部分曝光，其他位置全部曝光，从而刻蚀导电层薄膜和源/漏极层薄膜，得到至少两条数据线 21、像素电极 311、TFT 的源电极 331。数据线和 TFT 的源电极都是由源/漏极层薄膜得到的，二者是连接在一起的。其中，沉积的源/漏极层薄膜的厚度例如为 200-300nm，采用的材料例如可以为铬、钼、钛、铜或铝等金属中的一种或多种的合金，例如为钼、铝的合金。图 3 为显影后的 A-A' 位置

处的截面图；图 4 为刻蚀后的 A-A'位置处的截面图，由刻蚀后的源/漏极层薄膜 33 得到至少两条数据线 21、像素电极 311、TFT 的源电极 331。对曝光和显影后的光刻胶 34 进行灰化处理，如图 5 所示为灰化后的 A-A'位置处的截面图。

- 5 刻蚀掉灰化处理后暴露出来的源/漏极层薄膜 33，得到 TFT 的漏电极 332，如图 6 所示为刻蚀并去掉灰化处理后的光刻胶的 A-A'位置处的截面图。有源层薄膜中在源电极 331 和漏电极 332 的部分则形成沟道 35。

这就完成了上述步骤 S11 中的制备两条数据线、像素电极、TFT 的源/漏电极的过程。

- 10 第二次掩模工艺：

- 沉积覆盖有源层薄膜 32、源电极 331、漏电极 332、数据线 21、像素电极 311 的绝缘层薄膜，在沉积的绝缘层薄膜上涂覆光刻胶，采用第二张掩模板对光刻胶进行掩模曝光、显影后，刻蚀绝缘层薄膜和有源层薄膜 32，得到过孔、TFT 的栅极绝缘层 36 和有源层 321。在这里将整个有源层薄膜分割成若干块，分割后的每一块成为一个像素单元中的 TFT 器件的有源层。例如，
15 所述 TFT 的有源层位于栅极扫描线与数据线分割的区域内并且遍布整个所述区域，即遍布每个像素单元的整个区域（如图 8 所示）。每条数据线对应的区域内的选定位置处设置有过孔，过孔处的数据线暴露出来，用来连接数据驱动电路；选定位置位于数据线区域内，例如可以位于数据线区域的边缘位置，也可以位于数据线区域的中央位置，较佳的方式是位于数据线区域的边缘位置。如图 7 所示为制备 TFT 器件绝缘层后的 A-A'位置处的截面图。

- 沉积绝缘层薄膜的方法有很多种，下面列举两种方法：第一种，用化学气相沉积法 PECVD 沉积例如 300-500nm 的绝缘层薄膜，材料可以选用为氮化硅（ SiN_x ）、氧化硅（ SiO_x ）等；第二种，用物理溅射法（sputter）沉积例如
25 如 300-500nm 的绝缘层薄膜，材料可以选用氧化铝（ Al_2O_3 ）等。

使用第二张掩模板实现了上述步骤 S12 中的制备过孔、TFT 的栅极绝缘层和有源层的过程。

第三次掩模工艺：

- 在绝缘层 36 上沉积栅极层薄膜，在栅极层薄膜上涂覆光刻胶，采用第三
30 张掩模板对光刻胶进行掩模曝光、显影后，刻蚀栅极层薄膜，得到 TFT 的栅

电极 37 和与数据线 21 交叉的至少两条栅极扫描线 20。其中,可以采用磁控溅射等方法沉积厚度例如为 200-300nm 的栅极层薄膜,采用的材料可以为铬、钼、钛、铜或铝等金属中的一种或多种的合金,例如为钼、铝的合金。图 8 为制备栅电极扫描线和 TFT 器件的栅电极后的 A-A'位置处的截面图。

5 使用第三张掩模板实现了上述步骤 S13 中制备栅电极扫描线和 TFT 器件的栅电极的过程。

与现有技术相比,本发明的实施例的 TFT 阵列基板在制备数据线、像素电极、TFT 的源/漏电极和沟道时使用一张掩模板,在制备过孔、TFT 的栅极绝缘层和有源层时使用一张掩模板,在制备栅极扫描线和 TFT 的栅电极时使用
10 一张掩模板,使用该方法制作 TFT 阵列基板时共需要 3 张掩模板,由于掩模板的成本较高,相对于现有技术中制备阵列基板至少 4 张掩模板而言,该方法降低了产品成本。由于使用掩模板数量减少,相应的处理工艺减少,这也就减少了产品损坏的几率即减少了产品不良发生率,从而提高了良品率和设备产能。

15 基于同一发明构思,本发明实施例提供一种薄膜晶体管阵列基板,包括基板、由交叉排列的数据线和栅极扫描线分割出的像素单元阵列,每条数据线连接一行薄膜晶体管 TFT 的源极,每条数据线对应的区域内的选定位置处设置有过孔,每条栅极扫描线连接一行 TFT 的栅极。其中:

每个像素单元的结构如图 1 和图 8 所示,图 1 为一个像素单元的俯视图,
20 图 8 为一个像素单元在 A-A'处的截面图。每个像素单元包括:位于基板 30 上的 TFT 的有源层 321;位于 TFT 的有源层 321 上方的像素电极 311 和 TFT 的沟道 35;位于像素电极上方的数据线 21 和 TFT 的源电极 331、漏电极 332;覆盖数据线 21、沟道 35、TFT 的源电极 331、漏电极 332 和有源层 321 的 TFT 的栅极绝缘层 36;位于 TFT 的栅极绝缘层 36 上的 TFT 的栅电极 37。

25 具体的,上述 TFT 的有源层位于由栅极扫描线与数据线分割的像素单元的区域并且遍布每个像素单元的整个区域(如图 8 所示)。

根据本发明的实施例至少可以提供以下结构与方法:

(1) 一种薄膜晶体管阵列基板的制作方法,包括:

在基板上制备有源层薄膜和导电层薄膜;

30 在所述导电层薄膜上沉积源/漏极层薄膜,对所述导电层薄膜和所述源/

漏极层薄膜采用灰色调或半色调掩模工艺进行处理,得到至少两条数据线、像素电极和薄膜晶体管的源/漏电极,所述薄膜晶体管的源极与所述数据线连接;

- 5 沉积覆盖所述有源层薄膜、源/漏电极、数据线、像素电极的绝缘层薄膜后,在所述绝缘层薄膜上制备过孔、薄膜晶体管的栅极绝缘层,并得到薄膜晶体管的有源层,每条所述数据线对应的区域内的选定位置处设置有所述过孔;以及

在所述绝缘层上制备薄膜晶体管的栅电极和与所述数据线交叉的至少两条栅极扫描线,所述薄膜晶体管的栅电极与所述栅极扫描线连接。

- 10 (2) 如(1)所述的方法,其中,所述在基板上制备有源层薄膜和导电层薄膜包括:

在所述基板上沉积氧化物薄膜;以及

对所述氧化物薄膜进行表面处理,在所述氧化物薄膜的表面形成一层导电层薄膜;导电层薄膜下方的未经处理的该部分氧化物薄膜为有源层薄膜。

- 15 (3) 如(2)所述的方法,其中,对所述氧化物薄膜进行表面处理包括:采用离子注入法或等离子体法对所述氧化物薄膜进行表面处理。

(4) 如(2)或(3)所述的方法,其中,沉积的所述氧化物薄膜的厚度为100-150nm;和/或处理后形成的所述导电层薄膜的厚度为50-100nm。

- 20 (5) 如(1)至(4)中任一项所述的方法,其中,对所述导电层薄膜和所述源/漏极层薄膜采用灰色调或半色调掩模工艺进行处理,得到至少两条数据线、像素电极、薄膜晶体管的源/漏电极包括:

在所述源/漏极层薄膜上涂覆光刻胶,采用灰色调或半色调掩模板对所述光刻胶曝光、显影后,刻蚀所述导电层薄膜和所述源/漏极层薄膜,得到至少两条所述数据线、像素电极和薄膜晶体管的源电极;

- 25 对曝光显影后的光刻胶进行灰化处理;以及

刻蚀掉灰化处理后暴露出来的源/漏极层薄膜,得到薄膜晶体管的漏电极。

(6) 如(1)至(5)中任一项所述的方法,其中,在所述绝缘层薄膜上制备过孔、薄膜晶体管的栅极绝缘层,并得到薄膜晶体管的有源层包括:

- 30 在沉积的所述绝缘层薄膜上涂覆光刻胶,对所述光刻胶曝光、显影后,

刻蚀所述绝缘层薄膜和所述有源层薄膜，得到过孔、薄膜晶体管的栅极绝缘层和有源层；其中，所述薄膜晶体管的有源层位于所述栅极扫描线与所述数据线分割的区域内并且遍布整个所述区域。

5 (7) 如(1)至(6)中任一项所述的方法，其中，沉积的所述绝缘层薄膜的厚度为 300-500nm。

(8) 如(1)至(7)中任一项所述的方法，其中，在所述绝缘层上制备薄膜晶体管的栅电极和与所述数据线交叉的至少两条栅极扫描线包括：

在所述绝缘层上沉积栅极层薄膜；

10 在所述栅极层薄膜上涂覆光刻胶，对所述光刻胶曝光、显影后，刻蚀所述栅极层薄膜，得到薄膜晶体管的栅电极和与所述数据线交叉的至少两条栅极扫描线。

(9) 如(8)中任一项所述的方法，其中，沉积的所述源/漏极层薄膜和/或所述栅极层薄膜的厚度为 200-300nm。

15 (10) 如(1)至(9)中任一项所述的方法，其中，所述薄膜晶体管形成以阵列方式布置，且一列薄膜晶体管的源极与一条所述数据线连接，一行薄膜晶体管的栅电极与一条所述栅极扫描线连接。

(11) 如(1)至(10)中任一项所述的方法，其中，所述有源层薄膜为氧化物半导体薄膜。

20 (12) 如(11)所述的方法，其中，所述氧化物半导体薄膜的材料包括氧化锌、氧化铟和铟镓锌氧化物。

(13) 一种薄膜晶体管阵列基板，包括基板、由交叉排列的数据线和栅极扫描线分割出的像素单元阵列，

其中，每个所述像素单元包括：

位于所述基板上的薄膜晶体管的有源层；

25 位于所述薄膜晶体管的有源层上方的像素电极；

位于所述像素电极上方的数据线和薄膜晶体管的源/漏电极；

覆盖数据线、薄膜晶体管的源/漏电极和有源层的薄膜晶体管的栅极绝缘层；

位于所述薄膜晶体管的栅极绝缘层上的薄膜晶体管的栅电极，

30 其中，每条所述数据线连接一列薄膜晶体管的源极，每条所述数据线对

应的区域内的选定位置处设置有所述过孔，每条所述栅极扫描线连接一行薄膜晶体管的栅极。

(14) 如(13)所述的阵列基板，其中，所述薄膜晶体管的有源层位于由所述栅极扫描线与所述数据线分割的像素单元的区域并且遍布整个所述区域。

(15) 如(13)或(14)所述的方法，其中，所述有源层薄膜为氧化物半导体薄膜。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种薄膜晶体管阵列基板的制作方法，包括：

在基板上制备有源层薄膜和导电层薄膜；

- 5 在所述导电层薄膜上沉积源/漏极层薄膜，对所述导电层薄膜和所述源/漏极层薄膜采用灰色调或半色调掩模工艺进行处理，得到至少两条数据线、像素电极和薄膜晶体管的源/漏电极，所述薄膜晶体管的源极与所述数据线连接；

- 10 沉积覆盖所述有源层薄膜、源/漏电极、数据线、像素电极的绝缘层薄膜后，在所述绝缘层薄膜上制备过孔、薄膜晶体管的栅极绝缘层，并得到薄膜晶体管的有源层，每条所述数据线对应的区域内的选定位置处设置有所述过孔；以及

在所述绝缘层上制备薄膜晶体管的栅电极和与所述数据线交叉的至少两条栅极扫描线，所述薄膜晶体管的栅电极与所述栅极扫描线连接。

- 15 2、如权利要求1所述的方法，其中，所述在基板上制备有源层薄膜和导电层薄膜包括：

在所述基板上沉积氧化物薄膜；以及

对所述氧化物薄膜进行表面处理，在所述氧化物薄膜的表面形成一层导电层薄膜；导电层薄膜下方的未经处理的该部分氧化物薄膜为有源层薄膜。

- 20 3、如权利要求2所述的方法，其中，对所述氧化物薄膜进行表面处理包括：

采用离子注入法或等离子体法对所述氧化物薄膜进行表面处理。

4、如权利要求2或3所述的方法，其中，沉积的所述氧化物薄膜的厚度为100-150nm；和/或处理后形成的所述导电层薄膜的厚度为50-100nm。

- 25 5、如权利要求1至4中任一项所述的方法，其中，对所述导电层薄膜和所述源/漏极层薄膜采用灰色调或半色调掩模工艺进行处理，得到至少两条数据线、像素电极、薄膜晶体管的源/漏电极包括：

- 30 在所述源/漏极层薄膜上涂覆光刻胶，采用灰色调或半色调掩模板对所述光刻胶曝光、显影后，刻蚀所述导电层薄膜和所述源/漏极层薄膜，得到至少两条所述数据线、像素电极和薄膜晶体管的源电极；

对曝光显影后的光刻胶进行灰化处理；以及
刻蚀掉灰化处理后暴露出来的源/漏极层薄膜，得到薄膜晶体管的漏电极。

- 6、如权利要求 1 至 5 中任一项所述的方法，其中，在所述绝缘层薄膜上
5 制备过孔、薄膜晶体管的栅极绝缘层，并得到薄膜晶体管的有源层包括：

在沉积的所述绝缘层薄膜上涂覆光刻胶，对所述光刻胶曝光、显影后，
刻蚀所述绝缘层薄膜和所述有源层薄膜，得到过孔、薄膜晶体管的栅极绝缘
层和有源层；其中，所述薄膜晶体管的有源层位于所述栅极扫描线与所述数
据线分割的区域内并且遍布整个所述区域。

- 10 7、如权利要求 1 至 6 中任一项所述的方法，其中，沉积的所述绝缘层薄
膜的厚度为 300-500nm。

8、如权利要求 1 至 7 中任一项所述的方法，其中，在所述绝缘层上制备
薄膜晶体管的栅电极和与所述数据线交叉的至少两条栅极扫描线包括：

在所述绝缘层上沉积栅极层薄膜；

- 15 在所述栅极层薄膜上涂覆光刻胶，对所述光刻胶曝光、显影后，刻蚀所
述栅极层薄膜，得到薄膜晶体管的栅电极和与所述数据线交叉的至少两条栅
极扫描线。

9、如权利要求 8 中任一项所述的方法，其中，沉积的所述源/漏极层薄
膜和/或所述栅极层薄膜的厚度为 200-300nm。

- 20 10、如权利要求 1 至 9 中任一项所述的方法，其中，所述薄膜晶体管形
成为以阵列方式布置，且一列薄膜晶体管的源极与一条所述数据线连接，一
行薄膜晶体管的栅电极与一条所述栅极扫描线连接。

11、如权利要求 1 至 10 中任一项所述的方法，其中，所述有源层薄膜为
氧化物半导体薄膜。

- 25 12、如权利要求 11 所述的方法，其中，所述氧化物半导体薄膜的材料包
括氧化锌、氧化铟和铟镓锌氧化物。

13、一种薄膜晶体管阵列基板，包括基板、由交叉排列的数据线和栅极
扫描线分割出的像素单元阵列，

其中，每个所述像素单元包括：

- 30 位于所述基板上的薄膜晶体管的有源层；

位于所述薄膜晶体管的有源层上方的像素电极;

位于所述像素电极上方的数据线和薄膜晶体管的源/漏电极;

覆盖数据线、薄膜晶体管的源/漏电极和有源层的薄膜晶体管的栅极绝缘层;

5 位于所述薄膜晶体管的栅极绝缘层上的薄膜晶体管的栅电极,

其中, 每条所述数据线连接一系列薄膜晶体管的源极, 每条所述数据线对应的区域内的选定位置处设置有所述过孔, 每条所述栅极扫描线连接一行薄膜晶体管的栅极。

10 14、如权利要求 13 所述的阵列基板, 其中, 所述薄膜晶体管的有源层位于由所述栅极扫描线与所述数据线分割的像素单元的区域并且遍布整个所述区域。

15 15、如权利要求 13 或 14 所述的方法, 其中, 所述有源层薄膜为氧化物半导体薄膜。

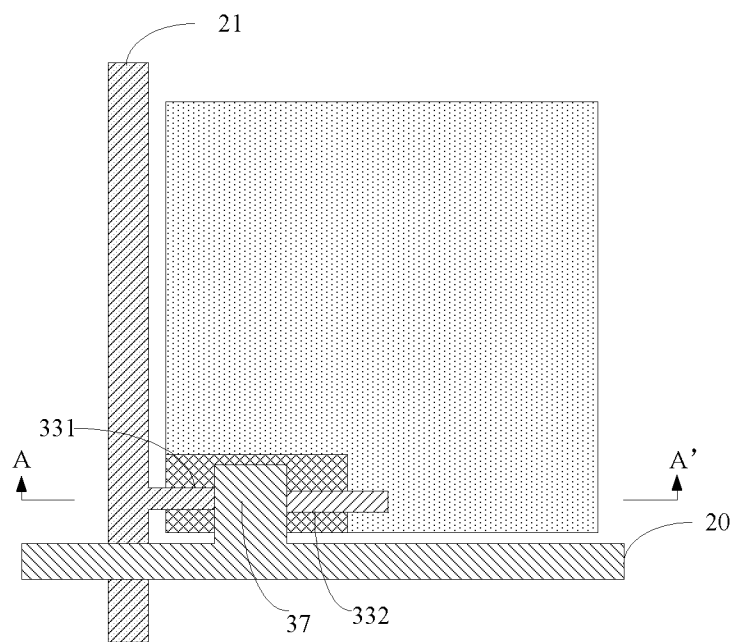


图 1

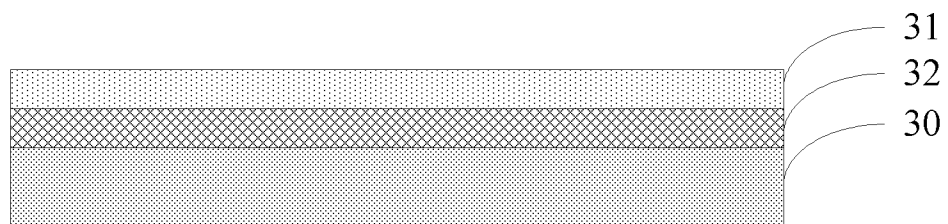


图 2

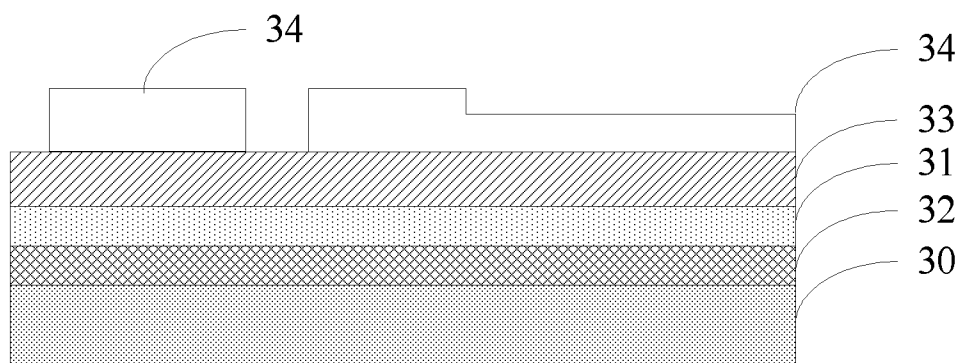


图 3

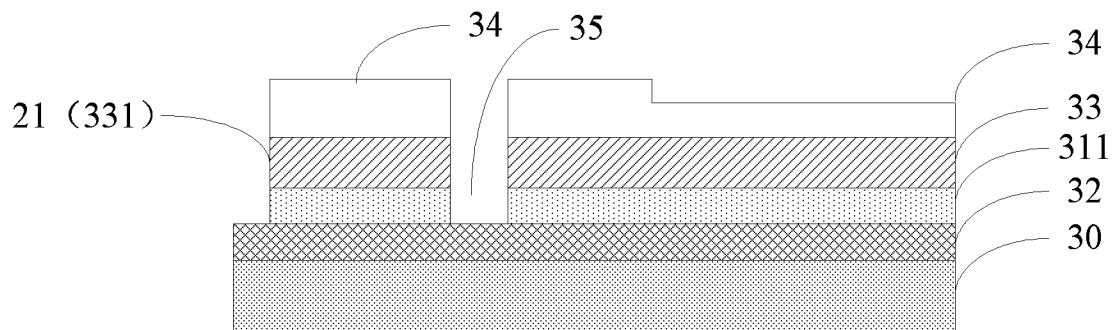


图 4

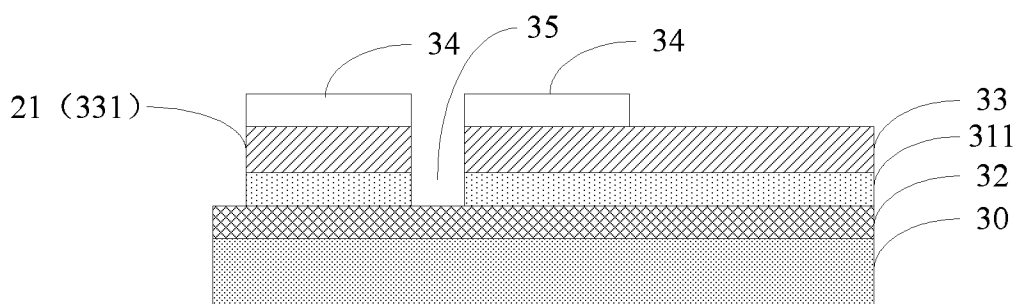


图 5

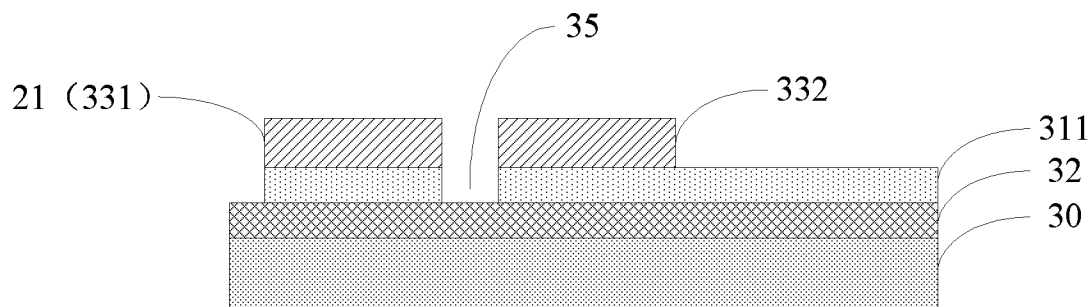


图 6

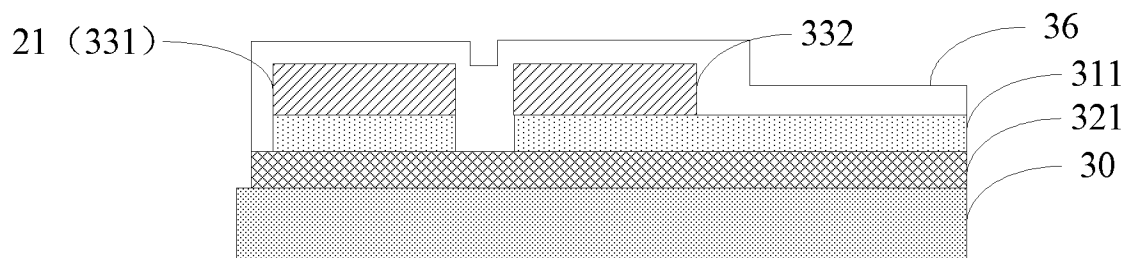


图 7

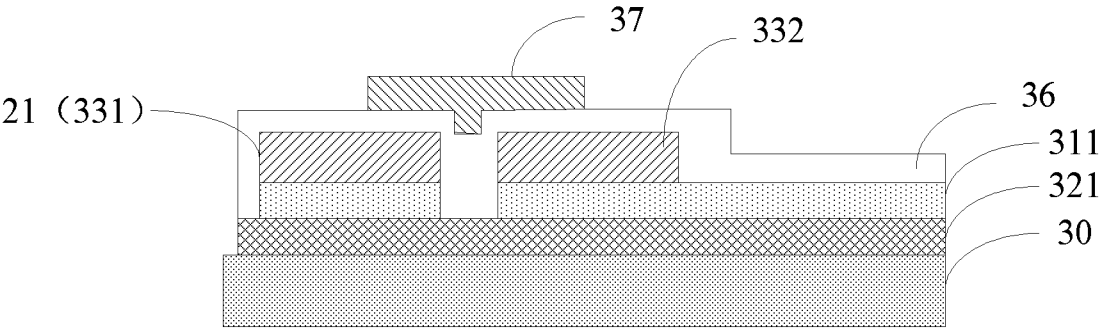


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/084970

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L, G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC, IEEE: TFT, side wall, thin film transistor, source, drain, active, gate, mask, hole, open, pixel, scan

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 102629590 A (BOE TECHNOLOGY GROUP CO., LTD.), 08 August 2012 (08.08.2012), the whole document	1-15
PX	CN 102651341 A (BOE TECHNOLOGY GROUP CO., LTD.), 29 August 2012 (29.08.2012), the whole document	1-15
A	CN 101840118 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 22 September 2010 (22.09.2010), the whole document	1-15
A	CN 10118913 A (MITSUBISHI ELECTRIC CORP.), 06 February 2008 (06.02.2008), the whole document	1-15
A	CN 101123261 A (AU OPTRONICS CORP.), 13 February 2008 (13.02.2008), the whole document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 February 2013 (18.02.2013)	Date of mailing of the international search report 28 February 2013 (28.02.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LIU, Guoliang Telephone No.: (86-10) 62411893

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/084970

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102629590 A	08.08.2012	None	
CN 102651341 A	29.08.2012	None	
CN 101840118 A	22.09.2010	None	
CN 101118913 A	06.02.2008	US 7683977 B2	23.03.2010
		CN 101118913 B	19.01.2011
		US 2008029767 A1	07.02.2008
		KR 20080012768 A	12.02.2008
		JP 2008041865 A	21.02.2008
		TW 200820445 A	01.05.2008
		JP 5128091 B2	23.01.2013
CN 101123261 A	13.02.2008	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/084970

CONTINUATION: CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i

H01L 27/12 (2006.01) i

国际检索报告

国际申请号

PCT/CN2012/084970

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

包含在检索领域中的除最低限度文献以外的检索文献

IPC: H01L, G02F

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPODOC, IEEE: 薄膜晶体管, TFT, 源, 漏, 有源, 栅, 侧壁, 掩模, 孔, 开口, 像素, 扫描, thin film transistor, source, drain, active, gate, mask, hole, open, pixel, scan

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN102629590A(京东方科技集团股份有限公司)08.8 月 2012(08.08.2012) 全文	1-15
PX	CN102651341A(京东方科技集团股份有限公司)29.8 月 2012(29.08.2012) 全文	1-15
A	CN101840118A(北京京东方光电科技有限公司)22.9 月 2010(22.09.2010) 全文	1-15
A	CN101118913A(三菱电机株式会社)06.2 月 2008(06.02.2008) 全文	1-15
A	CN101123261A(友达光电股份有限公司)13.2 月 2008(13.02.2008) 全文	1-15

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

18.2 月 2013(18.02.2013)

国际检索报告邮寄日期

28.2 月 2013 (28.02.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

刘国梁

电话号码: (86-10) **62411893**

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2012/084970

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102629590A	08.08.2012	无	
CN102651341A	29.08.2012	无	
CN101840118A	22.09.2010	无	
CN101118913A	06.02.2008	US7683977 B2	23.03.2010
		CN101118913B	19.01.2011
		US2008029767 A1	07.02.2008
		KR20080012768A	12.02.2008
		JP2008041865A	21.02.2008
		TW200820445A	01.05.2008
		JP5128091B2	23.01.2013
CN101123261A	13.02.2008	无	

续：主题的分类

H01L 21/77(2006.01)i

H01L 27/12(2006.01)i