



(12)发明专利

(10)授权公告号 CN 103219361 B

(45)授权公告日 2017.05.10

(21)申请号 201310013795.5

(22)申请日 2013.01.15

(65)同一申请的已公布的文献号

申请公布号 CN 103219361 A

(43)申请公布日 2013.07.24

(30)优先权数据

2012-008102 2012.01.18 JP

(73)专利权人 精工爱普生株式会社

地址 日本东京

(72)发明人 渡边幸宗

(74)专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 刘建

(51)Int.Cl.

H01L 29/06(2006.01)

H01L 21/02(2006.01)

C30B 29/36(2006.01)

(56)对比文件

JP 2002329672 A, 2002.11.15,

US 2004053438 A1, 2004.03.18,

CN 101887848 A, 2010.11.17,

CN 101071794 A, 2007.11.14,

US 6940098 B1, 2005.09.06,

审查员 周天微

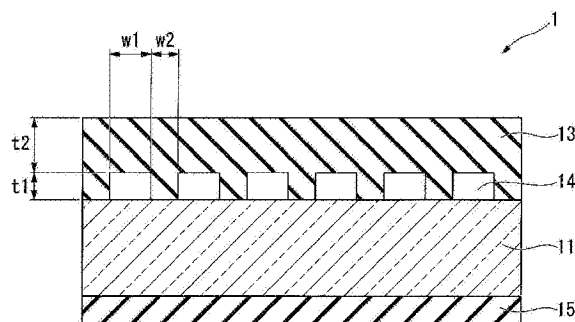
权利要求书2页 说明书11页 附图8页

(54)发明名称

半导体基板及半导体基板的制造方法

(57)摘要

本发明提供能够形成结晶缺陷少的高品质的单晶碳化硅膜且能够抑制晶片的翘曲的半导体基板及其制造方法。半导体基板包括：硅基板(11)；形成在硅基板(11)的表面的单晶碳化硅膜(13)；形成在硅基板(11)的形成有单晶碳化硅膜(13)的一侧的相反侧的面上且对该面施加压缩应力而缓和硅基板(11)的应力的应力缓和膜(15)，在单晶碳化硅膜(13)的硅基板(11)一侧的部分，沿该单晶碳化硅膜(13)与硅基板(11)之间的界面存在有多个空隙(14)。



1. 一种半导体基板,其特征在于,包括:

硅基板;

单晶碳化硅膜,其配置在所述硅基板的表面上;

应力缓和膜,其配置在所述硅基板的配置有所述单晶碳化硅膜一侧的相反侧的面上,且对所述相反侧的面施加压缩应力而缓和所述硅基板的应力,

在所述单晶碳化硅膜的所述硅基板一侧的部分,沿所述单晶碳化硅膜与所述硅基板之间的界面存在多个空隙,

空隙的宽度小于空隙上部的单晶碳化硅膜的高度的两倍,

所述应力缓和膜由第一应力缓和膜和第二应力缓和膜层叠而成,

所述第二应力缓和膜的热膨胀系数比所述硅基板的热膨胀系数大。

2. 根据权利要求1所述的半导体基板,其特征在于,

所述应力缓和膜包含氧化硅、氮化硅、多晶硅、非晶硅中的任一种。

3. 一种半导体基板的制造方法,其特征在于,包括:

在硅基板的表面形成掩膜件的第一工序;

在所述掩膜件上形成多个开口部,且使所述硅基板的一部分露出的第二工序;

以露出的所述硅基板的表面为基点而使单晶碳化硅生长,并使所述单晶碳化硅的生长在所述掩膜件的表面的一部分露出的状态下停止的第三工序;

除去所述掩膜件的至少一部分的第四工序;

在所述第四工序后进行单晶碳化硅的生长而形成单晶碳化硅膜的第五工序;

在所述第五工序之前,在所述硅基板的形成有所述单晶碳化硅膜一侧的相反侧的面上形成应力缓和膜的第六工序,该应力缓和膜对所述相反侧的面施加压缩应力而缓和所述硅基板的应力,

在所述第三工序之前,在所述硅基板的形成有所述单晶碳化硅膜一侧的相反侧的面上形成第一应力缓和膜,

在所述第三工序和所述第五工序之间,在所述第一应力缓和膜的表面形成第二应力缓和膜,

所述应力缓和膜由所述第一应力缓和膜和所述第二应力缓和膜层叠而成。

4. 一种半导体基板的制造方法,其特征在于,包括:

在硅基板的表面形成掩膜件的第一工序;

在所述掩膜件上形成多个开口部,且使所述硅基板的一部分露出的第二工序;

以露出的所述硅基板的表面为基点而使单晶碳化硅生长,并使所述单晶碳化硅的生长在所述掩膜件的表面的一部分露出的状态下停止的第三工序;

除去所述掩膜件的至少一部分的第四工序;

在所述第四工序后进行单晶碳化硅的生长而形成单晶碳化硅膜的第五工序;

在所述第五工序之前,在所述硅基板的形成有所述单晶碳化硅膜一侧的相反侧的面上形成应力缓和膜的第六工序,该应力缓和膜对所述相反侧的面施加压缩应力而缓和所述硅基板的应力,

在所述第三工序之前,在所述硅基板的形成有所述单晶碳化硅膜一侧的相反侧的面上形成所述应力缓和膜,

在所述第三工序与所述第五工序之间,调整所述应力缓和膜的膜厚。

5.根据权利要求4所述的半导体基板的制造方法,其特征在于,

在所述第一工序中,在所述硅基板的形成有所述单晶碳化硅膜一侧的相反侧的面上形成所述应力缓和膜。

6.根据权利要求3~5中任一项所述的半导体基板的制造方法,其特征在于,

所述掩膜件的形成材料包含氧化硅、氮化硅中的任一种。

7.根据权利要求3~5中任一项所述的半导体基板的制造方法,其特征在于,

所述应力缓和膜的形成材料包含氧化硅、氮化硅、多晶硅、非晶硅中的任一种。

8.根据权利要求3或4所述的半导体基板的制造方法,其特征在于,

所述第三工序包含使所述单晶碳化硅外延生长的工序,

所述第五工序包含使所述单晶碳化硅外延生长的工序。

半导体基板及半导体基板的制造方法

技术领域

[0001] 本发明涉及半导体基板及半导体基板的制造方法。

背景技术

[0002] 作为宽带隙半导体的碳化硅(SiC)与现有的硅(Si)相比,具有2倍以上的带隙,因而作为高耐压设备用的材料而备受瞩目。该SiC的结晶形成温度比Si温度高,因此,通过由液相的提拉法形成单晶块很困难,从而采用升华法进行单晶块的形成。然而,在升华法中,以大口径形成结晶缺陷少的SiC基板非常困难。并且,当前市场出售的SiC基板的口径为3~4英寸,其价格也非常昂贵。

[0003] SiC的种类根据其结晶结构而存在立方晶(3C-SiC)、六方晶(4H-SiC、6H-SiC)等SiC。尤其是,具有立方晶结晶结构的SiC(3C-SiC)能够以比较低的温度形成,能够在Si基板上直接进行外延生长。因此,作为SiC基板的大口径化的手段研究了在Si基板的表面结晶生长3C-SiC的异质外延技术。然而,Si、3C-SiC的晶格常数分别为0.543nm、0.436nm,存在约20%的差。另外,Si和3C-SiC的热膨胀系数也分别为 $2.55 \times 10^{-6} \text{K}^{-1}$ 、 $2.77 \times 10^{-6} \text{K}^{-1}$,存在约8%的差。如此,由于Si和3C-SiC的晶格常数及热膨胀系数不同,因此,难以获得结晶缺陷少的高品质的外延膜。另外,这种晶格常数及热膨胀系数的差导致在Si基板上产生大的应力,产生晶片的翘曲之类的问题。

[0004] 研究了为了解决这种问题的技术,例如,在专利文献1中,在碳化硅的生长用基板的表面形成掩膜层后,在掩膜层形成开口部而使基板表面露出,从而进行单晶碳化硅的外延生长,使开口部的高度成为开口部的宽度的 $2^{1/2}$ 以上且超过所形成的单晶碳化硅的厚度的高度。

[0005] 【在先技术文献】

[0006] 【专利文献】

[0007] 【专利文献1】日本特开平11-181567号公报

[0008] 然而,因单晶碳化硅膜被厚膜化,在单晶碳化硅膜形成在基板的整面时,晶格常数及热膨胀系数的差引起的基板的应力显著,从而产生晶片的翘曲。

发明内容

[0009] 本发明的一方式提供一种形成结晶缺陷少的高品质的单晶碳化硅膜且能够抑制晶片的翘曲的半导体基板及半导体基板的制造方法。

[0010] 为了解决上述课题,本发明的半导体基板的特征在于,包括:硅基板;单晶碳化硅膜,其配置在所述硅基板的表面上;应力缓和膜,其配置在所述硅基板的配置有所述单晶碳化硅膜一侧的相反侧的面上,且对所述相反侧的面施加压缩应力而缓和所述硅基板的应力,在所述单晶碳化硅膜的所述硅基板一侧的部分,沿所述单晶碳化硅膜与所述硅基板之间的界面存在多个空隙。

[0011] 根据本发明的半导体基板,能够利用多个空隙吸收因硅基板和单晶碳化的硅晶格

常数及热膨胀系数不同引起的单晶碳化硅膜的应力。另外,因所述硅基板和单晶碳化硅的晶格常数及热膨胀系数不同引起的硅基板的应力也可以由多个空隙吸收。进而,通过应力缓和膜能够缓和没能被多个空隙吸收而残留的硅基板的应力。具体而言,即使因硅基板和单晶碳化硅的晶格常数及热膨胀系数不同对硅基板的形成有单晶碳化硅膜的面作用压缩应力,也能够通过对与该面相反侧的面(硅基板的形成有应力缓和膜的面)施加压缩应力而使作用于硅基板的压缩应力抵消。由此,能够形成结晶缺陷少的高品质的单晶碳化硅膜且能够抑制晶片的翘曲。

[0012] 另外,在本发明的半导体基板中,所述应力缓和膜可以由第一应力缓和膜和第二应力缓和膜层叠而成。

[0013] 根据该结构,能够由第一应力缓和膜和第二应力缓和膜构成彼此不同种类的膜。例如,能够对第一应力缓和膜和第二应力缓和膜适当变更各自的膜厚、形成材料的种类等形成条件。由此,能够调整对没能被多个空隙吸收而残留的硅基板的应力进行缓和的程度。因此,容易抑制晶片的翘曲。

[0014] 另外,在本发明的半导体基板中,所述应力缓和膜的形成材料可以包含氧化硅、氮化硅、多晶硅、非晶硅中的任一种。

[0015] 根据该结构,能够实现可以在硅基板的形成有单晶碳化硅膜一侧的相反侧的面上施加压缩应力的应力缓和膜。

[0016] 本发明的半导体基板的制造方法的特征在于,包括:在硅基板的表面形成掩膜件的第一工序;在所述掩膜件上形成多个开口部,且使所述硅基板的一部分露出的第二工序;以露出的所述硅基板的表面为基点而使单晶碳化硅外延生长,使所述单晶碳化硅的外延生长在所述掩膜件的表面的一部分露出的状态下停止的第三工序;除去所述掩膜件的至少一部分的第四工序;在所述第四工序之后再次开始所述单晶碳化硅的所述外延生长,形成单晶碳化硅膜的第五工序;在所述第五工序之前,在所述硅基板的形成有所述单晶碳化硅膜一侧的相反侧的面形成应力缓和膜的第六工序,该应力缓和膜对所述相反侧的面施加压缩应力而缓和所述硅基板的应力。

[0017] 根据本发明的半导体基板的制造方法,在单晶硅和单晶碳化硅膜的界面产生的面缺陷伴随单晶碳化硅的生长而向上层传播,到达掩膜件的开口部的侧壁而消失。另外,通过多个空隙能够吸收因硅基板和单晶碳化硅的晶格常数及热膨胀系数不同引起的单晶碳化硅膜的应力。另外,所述因硅基板和单晶碳化硅的晶格常数及热膨胀系数不同引起的硅基板的应力也可以由多个空隙吸收。进而,通过应力缓和膜能够缓和没能被多个空隙吸收而残留的硅基板的应力。具体而言,即使因硅基板和单晶碳化硅晶格常数及热膨胀系数不同而在硅基板的形成有单晶碳化硅膜的面作用有压缩应力,也能够通过对与该面相反侧的面(硅基板的形成有应力缓和膜的面)施加压缩应力而使作用于硅基板的压缩应力抵消。由此,能够形成结晶缺陷少的高品质的单晶碳化硅膜且能够抑制晶片的翘曲。

[0018] 另外,以本发明的半导体基板的制造方法为基础,所述第六工序可以包括:在所述硅基板的形成有所述单晶碳化硅膜一侧的相反侧的面上形成第一应力缓和膜的工序;在所述第一应力缓和膜的表面形成第二应力缓和膜的工序。

[0019] 根据该方法,能够由第一应力缓和膜和第二应力缓和膜构成彼此不同种类的应力缓和膜。例如,对第一应力缓和膜和第二应力缓和膜能够适当变更各个膜厚、形成材料的种

类等形成条件。由此，能够调整对没能被多个空隙吸收而残留的硅基板的应力进行调整的程度。由此，能够抑制晶片的翘曲。

[0020] 另外，以本发明的半导体基板的制造方法为基础，可以在所述第三工序之前，在所述硅基板的形成有所述单晶碳化硅膜一侧的相反侧的面上形成所述第一应力缓和膜，在所述第三工序和所述第五工序之间，在所述第一应力缓和膜的表面形成所述第二应力缓和膜。

[0021] 根据该方法，在单晶碳化硅的外延生长在掩膜件的表面的一部分露出的状态下停止的过程中，在使单晶碳化硅外延生长的初期阶段，能够利用第一应力缓和膜吸收因硅基板和单晶碳化硅的晶格常数及热膨胀系数不同而引起的硅基板的应力。另外，在除去掩膜件的至少一部分之后，再次开始单晶碳化硅的外延生长，在形成单晶碳化硅膜的过程中，能够利用第一应力缓和膜和第二应力缓和膜吸收因硅基板和单晶碳化硅的晶格常数及热膨胀系数不同引起的硅基板的应力。即，能够利用不同种类的应力缓和膜吸收不同时刻在硅基板产生的应力。由此，容易抑制晶片的翘曲。

[0022] 另外，以本发明的半导体基板的制造方法为基础，可以在所述第三工序之前，在所述硅基板的形成有所述单晶碳化硅膜一侧的相反侧的面上形成所述应力缓和膜，在所述第三工序与所述第五工序之间，调整所述应力缓和膜的膜厚。

[0023] 根据该方法，在使单晶碳化硅的外延生长在掩膜件的表面的一部分露出的状态下停止的过程中，在使单晶碳化硅外延生长的初期阶段，能够利用应力缓和膜吸收因硅基板和单晶碳化硅的晶格常数及热膨胀系数不同引起的硅基板的应力。另外，在除去掩膜件的至少一部分后，再次开始单晶碳化硅的外延生长，在形成单晶碳化硅膜的过程中，能够利用调整了膜厚后的应力缓和膜吸收因硅基板和单晶碳化硅的晶格常数及热膨胀系数不同引起的硅基板的应力。即，能够利用膜厚不同的应力缓和膜吸收在不同的时刻在硅基板产生的应力。由此，容易抑制晶片的翘曲。

[0024] 另外，以本发明的半导体基板的制造方法为基础，可以在所述第一工序中，在所述硅基板的形成有所述单晶碳化硅膜一侧的相反侧的面上形成所述应力缓和膜。

[0025] 根据该方法，能够利用与掩膜件的形成工序相同的工序形成应力缓和膜。由此，与利用不同于掩膜件的形成工序的工序形成应力缓和膜的情况相比，能够简化制造工序。

[0026] 另外，以本发明的半导体基板的制造方法为基础，所述掩膜件的形成材料可以包含氧化硅、氮化硅中的任一种。

[0027] 根据该方法，能够以简单的方法在硅基板的表面上形成掩膜件。

[0028] 另外，以本发明的半导体基板的制造方法为基础，所述应力缓和膜的形成材料可以包含氧化硅、氮化硅、多晶硅、非晶硅中的任一种。

[0029] 根据该方法，能够实现可以在硅基板的形成有单晶碳化硅膜一侧的相反侧的面上施加压缩应力的应力缓和膜。

附图说明

[0030] 图1是表示本发明的第一实施方式涉及的半导体基板的概略结构的示意图。

[0031] 图2是表示该第一实施方式涉及的半导体基板的制造方法的过程图。

[0032] 图3是继图2后表示第一实施方式涉及的半导体基板的制造方法的过程图。

[0033] 图4是表示该第一实施方式涉及的半导体基板的制造过程中抑制晶片翘曲的情况的图。

[0034] 图5是表示本发明的第二实施方式涉及的半导体基板的概略结构的示意图。

[0035] 图6是表示该第二实施方式涉及的半导体基板的制造方法的过程图。

[0036] 图7是表示本发明的第三实施方式涉及的半导体基板的概略结构的示意图。

[0037] 图8是表示该第三实施方式涉及的半导体基板的制造方法的过程图。

[0038] 【符号说明】

[0039] 1、2、3…半导体基板、11…硅基板、12…掩膜件、12h…开口部、13…单晶硅膜、13A…单晶硅、14…空隙、15、31…应力缓和膜、21…第一应力缓和膜、22…第二应力缓和膜

具体实施方式

[0040] 以下,参照附图对本发明的实施方式进行说明。该实施方式表示本发明的一方式,并对本发明不构成限制,本发明能够在其技术思想的范围内进行任意变更。另外,在以下的图面中,为了便于表示各结构,实际的结构与附图各结构的比例和数量等存在不同。

[0041] (第一实施方式)

[0042] 图1是表示本发明的第一实施方式涉及的半导体基板1的概略结构的示意图。

[0043] 如图1所示,半导体基板1具备:硅基板11、形成在硅基板11的表面上的单晶碳化硅膜13、在硅基板11的形成有单晶碳化硅膜13一侧的相反侧的面(硅基板11的背面)上形成的应力缓和膜15。

[0044] 硅基板11例如通过对利用CZ法(直拉法)提取的硅单晶块进行切割研磨而形成。该硅基板11的表面构成由密勒指数(100)表示的结晶面。另外,结晶面的结晶轴可以使用几度倾斜的偏置基板。

[0045] 需要说明的是,在本实施方式中,作为硅基板11使用硅单晶基板,但并不限于此。例如,也可以在由石英、蓝宝石或不锈钢构成的基板上形成单晶硅膜。在本申请说明书中,将在硅单晶基板、或者例如由石英、蓝宝石或不锈钢构成的基板上形成有单晶硅膜的结构称为硅基板。

[0046] 另外,硅基板11的表面成为由密勒指数(100)表示的结晶面,但除(100)面以外,也可以为相对于(100)面倾斜了54.73度的(111)面。这种硅基板11的晶格常数为0.543nm。

[0047] 单晶碳化硅膜13形成在硅基板11的表面上。单晶碳化硅膜13为立方晶碳化硅(3C-SiC)外延生长而形成的半导体膜。对于3C-SiC,由于带隙值宽到2.2eV以上,且热传导率、绝缘击穿电场高,因此优选作为电力设备用的宽带隙半导体。这种由3C-SiC构成的单晶碳化硅膜13的晶格常数为0.436nm。在单晶碳化硅膜13的硅基板11一侧的部分沿当该单晶碳化硅膜13与硅基板11之间的界面存在有多个空隙14。

[0048] 在图1中,符号t1为空隙14的高度,符号t2为从空隙14的上端到单晶碳化硅膜13的表面的高度,符号w1为空隙14的宽度,符号w2为单晶碳化硅膜13与硅基板11相接的部分的宽度(相邻的两个空隙14之间的单晶碳化硅膜13的宽度)。

[0049] 空隙14的高度t1优选比单晶碳化硅膜13与硅基板11相接的部分的宽度w2的 $\sqrt{2}$ 倍更高($t1 > \sqrt{2} \times w2$),高度为500nm以上1000nm以下的范围内。例如,空隙14的高度t1为500nm时,单晶碳化硅膜13与硅基板11相接的部分的宽度w2为350nm左右。

[0050] 空隙14的宽度 w_1 根据单晶碳化硅膜的膜厚来规定。空隙14的宽度 w_1 与从该空隙14的上端到单晶碳化硅膜13的表面的高度 t_2 的关系为 $w_1 < 2 \times t_2$ 。

[0051] 应力缓和膜15形成在硅基板11的背面。应力缓和膜15的形成材料包括例如氧化硅、氮化硅、多晶硅、非晶硅中的任一种。在本实施方式中,作为应力缓和膜15的形成材料使用非晶硅。应力缓和膜15通过对硅基板11的形成有单晶碳化硅膜13一侧的相反侧的面上施加压缩应力而缓和硅基板11的应力。

[0052] (半导体基板的制造方法)

[0053] 图2及图3是表示本实施方式涉及的半导体基板的制造方法的过程图。

[0054] 首先,准备硅基板11将单晶硅收容于真空腔中,在真空气氛下,对硅基板11的表面进行热处理(参照图2(a))。通过该热处理使硅基板11表面清洁,除去附着于硅基板11表面上的杂质。需要说明的是,在以下的说明中,有时将硅基板的温度简称为“基板温度”。

[0055] 其次,在硅基板11的表面形成掩膜件12(参照图2(b),第一工序)。作为掩膜件的形成材料使用例如氧化硅、氮化硅中的任一种。在此,通过使用热氧化法对硅基板11的表面进行热氧化处理而在硅基板11的表面形成掩膜件12。另外,掩膜件12的膜厚设定在例如500nm以上1000nm以下的范围内。

[0056] 其次,使掩膜件12图案化而形成开口部12h,使硅基板11的表面的一部分露出(参照图2(c),第二工序)。例如,在掩膜件12上涂敷抗蚀剂,通过光刻法将抗蚀剂图案化成所需的图案,例如线宽和间隔(line and space)。将如此图案化后的抗蚀剂作为掩膜,对掩膜件12实施蚀刻。由此,掩膜件12被图案化为所需的图案形状,硅基板11的表面的一部分在该掩膜件12的开口部12h露出。

[0057] 例如,将图案化后的掩膜件12的高度设为500nm左右,将该掩膜件12的宽度设为500nm左右,将掩膜件12的开口部12h的宽度设为500nm左右。

[0058] 在此,掩膜件12的开口部12h的宽度为350nm以上1000nm以下。当开口部12h的宽度比350nm小时,在进行光电图案化之际,需要比i线分级器更高的精度,这导致制造成本的增加。另外,存在因在硅基板11和单晶碳化硅13A中晶格常数及热膨胀系数不同而产生的单晶碳化硅膜13的应力无法被空隙14充分吸收的可能性。另一方面,当开口部12h的宽度比1000nm大时,在掩膜件12产生的应力变大,存在导致对单晶碳化硅膜13的结晶性带来影响的可能性。

[0059] 需要说明的是,在掩膜件12的蚀刻中,需要开口部12h的侧壁的垂直性,因此,利用反应性离子蚀刻(Reactive Ion Etching,RIE)等干式蚀刻进行的各向异性蚀刻来进行。

[0060] 其次,将单晶碳化硅膜13的原料气体导入腔内,将基板温度设定为1000℃左右。在此,当基板温度超过1000℃时,导入到硅基板11的表面附近的碳原料气体容易热分解等,难以形成稳定的碳原料气体的气氛,因而不优选。

[0061] 作为原料气体使用例如乙烯(C_2H_4)气体及二氯二氢硅(SiH_2Cl_2)气体。作为原料气体的流量,例如将乙烯(C_2H_4)气体的流量设为2.5sccm左右,将二氯二氢硅(SiH_2Cl_2)气体的流量设为10sccm左右。

[0062] 由此,以从硅基板11的开口部12h露出的部分作为基点,使单晶碳化硅13A外延生长,并使该单晶碳化硅13A的外延生长在掩膜件12的表面一部分露出状态下停止(参照图2(d),第三工序)。

[0063] 例如,通过在图案化后的掩膜件12的高度为500nm左右,该掩膜件12的宽度为500nm左右,掩膜件12的开口部12h的宽度为500nm左右的情况下,将单晶碳化硅的高度形成到700nm左右,从而能够使掩膜件12的表面在该掩膜件12的宽度方向上左右扩开100nm左右的状态下停止单晶碳化硅13A的外延生长。在本实施方式中,利用所述条件使单晶碳化硅13A的外延生长进行两个小时,从而形成高度为700nm左右的单晶碳化硅。

[0064] 其次,从选择生长的单晶碳化硅13A的间隙通过蚀刻除去掩膜件12(参照图3(a),第四工序)。掩膜件12的蚀刻通过例如稀释HF溶液(DHF溶液)进行的湿式蚀刻来进行。也可以通过基于DHF的各向同性蚀刻将掩膜件12选择性地除去。

[0065] 其次,在硅基板11的背面形成应力缓和膜15(参照图3(b),第六工序)。作为应力缓和膜15的形成材料,使用例如非晶硅。需要说明的是,作为应力缓和膜15的形成材料,优选使用热膨胀系数比硅基板11的热膨胀系数大的材料。由此,能够对硅基板11的背面(硅基板11的形成有应力缓和膜15的面)作用压缩应力。

[0066] 作为应力缓和膜15的形成方法,可以使用例如等离子体CVD法、溅射法。在使用该方法的情况下,优选将硅基板11翻转,以硅基板11的背面作为上面来配置。

[0067] 需要说明的是,作为应力缓和膜15的形成方法可以使用热CVD法。在使用该方法的情况下,在除去掩膜件12之前,在硅基板11的两面同时形成应力缓和膜,然后,仅除去硅基板11的表面侧的应力缓和膜,接着除去掩膜件12。由此,能够将应力缓和膜15仅形成在硅基板11的背面。硅基板11的表面侧的应力缓和膜(作为形成材料使用了非晶硅的应力缓和膜)的除去可以利用DHF及臭氧水的混合液进行湿式蚀刻来实现。在该蚀刻之后,利用DHF蚀刻掩膜件12。

[0068] 其次,使停止了外延生长的单晶碳化硅13的外延生长再次开始,形成覆盖空隙14的单晶碳化硅膜13(参照图3(c),第五工序)。再次开始单晶碳化硅13的外延生长的条件是利用与所述选择生长(第三工序)相同的条件进行。以在硅基板11和单晶碳化硅膜13之间残存空隙14的状态密封空隙14。通过多个空隙14吸收因硅基板11和单晶碳化硅13A的晶格常数及热膨胀系数不同而产生的单晶碳化硅膜13的应力。

[0069] 需要说明的是,在使单晶碳化硅13的外延生长再次开始之际,使单晶碳化硅13A的高度形成至750nm左右,从而能够填埋空隙14。进而,通过将单晶碳化硅的高度形成为750nm以上的高度,从而能够使单晶碳化硅膜13的表面平坦化。

[0070] 通过以上的工序能够制造本实施方式的半导体基板1。

[0071] 图4是表示在本实施方式涉及的半导体基板的制造过程中晶片的翘曲得到抑制的状况的图。需要说明的是,在此的“晶片”包括硅基板、半导体基板、由硅基板制造半导体基板的过程中形成有各种膜的硅基板整体。

[0072] 因硅基板和单晶碳化硅晶格常数及热膨胀系数不同而导致在硅基板11产生应力,从而导致晶片产生翘曲。

[0073] 图4(a)是表示在硅基板的表面外延生长单晶碳化硅的情况下(使基板温度上升到外延生长温度的情况下)的晶片的翘曲的状况的图。

[0074] 硅基板的晶格常数为0.543nm、单晶碳化硅的晶格常数为0.436nm,存在约20%的差。因该晶格常数的差的作用,而在硅基板的表面作用有压缩应力,导致晶片向上翘曲。

[0075] 图4(b)是表示单晶碳化硅在硅基板的表面上外延生长后(基板温度为室温的情况

下)的晶片的翘曲的状况的图。

[0076] 该情况也残存有因晶格常数的差引起的内部应力,在硅基板的表面作用有压缩应力,晶片向上翘曲。然而,硅基板的热膨胀系数为 $2.55 \times 10^{-6} \text{K}^{-1}$ 、单晶碳化硅的热膨胀系数为 $2.77 \times 10^{-6} \text{K}^{-1}$,存在约8%的差。单晶碳化硅的热膨胀系数比硅基板的热膨胀系数还大,因此,基板温度从外延生长温度向室温下降时,由于存在热膨胀系数的差,因此,图4(b)所示的晶片的翘曲程度比图4(a)所示的晶片的翘曲程度大。

[0077] 图4(c)是表示在硅基板的表面上选择性外延生长单晶碳化硅后(第三工序后)的晶片的翘曲的状况。

[0078] 在本实施方式中,通过多个空隙吸收因硅基板和单晶碳化硅的晶格常数及热膨胀系数不同而产生的单晶碳化硅膜的应力、硅基板的应力。由此,晶片的翘曲程度比图4(b)所示的晶片的翘曲程度小。

[0079] 图4(d)是表示再次开始单晶碳化硅的外延生长而形成单晶碳化硅膜后,维持为室温时(最终产品)的晶片的翘曲的状况的图。

[0080] 在本实施方式中,利用应力缓和膜缓和没能被多个空隙吸收而残留的硅基板的应力。具体而言,即使因硅基板和单晶碳化硅的晶格常数及热膨胀系数不同而在硅基板的表面作用有压缩应力,也通过在与该面相反侧的面(硅基板的背面)施加压缩应力,从而使作用于硅基板的压缩应力相互抵消。由此,抑制晶片的翘曲。

[0081] 根据本实施方式的半导体基板1、半导体基板的制造方法,在硅基板11和单晶碳化硅膜13的界面产生的面缺陷伴随单晶碳化硅13A的生长而向上层传播,到达掩膜件12的开口部12h的侧壁而消失。另外,通过多个空隙14能够吸收因硅基板11和单晶碳化硅13A的晶格常数及热膨胀系数不同而产生的单晶碳化硅膜13的应力。另外,因该硅基板11和单晶碳化硅13A的晶格常数及热膨胀系数不同而产生的硅基板11的应力也能够由多个空隙14吸收。进而,通过应力缓和膜15能够缓和没能由多个空隙14吸收而残留的硅基板11的应力。具体而言,即使因硅基板11和单晶碳化硅13A的晶格常数及热膨胀系数不同而在硅基板11的形成有单晶碳化硅膜13的面作用有压缩应力,也能够通过在与该面相反的相反侧的面(硅基板11的形成有应力缓和膜15的面)施加压缩应力而使作用在硅基板11上的压缩应力相互抵消。由此,能够形成结晶缺陷少的高品质的单晶碳化硅膜13且抑制晶片的翘曲。

[0082] 另外,应力缓和膜15的形成材料包含非晶硅,因此能够实现可以对硅基板11的与形成有单晶碳化硅膜13一侧相反侧的面施加压缩应力的应力缓和膜15。

[0083] 另外,掩膜件12的形成材料包含氧化硅,因此能够以简单的方法在硅基板11的表面形成掩膜件12。

[0084] (第二实施方式)

[0085] 图5是表示本发明的第二实施方式涉及的半导体基板2的概略结构的示意图。

[0086] 如图5所示,本实施方式涉及的半导体基板2在应力缓和膜为第一应力缓和膜21与第二应力缓和膜22的层叠结构这一点上与第一实施方式涉及的半导体基板1不同。其他结构为与第一实施方式相同的结构,因此,标注相同符号,省略详细说明。

[0087] 如图5所示,半导体基板2具备:硅基板11、形成在硅基板11的表面的单晶碳化硅膜13、形成在硅基板11的与形成有单晶碳化硅膜13一侧相反侧的面(硅基板11的背面)上的第一应力缓和膜21、形成在第一应力缓和膜21的表面(第一应力缓和膜21的与硅基板11相

反侧的面)上的第二应力缓和膜22。

[0088] 在本实施方式中,作为第一应力缓和膜21的形成材料使用氧化硅。作为第二应力缓和膜22的形成材料使用非晶硅。第一应力缓和膜21及第二应力缓和膜22通过在硅基板11的与形成有单晶碳化硅膜13一侧相反侧的面施加压缩应力而缓和硅基板11的应力。

[0089] (半导体基板的制造方法)

[0090] 图6是表示本实施方式涉及的半导体基板的制造方法的过程图。需要说明的是,在本实施方式涉及的半导体基板的制造方法中,用于清洁硅基板11表面的热处理工序与上述的第一实施方式涉及的半导体基板的制造方法的热处理工序(图2(a))相同,因此省略详细的说明。

[0091] 在本实施方式中,在硅基板11的表面形成有掩膜件12且在硅基板11的背面形成有第一应力缓和膜21(参照图6(a),第一工序)。在此,使用热氧化法对硅基板11的表面及背面进行热氧化处理,从而在硅基板11的表面形成掩膜件12且在硅基板11的背面形成第一应力缓和膜21。另外,掩膜件12的膜厚及第一应力缓和膜21的膜厚分别设定为例如500nm。

[0092] 需要说明的是,为了对硅基板11的背面施加适当的压缩应力,也可以对第一应力缓和膜21的膜厚进行调整。作为蚀刻剂可以使用例如在HF中混合了 NH_4F 的BHF溶液。此时,为了使硅基板11的表面的掩膜件12不被蚀刻,利用抗蚀剂膜保护硅基板11的表面。抗蚀剂膜在结束硅基板11的背面的第一应力缓和膜21的蚀刻之后被除去。

[0093] 其次,使掩膜件12图案化而形成开口部12h,使硅基板11的表面的一部分露出(第二工序)。例如,使图案化后的掩膜件12的高度为500nm左右,使该掩膜件12的宽度为500nm左右,使掩膜件12的开口部12h的宽度为500nm左右。

[0094] 需要说明的是,由于掩膜件12的蚀刻需要开口部12h的侧壁的垂直性,因此,利用反应性离子蚀刻(Reactive Ion Etching,RIE)等干式蚀刻进行的各向异性蚀刻来实现。

[0095] 其次,将单晶碳化硅膜13的原料气体导入腔内,将基板温度设定为1000℃左右。作为原料气体使用例如乙烯(C_2H_4)气体及二氯二氢硅(SiH_2Cl_2)气体。作为原料气体的流量,例如将乙烯(C_2H_4)气体的流量设为2.5sccm左右,将二氯二氢硅(SiH_2Cl_2)气体的流量设为10sccm左右。

[0096] 由此,以从硅基板11的开口部12h露出的部分作为基点,使单晶碳化硅13A外延生长,使该单晶碳化硅13A的外延生长在掩膜件12的表面的一部分露出的状态下停止(参照图6(b),第三工序)。

[0097] 例如,在被图案化的掩膜件12的高度为500nm左右,该掩膜件12的宽度为500nm左右,掩膜件12的开口部12h的宽度为500nm左右的情况下,将单晶碳化硅的高度形成到700nm左右,从而,能够使掩膜件12的表面在该掩膜件12的宽度方向上左右扩开100nm左右的状态下,停止单晶碳化硅13A的外延生长。在本实施方式中,在所述条件下,通过使单晶碳化硅13A的外延生长进行两个小时,从而形成高度为700nm左右的单晶碳化硅。

[0098] 其次,从选择生长的单晶碳化硅13A的间隙通过蚀刻除去掩膜件12(参照图6(c),第四工序)。此时,通过抗蚀剂膜保护硅基板11的背面的第一应力缓和膜21以防止其被蚀刻。掩膜件12的蚀刻通过利用例如在HF混入了 NH_4F 的BHF溶液进行的湿式蚀刻来实现。能够通过由BHF进行的各向同性蚀刻来选择地除去掩膜件12。保护第一应力缓和膜21的抗蚀剂膜在掩膜件12的蚀刻结束后除去。

[0099] 其次,在第一应力缓和膜21的表面形成第二应力缓和膜22(参照图6(d),第六工序)。作为第二应力缓和膜22的形成材料使用例如非晶硅。需要说明的是,作为第二应力缓和膜22的形成材料优选使用热膨胀系数比硅基板11的热膨胀系数大的材料。由此,可以对硅基板11的背面(硅基板11的形成有第一应力缓和膜21的面)作用压缩应力。

[0100] 作为第二应力缓和膜22的形成方法可以使用例如等离子体CVD法、溅射法。在使用该方法的情况下,优选将硅基板11翻转,将硅基板11的背面作为上面来配置。

[0101] 需要说明的是,作为第二应力缓和膜22的形成方法可以使用热CVD法。在使用该方法的情况下,在除去掩膜件12之前,将应力缓和膜同时形成在硅基板11的两面,然后,仅除去硅基板11的表面侧的应力缓和膜,接着除去掩膜件12。由此,能够将第二应力缓和膜22仅形成在硅基板11的背面。硅基板11的表面侧的应力缓和膜(作为形成材料使用非晶硅的应力缓和膜)的除去可以利用DHF及臭氧水的混合液进行湿式蚀刻来实现。在该蚀刻之后,通过DHF蚀刻掩膜件12。

[0102] 其次,再次开始外延生长停止后的单晶碳化硅13的外延生长,形成覆盖空隙14的单晶碳化硅膜13(第五工序)。再次开始单晶碳化硅13A的外延生长的条件是与所述选择生长(第三工序)相同的条件进行。空隙14以残存在硅基板11和单晶碳化硅膜13之间的状态的方式被密封。通过多个空隙14吸收因硅基板11和单晶碳化硅13A的晶格常数及热膨胀系数不同产生的单晶碳化硅膜13的应力。

[0103] 需要说明的是,在再次开始单晶碳化硅13的外延生长之际,通过使单晶碳化硅的高度形成到750nm左右能够填埋空隙14。进而,通过使单晶碳化硅的高度形成为750nm以上的高度,从而能够使单晶碳化硅膜13的表面平坦化。

[0104] 通过以上的工序,能够制造本实施方式的半导体基板2。

[0105] 根据本实施方式的半导体基板2、半导体基板的制造方法,能够构成第一应力缓和膜21和第二应力缓和膜22彼此不同种类的膜。例如,能够利用第一应力缓和膜21和第二应力缓和膜22适当变更各个膜厚、形成材料的种类等形成条件。由此,能够调整缓和没能被多个空隙14吸收而残留的硅基板11的应力的程度。由此容易抑制晶片的翘曲。

[0106] 另外,在使单晶碳化硅13A的外延生长在掩膜件12的表面的一部分露出的状态下停止的过程中,在使单晶碳化硅13A外延生长的初期阶段,能够利用第一应力缓和膜21吸收因硅基板11和单晶碳化硅13A的晶格常数及热膨胀系数不同引起的硅基板11的应力。另外,在除去掩膜件12之后,再次开始单晶碳化硅13A的外延生长,在形成单晶碳化硅膜13的过程中,能够利用第一应力缓和膜21和第二应力缓和膜22缓和因硅基板11和单晶碳化硅13A的晶格常数及热膨胀系数不同引起的硅基板11的应力。即,能够通过彼此不同种类的应力缓和膜21、22吸收在不同时刻在硅基板11产生的应力。由此容易抑制晶片的翘曲。

[0107] (第三实施方式)

[0108] 图7是表示本发明的第三实施方式涉及的半导体基板3的概略结构的示意图。

[0109] 如图7所示,本实施方式涉及的半导体基板3在作为应力缓和膜的形成材料使用氧化硅这一点与第一实施方式涉及的半导体基板1不同。其他结构为与第一实施方式不同的结构,因此,标注相同符号,省略其详细的说明。

[0110] 如图7所示,半导体基板3具备:硅基板11、形成在硅基板11的表面上的单晶碳化硅膜13、形成在硅基板11的形成有单晶碳化硅膜一侧的相反侧的面(硅基板11的背面)上的应

力缓和膜31。

[0111] 在本实施方式中,作为应力缓和膜31的形成材料使用氧化硅。应力缓和膜31对硅基板11的与形成有单晶碳化硅膜13一侧相反侧的面施加压缩应力而缓和硅基板11的应力。

[0112] (半导体基板的制造方法)

[0113] 图8是表示本实施方式涉及的半导体基板的制造方法的过程图。需要说明的是,在本实施方式涉及的半导体基板的制造方法中,用于清洁硅基板11表面的热处理工序与上述的第一实施方式涉及的半导体基板的制造方法的热处理工序(图2(a))相同,因此省略其详细说明。

[0114] 在本实施方式中,在硅基板11的表面形成掩膜件12且在硅基板11的背面形成应力缓和膜31(参照图8(a),第一工序)。在此,通过使用热氧化法对硅基板11的表面及背面进行热氧化处理,从而在硅基板11的表面形成掩膜件12且在硅基板11的背面形成应力缓和膜31。另外,掩膜件12的膜厚及应力缓和膜31的膜厚分别设定为例如500nm。

[0115] 需要说明的是,为了对硅基板11的背面施加适当的压缩应力,可以调整应力缓和膜31的膜厚。作为蚀刻剂可以使用例如在HF混合了 NH_4F 的BHF溶液。此时,为了使硅基板11的表面的掩膜件12不被蚀刻,从而利用抗蚀剂膜保护硅基板11的表面。抗蚀剂膜在硅基板11的背面的应力缓和膜31的蚀刻结束后被除去。

[0116] 其次,使掩膜件12图案化而形成开口部12h,使硅基板11的表面的一部分露出(第二工序)。例如,使图案化后的掩膜件12的高度为500nm左右,使该掩膜件12的宽度为500nm左右,使掩膜件12的开口部12h的宽度为500nm左右。

[0117] 需要说明的是,由于掩膜件12的蚀刻需要开口部12h的侧壁的垂直性,因此,利用基于反应性离子蚀刻(Reactive Ion Etching,RIE)等干式蚀刻进行的各向异性蚀刻来实现。

[0118] 其次,将单晶碳化硅膜13的原料气体导入腔内,将基板温度设定为1000℃左右。作为原料气体使用例如乙烯(C_2H_4)气体及二氯二氢硅(SiH_2Cl_2)气体。作为原料气体的流量,例如将乙烯(C_2H_4)气体的流量设为2.5sccm左右,将二氯二氢硅(SiH_2Cl_2)气体的流量设为10sccm左右。

[0119] 由此,以从硅基板11的开口部12h露出的部分为基点,使单晶碳化硅13A外延生长,该单晶碳化硅13A的外延生长在掩膜件12的表面的一部分露出的状态下停止(参照图8(b)、第三工序)。

[0120] 例如,在被图案化的掩膜件12的高度为500nm左右,该掩膜件12的宽度为500nm左右,掩膜件12的开口部12h的宽度为500nm左右的情况下,将单晶碳化硅的高度形成到700nm左右,从而能够在掩膜件12的表面在该掩膜件12的宽度方向上左右扩开100nm左右的状态下停止单晶碳化硅13A的外延生长。在本实施方式中,在所述条件下,单晶碳化硅13A的外延生长进行两个小时,从而形成高度为700nm左右的单晶碳化硅。

[0121] 其次,从选择生长的单晶碳化硅13A的间隙通过蚀刻除去掩膜件12(参照图8(c),第四工序)。此时,利用抗蚀剂膜保护硅基板11的背面的应力缓和膜31不被蚀刻。掩膜件12的蚀刻例如利用在HF混合了 NH_4F 的BHF溶液进行的湿式蚀刻来实现。利用BHF进行的各向同性蚀刻能够选择性仅除去掩膜件12。保护应力缓和膜31的抗蚀剂膜在结束掩膜件12的蚀刻后被除去。

[0122] 此时,为了对硅基板11的背面施加适当的压缩应力,可以调整应力缓和膜31的膜厚。作为蚀刻剂可以使用例如稀释HF溶液(DHF溶液)。

[0123] 其次,再次开始外延生长停止后的单晶碳化硅13的外延生长,形成覆盖空隙14的单晶碳化硅膜13(第五工序)。再次开始单晶碳化硅13A的外延生长的条件是与所述选择生长(第三工序)相同的条件进行。以在硅基板11与单晶碳化硅膜13之间残存空隙14的状态密封空隙14。通过多个空隙14吸收因硅基板11与单晶碳化硅13A的晶格常数及热膨胀系数不同引起的单晶碳化硅膜13的应力。

[0124] 需要说明的是,在再次开始单晶碳化硅13的外延生长之际,通过使单晶碳化硅的高度形成到750nm左右,从而能够填埋空隙14。进而,通过使单晶碳化硅的高度形成为750nm以上的高度,从而能够使单晶碳化硅膜13的表面平坦化。

[0125] 通过以上的工序,能够制造本实施方式的半导体基板3。

[0126] 根据本实施方式的半导体基板3、半导体基板的制造方法,在使单晶碳化硅13A的外延生长在掩膜件12的表面的一部分露出的状态下停止的过程中,在使单晶碳化硅13A外延生长的初期阶段,能够利用应力缓和膜吸收因硅基板11和单晶碳化硅13A的晶格常数及热膨胀系数不同引起的硅基板11的应力。另外,在除去掩膜件12之后,再次开始单晶碳化硅13A的外延生长,在形成单晶碳化硅膜13的过程中,因硅基板11和单晶碳化硅13A的晶格常数及热膨胀系数不同引起的硅基板11的应力能够利用调整了膜厚后的应力缓和膜31吸收。即,能够利用膜厚不同的应力缓和膜31吸收在不同时刻在硅基板11产生的应力。由此,容易抑制晶片的翘曲。

[0127] 另外,可以利用与掩膜件12的形成工序相同的工序形成应力缓和膜31。由此,与以不同于掩膜件12的形成工序的工序形成应力缓和膜31的情况相比,能够简化制造工序。

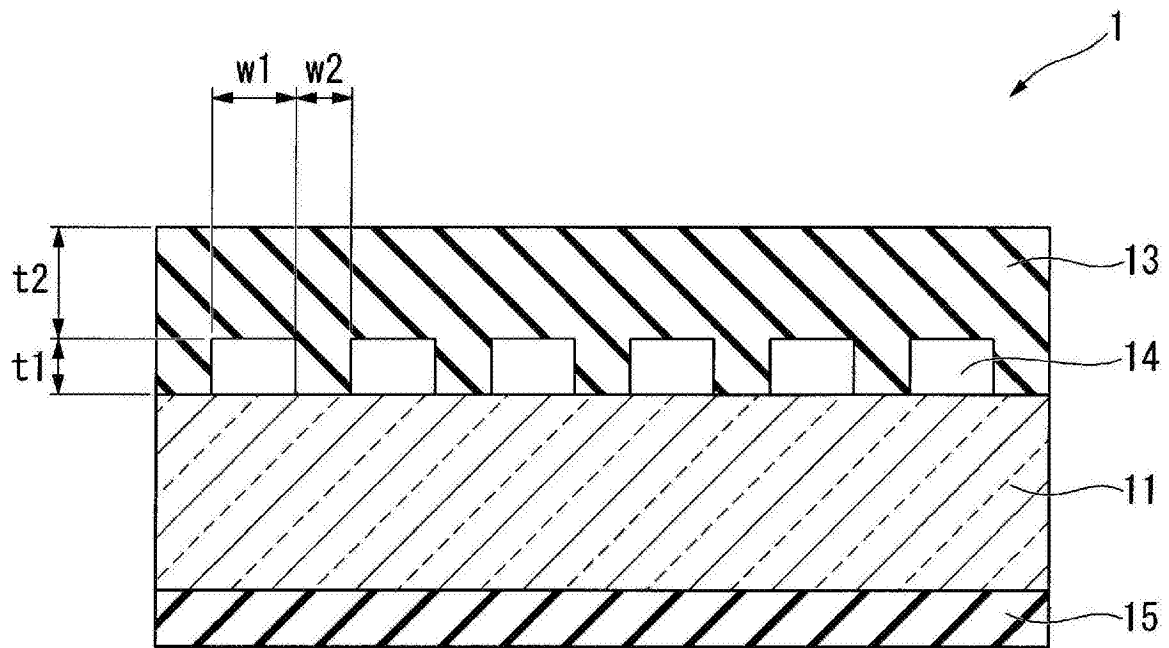
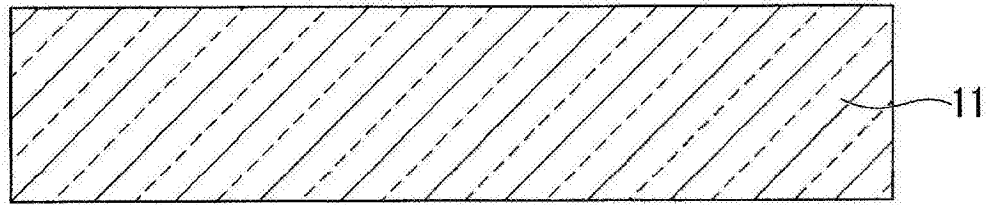
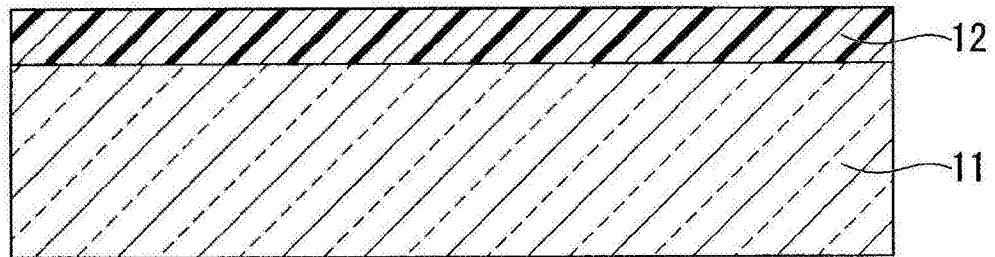


图1

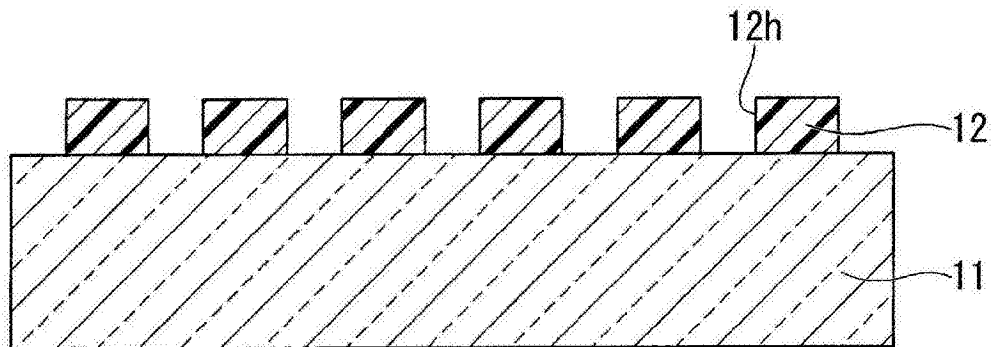
(a)



(b)



(c)



(d)

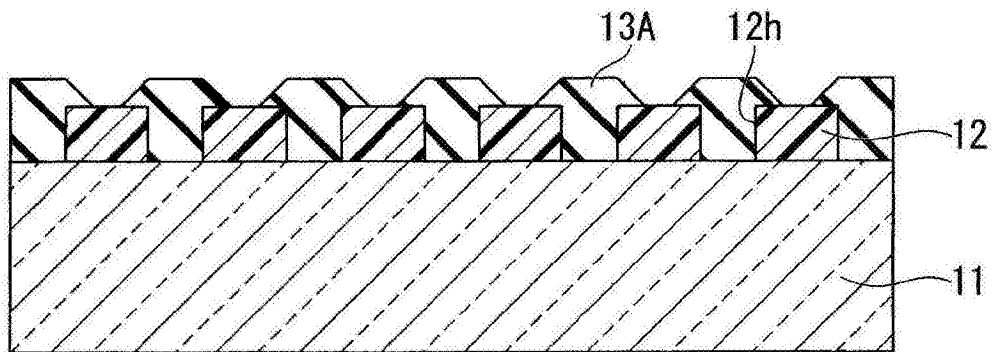
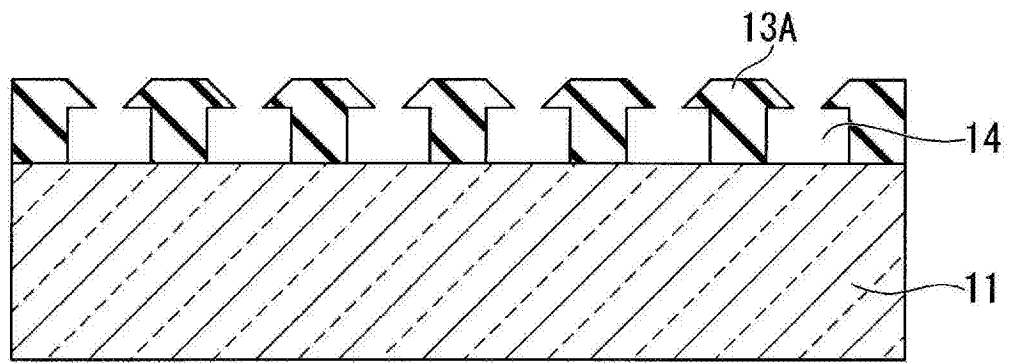
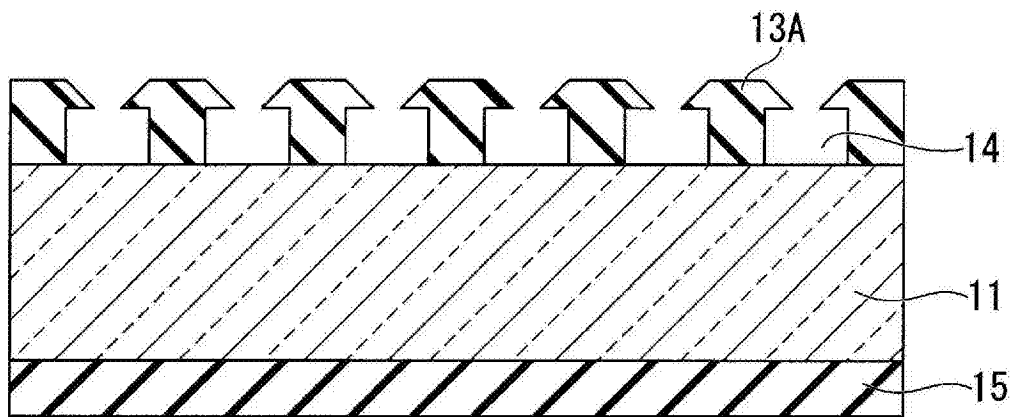


图2

(a)



(b)



(c)

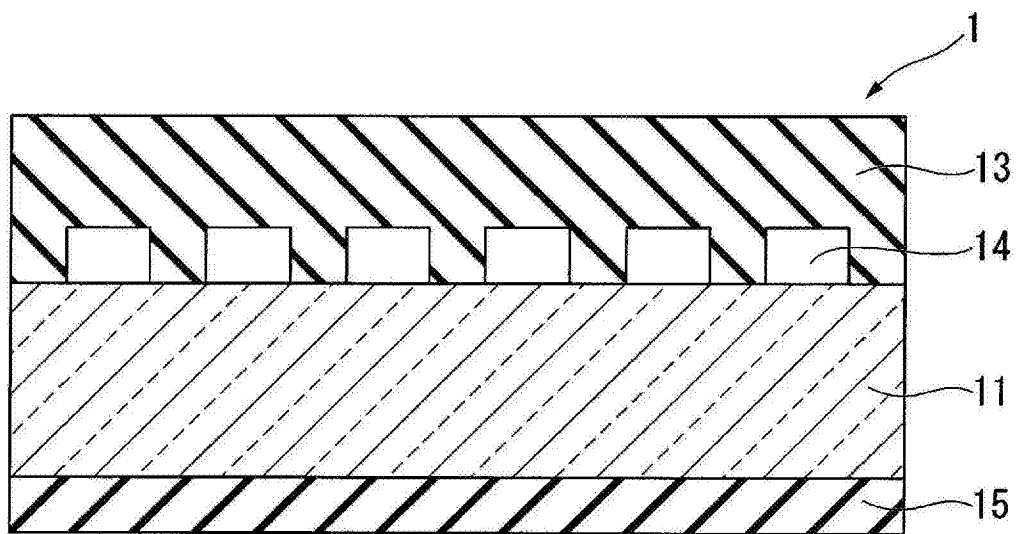


图3

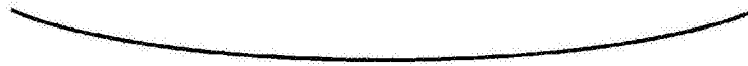
(a)



(b)



(c)



(d)



图4

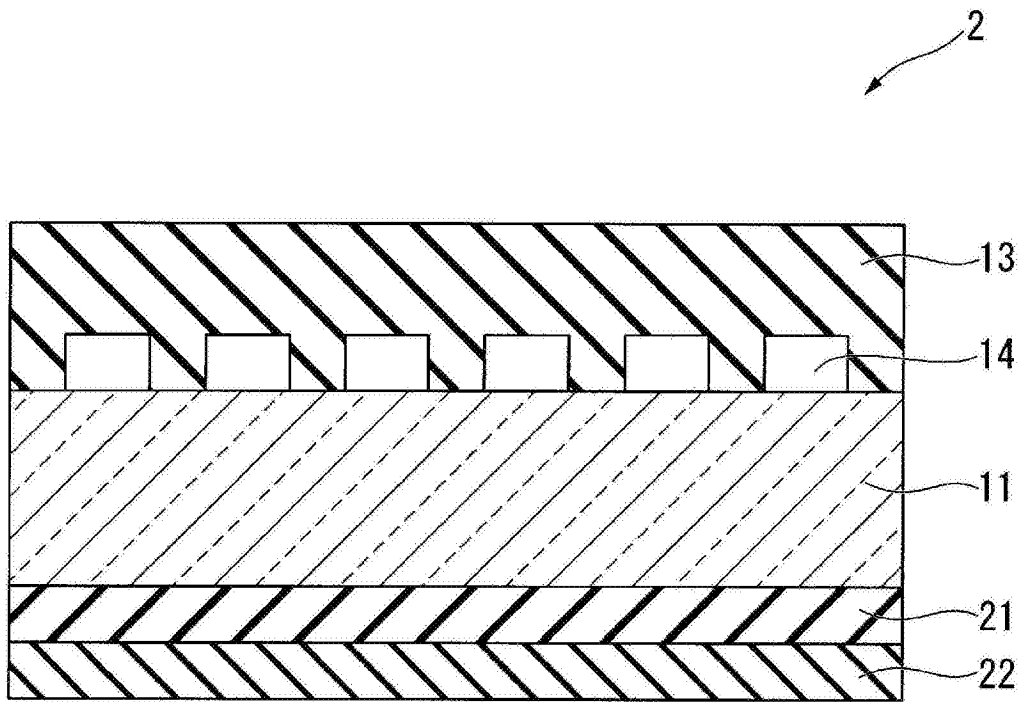


图5

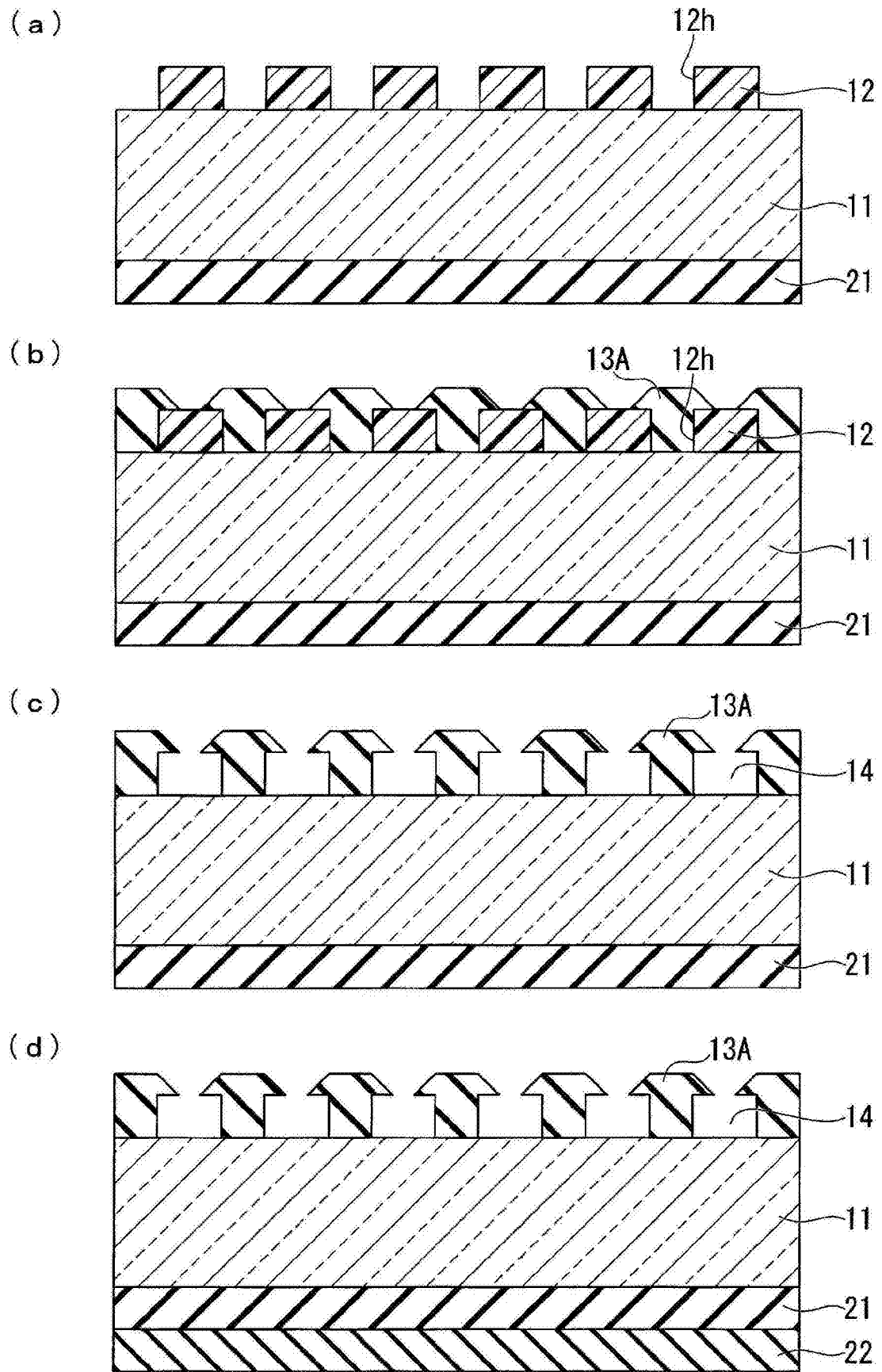


图6

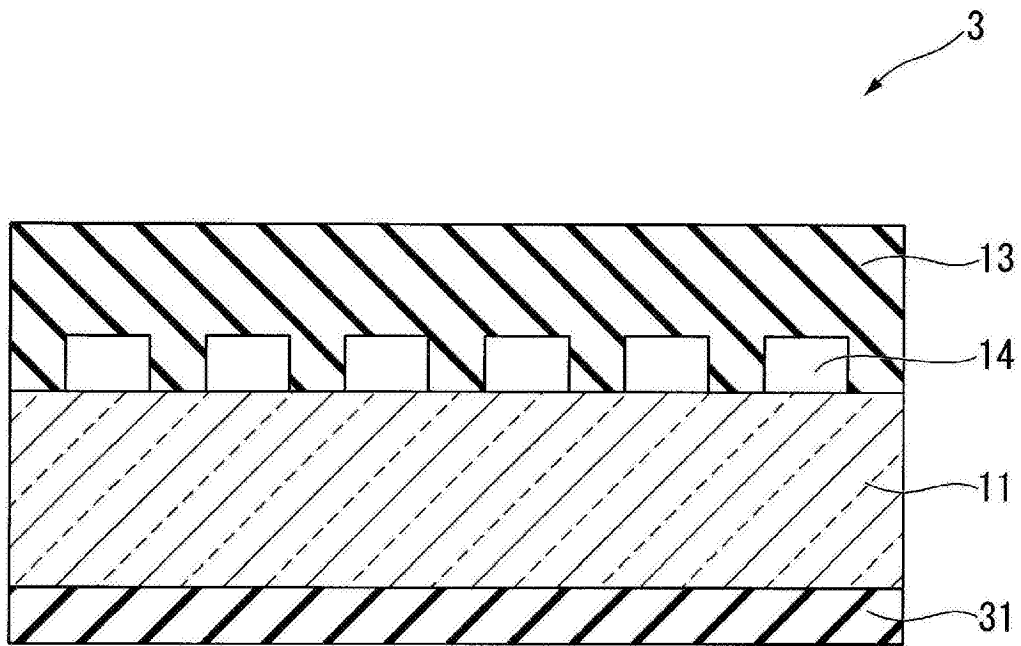
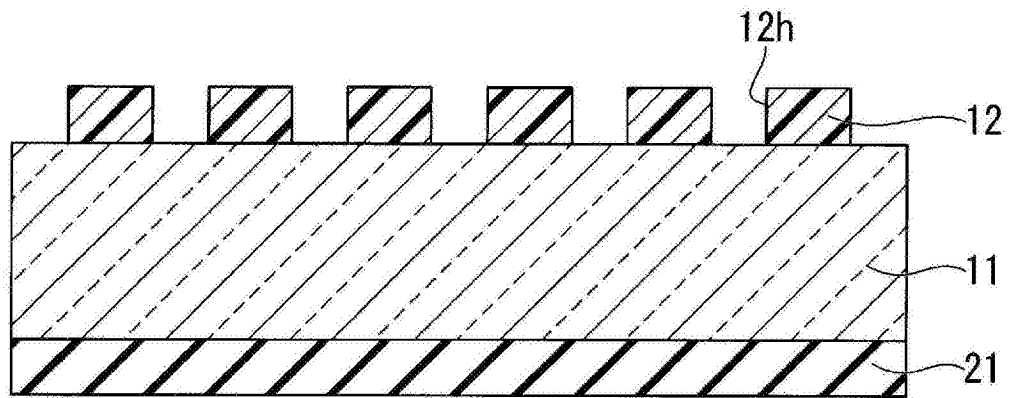
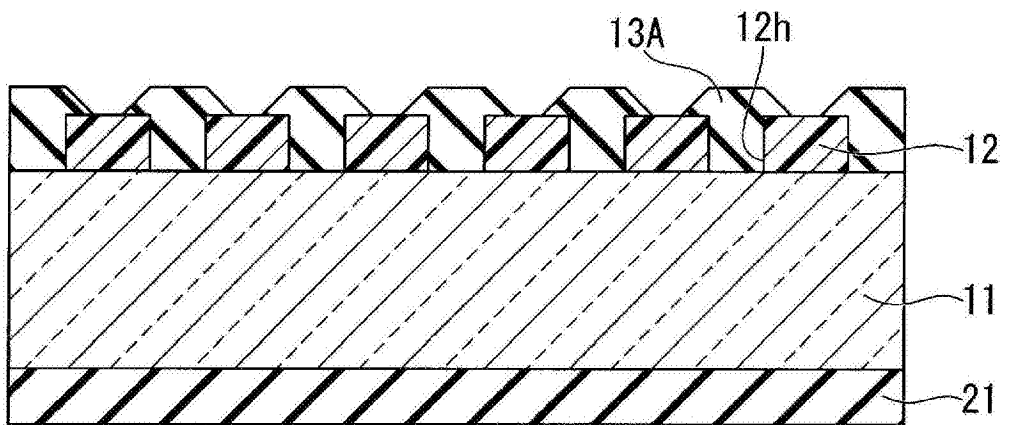


图7

(a)



(b)



(c)

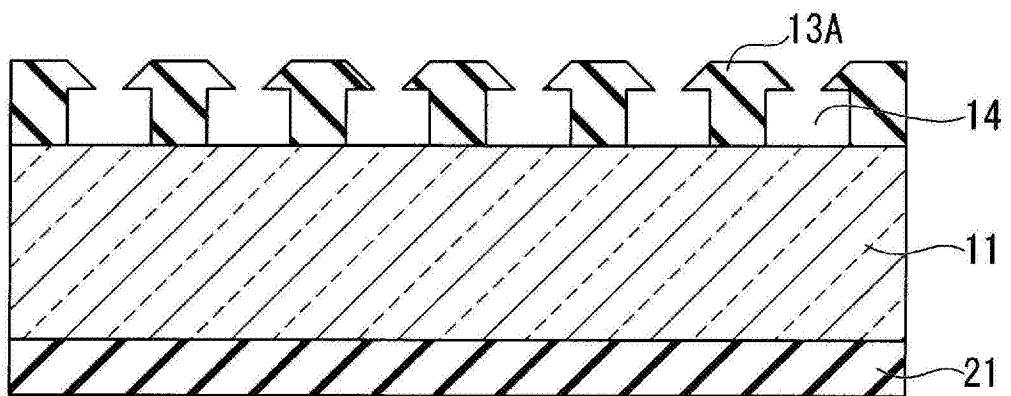


图8