

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G06F 13/00

G06F 12/00



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 99105245.5

[45] 授权公告日 2003 年 10 月 22 日

[11] 授权公告号 CN 1125403C

[22] 申请日 1999.4.22 [21] 申请号 99105245.5

[30] 优先权

[32] 1998.4.23 [33] JP [31] 112961/1998

[71] 专利权人 富士通株式会社

地址 日本神奈川

[72] 发明人 鹤田彻 野村祐司

审查员 杨 蕊

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

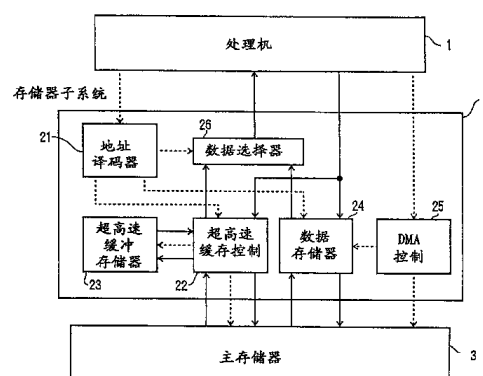
代理人 于 静

权利要求书 2 页 说明书 23 页 附图 18 页

[54] 发明名称 信息处理设备

[57] 摘要

一种信息处理设备构造成包括一个判断部分和一个控制部分，判断部分用于译码输入请求的地址和输出指明输入请求是超高速缓存控制请求还是 DMA 控制请求的判断信号，控制部分用于当来自判断部分的判断信号指明超高速缓存控制请求时执行超高速缓存控制，当判断信号指明 DMA 控制请求时执行 DMA 控制。



1. 一种信息处理设备, 包括:

判断装置, 用于译码输入请求的地址并且输出指明所述输入请求是超高速缓存控制请求还是 DMA 控制请求的判断信号;

控制装置, 通过可变地设置第一区和第二区的比率 $X:Y$, 用于当来自所述判断装置的判断信号指明超高速缓存控制请求时执行超高速缓存控制, 并且当判断信号指明 DMA 控制请求时执行 DMA 控制, 其中 X 和 Y 均大于零; 和

存储装置, 包括第一区和第二区, 第一区组成用于超高速缓存控制的超高速缓冲存储器部分, 第二区组成用于 DMA 控制的数据存储器部分,

其特征在于, 所述控制装置根据由 2^n 描述的一个超高速缓存指数可变地设置比率 $X:Y$, 其中 n 是可变的整数。

2. 如权利要求 1 所述的信息处理设备, 特征在于, 所述存储器部分具有多端口结构。

3. 如权利要求 1 所述的信息处理设备, 其特征在于:

所述控制装置包括数据选择器, 它响应来自所述判断装置的判断信号, 选择性地将从第一和第二区读取的数据输出到请求源, 所述存储装置包括 N 个存储器部分, 以形成第一区和第二区, 并且所述 N 个存储器部分的每个具有的数据宽度 L 小于或等于输入请求的最大数据宽度 M , 其中 L 、 N 和 M 是满足 $LN \geq 2M$ 的整数。

4. 如权利要求 1-3 中任一要求所述的信息处理设备, 特征在于, 在单片上设置信息处理设备的每个部分。

5. 如权利要求 1-3 中任一要求所述的信息处理设备, 其特征还在于:

单个输出所述输入请求的处理器部分。

6. 如权利要求 5 所述的信息处理设备, 其特征在于, 在单片上设置信息处理设备的各个部分。

7. 如权利要求 1 所述的信息处理设备，其特征还在于：

一个主存储部分；

所述判断装置包括一个译码器部分，译码器部分译码所述输入请求的地址，并输出指明所述输入请求是对所述超高速缓冲存储器部分的第一请求还是对所述数据存储器部分的第二请求，

所述控制装置包括一个数据选择器部分、一个超高速缓存控制部分和一个 DMA 控制部分，数据选择器部分在所述输入请求是读请求时响应来自所述译码器部分的信号选择性地向请求源输出从所述超高速缓冲存储器部分和所述数据存储器部分读出的数据；超高速缓存控制部分响应来自所述译码器部分的信号在第一请求是读请求时从所述超高速缓冲存储器部分或所述主存储部分读请求的数据并把请求的数据输出到所述数据选择器部分，而当第一请求是写请求时把数据写入所述超高速缓冲存储器部分或所述主存储部分中；DMA 控制部分在所述输入请求是第二请求时通过占用所述数据存储器部分的一个端口控制所述主存储部分和所述数据存储器部分之间的数据传送，并且

所述数据存储器部分响应来自所述译码器部分的信号当第二请求是读请求时利用一个未由所述 DMA 控制部分占用的端口从所述数据存储器部分或所述主存储器部分读请求的数据并把请求的数据输出到所述数据选择器部分，而当第二请求是写请求时向所述数据存储器部分或所述主存储部分写数据。

8. 如权利要求 7 的信息处理设备，其特征还在于：

单个输出所述输入请求的处理器部分。

9. 如权利要求 8 的信息处理设备，其特性在于，在单片上设置信息处理设备的各个部分。

信息处理设备

技术领域

本发明一般地涉及信息处理设备和存储媒体，并且更具体地涉及一种信息处理设备和一种计算机可读的存储媒体，该信息处理设备设计成通过判定输入请求是超高速缓存控制请求还是 DMA 控制请求执行超高速缓存控制或执行 DMA 控制，而该计算机可读的存储媒体以一种硬件描述语言存储电路信息，以用于由计算机设计这种信息处理设备。

背景技术

图 1 是一个系统框图，其示出常规信息处理设备的一个示例。该信息处理设备包括按图 1 中所示连接的一个用于数据处理的精简指令集计算机 (RISC) 处理机 201，一个超高速缓冲存储器 202，一个用于信号处理的信号处理数字信号处理机 (DSP) 203，一个带有直接存储器存取 (DMA) 的存储器 204，一个存储器总线 205 以及一个主存储部分 206。例如，设置 RISC 处理机 201 以执行诸如通信协议的数据处理，并且设置 DSP 203 以执行高速信号处理。近来，积极地开发执行有关图象、音频、计算机图形等高速信号处理的媒体处理系统。还提出一种在单芯片上构成具有 RISC 处理器 201 和 DSP 203 的信息处理设备。

然而，根据上面说明的信息处理设备，彼此独立地设置 RISC 处理机 201 和 DSP 203。从而，存在一个难以编程的问题，因为当用户对该信息处理设备编程时，必须相对于 RISC 处理机 201 和 DSP 203 生成独立的指令代码。

此外，为了高速存取具有大存储容量的低速主存储部分，通常采用的一种技术是在处理机和主存储部分之间设置一个具有小存储容量的高速存储器，从而形成一个超高速缓冲存储器系统和一个带有 DMA 的存储器系统。然而，当如上面说明设置 RISC 处理器 201 和 DSP 203 时，必须相对于 RISC 处理机 201 和 DSP 203 独立地构成超高速缓冲

存储器系统或带有 DMA 的存储器系统。更具体地，必须对于 RISC 处理机 201 设置包括着超高速缓冲存储器 202 的一个超高速缓冲存储器系统，并且对于 DSP 203 设置独立于该超高速缓冲存储器系统的包括着带有 DMA 的存储器 204 的一个带有 DMA 的存储器系统。从而，存在另一个问题，即存储器系统的结构变为复杂，并且提高整个信息处理设备的成本。

发明内容

因此，本发明的一个总目的是提供一种新颖和有用的消除了上述问题的信息处理设备和存储媒体。

本发明另一个和更具体的目的是提供一种可利用相对简单和便宜的结构有效地处理超高速缓存控制请求和 DMA 控制请求的信息处理设备，并且提供一种存储电路信息的计算机可读存储媒体，该电路信息是用硬件描述语言写入的并用于设计这种信息处理设备。

本发明的另一个目的是提供由判断装置和控制装置组成的信息处理设备，判断装置用于对输入请求的地址译码，并输出判断信号以指明该输入请求是超高速缓存控制请求还是 DMA 控制请求，控制装置用于当来自判断装置的判断信号指明超高速缓存控制请求时执行超高速缓存控制，并且当判断信号指明 DMA 控制请求时执行 DMA 控制。依据本发明的信息处理设备，有可能利用相对简单和便宜的结构有效地处理超高速缓存控制请求和 DMA 控制请求。

该信息处理设备还可包括一个由第一区和第二区组成的单个存储器部分，第一区形成由超高速缓存控制使用的超高速缓存部分，第二区形成由 DMA 控制使用的数据存储器部分。控制装置可包括用于根据某参数可变地设定第一区和第二区的比率的装置。控制装置根据由 2^n 描述的超高速缓存指数来可变地设置第一区和第二区的比率（ n 是可变的整数）。该存储器部分可具有多端口结构。此外，可在单芯片上设置该信息处理设备的各个部分。

本发明的另一个目的是提供一种以硬件描述语言存储电路信息的计算机可读存储媒体，它包括第一数据区和第二数据区，第一数据区存储和判断装置有关的电路信息，判断装置用于译码输入请求的地址并输出指明该输入请求是超高速缓存控制请求还是 DMA 控制请求的判断信号，第二数据区存储和控制装置有关的电路信息，控制装置

用于当来自判断装置的判断信号指明超高速缓存控制请求时执行超高速缓存控制，并当判断信号指明 DMA 控制请求时执行 DMA 控制。依据本发明的计算机可读存储媒体，有可能利用相对简单和便宜的结构有效地处理超高速缓存控制请求和 DMA 控制请求。

附图说明

本发明的其它目的和进一步特性，在结合附图阅读下述详细说明后会变得显而易见。

图 1 是一个系统框图，表示常规信息处理设备的一个示例；

图 2 是一个系统框图，表示依据本发明的信息处理设备的第一实施例；

图 3 是一个系统框图，表示依据本发明的信息处理设备的第二实施例；

图 4 是一个系统框图，表示依据本发明的信息处理设备的第三实施例；

图 5 表示参数设定方式、所使用的超高速缓存变址的数量以及地址的关系；

图 6 解释地址结构；

图 7 是一个系统框图，表示第三实施例的超高速缓存控制部分的结构；

图 8 表示由屏蔽位生成部份使用的真值表；

图 9 是一个系统框图，表示依据本发明的信息处理设备的第四实施例；

图 10 是一个系统框图，表示依据本发明的信息处理设备的第五实施例；

图 11 是一个系统框图，表示数据选择器部分连同地址控制部分的和存储器部分的有关部分的结构；

图 12 是一个系统框图，表示数据排列部分连同地址控制部分的和存储器部分的有关部分的结构；

图 13 说明实际电路设计过程的过程图；

图 14 是一个透视图，表示实现图 13 中的设计过程的一个计算机系统；

图 15 表示处理机部分的结构；

图 16 表示微代码的结构;

图 17 是一个流程图, 说明处理机部分的操作处理执行方法, 以及

图 18 说明处理机部分的操作处理。

具体实施方式

在 RISC 型指令的情况下, 多数不能预测要处理的其中包括超高速缓存控制请求的数据。另一方面, 在 DSP 型指令情况下, 多数不能预测要处理的其中包括 DMA 控制请求的数据。这样, 若有可能使 RISC 型指令和 DSP 型指令共存, 则应可能对于 RISC 型指令和 DSP 型指令共同使用一个用于指令的存储器和一个用于数据的存储器。然而, 其特征在于, 在数据处理的和信号处理之间被处理的数据和被使用存储器系统具有下述明显的差异。

如果 DMA 的参数设定时间和 DMA 的数据传送时间二者之和小于处理机处理被传送数据的时间, 则有可能通过对数据处理采用带有 DMA 的存储器系统可更有效地操作处理机。换言之, 完全可以与操作处理并行地执行数据传送。然而, 如果在不能预测下一个要处理的数据的情况下对数据处理采用带有 DMA 的存储器系统, 则通过每次确定要处理的数据后设定 DMA 参数才执行数据传送, 因此, 串行地执行操作处理和数据传送。

另一方面, 若对数据处理采用超高速缓冲存储器系统, 当要处理的数据未在超高速缓存中存在时, 串行地执行操作处理和数据传送。但是在这种情况下, 由于不必设定参数, 有可能减小数据传送时间。

因此, 若对于 RISC 型指令和 DSP 型指令采用使超高速缓冲存储器系统作为一个用于数据的公用存储器系统, 则该结构适用于数据处理, 但由于不能并行地执行操作处理和数据传送, 不能对信号处理有效地使用处理机的性能。另一方面, 若对于 RISC 型指令和 DSP 型指令采用具有 DMA 的存储器系统作为一个用于数据的公用存储器系统, 则该结构适用于信号处理, 但出于下述原因不能对数据处理有效地使用处理机的性能。即, 和采用超高速缓冲存储器系统的情况相比数据处理中的数据传送时间变长, 当处理新数据时总是需要一条指令以便为 DMA

设定参数，而且增加程序步的数量。

从而，在本发明中，把信息处理设备构造成包括判断装置和控制装置，判断装置用于对输入请求的地址译码并且输出指明该输入请求是超高速缓存控制请求还是 DMA 控制请求的判断信号，控制装置用于当来自判断装置的判断信号指明超高速缓存控制请求时执行超高速缓存控制，并当判断信号指明 DMA 控制请求时执行 DMA 控制。

此外，在本发明中，把存储硬件描述语言下的电路信息的计算机可读存储媒体构造成包括第一数据区和第二数据区，第一数据区存储和判断装置有关的电路信息，判断装置用于译码输入请求的地址并输出指明该输入请求是超高速缓存控制请求还是 DMA 控制请求的判断信号，第二数据区存储和控制装置有关的电路信息，控制装置用于当来自判断装置的判断信号指明超高速缓存控制请求时执行超高速缓存控制，并当判断信号指明 DMA 控制请求时执行 DMA 控制。

这样，依据本发明，有可能通过利用相对简单和便宜的结构有效地处理超高速缓存控制请求和 DMA 控制请求。

图 2 是一个系统框图，表示依据本发明的信息处理设备的第一实施例。该信息处理设备包括单处理机部分 1，存储器子系统 2 和主存储部分 3，它们按图 2 中所示连接。在图 2 中，虚线表示包含着地址的控制信号流，实线表示数据流。

处理机部分 1 生成诸如 RISC 指令的在大多数情况不能预测要处理的数据的超高速缓存控制请求，并且生成诸如 DSP 指令的在大多数情况下可预测要处理的数据的 DMA 控制请求。

存储器子系统 2 包括一个地址译码器部分 21，一个超高速缓存控制部分 22，一个超高速缓冲存储器部分 23，一个数据存储器部分 24，一个 DMA 控制部分 25 以及一个数据选择器部分 26。存储器子系统 2 存储主存储部分 3 的一部分数据，并响应来自处理机部分 1 的请求提供和接收数据。

主存储部分 3 具有周知的存储大量数据的结构。

地址译码器部分 21 译码来自处理机部分 1 的输入请求的地址，并

判断该输入请求是否是对超高速缓冲存储器部分 23 的请求或是对数据存储器部分 24 的请求。向超高速缓存控制部分 22、数据存储器部分 24 和数据选择器部分 26 提供表示该判断的结果的判断信号以及该输入请求。更具体地，地址译码器部分 21 向超高速缓存控制部分 22、数据存储器部分 24 和数据选择器部分 26 提供包括一个地址的控制信号，以作为指示判断结果的判断信号。

对于来自地址译码器部分 21 的访问，超高速缓存控制部分 22 判断该输入请求的地址是否存在于超高速缓冲存储器部分 23 中，若该输入请求的地址存在于超高速缓冲存储器部分 23 中则对超高速缓冲存储器 23 的数据作出请求。若该输入请求的地址存在于超高速缓冲存储器部分 23 中，则发现该输入请求是对超高速缓冲存储器部分 23 的请求。若该请求是读请求，超高速缓存控制部分 22 读超高速缓冲存储器部分 23 的相应地址处的数据，并把读出的数据提供给数据选择器部分 26。此外，若相应地址的数据未存在于超高速缓冲存储器部分 23 中，从主存储部分 3 读出所请求的数据，并在读出和提供给数据选择器部分 26 之前把它存储在超高速缓冲存储器部分 23 中。另一方面，若请求是写请求，超高速缓存控制部分 22 把处理机部分 1 提供的数据写入到超高速缓冲存储器部分 23。

超高速缓冲存储器部分 23 具有周知的用于高速缓存地存储数据的结构。另一方面，数据存储器部分 24 具有周知的用于 DMA 存储数据的以及用于允许多端口访问的结构。在该实施例中，为了方便假定数据存储器部分 24 是用周知的双端口存储器构成的，它具有允许双端口访问的结构。

对于来自处理机部分 1 的输入请求，DMA 控制部分 25 占用数据存储器部分 24 的一个端口，并把数据从主存储部分 3 传送到数据存储器部分 24，或把数据从数据存储器部分 24 传送到主存储部分 3。

由于数据存储器部分 24 具有双端口结构，对于数据存储器部分 24 可以独立地进行一个来自 DMA 控制部分 25 的访问和一个来自地址译码器部分 21 的访问。对于来自地址译码器部分 21 的访问，数据存储器

部分 24 利用另一个未由 DMA 控制部分 25 占用的端口，以在读请求情况下读出相应的数据并把读出的数据提供给数据选择器部分 26，而在写请求的情况下写入来自处理机部分 1 的数据。

若来自处理机部分 1 的输入请求是读请求，根据包括着地址并是从地址译码器部分 21 得到的控制信号（即，判断信号），数据选择器部分 26 选择性地向处理机部分 1 提供经超高速缓存控制部分 22 得到的来自超高速缓冲存储器部分 23 的数据或者来自数据存储器部分 24 的数据。

包括着超高速缓存控制部分 22 和超高速缓冲存储器部分 23 的超高速缓冲存储器系统是一种缓冲存储器，其对具有大存储容量的主存储部分 3 提供能够高速存取。该超高速缓冲存储器系统在允许高速存取的超高速缓冲存储器部分 23 中存储数据，同时保持主存储部分 3 的地址空间。从而，处理机部分 1 利用主存储部分 3 的地址空间的地址值访问超高速缓冲存储器部分 23。

另一方面，包括着 DMA 控制部分 25 和数据存储器部分 24 的带有 DMA 的存储器系统存在于一个和主存储部分 3 的地址空间不同的地址空间中，并且存储主存储部分 3 中的数据、由处理机部分 1 生成的数据等的拷贝。从而，处理机部分 1 利用和主存储部分 3 不同的地址空间的地址值访问数据存储器部分 2。

通过利用地址空间区分来自处理机部分 1 的存储器存取，有可能构成在其中共存超高速缓冲存储器系统和带有 DMA 的存储器系统的存储器子系统 2。地址译码器部分 21 可以通过简单的判断生成上面说明的判断信号，例如若地址小于或等于预定的值判断请求是对超高速缓冲存储器的请求，而若地址大于预定值则判断请求是对带有 DMA 的存储器系统的请求。

依据该实施例，可以把处理机部分 1 的峰值性能和实际性能做成大致是相同的，并且可能构造一种信息处理设备，在其中处理机部分 1 不会因数据供应而停止。

接着，说明依据本发明的信息处理设备的第二实施例。图 3 是一

个系统框图，表示本信息处理设备的第二实施例。在图3中，和图2中的对应部分相同的各部分用相同的参照数标示，并省略对它们的说明。

存储器子系统2a包括地址译码器部分22、超高速缓存控制部分22a、DMA控制部分25、超高速缓冲数据存储器部分27，它们按图3中所示连接。

超高速缓冲数据存储器部分27如图2中所示的超高速缓冲存储器部分23和数据存储器部分24运行，并且具有允许多端口访问的结构。在该实施例中，超高速缓冲数据存储器部分27具有允许双端口访问的结构。超高速缓冲数据存储器部分27的存储器区可固定地分成用于超高速缓存控制部分22a的第一存储器区和用于DMA控制部分25的第二存储器区。

地址译码器部分21根据超高速缓冲数据存储器部分27的存储器区的划分对来自处理机部分1的输入请求的地址译码，并判断输入请求是对第一存储器区的请求还是对第二存储器区的请求。把输入请求和指明地址译码器部分21作出的判断的结果的判断信号提供给超高速缓存控制部分22a。更具体地，地址译码器部分21向超高速缓存控制部分22a提供包含着指示判断结果作为判断信号的地址的控制信号。

对于来自地址译码器部分21的存取，超高速缓存控制部分22a判断输入请求的地址是否存在于超高速缓冲数据存储器部分27的第一存储器区中，若输入请求的地址存在于第一存储器区中，则作出对第一存储器区的数据的请求。若输入请求的地址存在于第一存储器区中，则得知该输入请求是超高速缓存控制请求。在输入请求是读请求的情况下，超高速缓存控制部分22a从超高速缓冲数据存储器部分27的第一存储器区的对应地址读出数据，并经超高速缓存控制部分22a把读出的数据提供给处理机部分1。另外，若相应地址上的数据不存在于超高速缓冲数据存储器部分27的第一存储器区中，从主存储部分3读出请求的数据并存储到超高速缓冲数据存储器部分23的第一存储器区中，然后从第一存储器区读出数据并经超高速缓存控制部分22a提供到处理机部分1。另一方面，在输入请求是写请求的情况下，超高速缓存控制部分

22a 把处理机部分 1 经超高速缓存控制部分 22a 提供的数据写入到超高速缓存数据存储器部分 23 的第一存储器区。

DMA 控制部分 25 根据来自处理机部分 1 的输入请求占用超高速缓冲数据存储器部分 27 的一个端口，并把来自主存储部分 3 的数据传送到超高速缓冲数据存储器部分 27 的第二存储器区，或者把来自超高速缓冲数据存储器部分 27 的第二存储器区的数据传送到主存储部分 3。

由于超高速缓冲数据存储器部分 27 具有双端口结构，有可能独立地完成来自 DMA 控制部分 25 的访问和来自地址译码器部分 21 的访问。对于来自地址译码器部分 21 的访问，超高速缓冲数据存储器部分 27 使用一个不由 DMA 控制部分 25 占用的端口，在读请求的情况下从第二存储器区读出对应的数据，并经超高速缓存控制部分 22a 把读出的数据提供到处理机部分 1，在写请求的情况下把来自处理机部分 1 的数据写入第二存储器区。

在该实施例中，采用单个超高速缓冲数据存储器部分 27 代替图 2 中所示的超高速缓冲存储器部分 23 以及数据存储器部分 24。从而，不必设置图 2 中示出的数据选择器部分 26。在来自处理机部分 1 的输入请求是读请求的情况下，可以把从超高速缓冲数据存储器 27 的第一或第二存储器区读出的数据直接提供给处理机部分 1。

依据该实施例，可以把处理机部分 1 的峰值性能和实际性能做成大致是相同的，并且可能构造一种信息处理设备，在其中处理机部分 1 不会因数据供应而停止。

下面说明依据本发明的信息处理设备的第三实施例。图 4 是一个系统框图，表示本信息处理设备的第三实施例。在图 4 中，和图 3 中的对应部分相同的各部分用相同的参照数标志，并省略对它们的说明。

存储器子系统 26 包括地址译码器部分 21、超高速缓存控制部分 22b、DMA 控制部分 25 及超高速缓冲数据存储器部分 27，它们如图 4 中所示连接。

在该实施例中，可把超高速缓冲数据存储器部分 27 的存储器区任

意地划分为由超高速缓存控制部分 22b 使用的第一存储器区以及由 DMA 控制部分 25 使用的第二存储器区。

只要其能把和超高速缓冲数据存储器部分 27 内的第一存储器区和第二存储器区的比率有关的参数提供给超高速缓存控制部分 22b, 不将对超高速缓存控制部分 22b 设定参数的方法局限在某特定方法上。例如, 可以从存储器子系统 2b 或处理机部分 1 的外部直接向超高速缓存控制部分 22b 提供这些参数, 或者, 通过从存储器子系统 2b 或处理机部分 1 的外部设定的某寄存器读出这些参数直接向超高速缓存控制部分 22b 提供这些参数。此外, 当采用这样的寄存器时, 该寄存器可设置在存储器子系统 2b 之内、设置在存储器子系统 2b 之外或设置在超高速缓存控制部分 22b 之内。

依据该实施例, 通过根据该信息处理设备的用途可变地设定第一和第二存储器区的比率, 有可能构造一种适用于不同媒体处理应用的信息处理设备。此外, 可以把处理机部分 1 的峰值性能和实际性能做成大致是相同的, 并且可能构造一种信息处理设备, 在其中处理机部分 1 不会因数据供应而停止。

图 5 和 6 说明一种通过可变地设定超高速缓冲数据存储器部分 27 的一个散列函数任意地把超高速缓冲数据存储器部分 27 划分成由超高速缓存控制部分 22b 使用的第一存储器区和由 DMA 控制部分 25 使用的第二存储器区的方法。图 5 表示参数设定方式、所使用的超高速缓存变址的数量和地址的关系。图 6 说明地址结构。

在该实施例中, 一种可变超高速缓存算法使用下述参数。

- 直接映象系统
- 以字节为单元的地址 $\text{adr}[20: 0]$ 充当地址
- 1 条超高速缓存线由 16 个字节构成
- 超高速缓冲数据存储器部分 27 的存储器容量为 8K 字节
- 主存储部分 3 的存储容量为 2M 字节
- 存储地址值的并在后面说明的 TAG - RAM 的存储容量为 1K 字节

- 如后面说明那样使用的数据定义标志 (Valid)
- 如后面说明那样使用的数据重写标志 (Modify)

如图 5 中所示, 该散列函数具有 10 参数设定方式“0”至“9”。例如, 在参数设定方式“0”的情况下, 超高速缓冲数据存储器部分 27 的整个存储器区用作超高速缓冲存储器部分, 并且由于使用的变址数量是 512 (0 到 511) 上述各标志和 TAG - RAM 使用整个存储器区。另外, 在参数设定方式“1”的情况下, 超高速缓冲数据存储器部分 27 的 4K 字节的存储器区充当超高速缓存部分而剩余 4K 字节充当数据存储器部分, 并且由于所使用的变址数量是 256 (0 到 255) 上述各标志和 TAG - RAM 使用一半的存储器区。换言之, 当参数设定方式为“1”时, 和变址 256 至 511 对应的超高速缓冲数据存储器部分 27 的存储器区在用 DMA 传送数据时充当数据存储器部分。而且, 当参数设定方式为“9”时, 超高速缓冲数据存储器部分 27 的整个存储器区充当数据存储器部分, 而超高速缓冲数据存储器部分 27 处于超高速缓存关闭状态。

图 6 表示地址结构和图 5 中示出的变址的关系。在地址中, 地址段 $\text{adr}[3: 0]$ 用于字节选择, 地址段 $\text{adr}[20: 4]$ 具有图 6 中示出的结构。在地址段 $[20: 4]$ 中, 由 $\text{adr}[X: 4]$ 指示变址 0 至 511, 并对各变址提供定义标志 (Valid)、重写标志 (Modify)、TAG - RAM 区及超高速缓冲数据存储器区。对于参数设定方式“0”至“8”X 取 12 至 4 的值, 而参数设定方式“9”对应于超高速缓存关闭状态。TAG - RAM 区具有 $16 (\text{位}) \times 512 = 1 (\text{K 字节})$ 的存储容量, 超高速缓冲数据存储器区具有 $16 (\text{字节}) \times 512 = 8 (\text{K 字节})$ 的存储容量。

图 7 是一个系统框图, 表示本实施例的超高速缓存控制部分 22b 的结构。超高速缓存控制部分 22b 具有如图 7 中所示连接的一个屏蔽位生成部分 221、一个地址屏蔽部分 222、一个 TAG - RAM 223、一个数据 RAM 224、TAG 地址屏蔽部分 225 和 226、一个数据选择器部分 227、一个比较器部分 228 及一个位屏蔽部分 229。

对屏蔽位生成部分 221 输入一个指示参数设定方式“0”至“9”

中之一的方式信号。屏蔽位生成部分 221 根据图 8 中示出的真值表生成和该方式信号所指示的参数设定方式对应的超高速缓存关闭信号 **CACHE_OFF** 和位屏蔽信号 **BIT_MASK[12 : 5]**。把位屏蔽信号 **BIT_MASK[12 : 5]**提供到地址屏蔽部分 222 和 TAG 地址屏蔽部分 225、226。超高速缓存关闭信号 **CACHE_OFF** 提供给位屏蔽部分 229。

输入到超高速缓存控制部分 22b 的地址 **adr[20 : 0]**中的地址段 **adr[12 : 4]**输入到地址屏蔽部分 222。地址 **adr[20 : 0]**的地址段 **adr[20 : 5]**输入到 TAG 地址屏蔽部分 225，地址 **adr[20 : 0]**的地址段 **adr[3 : 0]**输入到数据选择器部分 227。地址屏蔽部分 222 得到位屏蔽信号 **BIT_MASK[12 : 5]**和地址段 **adr[12 : 5]**之间的以位为单位的逻辑积（AND），并且输出变址 **INDEX[12 : 5]**，而且还按其原样传送地址段 **adr[4]**并把该地址段 **adr[4]**输出为变址 **INDEX[4]**。把地址屏蔽部分 222 中 AND 运算得到的变址 **INDEX[12 : 5]**提供给数据 RAM 224。另一方面，把通过地址屏蔽部分 222 的 **INDEX[4]**提供给 TAG - RAM 223。

TAG 地址屏蔽部分 225 在地址段 **adr[12 : 5]**和位屏蔽信号 **BIT_MASK[12 : 5]**之间以位为单位得到 AND，并且输出地址屏蔽 **adr_msk[12 : 5]**。TAG 地址屏蔽部分 225 使地址段[20 : 13]按原样通过，并把该地址段[20 : 13]输出为地址屏蔽 **adr_msk[20 : 13]**。

TAG 地址屏蔽部分 226 在来自 TAG - RAM 223 的标记数据 **tag-data[12 : 5]**和位屏蔽信号 **BIT_MASK[12 : 5]**之间以位为单位得到 AND，并输出标志屏蔽 **tag_msk[12 : 5]**。此外，TAG 地址屏蔽部分 226 使标志数据 **tag_data[20 : 13]**（来自 TAG - RAM 223）按原样通过，并把该标志数据 **tag_data[20 : 13]**输出为标志屏蔽 **tag_msk[20 : 13]**。

比较器部分 228 把来自 TAG 地址屏蔽部分 225 的地址屏蔽 **adr_msk[20 : 5]**和来自 TAG 地址屏蔽部分 226 的标志屏蔽 **tag_msk[20 : 5]**进行比较，若二者匹配则输出信号 **cmp=1**，若二者不

匹配则输出信号 $\text{cmp}=0$ 。

位屏蔽部分 229 获得来自屏蔽位生成部分 221 的超高速缓存关闭信号 CACHE_OFF 和来自比较器部分 228 的信号 cmp 的 AND (“与”)，并把该 AND 的结果输出为命中 (hit) 信号。该命中信号表示是否把超高速缓冲数据存储器部分 27 的存储器区用作第一存储器区，即，充当超高速缓冲存储器部分。该命中信号提供到超高速缓冲数据存储器部分 27。

根据地址段 $\text{adr}[3: 0]$ 的值，数据选择器部分 227 从数据 RAM 224 输出的 128 位数据 $\text{data_pre}[127: 0]$ 中选择 32 位的数据。选定的 32 位数据提供给超高速缓冲数据存储器部分 27。

下面说明依据本发明的信息处理设备的第四实施例。图 9 是一个系统框图，表示本信息处理设备的第四实施例。在图 9 中，和图 4 中的对应部分相同的各部分用相同的参照数标示，并省略对它们的说明。

处理机部分 1C 具有多个读端口。此外，存储器子系统 2C 包括地址译码器部分 21，超高速缓存控制部分 22C、DMA 控制部分 25 及超高速缓冲数据存储器部分 27C，它们按图 9 中所示连接。超高速缓冲数据存储器部分 27C 具有和处理机部分 1C 的端口数量匹配的多端口结构。

对于来自地址译码器部分 21 的访问，超高速缓存控制部分 22C 判断输入请求的地址是否存在于超高速缓冲数据存储器部分 27C 的第一存储器区中，若该地址存在于第一存储器区之中，则对第一存储器区中的数据作出请求。若输入请求的地址在第一存储器区中，得知该输入请求是超高速缓存控制请求。在输入请求是读请求的情况下，超高速缓存控制部分 22C 从超高速缓冲数据存储器部分 27C 的第一存储器区内的相应地址读数据，并把读出的数据直接提供给处理机部分 1C。此外，若对应地址处的数据不存在于超高速缓冲数据存储器部分 27C 的第一存储器区内，从主存储部分 3 读该请求的数据并存储到超高速缓冲数据存储器部分 23C 的第一存储器区中，然后从第一存储器区读该数据并直接提供给处理机部分 1C。另一方面，在输入请求是写请求的情况下，

超高速缓存控制部分 22c 把从处理机部分 1C 提供的数据写入到超高速缓冲数据存储器部分 23C 的第一存储器区中。

因为超高速缓冲数据存储器部分 27C 具有多端口结构，有可能独立地完成来自 DMA 控制部分 25 的访问和来自地址译码器部分 21 的访问，对于来自地址译码器部分 21 的访问，超高速缓冲数据存储器部分 27C 使用一个未被 DMA 控制部分 25 占用的端口，并在读请求的情况下从第二存储器区读出相应的数据并把读出的数据直接提供给处理机部分 1C，而在写请求的情况下把来自处理机部分 1C 的数据写入第二存储器区。

在该实施例中，处理机部分 1C 具有多个读端口，并且超高速缓冲数据存储器部分 27C 具有和处理机部分 1C 的端口数量匹配的多端口结构。因此，有可能在不干扰处理机部分 1C 的操作处理下完成对存储器子系统 2C 的访问。

换言之，在信号处理中，对于顺序输入的数据执行适当的操作处理，并输出处理的结果。从而，只存在极少的可能再次使用的数据，如常规 RISC 处理机的情况中，由于在执行基于寄存器的操作处理的体系结构中的操作处理之前总是需要一条进行从存储器到寄存器的传送的指令，实际的性能相对于处理机的峰值性能是降低的。此外，即使在存在着具有高概率的再使用的数据的情况下，数据量大于处理机内少量寄存器可存储的量，从而，总是需要寄存器传送指令。

然而依据本实施例，来自超高速缓冲数据存储器部分 27C 的数据可以直接由该操作使用，从而有可能改善处理机的体系结构。此外，通过为处理机部分 1C 设置二个或更多的读端口即数据输入端口，并且通过把超高速缓冲数据存储器部分 27C 构造成具有多端口结构，有可能建立一种在其中操作处理不受数据供给干扰的信息处理设备。另外，由于可略去寄存器传送指令，有可能减少指令步的数量并改善处理机部分 1C 的实际性能。

下面说明依据本发明的信息处理设备的第五实施例。图 10 是一个系统框图，表示本信息处理设备的第五实施例。在图 10 中，和图 2 中

的对应部分相同的各部分用相同的参照数标示，并省略对它们的说明。

存储器子系统 2d 包括数据选择器部分 26 - 1、数据排列部分 26 - 2、N 个存储器部分 27 - 1 至 27 - N 以及地址控制部分 29，它们如图 10 中所示连接。在图 10 中，省略了对主存储部分 3 的示出。

N 个存储器部分 27 - 1 至 27 - N 形成由超高速缓存控制作为超高速缓冲存储器部分使用的第一区以及由 DMA 控制作为数据存储器部分使用的第二区。每个存储器部分 27 - 1 至 27 - N 具有的数据宽度 L 小于或等于来自处理机部分 1 的请求的最大数据宽度 M，其中 L、N、M 为整数并满足 $LN \geq 2M$ 。

在来自处理机部分 1 的输入请求是读请求的情况下，基于地址控制部分 29 译码的地址，数据选择器部分 26 - 1 选择性地向处理机部分 1 输出从存储器部分 27 - 1 至 27 - N 中读出的数据之中的和译码地址对应的数据。另外，在来自处理机部分 1 的输入请求是写请求的情况下，基于地址控制部分 29 译码的地址，数据排列部分 26 - 2 把来自处理机部分 1 的数据写入到存储器部分 27 - 1 至 27 - N 内的对应位置中。

在该实施例中，来自处理机部分 1 的地址和处理机部分 1 的存储器存取数据宽度不同，而是一种以字节为单位的地址。这样，存储器子系统 2d 构造成有可能从一个任意字节地址访问具有处理机部分 1 的存储器存取数据宽度的数据。因此，有可能总是处理包括着处理机部分 1 所请求的数据的相继数据，并且从某任意字节地址读该数据和把读出的数据提供给处理机部分 1。此外，通过在写数据时也以字节为单位控制写入，有可能把数据写入到任意字节地址中。

通过改进处理机的体系结构，处理机借助并行地执行 2 个、4 个或更多的操作可以高速执行信号处理。但若在该处理机中使用图 1 中所示的常规带有 DMA 的存储器系统，在处理数据上存在着限制。换言之，虽然通过并行操作处理改进了性能，必须在执行操作处理前 执行一个数据整形处理指令，不能期望对操作处理的整体有明显的改进。

也就是说，音频、图形、图象等的信号处理中所处理的数据宽度

例如是 8 位或 16 位, 则同时可处理 32 位的处理机可以并行地执行 4 个 8 位的操作处理或并行地执行 2 个 16 位的操作处理。同时可处理 64 位的处理机可以并行地执行 8 个 8 位的操作处理或 4 个 16 位的操作处理。这样, 利用这种处理机可以改善操作能力。然而, 在图象过滤处理等中, 例如可能对 4 个象素的数据和 4 个位于和它们偏移一个象素位置的象素的数据执行 4 个并行处理操作。在这种情况下, 必须在执行 4 个并行操作处理之前先进行诸如前处理的数据整形处理, 从而降低了 4 个并行操作处理的效果。更具体地, 具有 DMA 的存储器系统具有和处理机的数据宽度匹配的存储器位宽度和地址, 并且若处理机的数据宽度例如是 32 位, 则把存储器构建成具有 32 位的存储器位宽度。从而, 若需要得到跨越存储器的二个相继地址的 32 位数据, 则必须执行所谓的组件 (pack) 处理, 在组件处理中处理机读出二个相继地址的数据然后从读出的数据中提取并处理所需的数据。

另一方面, 依据本实施例, 当读数据和写数据时在存储器子系统 2d 内有效地执行和数据整形处理, 例如所谓的组件处理, 对应的处理。这样, 有可能省掉数据整形处理指令, 并通过 2 个并行操作处理、4 个并行操作处理等达到特别满意的效果。

在从 2 个或更多的端口处生成来自处理机部分 1 的读请求的情况下, 可把存储器子系统 2d 内的存储器部分 27 - 1 至 27 - N 构造具有多端口结构, 以类似于图 8 中所示的处理机部分 1C 和超高速缓冲数据存储器部分 27C 的关系, 从而有可能立即应付来自处理机部分 1 的多个数据请求。

图 11 是一个系统框图, 表示数据选择器部分 26 - 1 以及地址控制部分 29 的和存储器部分 27 - 1 至 27 - N 的有关部分的结构。图 12 是一个系统框图, 表示数据排列部分 26 - 2 连带着地址控制部分 29 的和存储器部分 27 - 1 至 27 - N 的有关部分的结构。出于方便的原因, 图 11 和 12 示出 $N = 2$ 的情况。

在图 11 中, 地址控制部分 29 包括加法器 29a, 比较器 292、293 以及 2: 1 选择器 294、295。每个存储器部分 27 - 1 和 27 - 2 是由

位宽度为 64 位的 RAM 构成的, 并形成一个位宽度为 128 位的 RAM 区 27A。数据选择器 26 - 1 包括选择信号生成部分 261、2: 1 选择器 262、寄存器 263 和 8: 1 选择器 264。

在来自处理机部分 1 的输入请求是读请求的情况下, 加法器 291 对来自处理机部分 1 的地址 $adr[12:0]$ 中的 $adr[12:3]$ 递增 1, 并向选择器 294 的 “1” 输入端和向选择器 295 的 “0” 输入端提供地址 $adr-n[12:4]$ 。另外, 向 “1” 比较器 292、“0” 比较器 293 和选择信号生成部分 261 提供 $adr[12:3]$ 中的 $adr[3]$ 。另一方面, 向选择器 294 的 “0” 输入端、选择器 295 的 “1” 输入端和选择信号生成部分 261 提供 $adr[12:3]$ 中的 $adr[12:4]$ 。还向选择信号生成部分 261 提供 $adr[2:0]$ 。从而, 若 $adr[3]$ 为 1, 选择器 294 响应 “1” 比较器 292 的输出向存储器部分 27-2 输入提供到选择器 294 的 “1” 输入端的 $adr-n[12:4]$ 。此外, 若 $adr[3]$ 为 0, 选择器 295 响应 “0” 比较器 293 的输出向存储器部分 27-1 输入提供到选择器 295 的 “0” 输入端的 $adr-n[12:4]$ 。这样, 若 $adr[3]$ 例如为 1, 选择器 294 响应 “1” 比较器 292 的输出向存储器部分 27-2 输入提供到选择器 294 的 “1” 输入端的 $adr-n[12:4]$, 并且选择器 295 响应 “0” 比较器 293 的输出向存储器部分 27-1 输入提供到选择器 295 的 “1” 输入端的 $adr[12:4]$ 。从而, 位宽度总共为 128 位的数据被从存储器部分 27-1 和 27-2 的相继地址上读出并提供给选择器 262。

选择信号生成部分 261 根据 $adr[3]$ 生成选择信号 $adr-d[3]$, 并把该选择信号 $adr-d[3]$ 提供给选择器 262。响应该选择信号 $adr-d[3]$, 选择器 262 向寄存器 263 提供一个来自 RAM 区 27A 位宽度为 128 位的数据。寄存器 263 组合位宽度为 128 位的数据并向选择器 264 提供位宽度为 32 位的 8 种数据。选择信号生成部分 261 根据地址 $[2: 0]$ 生成选择信号 $adr-d[2: 0]$ 并把该选择信号 $adr-d[2: 0]$ 提供给选择器 264。选择器 264 响应选择信号 $adr-d[2: 0]$ 向处理机部分 1 输出位宽度为 32 位的数据中的一种对应数据。

在图 12 中, 那些和图 11 中的对应部分相同的部分用相同的参照数

标示，并略去对它们的说明。在图 12 中，数据排列部分 26-2 包括允许写入信号生成部分 271、选择信号生成部分 272、寄存器 273、4：1 选择器 274-0 至 274-15。

在来自处理机部分 1 的输入请求是写请求的情况下，根据地址 $\text{adr}[3: 0]$ 和来自处理机部分 1 的允许写入信号 $\text{XWE}[3: 0]$ ，允许写入信号生成部分 271 生成允许写入信号 $\text{XRAM_WE}[15: 0]$ ，并把允许写入信号 $\text{XRAM_WE}[7: 0]$ 提供给存储器部分 27-1 和把允许写入信号 $\text{XRAM_WE}[15: 8]$ 提供给存储器部分 27-2。在该实施当 $\text{adr}[3: 0]=0$ 时， $\text{XWE}[3: 0]$ 和 $\text{XRAM_WE}[3: 0]$ 连接，并把其它 XRAM_WE 都置成 1。另一方面，当 $\text{adr}[3: 0]=1$ 时， $\text{XWE}[3: 0]$ 和 $\text{XRAM_WE}[4: 1]$ 连接，并把其它 XRAM_WE 都置成 1。这样，根据地址移位 $\text{XWE}[3: 0]$ 的连接，同时把其它 XRAM_WE 都置成 1。

来自处理机部分 1 的 32 位写数据 $\text{WDATA}[31: 0]$ 提供给每个选择器 274-0 至 274-15。选择信号生成部分 272 根据地址 $\text{adr}[3: 0]$ 生成指示选择写数据 $\text{WDATA}[31: 0]$ 中的哪 4 个字节的选信号 $\text{SEL0}[1: 0]$ 至 $\text{SEL15}[1: 0]$ ，并把选信号 $\text{SEL0}[1: 0]$ 至 $\text{SEL15}[1: 0]$ 提供给对应的选择器 274-0 至 274-15。

例如，当保持字节“7”时，选择信号生成部分 272 生成选信号 $\text{SEL0}[1: 0]$ 至 $\text{SEL15}[1: 0]$ ，从而当 $\text{adr}[3: 0]=4$ 时选择器 274-0 至 274-15 选择写数据 $\text{WDATA}[31: 24]$ ，当 $\text{adr}[3: 0]=5$ 时选择写数据 $\text{WDATA}[23: 16]$ ，当 $\text{adr}[3: 0]=6$ 时选择写数据 $\text{WDATA}[15: 8]$ ，当 $\text{adr}[3: 0]=7$ 时选择写数据 $\text{WDATA}[7: 0]$ 。对于别的地址值，有可能控制由允许写入信号生成部分 271 生成的允许写入信号 $\text{XRAM_WE}[15: 0]$ ，从而不会把写入数据 $\text{WDATA}[31: 0]$ 写入到存储器部分 27-1 和 27-2 中。从而，根据选定的写数据可确定缺省。

来自选择器 274-0 至 274-15 的写数据提供到寄存器 273。来自寄存器 273 的写数据 $\text{RAM_WDATA}[63: 0]$ 提供给存储器部分 27-1，来自寄存器 273 的写数据 $\text{RAM_WDATA}[127: 64]$ 提供给存储器部分 27-2。存储器部分 27-1 响应允许写入信号 $\text{XRAM_WE}[7: 0]$ 写入写

数据 RAM_WDATA[63: 0], 而存储器部分 27-2 响应允许写入信号 XRAM_WE[15: 8]写入写数据 RAM_WDATA[127: 64]。

上述各实施例中, 可把存储器子系统设置在单个半导体芯片上。此外, 可在单个半导体片上设置存储器子系统和主存储器部分。而且, 可在单个半导体芯片上设置处理机部分和存储器子系统。进而, 可在单个半导体芯片上设置全部的处理机部分、存储器子系统和主存储器部分。

当然, 有可能适当地组合上述各实施例。

最近, 提出根据用硬件描述语言书写的电路信息和单元 (cell) 库信息设计实际电路。图 13 用于说明这种实际电路的设计过程的过程图。

在图 13 中, 电路信息 501 是用硬件描述语言书写的, 并是由和本信息处理设备的上述第一至第五实施例中任一实施例的处理机部分、存储器子系统及主存储器之中至少一个有关的软件虚拟构件信息构成的。单元库信息 502 由单元信息组成, 单元信息取决于要设计的电路是以大规模集成 (LSI) 电路形式还是以现场可编程门阵列 (FPGA) 形式做成的。编译程序 503 编译电路信息 501 和单元库信息 502, 并且输出和实际电路 504 有关的信息。根据从编译程序 503 输出的该信息制造 LSI 电路或 FPGA。从而, 即使实际电路 504 的电路信息 501 随制造商而不同, 通过简单地根据制造商修改单元库信息 502, 有可能为实际电路 504 的设计过程采用相同的过程流。

图 14 是一个透视图, 表示实现图 13 中所示的设计过程的计算机系统。在图 14 中, 计算机系统 100 具有周知的结构, 包括具有中央处理机 (CPU)、磁盘机等的主机体部分 101, 根据来自主机体部分的指令在显示屏幕 102a 上显示图象的显示器 102, 用于向计算机系统 101 输入各种信息和指令的键盘 103, 用于在显示器 102 的显示屏幕 102a 上规定某任意位置的鼠标器, 以及可访问外部数据库的调制解调器 105。存储在可移植存储媒体如盘 110 中的或通过利用调制解调器 105 从外部数据库 106 下载的程序被输入到并由计算机系统 100 执行。

依据本发明的计算机可读存储媒体可能是诸如 RAM、ROM、

PROM、EPROM 的半导体存储器部件，图 14 中示出的盘 110，卡状存储媒体，等等。此外，盘可以是磁盘、包括 CD-ROM 的光盘、磁光盘等。

计算机可读存储媒体至少存储用硬件描述语言写成的电路信息 501。然而，计算机可读存储媒体还可存储执行图 13 中示出的设计过程的程序。

下面说明依据本发明的计算机可读存储媒体。在该实施例中，图 14 中的盘 110 构成依据本发明的存储媒体。盘 110 是计算机可读的存储媒体，它存储用硬件描述语言书写的电路信息，并且包括第一数据区和第二数据区，第一数据区存储和判断装置有关的电路信息，第二数据区存储和控制装置有关的电路信息，判断装置用于译码输入请求的地址和输出指明输入请求是超高速缓存控制请求还是 DMA 控制请求的判断信号，控制装置用于当来自判断装置的判断信号指明超高速缓存控制请求时执行超高速缓存控制和当判断信号指明 DMA 控制请求时执行 DMA 控制。

从而，根据从盘 110 的第一和第二数据区读出的电路信息 501 以及从键盘 103、盘 110、数据库 106 等输入的单元库信息 502，图 14 示出的计算机系统 100 执行编译程序 503 的处理。这样，计算机系统 100 可以通过装配软件虚拟构件好象正在装配实际电路构件那样设计实际电路 504。

在上述的各实施例中，输出 RISC 型指令和 DSP 型指令的处理机部分可由单个微处理器构成。这样，在后面的说明中，出于方便的原因假定处理机部分 1 是由单个微处理器构成的。

图 15 表示处理机部分 1 的结构。在图 15 中，由于需要以高速执行大量的操作处理，该微处理器部分 1 包括流水线 411、操作指令输入部分 401、存储部分 405、查找表（LUT）406、输出控制部分 409 和输出部分 410。流水线部分 411 包括操作指令读出部分 402、操作指令译码部分 403、数据读出部分 404、操作处理执行部分 407 和操作结果写入部分 408。操作指令输入部分 401 向流水线 411 输入微代码。存储

部分 405 存储操作结果。 LUT 406 存储操作处理指令码。输出控制部分 409 和输出部分 410 用于输出存储在存储部分 405 中的操作结果等。通过并行地执行操作处理的流水线处理有效地执行操作处理。 LUT 406 是由诸如 RAM 的存储器构成的，并可由用户随意设置。

现说明构成具有上述结构的微处理器部分 1 的流水线 411 的各个部分的功能。

操作指令读出部分 402 具有读（取）微代码和地址信息的功能，微代码是由指示操作处理所需的输入输出数据的传送内容的信息组成的，地址信息（其在后面称为操作 ID）指示处理指令或处理指令的存储位置。

操作指令译码部分 403 具有对操作指令读出部分 402 读出的微代码进行译码的功能。

数据读出部分 404 具有根据表示在操作指令译码部分 403 中译码的微代码的输入输出数据的传送内容的信息从存储部分 405 读出操作处理所需的输入数据的功能，并且具有在微代码包括着操作 ID 的情况下根据操作 ID 所指示的地址从 LUT 406 读出处理指令的功能。

操作处理执行部分 407 包括多个加、减、乘、除、乘积和等等的运算单元资源，并具有根据处理指令和数据读出部分 404 读出的输入数据执行预定操作的功能。

操作结果写入部分 408 具有根据经操作处理执行部分 407 从数据读出部分 404 得到的指示输出数据的存储单元的地址把操作处理执行部分 407 执行的操作处理的操作结果写入到存储部分 405 中的功能。

具有上述结构和功能的微处理器部分 1 能根据组成微代码的操作 ID 读出处理指令。因而，有可能在实现短的微代码下应付复杂的高级操作处理指令码。

下面参照图 16 说明执行图 15 中示出的微处理器部分 1 的操作处理的微代码。

如图 16 中的上部所示，常规微代码是由处理指令（RISC 型指令的组合）及输入输出数据构成的。但是随着处理指令的复杂性和高等级

扩充微指令时，可能在微代码中不能有效地分配和实现操作处理信息。

从而，用于执行微处理器部分 1 中的操作处理的微代码构造包括在图 16 的下部所示的操作 ID，从而即使操作处理是复杂的仍可以简化微代码。如前面所述。LUT 406 的地址信息是在操作 ID 中指示的，并在 LUT 406 中存储复杂的高级处理指令。

由于微代码是由操作 ID 以及指示输入输出数据的传送内容构成的，微处理器部分 1 可利用 LUT 406 并且容易应付由多个 RISC 型指令（只使用一个操作单元资源的基本指令）构成的复杂处理指令（由一条流水线进行操作处理的指令）。从而，微处理器部分 1 可以很容易应付操作处理的复杂性和高级性，这种复杂性和高级性将来还会增加。

另外，通过简化图 16 中所示的微代码，有可能简化暂时存储指令的指令超高速缓存。

此外，在微处理器部分 1 中，有可能如常规情况中那样，直接执行处理指令以代替执行操作 ID。例如，在处理指令是单个 RISC 型指令的情况下，该 RISC 型指令可执行成好象它代替了操作 ID，因为微代码不因此而扩充。此外，取决于微代码的大小，有可能直接执行二个或更多的 RISC 型指令。因此，微处理器部分 1 可以在不必访问 LUT 406 下有效地译码操作处理指令。

图 17 和 18 分别表示一种操作处理执行方法以及一个具体的操作处理示例，该示例是在把图 16 中所示的微代码输入到图 15 中所示的微处理器部分 1 的情况下进行的。

当向图 15 中示出的微处理机的流水线 411 输入包括指示输入输出数据的传送内容的微代码时，且该微代码例如是由指示输出数据的存储单元、输入数据①、输出数据②及图 18 中所示的操作 ID 组成时，在步骤 S1 该微代码由操作指令读出部分 402 读出并由操作指令译码部分 403 译码。

若作为操作指令译码部分 403 执行的译码的结果操作 ID 的判断位如图 18 中所示为“0”时，步骤 S2 判定该操作 ID 是一个 RISC 型指令。另外，根据指示各个输入数据①和输入数据②的存储单元的地址，

步骤 S3 通过数据读出部分 404 从存储部分 405 读出输入数据①和输入数据②。同时，步骤 S1 向操作处理执行部分 407 通知表示输出数据的存储单元的地址。

在操作处理执行部分 407 中，步骤 S5 例如由和该 RISC 型指令对应的操作单元资源 ALU 423（加法器）执行加法运算，并且根据输出数据的存储单元指示的地址把该加法运算的操作结果存储到存储部分 405 中。

另一方面，若作为操作指令译码部分 403 执行的译码的结果操作 ID 的判断位如图 18 中所示为“1”时，步骤 S2 判定该操作 ID 是 LUT 406 的一个地址“X”（ID）。从而，根据该地址“X”，步骤 S4 通过数据读出部分 404 读出处理指令。另外，根据指示各个输入数据①和输入数据②的存储单元的地址，步骤 S3 通过数据读出部分 404 从存储部分 405 读出输入数据①和输入数据②。从而，对操作处理执行部分 407 报告该处理指令、输入数据①、输入数据②以及表示输出数据存储单元的地址。例如，如图 18 中所示，LUT 406 内地址“X”处的处理指令存储“MPY → SHF → ADD”。

在步骤 S5，操作处理执行部分 407 例如由和该处理指令对应的多个操作单元资源乘法器（MPY）21、移位器（SHF）和加法器（ALU）423 执行乘积和，并根据指示输出数据存储单元的地址把操作结果存储到存储部分 405 中。

微处理器部分 1 可以有效地执行用户随意改变 LUT 406 的内容而得到的操作处理。

此外，因为微处理器部分 1 在一条处理指令中执行多条 RISC 型指令，有可能减少被执行的指令的总数量。

此外，本发明不限于这些实施例，并在不违背本发明的范围下可做出各种变型及修改。

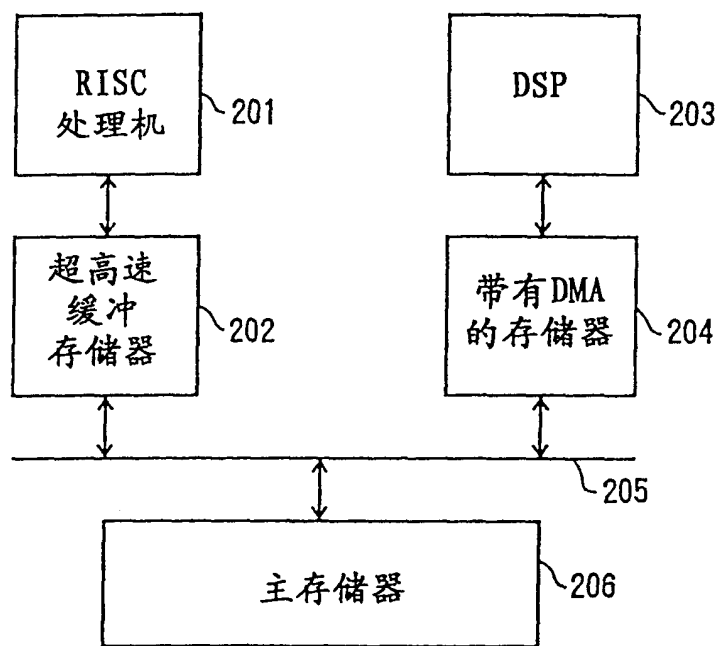


图1

图 2

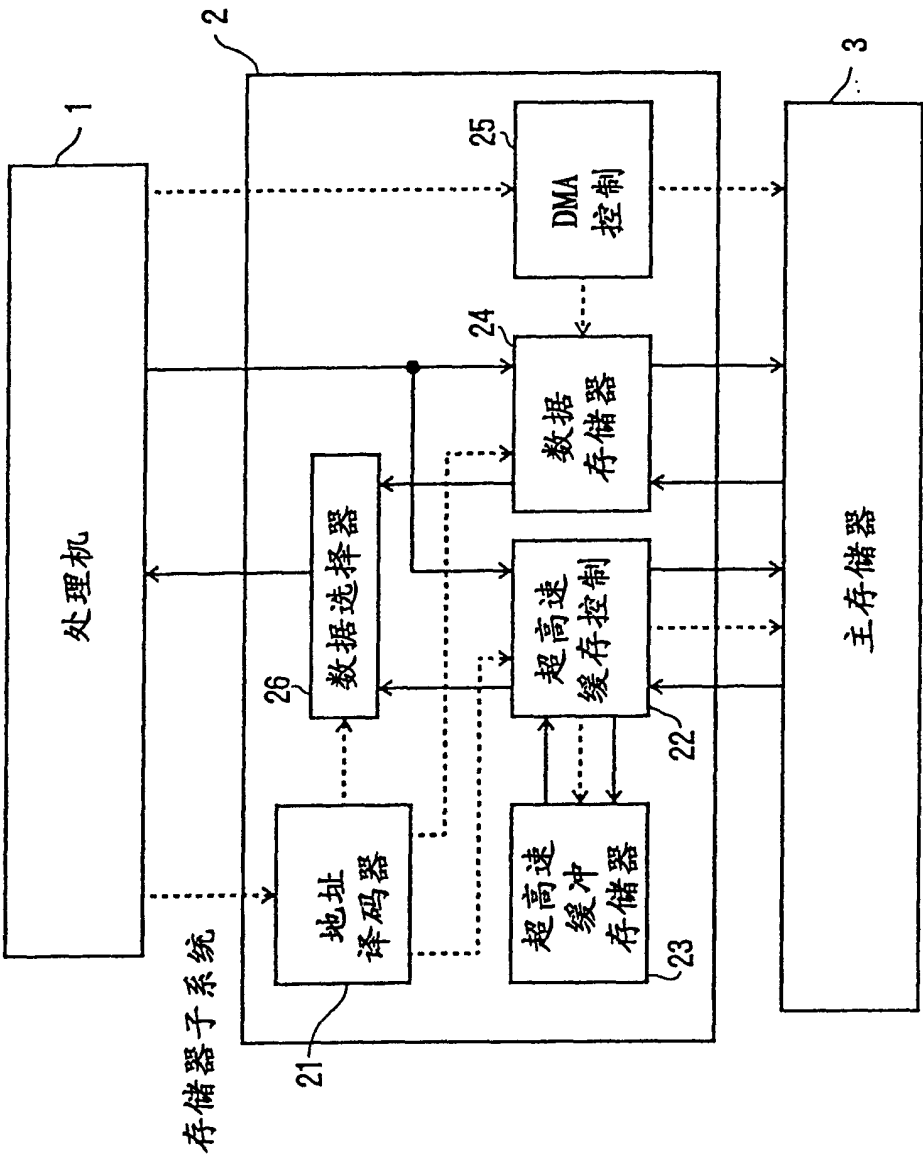


图 3

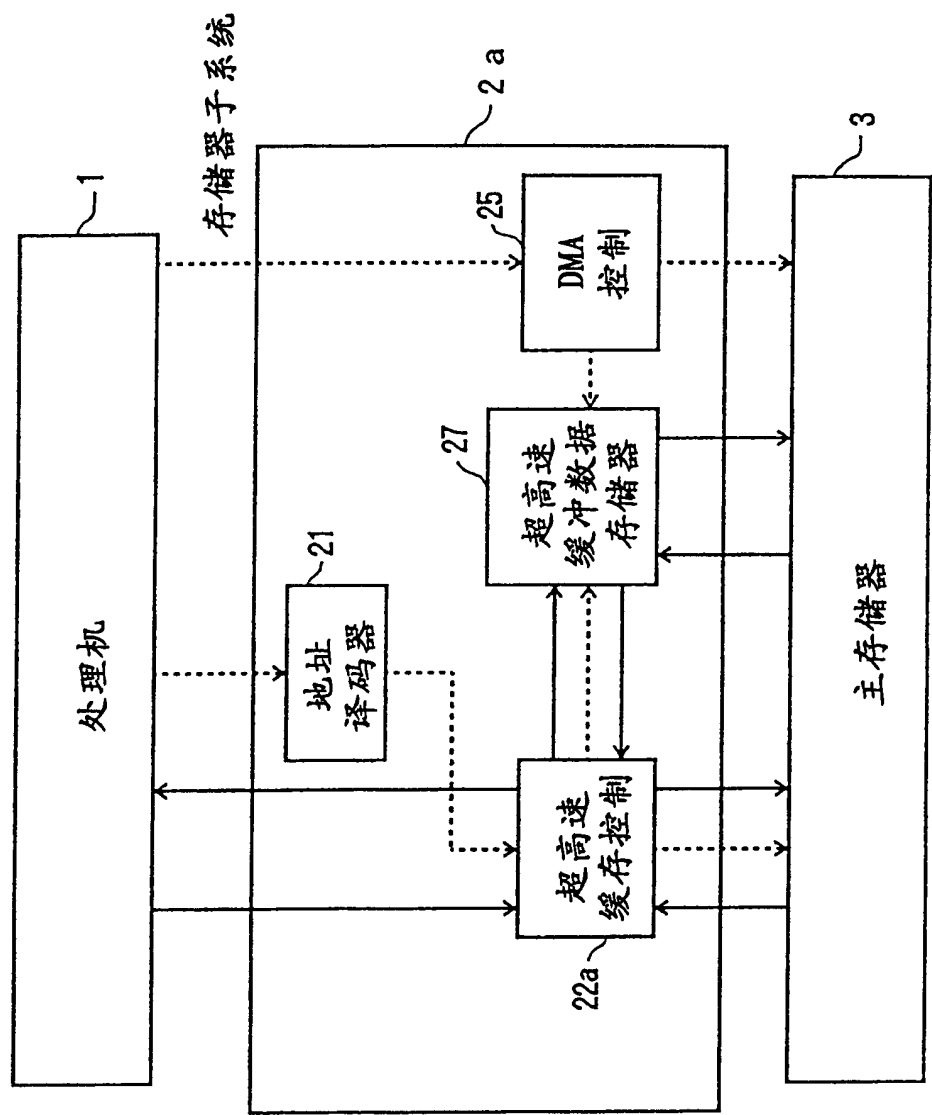


图 4

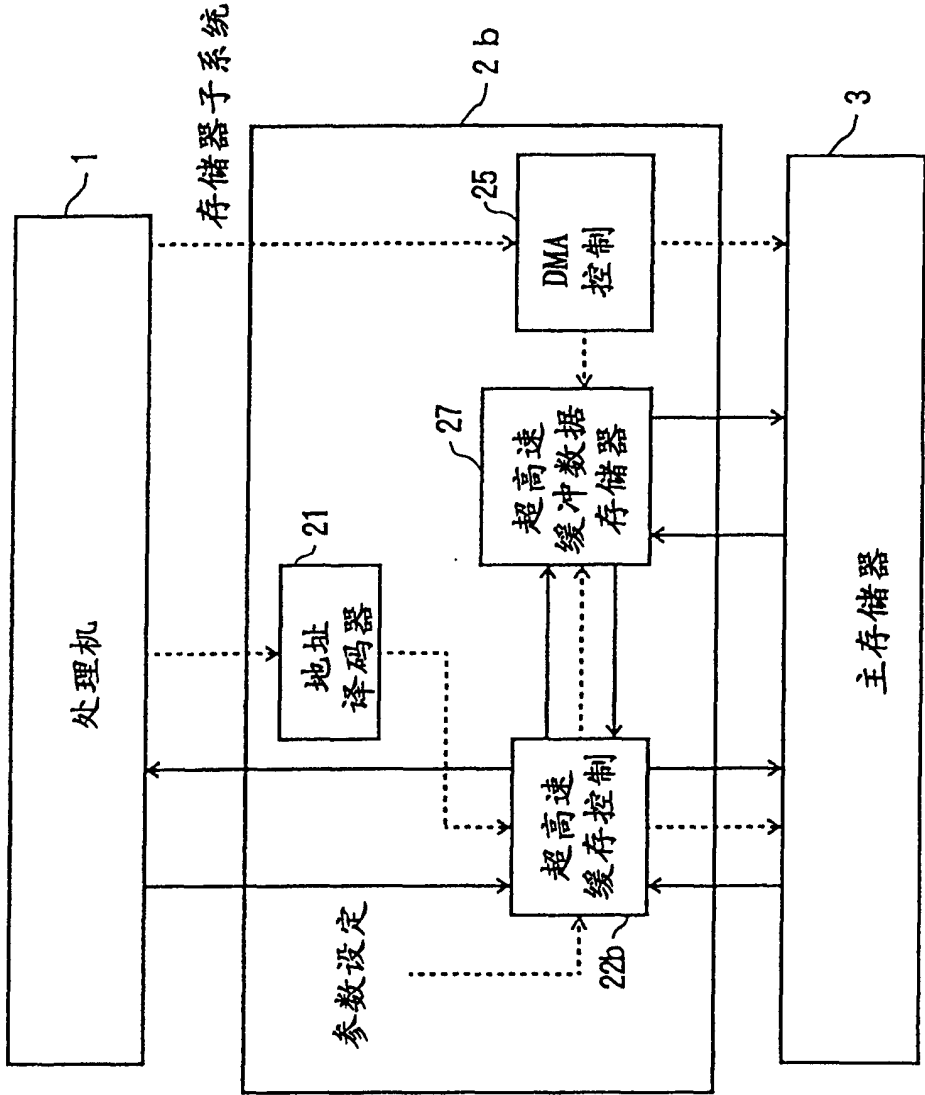


图 5

参数 设定方式	超高速缓存 变址的数量	20 ~ 13	12	11	10	9	8	7	6	5	4	3~0
0	512 变址 (0~511)											
1	256 变址 (0~255)											
2	128 变址 (0~127)											
3	64 变址 (0~63)											
4	32 变址 (0~31)	标志							变址数			字节选择
5	16 变址 (0~15)											
6	8 变址 (0~7)											
7	4 变址 (0~3)											
8	2 变址 (0~1)											
9	超高速缓存关闭											

图 6

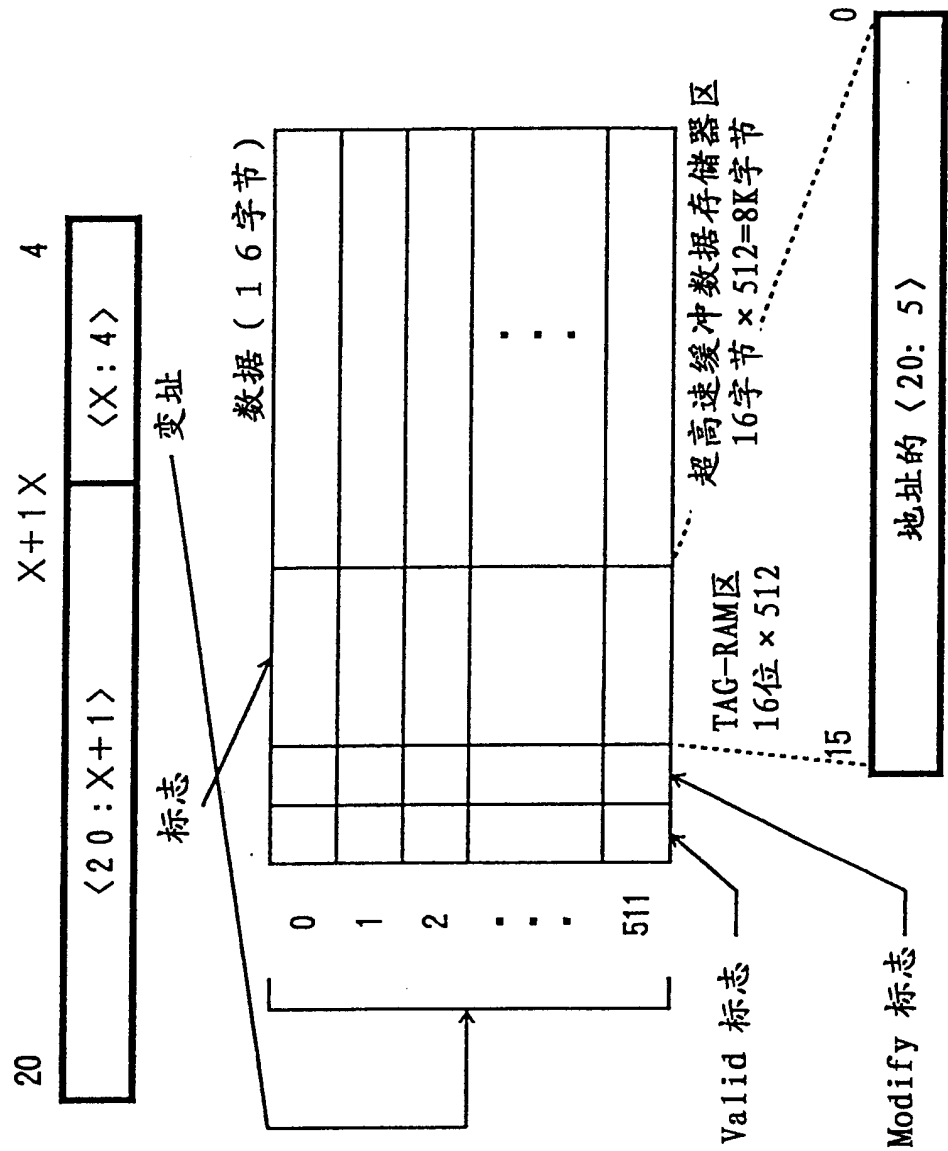


图 7

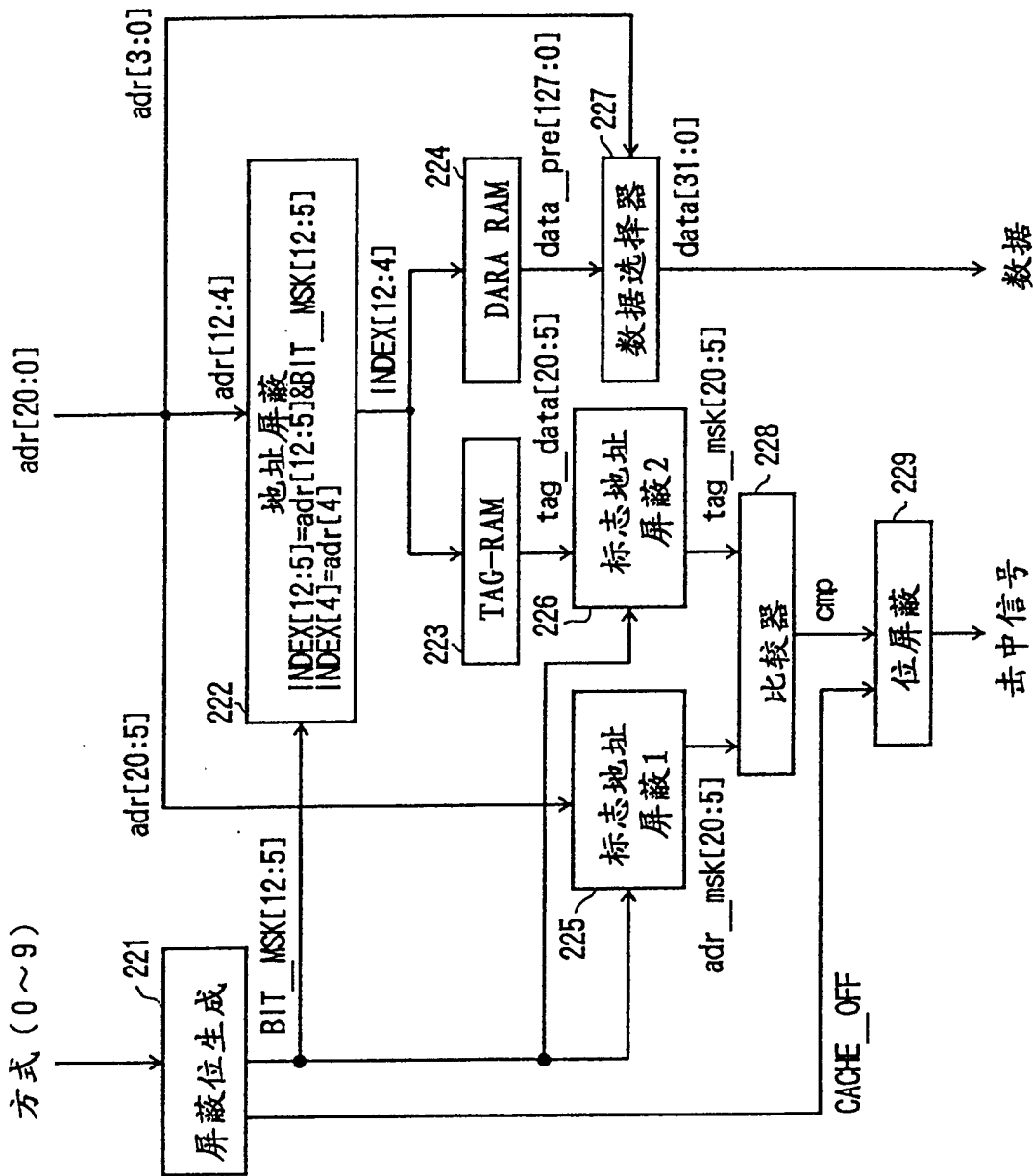


图 8

参数 设定方式	BIT_MSK [12 : 5]	CACHE_OFF
0	0 x F F	1
1	0 x 7 F	1
2	0 x 3 F	1
3	0 x 1 F	1
4	0 x 0 F	1
5	0 x 0 7	1
6	0 x 0 3	1
7	0 x 0 1	1
8	0 x 0 0	1
9	无关	0

图 9

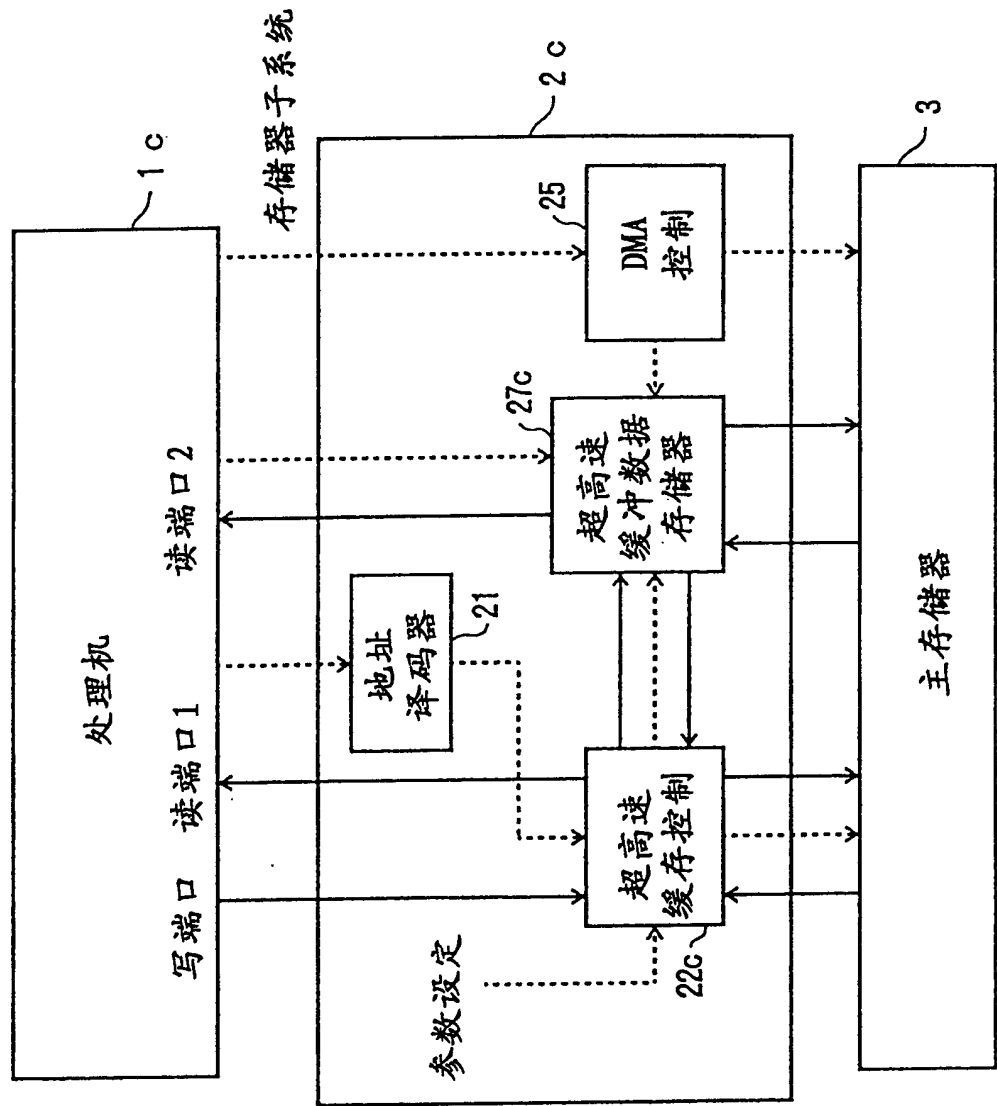


图10

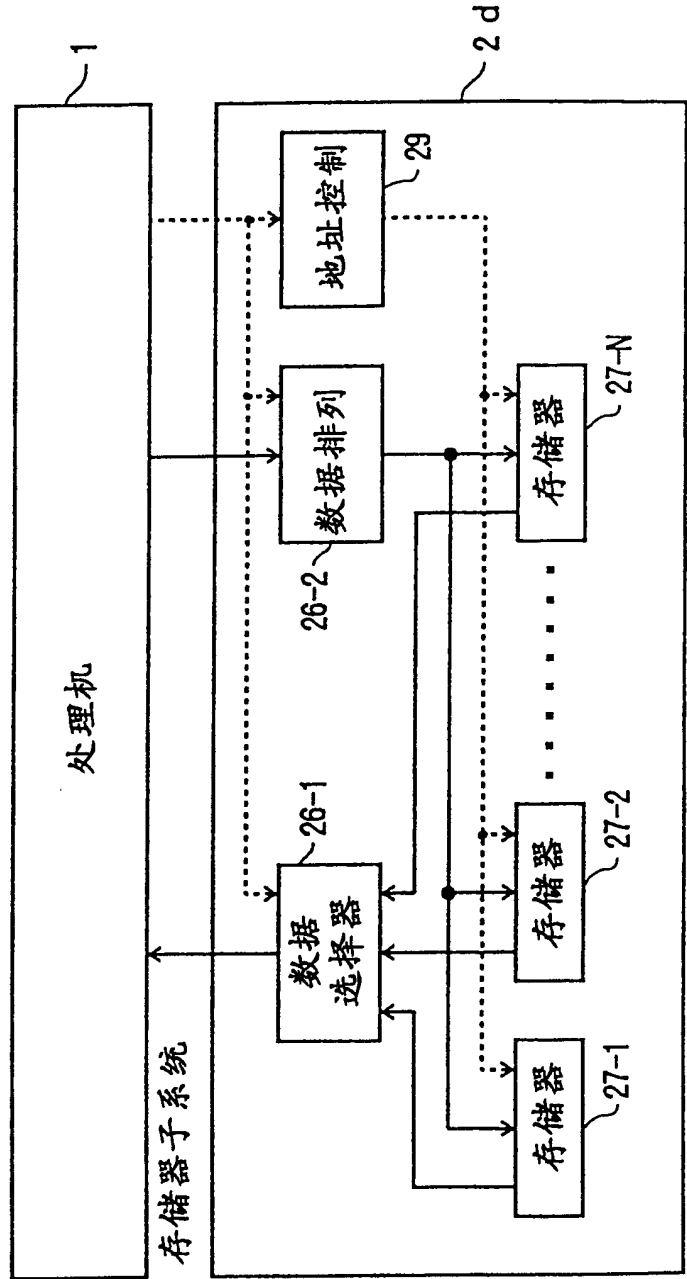


图 11

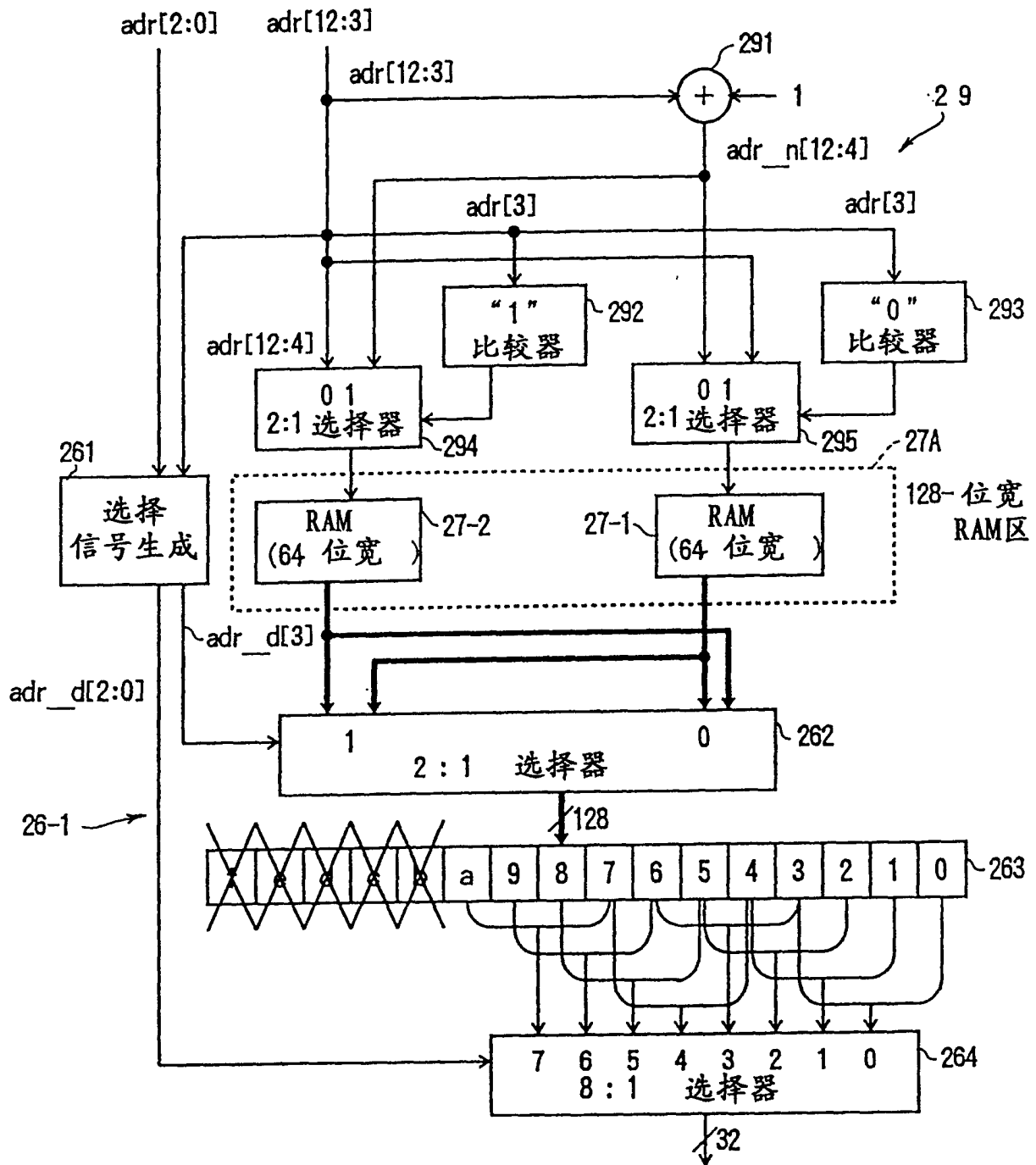


图 12

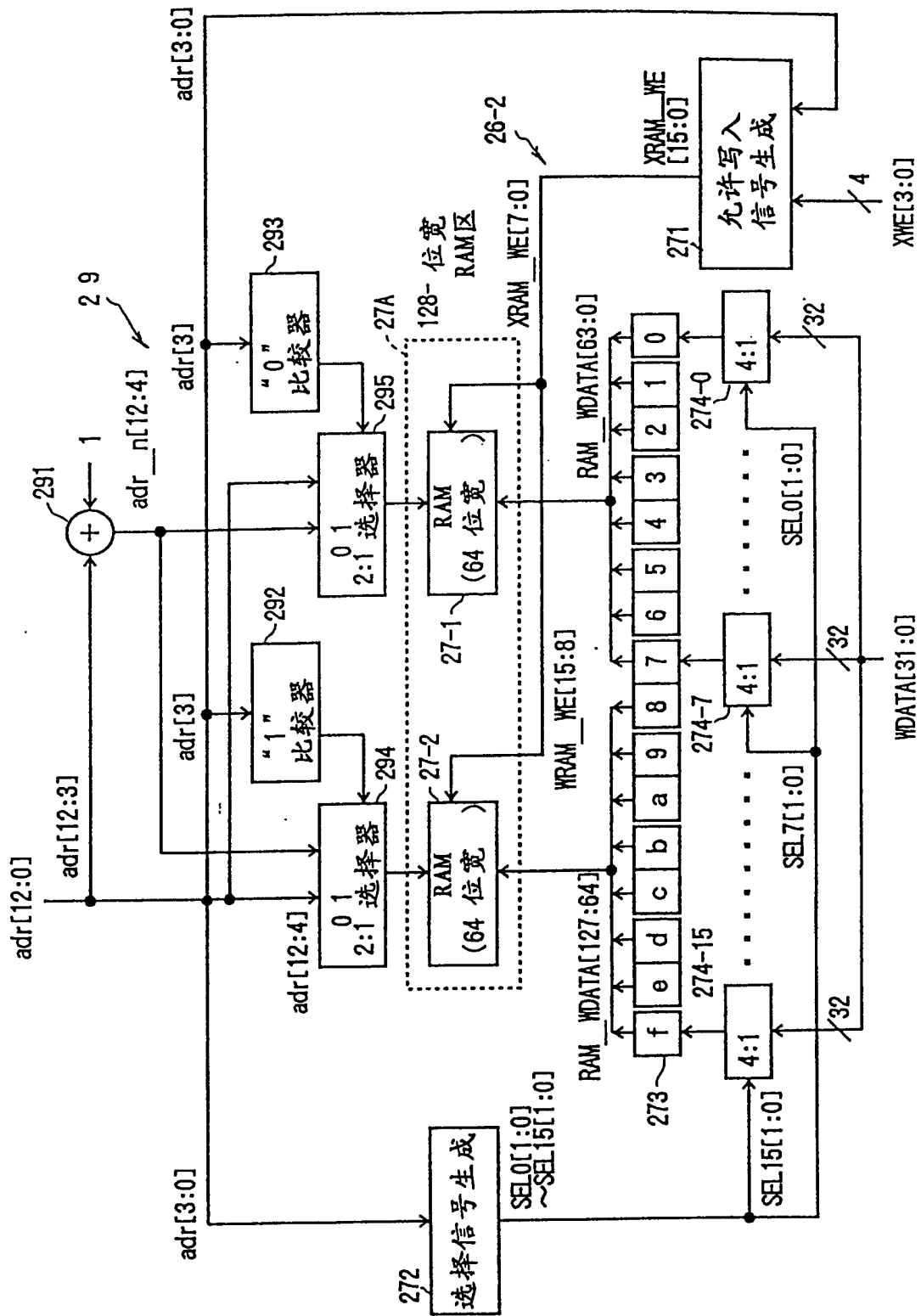


图13

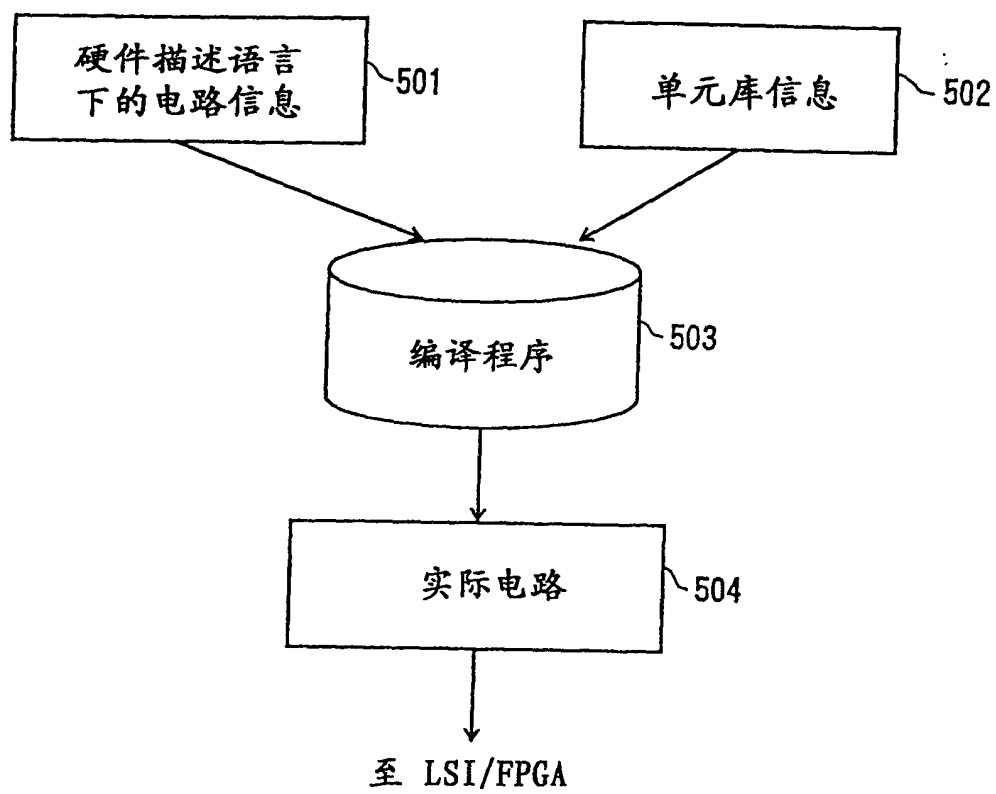


图14

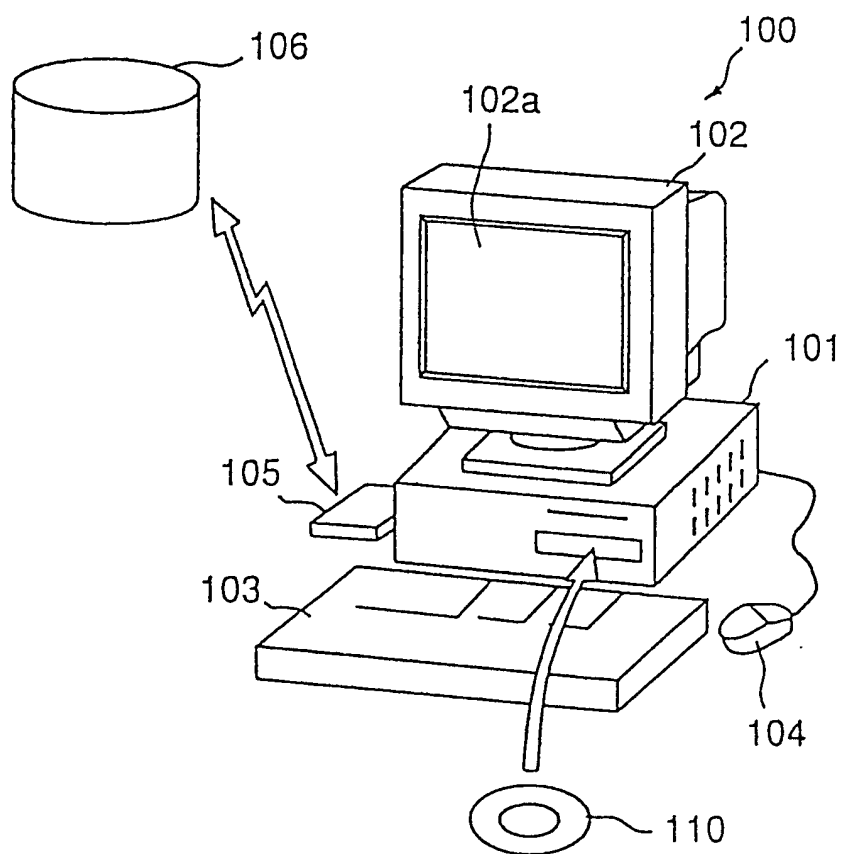


图15

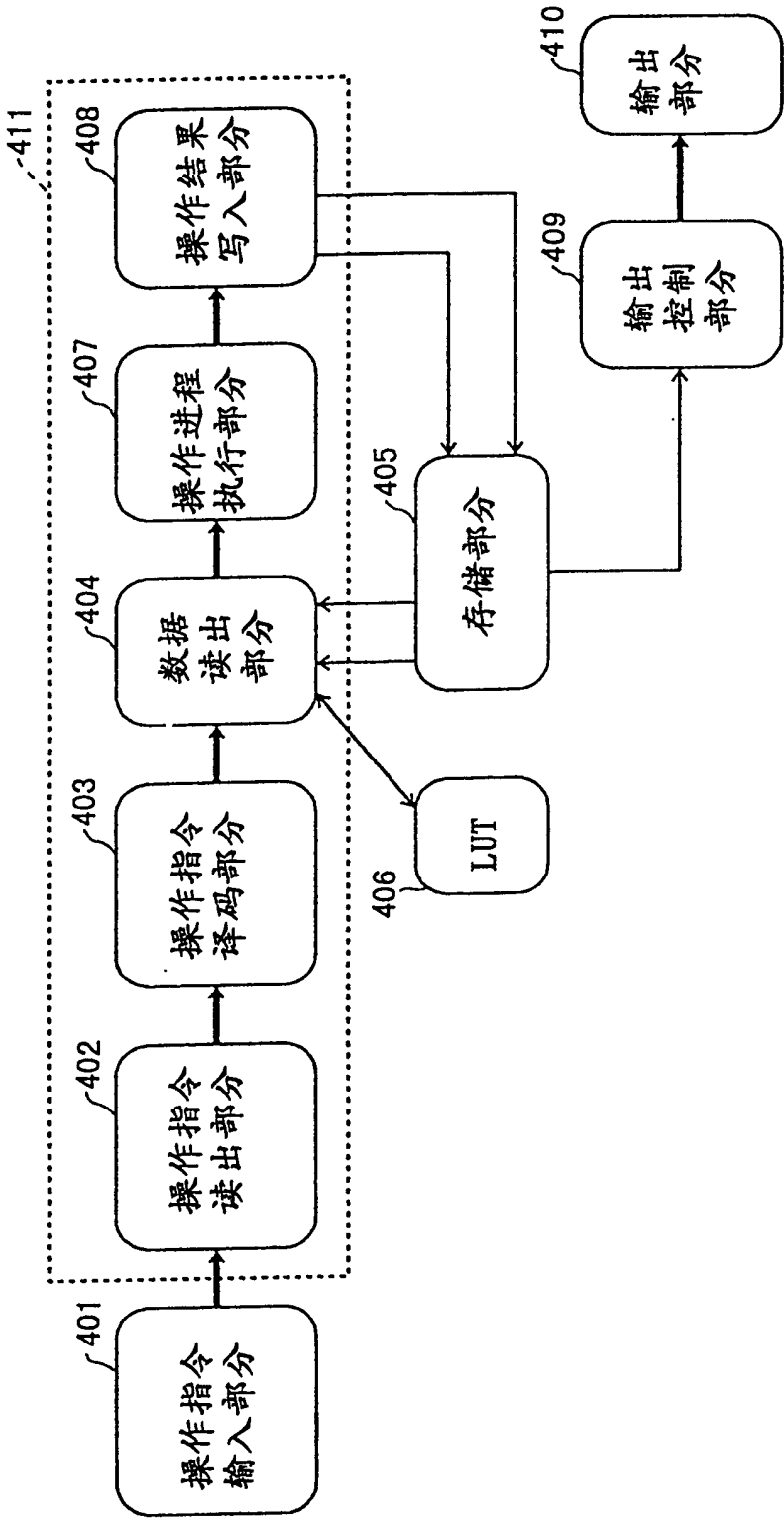


图16

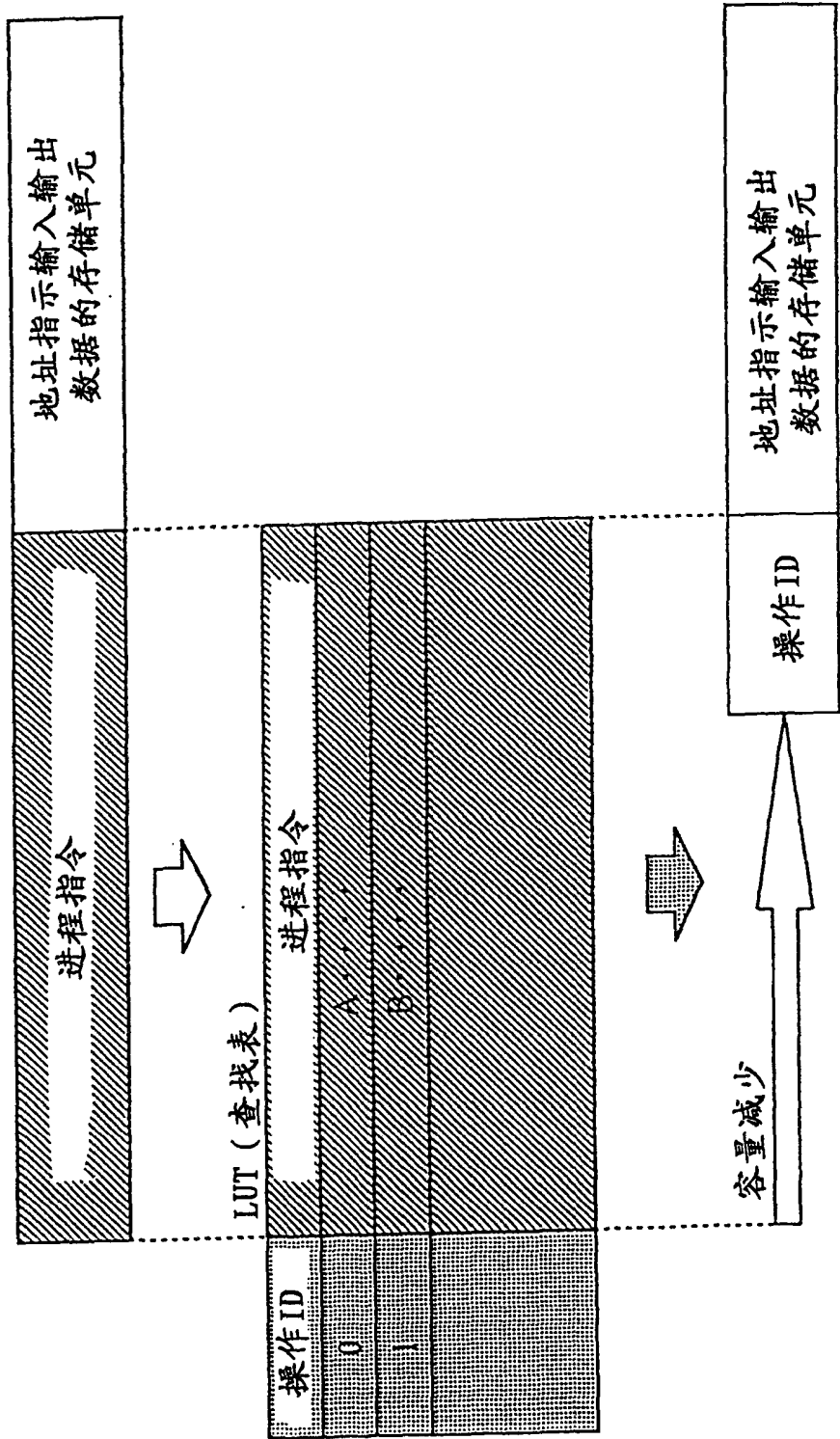
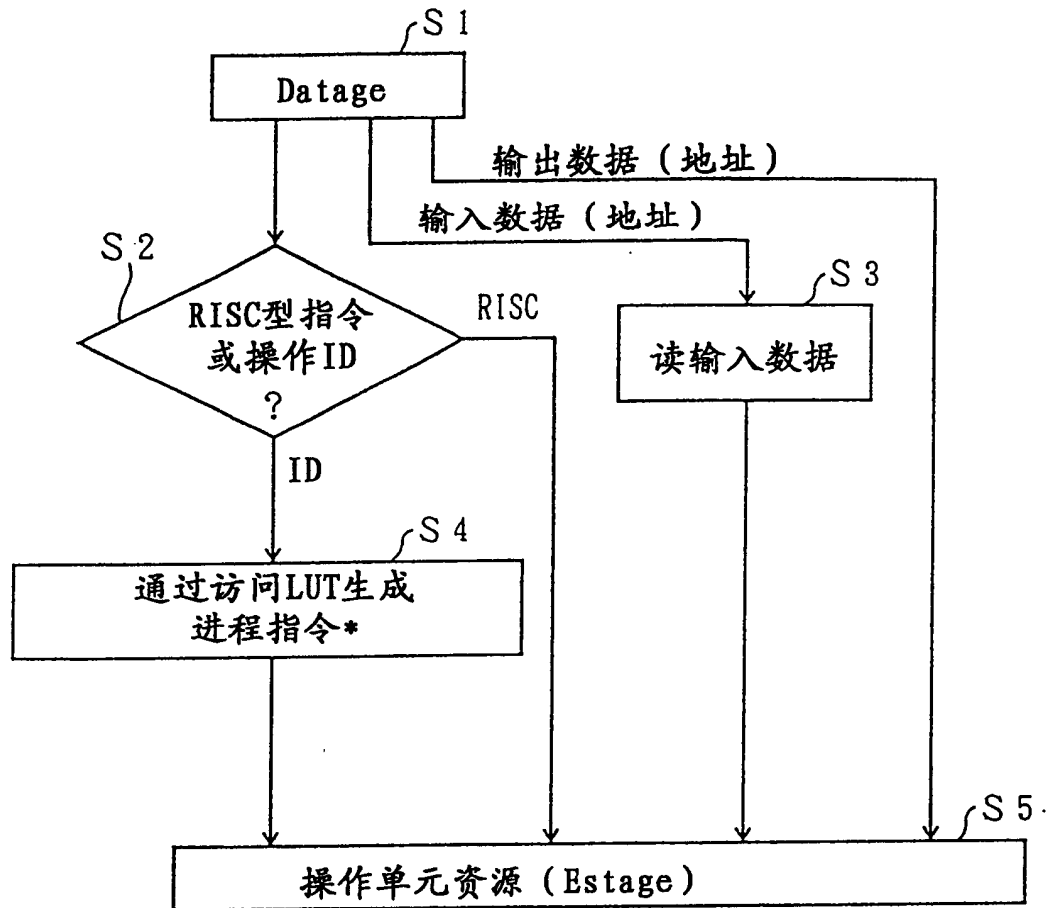


图17



*进程指令: RISC型指令的组合

图18

