

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5890552号

(P5890552)

(45) 発行日 平成28年3月22日(2016.3.22)

(24) 登録日 平成28年2月26日(2016.2.26)

(51) Int.Cl.

F I

G O 6 K 19/077 (2006.01)

G O 6 K 19/077 1 4 4

請求項の数 2 (全 57 頁)

(21) 出願番号	特願2015-44792 (P2015-44792)	(73) 特許権者	000153878
(22) 出願日	平成27年3月6日(2015.3.6)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2013-237582 (P2013-237582) の分割	(72) 発明者	塩野入 豊
原出願日	平成19年3月14日(2007.3.14)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2015-156220 (P2015-156220A)		半導体エネルギー研究所内
(43) 公開日	平成27年8月27日(2015.8.27)	(72) 発明者	小山 潤
審査請求日	平成27年3月9日(2015.3.9)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2006-70387 (P2006-70387)		半導体エネルギー研究所内
(32) 優先日	平成18年3月15日(2006.3.15)	(72) 発明者	黒川 義元
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

トランジスタと、リチウムイオン電池と、を有する半導体装置の作製方法であって、
 基板上方に、第1の絶縁層を形成する工程と、
 前記第1の絶縁層上方に、前記トランジスタの第1のゲート電極となる第1の導電層を
 形成する工程と、
 前記第1の導電層上方に、第2の絶縁層を形成する工程と、
前記第2の絶縁層の上面を平坦化する工程と、
前記第2の絶縁層上方に、前記第1の導電層と重なる領域と、前記第1の導電層と重な
らない領域と、を有する半導体層を形成する工程と、
 前記半導体層上方に、第3の絶縁層を形成する工程と、
 前記第3の絶縁層上方に、前記半導体層と重なる領域を有し、前記トランジスタの第2
 のゲート電極となる第2の導電層を形成する工程と、
 前記第2の導電層上方に、第4の絶縁層を形成する工程と、
 前記第4の絶縁層と、前記第3の絶縁層と、を貫通する、第1の開口部と、
 前記第4の絶縁層と、前記第3の絶縁層と、前記第2の絶縁層と、前記第1の絶縁層と
 、を貫通する、第2の開口部と、を形成する工程と、
 前記第1の開口部を充填するように第3の導電層を形成する工程と、
 前記第2の開口部を充填するように第4の導電層を形成する工程と、
 前記基板と、前記第1の絶縁層と、を分離する工程と、

10

20

異方性導電フィルム又は異方性導電ペーストを用いて、前記第４の導電層と、前記リチウムイオン電池と、を電氣的に接続する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項２】

請求項１において、

前記半導体層は、Ｉｎと、Ｇａと、Ｚｎと、Ｏと、を含むことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は半導体装置に関する。特に、電波を介したデータの送受信及び電力の受信を行う半導体装置に関する。

【背景技術】

【０００２】

近年、無線通信を利用した個体識別技術が注目を集めている。特に、無線通信によりデータの発信を行う半導体装置として、ＲＦＩＤ（Radio Frequency Identification）タグを利用した個体識別技術が注目を集めている。ＲＦＩＤタグ（以下、単にＲＦＩＤという）は、ＩＣ（Integrated Circuit）タグ、ＩＣチップ、ＲＦタグ、無線タグ、電子タグとも呼ばれる。ＲＦＩＤを用いた個体識別技術は、個々の対象物の生産、管理等に役立てられ始めており、個人認証への応用も期待されている。

【０００３】

ＲＦＩＤは、電源を内蔵するか、外部から電力供給を受けるかの違いにより、ＲＦＩＤの情報を含んだ電磁波を送信することが可能なアクティブタイプ（能動タイプ）のＲＦＩＤと、外部から受信した電磁波の電力を利用して駆動するパッシブタイプ（受動タイプ）のＲＦＩＤとの二つのタイプに分けることができる（アクティブタイプに関しては特許文献１、パッシブタイプに関しては特許文献２を参照）。このうち、アクティブタイプのＲＦＩＤにおいては、ＲＦＩＤを駆動するための電力を供給する電源を内蔵しており、電源として電池を備えて構成されている。また、パッシブタイプにおいては、ＲＦＩＤを駆動するための電力を外部からの電磁波（搬送波）を利用して作りだし、電池を備えることのない構成を実現している。

【０００４】

図３１にアクティブタイプのＲＦＩＤの具体的な構成についてブロック図を用いて説明する。図３１に示すアクティブタイプのＲＦＩＤ３１００では、アンテナ回路３１０１によって受信した通信信号が信号処理回路３１０２における復調回路３１０５、アンプ３１０６に入力される。通常、通信信号は１３．５６ＭＨｚ、９１５ＭＨｚなどのキャリアにＡＳＫ変調、ＰＳＫ変調などの処理がされて送られてくる。図３１においては、通信信号として１３．５６ＭＨｚの例について示す。図３１において、信号を処理するためには基準となるクロック信号が必要であり、ここでは１３．５６ＭＨｚのキャリアをクロックに用いている。アンプ３１０６は、１３．５６ＭＨｚのキャリアを増幅し、クロックとして論理回路３１０７に供給する。また、ＡＳＫ変調やＰＳＫ変調された通信信号は復調回路３１０５で復調される。復調後の信号も論理回路３１０７に送られ解析される。論理回路３１０７で解析された信号は、メモリコントロール回路３１０８に送られ、メモリコントロール回路３１０８によりメモリ回路３１０９が制御され、メモリ回路３１０９に記憶されたデータが論理回路３１１０に送られる。論理回路３１１０でエンコード処理されたのちアンプ３１１１で増幅され、その信号によって、変調回路３１１２はキャリアに変調をかける。図３１に示したＲＦＩＤを駆動する電力は、信号処理回路の外に設けられる電池３１０３によって電源回路３１０４を介して供給される。そして電源回路３１０４はアンプ３１０６、復調回路３１０５、論理回路３１０７、メモリコントロール回路３１０８、メモリ回路３１０９、論理回路３１１０、アンプ３１１１、変調回路３１１２などに電力

を供給する。このようにしてアクティブタイプのRFIDは動作する。

【0005】

図32に、パッシブタイプのRFIDの具体的な構成についてブロック図を用いて説明する。図32に示すパッシブタイプのRFID3200では、アンテナ回路3201によって受信された通信信号が信号処理回路3202における復調回路3205、アンプ3206に入力される。通常、通信信号は13.56MHz、915MHzなどのキャリアにASK変調、PSK変調などの処理がされて送られてくる。図32においては、通信信号として13.56MHzの例について示す。図32において、信号を処理するためには基準となるクロック信号が必要であり、ここでは13.56MHzのキャリアをクロックに用いている。アンプ3206は13.56MHzのキャリアを増幅し、クロックとして論理回路3207に供給する。またASK変調やPSK変調された通信信号は復調回路3205で復調される。復調後の信号も論理回路3207に送られ解析される。論理回路3207で解析された信号はメモリコントロール回路3208に送られ、メモリコントロール回路3208によりメモリ回路3209が制御され、メモリ回路3209に記憶されたデータが論理回路3210に送られる。論理回路3210でエンコード処理されたのちアンプ3211で増幅され、その信号によって、変調回路3212はキャリアに変調をかける。一方、整流回路3203に入った通信信号は整流され、電源回路3204に入力される。電源回路3204はアンプ3206、復調回路3205、論理回路3207、メモリコントロール回路3208、メモリ回路3209、論理回路3210、アンプ3211、変調回路3212などに電力を供給する。このようにしてパッシブタイプのRFIDは動作する。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2005-316724号公報

【特許文献2】特表2006-503376号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、図31に示したように、駆動用の電池を備えたアクティブタイプのRFIDを有する半導体装置の場合、個体情報の送受信、送受信に必要な電波の強度設定に応じて、電池は経時的に消耗していき、最終的には個体情報の送受信に必要な電力を発生できなくなるといった問題があった。このため、駆動用の電池を備えたアクティブタイプのRFIDを有する半導体装置を使用し続けるためには、電池の残存容量の確認や電池の交換をする作業が発生するという問題があった。

【0008】

また、図32に示したように、駆動するための電源を外部からの電磁波（搬送波）を利用して作り出すパッシブタイプのRFIDを有する半導体装置の場合、長距離からの信号の送受信、送受信に必要な電磁波を送信するための電力の確保が難しく、良好な送受信状態を実現することが難しいといった問題があった。このため、駆動するための電源を外部からの電磁波（搬送波）を利用して作り出すパッシブタイプのRFIDを有する半導体装置を使用するためには、外部からの電磁波の供給が十分である場合（例えば、電源供給手段であるリーダ/ライタのアンテナから近距離に設けられた場合）に限られるという問題があった。

【0009】

そこで本発明は、RFIDを有する半導体装置において、駆動電源となる電池の経時的劣化に伴う電池の交換作業をすることなく、個体情報を送受信することができ、且つ駆動するための電源を外部からの電磁波が十分でない場合であっても供給でき、良好な個体情報の送受信状態を維持するRFIDを有する半導体装置を提供することを課題とする。

【課題を解決するための手段】

【 0 0 1 0 】

上述の諸問題を解決するため、本発明は R F I D を駆動するための電力を供給する電源としてバッテリー（２次電池ともいう）を設けることを特徴とする。そして本発明は、当該バッテリーに電力を供給する手段として、外部との個体情報の送受信をするアンテナとは別に、バッテリーへの充電を無線で行うためのアンテナを設けることを特徴とする。以下、本発明の具体的な構成について示す。

【 0 0 1 1 】

本発明の半導体装置の一は、信号処理回路と、信号処理回路に接続された第１のアンテナ回路及び第２のアンテナ回路と、信号処理回路に接続されたバッテリーとを有し、第１のアンテナ回路は、信号処理回路に記憶されたデータを送信するための信号を受信するものであり、第２のアンテナ回路は、バッテリーに充電するための信号を受信するものであり、第１のアンテナ回路が受信する信号と第２のアンテナ回路が受信する信号の波長が異なる構成とする。

10

【 0 0 1 2 】

また、本発明の半導体装置の一は、上記構成において、第１のアンテナ回路は信号処理回路に記憶されたデータを送信するための信号のやりとりをリーダ／ライタを介して行い、第２のアンテナ回路はバッテリーに充電するための信号を外部の無線信号から受信するものであることを特徴としている。なお、外部の無線信号としては、空間に存在する電磁波であればどのようなものを受信してもよく、例えば、携帯電話の中継局の電波（８００～９００MHz帯、１．５GHz、１．９～２．１GHz帯等）、携帯電話から発振される電波、電波時計の電波（４０kHz等）、家庭用の交流電源のノイズ（６０Hz等）等を受信することができる。

20

【 0 0 1 3 】

また、本発明の半導体装置の一は、信号処理回路と、信号処理回路に接続された第１のアンテナ回路及び第２のアンテナ回路と、信号処理回路に接続されたバッテリーと、ブースターアンテナとを有し、第１のアンテナ回路は、ブースターアンテナを介して信号処理回路に記憶されたデータを送信するための信号をリーダ／ライタから受信するものであり、第２のアンテナ回路は、バッテリーに充電するための信号を外部の無線信号から受信するものであり、第１のアンテナ回路が受信する信号と第２のアンテナ回路が受信する信号の波長が異なる構成とする。

30

【 0 0 1 4 】

また、本発明の半導体装置の一は、信号処理回路と、信号処理回路に接続された第１のアンテナ回路と、複数の第２のアンテナ回路と、信号処理回路に接続されたバッテリーと、ブースターアンテナとを有し、第１のアンテナ回路は、信号処理回路に記憶されたデータを送信するための信号をリーダ／ライタから受信するものであり、第２のアンテナ回路は、ブースターアンテナを介してバッテリーに充電するための信号を外部の無線信号から受信するものであり、第１のアンテナ回路が受信する信号と第２のアンテナ回路が受信する信号の波長が異なる構成とする。

【 0 0 1 5 】

また、本発明の半導体装置の一は、第１の信号処理回路と第２の信号処理回路と、第１の信号処理回路に接続された第１のアンテナ回路と、第２の信号処理回路に接続された第２のアンテナ回路と、第１の信号処理回路と第２の信号処理回路に接続されたバッテリーとを有し、第１のアンテナ回路は、第１の信号処理回路に記憶されたデータを送信するための信号を受信するものであり、第２のアンテナ回路は、バッテリーに充電するための信号を受信するものであり、第１のアンテナ回路が受信する信号と第２のアンテナ回路が受信する信号の波長が異なる構成とする。

40

【 0 0 1 6 】

また、本発明の半導体装置の一は、上記構成において、第１のアンテナ回路は第１の信号処理回路に記憶されたデータを送信するための信号をリーダ／ライタを介して行い、第２のアンテナ回路はバッテリーに充電するための信号を外部の無線信号から受信するもの

50

であることを特徴としている。なお、外部の無線信号としては、空間に存在する電磁波であればどのようなものを受信してもよく、例えば、携帯電話の中継局の電波（８００～９００ＭＨｚ帯、１．５ＧＨｚ、１．９～２．１ＧＨｚ帯等）、携帯電話から発信される電波、電波時計の電波（４０ｋＨｚ等）、家庭用の交流電源のノイズ（６０Ｈｚ等）等を受信することができる。

【００１７】

また、本発明の半導体装置の一は、第１の信号処理回路と第２の信号処理回路と、第１の信号処理回路に接続された第１のアンテナ回路と、第２の信号処理回路に接続された第２のアンテナ回路と、第１の信号処理回路と第２の信号処理回路に接続されたバッテリーと、ブースターアンテナとを有し、第１のアンテナ回路は、ブースターアンテナを介して第１の信号処理回路に記憶されたデータを送信するための信号をリーダ／ライタから受信するものであり、第２のアンテナ回路は、バッテリーに充電するための信号を外部の無線信号から受信するものであり、第１のアンテナ回路が受信する信号と第２のアンテナ回路が受信する信号の波長が異なる構成とする。

10

【００１８】

また、本発明の半導体装置の一は、第１の信号処理回路と第２の信号処理回路と、第１の信号処理回路に接続された第１のアンテナ回路と、第２の信号処理回路に接続された複数の第２のアンテナ回路と、第１の信号処理回路と第２の信号処理回路に接続されたバッテリーと、ブースターアンテナとを有し、第１のアンテナ回路は、第１の信号処理回路に記憶されたデータを送信するための信号をリーダ／ライタから受信するものであり、第２のアンテナ回路は、ブースターアンテナを介してバッテリーに充電するための信号を外部の無線信号から受信するものであり、第１のアンテナ回路が受信する信号と第２のアンテナ回路が受信する信号の波長が異なる構成とする。

20

【００１９】

また、本発明におけるバッテリーは、第１の信号処理回路が有する電源回路に電力を供給する構成であってもよい。

【００２０】

また、本発明における第１のアンテナ回路及び複数の第２のアンテナ回路のいずれか一は、電磁誘導方式により信号を受信するものであってもよい。

【００２１】

また、本発明におけるバッテリーは、リチウム電池、ニッケル水素電池、ニカド電池、有機ラジカル電池またはコンデンサである構成であってもよい。

30

【００２２】

なお、本発明において、接続されているとは、電氣的に接続されている場合と直接接続されている場合とを含むものとする。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電氣的な接続を可能とする他の素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど）が配置されていてもよい。あるいは、間に他の素子を挟まずに、直接接続されて、配置されていてもよい。なお、電氣的な接続を可能とする他の素子を間に介さずに接続されていて、直接接続されている場合のみを含む場合であって、電氣的に接続されている場合を含まない場合には、直接接続されている、と記載するものとする。なお、電氣的に接続されている、と記載する場合は、電氣的に接続されている場合と直接接続されている場合とを含むものとする。

40

【００２３】

なお、本発明において、トランジスタは、様々な形態のトランジスタを適用させることができる。よって、適用可能なトランジスタの種類に限定はない。したがって、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（ＴＦＴ）、半導体基板やＳＯＩ基板を用いて形成されるトランジスタ、ＭＯＳ型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ＺｎＯ、 α -ＩｎＧａＺｎＯなどの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。なお、非単結晶半導体膜には水素

50

またはハロゲンが含まれていてもよい。また、トランジスタが配置されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、S O I 基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板などに配置することが出来る。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板上に配置するようにしてもよい。

【 0 0 2 4 】

また、本発明の半導体装置に適用するトランジスタの構成として、例えば、ゲート本数が2本以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすることにより、オフ電流の低減、トランジスタの耐圧の向上による信頼性の向上や、飽和領域で動作する時にドレインとソース間電圧が変化しても、ドレインとソース間電流があまり変化せず、フラットな特性にすることができる。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値の増大や、空乏層ができやすくなってS値を小さくすることができる。また、チャンネルの上にゲート電極が配置されている構造でもよいし、チャンネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、並列に接続されていてもよいし、直列に接続されていてもよい。また、チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっている構造にすることにより、チャンネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、L D D領域があってもよい。L D D領域を設けることにより、オフ電流の低減、トランジスタの耐圧の向上による信頼性の向上や、飽和領域で動作する時にドレインとソース間電圧が変化しても、ドレインとソース間電流があまり変化せず、フラットな特性にすることができる。

【 0 0 2 5 】

なお、すでに述べたように、本発明の半導体装置に適用するトランジスタは、様々なタイプを用いることができ、様々な基板上に形成させることができる。したがって、回路の全てが、ガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、S O I 基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。回路の全てが形成されていることにより、部品点数を減らしてコストを低減し、回路部品との接続点数を減らして信頼性を向上させることができる。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていなくてもよい。例えば、回路の一部は、ガラス基板上にトランジスタを用いて形成し、回路の別の一部は、単結晶基板上に形成し、そのI CチップをC O G (C h i p O n G l a s s) で接続してガラス基板上に配置してもよい。あるいは、そのI CチップをT A B (T a p e A u t o B o n d i n g) やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品点数を減らしてコストを低減し、回路部品との接続点数を減らして信頼性を向上させることができる。また、駆動電圧が高い部分や駆動周波数が高い部分は、消費電力が大きくなってしまうので、そのような部分は同じ基板に形成しないようにすれば、消費電力の向上を防ぐことができる。

【 0 0 2 6 】

なお、本明細書でいう半導体装置とは、半導体特性を利用することで機能しうる装置全般を指すものとする。

【 発明の効果 】

【 0 0 2 7 】

本発明の半導体装置は、バッテリーを有することを特徴とする。そのため、従来のように、電池の経時的な劣化に伴う個体情報の送受信にするための電力の不足を防止すること

10

20

30

40

50

ができる。そして、本発明の半導体装置は、バッテリーに無線で電力を供給するためのアンテナを有することを特徴とする。そのため、充電器に直接接続することなく、半導体装置を駆動するための電源を外部からの電磁波の電力を利用してバッテリーを充電することができる。その結果、アクティブタイプのRFIDのような電池の残存容量の確認や電池の交換をする作業が発生するといったことなく、使用し続けることが可能になる。加えて、半導体装置を駆動するための電力を常にバッテリー内に保持することにより、当該半導体装置が動作するための十分な電力が得られ、リーダ/ライタとの通信距離を伸ばすことができる。

【図面の簡単な説明】

【0028】

10

【図1】本発明の半導体装置の一構成例を示す図。

【図2】本発明の半導体装置の一構成例を示す図。

【図3】本発明の半導体装置に含まれるアンテナの形状の一例を示す図。

【図4】本発明の半導体装置の一構成例を示す図。

【図5】本発明の半導体装置の一構成例を示す図。

【図6】本発明の半導体装置の一構成例を示す図。

【図7】本発明の半導体装置の一構成例を示す図。

【図8】本発明の半導体装置の一構成例を示す図。

【図9】本発明の半導体装置の一構成例を示す図。

20

【図10】本発明の半導体装置の一構成例を示す図。

【図11】本発明の半導体装置の一構成例を示す図。

【図12】本発明の半導体装置の一構成例を示す図。

【図13】本発明の半導体装置の一構成例を示す図。

【図14】本発明の半導体装置の一構成例を示す図。

【図15】本発明の半導体装置の一構成例を示す図。

【図16】本発明の半導体装置の一構成例を示す図。

【図17】本発明の半導体装置の一構成例を示す図。

【図18】本発明の半導体装置の一構成例を示す図。

【図19】本発明の半導体装置の作製方法一構成例を示す図。

30

【図20】本発明の半導体装置の作製方法一構成例を示す図。

【図21】本発明の半導体装置の作製方法一構成例を示す図。

【図22】本発明の半導体装置の作製方法一構成例を示す図。

【図23】本発明の半導体装置の作製方法一構成例を示す図。

【図24】本発明の半導体装置の作製方法一構成例を示す図。

【図25】本発明の半導体装置の作製方法一構成例を示す図。

【図26】本発明の半導体装置の作製方法一構成例を示す図。

【図27】本発明の半導体装置の作製方法一構成例を示す図。

【図28】本発明の半導体装置の作製方法一構成例を示す図。

【図29】本発明の半導体装置の作製方法一構成例を示す図。

40

【図30】本発明の半導体装置の使用形態の一例を示す図。

【図31】従来構成を示す図。

【図32】従来構成を示す図。

【図33】本発明の半導体装置の使用形態の一例を示す図。

【図34】本発明の半導体装置の特性を説明する図。

【図35】本発明の半導体装置の一構成例を示す図。

【図36】本発明の半導体装置の一構成例を示す図。

【図37】本発明の半導体装置の動作方法の一例を示す図。

【図38】本発明の半導体装置の動作方法の一例を示す図。

【図39】本発明の半導体装置の動作方法の一例を示す図。

50

【図40】本発明の半導体装置の動作方法の一例を示す図。

【図４１】本発明の半導体装置の一構成例を示す図。

【発明を実施するための形態】

【００２９】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

（実施の形態１）

【００３０】

本発明の半導体装置の一構成例について、図１、図２に示すブロック図を用いて説明する。なお、本実施の形態では、半導体装置をＲＦＩＤタグ（以下、単に「ＲＦＩＤ」とも記す）として利用する場合について説明する。

【００３１】

図１に示す半導体装置（以下、「ＲＦＩＤ１００」と記す）は、第１のアンテナ回路１０１、第２のアンテナ回路１０２、信号処理回路１０３、及びバッテリー１０４によって構成されている。信号処理回路１０３は、第１の整流回路１０５、電源回路１０６、第２の整流回路１０７、復調回路１０８、アンプ１０９、論理回路１１０、メモリコントロール回路１１１、メモリ回路１１２、論理回路１１３、アンプ１１４、変調回路１１５によって構成されている。

【００３２】

また、図２は、第１のアンテナ回路１０１がリーダ／ライタ２０１から発信された電波２０２ａを受信（又はリーダ／ライタ２０１へ電波を送信）し、第２のアンテナ回路１０２が外部の電波２０２ｂを受信する場合について示している。図２において、第１のアンテナ回路１０１で受信した電波２０２ａは、第１の整流回路１０５を介して電源回路１０６に入力されると同時に、電波２０２ａに含まれるデータが復調回路１０８等により抽出される。また、第２のアンテナ回路１０２で受信した電波２０２ｂは、第２の整流回路１０７を介してバッテリー１０４に入力される。

【００３３】

本実施の形態で示すＲＦＩＤ１００は、第２のアンテナ回路１０２で受信した外部の電波２０２ｂがバッテリー１０４に入力されることによって、バッテリー１０４の充電が行われる。また、バッテリー１０４に充電された電力は、電源回路１０６を介して信号処理回路１０３に設けられた回路に供給される構成となっている。つまり、バッテリー１０４を無線で充電する構成となっている。また、第１のアンテナ回路１０１で受信し第１の整流回路１０５を介して入力された電波２０２ａが、ＲＦＩＤ１００を駆動する電力として電源回路１０６を介して信号処理回路１０３の回路に供給される。

【００３４】

なお、本実施の形態で示すＲＦＩＤ１００は、バッテリー１０４を充電するために第２のアンテナ回路１０２で受信する電波として、外部の電波２０２ｂ（以下、「無線信号」とも記す）を利用することを特徴としている。無線信号は、例えば、携帯電話の中継局の電波（８００～９００ＭＨｚ帯、１．５ＧＨｚ、１．９～２．１ＧＨｚ帯等）、携帯電話から発振される電波、電波時計の電波（４０ｋＨｚ等）、家庭用の交流電源のノイズ（６０Ｈｚ等）、他のリーダ／ライタ（ＲＦＩＤ１００と直接やりとりを行わないリーダ／ライタ）から無作為に生じている電波等を利用することができる。また、第２のアンテナ回路１０２は、それぞれ長さや形状の異なるアンテナを用いた複数のアンテナ回路を設けることによって、バッテリー１０４の充電として波長が異なる複数の無線信号を利用することができる。

【００３５】

上述した無線信号を受信してバッテリーの充電を無線で行うことによって、バッテリーを充電するための充電器等を別途必要としないため、電池の交換作業が不要となり、より

10

20

30

40

50

低コストでRFIDを設けることができる。また、第2のアンテナ回路102のアンテナの形状は、これらの無線信号を受信しやすい長さや形状で設ける。また、波長が異なる無線信号を複数受信する場合には、長さや形状の異なるアンテナを含む複数のアンテナ回路を設けることが好ましい。

【0036】

なお、第1のアンテナ回路101と第2のアンテナ回路102は、例えば、図4(A)に示すようにアンテナ401、共振容量402により構成することができ、アンテナ401及び共振容量402を併せてアンテナ回路403とよぶことがある。また、第1の整流回路105と第2の整流回路107は、第1のアンテナ回路101及び第2のアンテナ回路102が受信する電磁波により誘導される交流信号を直流信号に変換する回路であればよい。例えば、図4(B)に示すように、ダイオード404、ダイオード405、平滑容量406によって整流回路407を構成すればよい。

10

【0037】

また、第1のアンテナ回路101のアンテナの形状についても、特に限定されない。つまり、RFID100における第1のアンテナ回路101に適用する信号の伝送方式は、電磁結合方式、電磁誘導方式又はマイクロ波方式等を用いることができる。伝送方式は、実施者が適宜使用用途を考慮して選択すればよく、伝送方式に伴って最適な長さや形状のアンテナを設ければよい。

【0038】

例えば、伝送方式として、電磁結合方式又は電磁誘導方式（例えば、13.56MHz帯）を適用する場合には、電界密度の変化による電磁誘導を利用するため、アンテナとして機能する導電膜を輪状（例えば、ループアンテナ）、らせん状（例えば、スパイラルアンテナ）に形成する。

20

【0039】

また、伝送方式としてマイクロ波方式（例えば、UHF帯（860～960MHz帯）、2.45GHz帯等）を適用する場合には、信号の伝送に用いる電波の波長を考慮してアンテナとして機能する導電膜の長さや形状を適宜設定すればよく、アンテナとして機能する導電膜を例えば、線状（例えば、ダイポールアンテナ）、平坦な形状（例えば、パッチアンテナ）等に形成することができる。また、アンテナとして機能する導電膜の形状は線状に限られず、電磁波の波長を考慮して曲線状や蛇行形状またはこれらを組み合わせた形状で設けてもよい。

30

【0040】

図3にマイクロ波方式を適用する場合の第1のアンテナ回路101又は第2のアンテナ回路102に設けるアンテナの形状の一例を示す。例えば、図3(A)に示すように信号処理回路が設けられたチップ302の周りにアンテナ303を配した構造を取っても良い。また、図3(B)に示すように信号処理回路が設けられたチップ302上に細いアンテナ303を設けた構造をとってもよい。また、図3(C)に示すように信号処理回路が設けられたチップ302に対して、高周波数の電磁波を受信するためのアンテナ303の形状をとってもよい。また、図3(D)に示すように信号処理回路が設けられたチップ302に対して180度無指向性（どの方向からでも同じく受信可能）なアンテナ303での形状をとってもよい。また、図3(E)に示すように、信号処理回路が設けられたチップ302に対して、棒状に長く伸ばしたアンテナ303の形状をとってもよい。第1のアンテナ回路101及び第2のアンテナ回路102にマイクロ波方式を適用する場合はこれらの形状のアンテナを組み合わせて用いることができる。

40

【0041】

また、図3において、信号処理回路が設けられたチップ302とアンテナとの接続については特に限定されない。例えば、アンテナ303とチップ302をワイヤボンディング接続やパンプ接続を用いて接続する、あるいはチップの一部を電極にしてアンテナ303に貼り付けるとする方法を取ってもよい。この方式ではACF(anisotropic conductive film; 異方性導電性フィルム)を用いてチップ302をア

50

ンテナ 303 に貼り付けることができる。また、アンテナに必要な長さは受信に用いる周波数によって適正な長さが異なる。そのため、波長の整数分の 1 の長さにし、例えば周波数が 2.45 GHz の場合は約 60 mm (1/2 波長)、約 30 mm (1/4 波長) とすれば良い。

【0042】

なお、図 1、図 2 における電源回路 106 は、RFID 100 を駆動するための電力を各回路に供給する。具体的には、第 1 のアンテナ回路 101 で受信し第 1 の整流回路 105 で整流化されて得られた電力を一定の値に制御し、信号処理回路 103 の各回路が動作するために必要な電力の供給を行う。また、バッテリー 104 に充電された電力を一定の値に制御して、信号処理回路 103 の各回路が動作するために必要な電力の供給を行う。RFID 100 の第 1 のアンテナ回路 101 を介して十分な電力が得られない場合であっても、バッテリー 104 に充電された電力により信号処理回路 103 の各回路が駆動するために必要な電力の供給が行われる。

10

【0043】

図 1、図 2 における電源回路の一例について図 6 を用いて説明する。電源回路は基準電圧回路とバッファアンプで構成される。基準電圧回路は抵抗 1001、ダイオード接続のトランジスタ 1002、1003 によって構成され、トランジスタの V_{gs} 2 つ分に相当する基準電圧を発生させる。バッファアンプはトランジスタ 1005、1006 で構成される差動回路、トランジスタ 1007、1008 によって構成されるカレントミラー回路、電流供給用抵抗 1004、トランジスタ 1009、抵抗 1010 によって構成されるソース接地アンプより構成される。

20

【0044】

図 6 に示す電源回路において、出力端子より流れる電流が大きいときはトランジスタ 1009 に流れる電流が少なくなり、また、出力端子より流れる電流が小さいときはトランジスタ 1009 に流れる電流が多くなり、抵抗 1010 に流れる電流はほぼ一定となるように動作する。また出力端子の電位は基準電圧回路とほぼ同じ値となる。ここでは基準電圧回路とバッファアンプを有する電源回路を示したが、本発明に用いる電源回路は図 6 に限定されず、他の形式の回路であっても良い。

【0045】

なお、本明細書において、バッテリーとは、充電することで連続使用時間を回復することができる電池のことをいう。すなわち、バッテリーは電力の消費に伴い使用時間が減少するが、消費されて減少した電力を充電することにより使用時間を延ばすことができる電池をいう。なおバッテリーとしては、リチウムイオン電池、リチウム二次電池、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池、銀亜鉛電池などの二次電池が適用可能であるが、これには限定されない。また、大容量のコンデンサなどを適用してもよい。特に、リチウムイオン電池やリチウム二次電池は充放電容量が大きいので、本実施の形態に係る半導体装置に備えるバッテリーに適用することで小型化を図ることができる。

30

【0046】

次に、図 1、図 2 に示す RFID 100 に、リーダ/ライタ 201 よりデータを書き込む際の動作を以下に説明する。第 1 のアンテナ回路 101 で受信した信号は、第 1 の整流回路 105 により、半波整流され、そして平滑化される。第 1 の整流回路 105 により半波整流、平滑化された電圧は電源回路 106 に入力される。そして電源回路は、安定化された後の電圧をアンプ 109、論理回路 110、メモリコントロール回路 111、メモリ回路 112、論理回路 113、アンプ 114、変調回路 115 に供給する。

40

【0047】

また第 1 のアンテナ回路 101 で受信された信号はアンプ 109 を介して、クロック信号として、論理回路 110 に入力される。さらに、第 1 のアンテナ回路 101 から入力された信号は復調回路 108 で復調され、データとして論理回路 110 に入力される。

【0048】

50

論理回路 110 において、入力されたデータはデコードされる。リーダ/ライタ 201 がデータを変形ミラー符号、NRZ-L 符号などでエンコードして送信するため、それを論理回路 110 はデコードする。デコードされたデータは、メモリコントロール回路 111 に送られ、それに従いメモリ回路 112 にデータが書き込まれる。メモリ回路 112 は電源が切れても保持できる不揮発性メモリ回路である必要があり、マスク ROM などを使用される。

【0049】

また、図 1、図 2 に示す RFID 100 におけるメモリ回路 112 に記憶されたデータをリーダ/ライタ 201 が読み出す場合は以下のように動作する。第 1 のアンテナ回路 101 で受信した信号は、第 1 の整流回路 105 により、半波整流され、そして平滑化される。第 1 の整流回路 105 により半波整流、平滑化された電圧は電源回路 106 に入力される。そして電源回路は、安定化された後の電圧をアンプ 109、論理回路 110、メモリコントロール回路 111、メモリ回路 112、論理回路 113、アンプ 114、変調回路 115 に供給する。

【0050】

また、第 1 のアンテナ回路 101 で受信された交流信号はアンプ 109 を通して論理回路 110 に入力され、論理演算が行われる。そして、論理回路 110 からの信号を用いて、メモリコントロール回路 111 を制御し、メモリ回路 112 に記憶されているデータを呼び出す。次にメモリ回路 112 から呼び出されたデータを論理回路 113 で加工し、アンプ 114 で増幅の後、変調回路 115 を動作させる。データの加工は ISO 14443、ISO 15693、ISO 18000 などの規格に定められた方式に従い加工されるが、リーダ/ライタとの整合性が確保されれば、上記規格以外であってもかまわない。

【0051】

変調回路 115 が動作すると、第 1 のアンテナ回路 101 のインピーダンスが変化する。これによって、第 1 のアンテナ回路 101 で反射されるリーダ/ライタ 201 の信号に変化が生じる。この変化をリーダ/ライタが読み取ることによって RFID 100 のメモリ回路 112 に記憶されたデータを知ることが可能になる。このような変調方式を負荷変調方式という。

【0052】

なお、信号処理回路 103 に設けるトランジスタは、様々な形態のトランジスタを適用させることが出来る。よって、適用可能なトランジスタの種類に限定はない。したがって、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ (TFET)、半導体基板や SOI 基板を用いて形成されるトランジスタ、MOS 型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnO、a-InGaZnO などの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、信号処理回路 1102 が形成されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI 基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板などに形成することが出来る。また、ある基板に信号処理回路 1102 を形成し、その後、別の基板に信号処理回路 1102 を移動させて、別の基板上に配置するようにしてもよい。

【0053】

次に、図 1、図 2 に示す RFID 100 に、外部の無線信号より電力を充電する際の動作を以下に説明する。第 2 のアンテナ回路 102 で受信した外部の無線信号は、第 2 の整流回路 107 により、半波整流され、そして平滑化される。第 2 の整流回路 107 により半波整流、平滑化された電圧は、バッテリー 104 に一旦保持される。バッテリー 104 に保持された電力は、電源回路 106 に供給する電力として用いられる。なお、第 1 のアンテナ回路より供給される信号について、受信することはできるものの、リーダ/ライタに送信するための電力が不足している場合に、バッテリーより電力を供給するか否かを判

定する回路を設ける構成であってもよい。

【 0 0 5 4 】

以下に、本実施の形態の R F I D の一構成例について説明する。なお、ここでは、第 1 のアンテナ回路 1 0 1 に設けるアンテナの形状をコイル状とし、第 2 のアンテナ回路 1 0 2 として長さや形状の異なるアンテナを含む複数のアンテナ回路を設ける場合について説明する。

【 0 0 5 5 】

本実施の形態の R F I D 1 0 0 は、その機能、大きさでわけると、第 1 のアンテナ回路、第 2 のアンテナ回路、信号処理回路、バッテリーが、基板上に積層、または並列に配したレイアウトを取り得る。また、信号処理回路においては、第 1 のアンテナ回路に付随する回路、第 2 のアンテナ回路に付随する回路で分けて記すことができ、以下の説明では、第 1 のアンテナ回路に付随する回路については第 1 の信号処理回路とし、第 2 のアンテナ回路に付随する回路については第 2 の信号処理回路と記す。なお、第 1 の信号処理回路は、図 1 における信号処理回路 1 0 3 のうち少なくとも第 1 の整流回路 1 0 5、電源回路 1 0 6、復調回路 1 0 8、アンプ 1 0 9、論理回路 1 1 0、メモリコントロール回路 1 1 1、メモリ回路 1 1 2、論理回路 1 1 3、アンプ 1 1 4、変調回路 1 1 5 を含んでいる。一方、第 2 の信号処理回路は、図 1 における信号処理回路 1 0 3 のうち少なくとも第 2 の整流回路 1 0 7 を含んでいる。

【 0 0 5 6 】

図 7 に示す R F I D は、基板 7 0 1 上に、第 1 のアンテナ回路 7 0 4 と、複数の第 2 のアンテナ回路 7 0 5 a、7 0 5 b と、第 1 の信号処理回路及び第 2 の信号処理回路を有するチップ 7 0 2 と、バッテリー 7 0 3 とを有している。なお、第 1 のアンテナ回路 7 0 4 と第 1 の信号処理回路は接続されており、第 2 のアンテナ回路 7 0 5 a、7 0 5 b と第 2 の信号処理回路は接続されている。

【 0 0 5 7 】

第 1 のアンテナ回路 7 0 4 により受信された電波は、チップ 7 0 2 に形成された第 1 の信号処理回路における第 1 の整流回路を介して電源回路に入力されて電力に生成されると同時に、電波に含まれる信号が復調回路等により抽出される。また、バッテリー 7 0 3 とチップ 7 0 2 に形成された第 2 の信号処理回路は接続されており、複数の第 2 のアンテナ回路 7 0 5 a、7 0 5 b で受信した電波は、第 2 の信号処理回路における整流回路を介してバッテリー 7 0 3 に入力される。

【 0 0 5 8 】

ここでは、リーダ/ライタ 7 0 6 から送信された電波を第 1 のアンテナ回路 7 0 4 で受信し、外部の無線信号 7 0 7 を第 2 のアンテナ回路 7 0 5 a、7 0 5 b で受信している例を示している。つまり、R F I D は、第 1 のアンテナ回路 7 0 4 を介してリーダ/ライタ 7 0 6 とデータの送受信を行い、第 2 のアンテナ回路 7 0 5 a、7 0 5 b を介してバッテリー 7 0 3 の充電を行う。

【 0 0 5 9 】

また、バッテリー 7 0 3 はチップ 7 0 2 に設けられた第 1 の信号処理回路とも電氣的に接続しており、バッテリー 7 0 3 から適宜第 1 の信号処理回路における電源回路に電力が供給される。バッテリー 7 0 3 と第 1 の信号処理回路又は第 2 の信号処理回路との接続については特に限定されず、例えば、バッテリー 7 0 3 と第 1 の信号処理回路又は第 2 の信号処理回路をワイヤボンディング接続やバンプ接続を用いて接続することができる。また、他にも、第 1 の信号処理回路又は第 2 の信号処理回路の一部を電極にしてバッテリー 7 0 3 との接続端子と貼り合わせて設けることもでき、この場合異方性導電フィルム等を用いて貼り合わせることができる。

【 0 0 6 0 】

なお、図 7 におけるリーダ/ライタ 7 0 6 の一例について、図 5 を用いて説明する。図 5 におけるリーダ/ライタ 7 0 6 は、受信部 5 0 1、送信部 5 0 2、制御部 5 0 3、インターフェース部 5 0 4、アンテナ回路 5 0 5 によって構成されている。制御部 5 0 3 は、

インターフェース部 504 を介した上位装置 506 の制御により、データ処理命令、データ処理結果について、受信部 501、送信部 502 を制御する。送信部 502 は R F I D 100 に送信するデータ処理命令を変調し、アンテナ回路 505 から電磁波として出力する。また受信部 501 は、アンテナ回路 505 で受信された信号を復調し、データ処理結果として制御部 503 に出力する。

【0061】

本実施の形態において、図 5 に示すリーダ/ライタ 706 のアンテナ回路 505 は、受信部 501 及び送信部 502 に接続され、L C 並列共振回路を構成するアンテナ 507 及び共振容量 508 を有する。アンテナ回路 505 は、受信時に、R F I D 100 により出力された信号によってアンテナ回路 505 に誘導される起電力を電氣的信号として受信する。また、送信時には、アンテナ回路 505 に誘導電流を供給し、アンテナ回路 505 より R F I D 100 に信号を送信する。

【0062】

また、バッテリー 703 の充電に用いられる第 2 のアンテナ回路 705 a、705 b のアンテナの長さや形状は図 7 に示した構造に限られない。ここでは、第 2 のアンテナ回路 705 a、705 b のアンテナとして、長さの異なる線状のアンテナ（ダイポールアンテナ）を設けた例を示したが、例えば、ダイポールアンテナとコイル状のアンテナを組み合わせる用いてもよいし、ダイポールアンテナとパッチアンテナを組み合わせる用いてもよい。このように、バッテリー 703 の充電に用いられるアンテナとして、長さや形状の異なるものを複数設けることによって、様々な波長の無線信号を受信することができるため、充電効率を向上させることができる。特に、パッチアンテナとダイポールアンテナ等の形状の異なるアンテナを組み合わせる設けることによって（例えば、パッチアンテナの周囲に折り返しダイポールアンテナを設ける）、限られたスペースを有効に活用することが可能となる。もちろん、本実施の形態で示す R F I D は、複数の第 2 のアンテナ回路 705 a、705 b を設けた例を示したが、これに限られず、1 つのアンテナ回路又は 3 つ以上のアンテナ回路を設けた構成としてもよい。

【0063】

また、リーダ/ライタ 706 と信号の送受信を行うために用いられる第 1 のアンテナ回路 704 も図 7 に示した構造に限られず、上述したように適用する伝送方式により様々な長さや形状のアンテナを用いることができる。

【0064】

例えば、第 1 のアンテナ回路 704 とリーダ/ライタ 706 間で送受信される信号の周波数は、125 kHz、13.56 MHz、915 MHz、2.45 GHz などがあり、それぞれ I S O 規格などが設定される。勿論、第 1 のアンテナ回路 704 とリーダ/ライタ 706 間で送受信される信号の周波数はこれに限定されず、例えばサブミリ波である 300 GHz ~ 3 THz、ミリ波である 30 GHz ~ 300 GHz、マイクロ波である 3 GHz ~ 30 GHz、極超短波である 300 MHz ~ 3 GHz、超短波である 30 MHz ~ 300 MHz、短波である 3 MHz ~ 30 MHz、中波である 300 kHz ~ 3 MHz、長波である 30 kHz ~ 300 kHz、及び超長波である 3 kHz ~ 30 kHz のいずれの周波数も用いることができる。また、第 1 のアンテナ回路 704 とリーダ/ライタ 706 間で送受信される信号は、搬送波を変調した信号である。搬送波の変調方式は、アナログ変調であってもデジタル変調であってもよく、振幅変調、位相変調、周波数変調、及びスペクトラム拡散のいずれであってもよい。望ましくは、振幅変調、または、周波数変調にするとよい。

【0065】

なお、図 7 では、同一の基板 701 上に第 1 のアンテナ回路 704、複数の第 2 のアンテナ回路 705 a、705 b、第 1 の信号処理回路及び第 2 の信号処理回路を有するチップ 702 及びバッテリー 703 を設けた例を示したが、本実施の形態で示す R F I D は、図 7 に示した構造に限られない。

【0066】

例えば、図 8 に示すように、チップ 702a 及び第 1 のアンテナ回路 704 が設けられた基板 701a と、チップ 702b と複数の第 2 のアンテナ回路 705a、705b 及びバッテリー 703 が設けられた基板 701b とを重畳的に設けた構成としてもよい。チップ 702a には第 1 の信号処理回路が設けられており、チップ 702b には第 2 の信号処理回路が設けられている。

【0067】

図 8 においては、第 1 のアンテナ回路 704 に受信された電波は、チップ 702a に設けられた第 1 の信号処理回路における第 1 の整流回路を介して電源回路に入力されて電力に生成されると同時に、電波に含まれる信号が復調回路等により抽出される。また、第 2 のアンテナ回路 705a、705b で受信した電波は、チップ 702b に設けられた第 2 の信号処理回路における第 2 の整流回路を介してバッテリー 703 に入力される。

【0068】

また、第 1 のアンテナ回路 704 はチップ 702a に設けられた第 1 の信号処理回路と接続し、第 2 のアンテナ回路 705a、705b はチップ 702b に設けられた第 2 の信号処理回路と接続している。バッテリー 703 は、チップ 702a に設けられた第 1 の信号処理回路と、チップ 702b に設けられた第 2 の信号処理回路とそれぞれ電氣的に接続するように設けられている。

【0069】

また、バッテリー 703 と第 1 の信号処理回路又は第 2 の信号処理回路との接続については特に限定されず、例えば、バッテリー 703 と第 1 の信号処理回路又は第 2 の信号処理回路をワイヤボンディング接続やパンプ接続を用いて接続することができる。また、他にも、第 1 の信号処理回路又は第 2 の信号処理回路の一部を電極にしてバッテリー 703 との接続端子と貼り合わせて設けることもでき、この場合異方性導電フィルム等を用いて貼り合わせることができる。

【0070】

このように、リーダ/ライタとの信号の送受信に用いるチップ及びアンテナと、バッテリーの充電に用いるチップ及びアンテナとを別々の基板に形成した後、当該基板を貼り合わせて設けることによって、アンテナやバッテリーの形状を大きく形成することができる。

【0071】

なお、図 7、図 8 におけるバッテリー 703 は、第 1 の信号処理回路又は第 2 の信号処理回路と同時に設けることができる。例えば、 $10\mu\text{m} \sim 100\mu\text{m}$ 程度に薄膜化したリチウムイオン 2 次電池を第 1 の信号処理回路又は第 2 の信号処理回路と同時に形成してもよい。また、第 1 の信号処理回路又は第 2 の信号処理回路と同時に薄膜のキャパシターを形成してバッテリー 703 としてもよい。また、図 7、図 8 ではバッテリー 703 を第 2 のアンテナ回路 705a と重なるように設けているが、他にも第 1 のアンテナ回路 704 と重なるように設けてもよいし（図 9（A））、第 1 のアンテナ回路 704、第 2 のアンテナ回路 705a、705b のいずれにも重ならないように設けてもよい。

【0072】

また、バッテリー 703 を第 1 の信号処理回路又は第 2 の信号処理回路と接続するように貼り合わせて設けてもよい。例えば、図 9（B）、（C）に示すように、バッテリー 703 を第 1 の信号処理回路及び第 2 の信号処理回路が形成されたチップ 702 と貼り合わせて設ける。この場合、基板の表面（チップ 702 が形成された面）又は裏面に貼り合わせることができる。この場合、チップ 702 に含まれる第 1 の信号処理回路、第 2 の信号処理回路とバッテリー 703 とがそれぞれ電氣的に接続するように貼り合わせる。例えば、チップ 702 に電氣的に接続するパンプ等の接続端子 711 を設け、バッテリーの接続端子 712 と電氣的に接続されるように設ける。貼り合わせとしては、異方性導電フィルム等を用いることができる。

【0073】

また、第 1 のアンテナ回路 704、第 2 のアンテナ回路 705a、705b 及びバッテ

リー７０３が設けられた基板７０１に第１の信号処理回路又は第２の信号処理回路が形成されたチップ７０２を貼り合わせて設けてもよい（図１０（Ａ））。また、第１のアンテナ回路７０４、第２のアンテナ回路７０５ａ、７０５ｂが設けられた基板７０１上に第１の信号処理回路又は第２の信号処理回路が形成されたチップ７０２とバッテリー７０３を貼り合わせて設けてもよい（図１０（Ｂ））。この場合、チップ７０２に含まれる第１の信号処理回路、第２の信号処理回路とバッテリー７０３とがそれぞれ電氣的に接続し、第１の信号処理回路と第１のアンテナ回路７０４、第２の信号処理回路と第２のアンテナ回路７０５ａ、７０５ｂが電氣的に接続するように貼り合わせる。貼り合わせとしては、上述したように、チップ７０２、バッテリー７０３又は第１のアンテナ回路７０４、第２のアンテナ回路７０５ａ、７０５ｂに電氣的に接続するパンプ等の接続端子を設け、当該接続端子を電氣的に接続して設ける。

10

【００７４】

このように設けることによって、チップ、アンテナ又はバッテリーを別々に設けた後、組み合わせて設けることができるため、生産性を向上させることができる。

【００７５】

以上のように、本発明のＲＦＩＤを有する半導体装置は、バッテリーを有することを特徴とする。そのため、従来のように、電池の経時的な劣化に伴う個体情報の送受信にするための電力の不足を防止することができる。そして、本発明の半導体装置は、バッテリーに電力を供給するための信号を受信するアンテナを有することを特徴とする。そのため、充電器に直接接続することなく、ＲＦＩＤを駆動するための電源を外部の無線信号を利用してバッテリーを充電することができる。その結果、アクティブタイプのＲＦＩＤのような電池の残容量の確認や電池の交換をする作業が発生するといったことなく、使用し続けることが可能になる。加えて、ＲＦＩＤを駆動するための電力を常にバッテリー内に保持することにより、ＲＦＩＤが動作するための十分な電力が得られ、リーダ／ライタとの通信距離を伸ばすことができる。

20

【００７６】

なお、本実施の形態は、本明細書中の他の実施の形態の記載と組み合わせて実施することが可能である。

（実施の形態２）

【００７７】

本実施の形態では、上記実施の形態１で示したＲＦＩＤを有する半導体装置において、ブースターアンテナ回路（以下、ブースターアンテナという）を設けた構成に関して、図面を参照して説明する。なお、本実施の形態において使用する図面に関し、実施の形態１と同じ部分は同じ符号を用いて示す場合がある。

30

【００７８】

本実施の形態において述べるブースターアンテナは、半導体装置において、リーダ／ライタからの信号を受信し信号処理回路にデータを出力するアンテナ（以下、第１のチップアンテナまたは第１のアンテナ回路という）や、バッテリーを充電するために無線信号を受信するアンテナ（以下、第２のチップアンテナまたは第２のアンテナ回路という）よりも、サイズの大きいアンテナをいう。ブースターアンテナは、使用する周波数帯域で共振させ、第１のチップアンテナ又は第２のチップアンテナと磁界結合させることで、リーダ／ライタとの信号の送受信又は無線信号の受信を効率よく行うことができるものをいう。さらに、ブースターアンテナは磁界を介して第１のチップアンテナ又は第２のチップアンテナと結合しているため、直接チップアンテナ及び信号処理回路と接続する必要が無いという利点を有している。

40

【００７９】

本実施の形態におけるＲＦＩＤに用いる半導体装置について、図１２、図１３に示すブロック図を用いて説明する。

【００８０】

図１２に示すＲＦＩＤ１００は、第１のアンテナ回路１０１、第２のアンテナ回路１０

50

2、ブースターアンテナ1201、信号処理回路103及びバッテリー104により構成されている。信号処理回路103は、第1の整流回路105、電源回路106、第2の整流回路107、復調回路108、アンプ109、論理回路110、メモリコントロール回路111、メモリ回路112、論理回路113、アンプ114、変調回路115によって構成される。

【0081】

図13は、第1のアンテナ回路101がブースターアンテナ1201を介してリーダ/ライタ201と信号の送受信を行い、第2のアンテナ回路102が外部の無線信号を受信する場合について示している。図13において、ブースターアンテナ1201がリーダ/ライタ201からの信号を受信し、第1のアンテナ回路101との磁界結合により、リーダ/ライタ201から送信された信号が第1の整流回路105を介して電源回路106に入力され、かつ復調回路108及びアンプ109に入力される。また図13において、第2のアンテナ回路102で受信する信号は第2の整流回路107を介してバッテリー104に入力され、バッテリー104より適宜電源回路106に電力が供給される。図13に示した構成とすることにより、リーダ/ライタ201とRFID100間の信号の送受信の通信距離を伸ばすことができるため、データの送受信をより確実にすることができる。

10

【0082】

また、ブースターアンテナ1201の同調を第1のアンテナ回路101に限らず、ブースターアンテナ1201が同調する周波数の帯域を異ならせることにより他のアンテナと磁界結合させることもできる。

20

【0083】

例えば、図14は、第2のアンテナ回路102がブースターアンテナ1201を介して外部の無線信号を受信し、第1のアンテナ回路101がリーダ/ライタ201と情報の送受信を行う場合について示している。図14において、ブースターアンテナ1201が外部の無線信号202を受信し、第2のアンテナ回路102との磁界結合により、無線信号202が第2の整流回路107を介してバッテリー104に電力として充電される。そしてバッテリー104から電源回路106に電力が供給される。また、第1のアンテナ回路101で受信する信号は、第1の整流回路105を介して電源回路106に入力され、かつ復調回路108及びアンプ109に入力される。図14に示した構成とすることにより、RFID100が無線信号202を受信しやすくなり、バッテリー104への充電をより確実にすることができる。

30

【0084】

また、ブースターアンテナ1201を複数設けることによって、ブースターアンテナ1201と第1のアンテナ回路101及び第2のアンテナ回路102と磁界結合させることもできる。

【0085】

例えば、図15には、第1のアンテナ回路101がブースターアンテナ1201aを介してリーダ/ライタ201と信号の送受信を行い、第2のアンテナ回路102がブースターアンテナ1201bを介して外部の無線信号を受信する場合について示している。ブースターアンテナ1201aがリーダ/ライタ201からの信号を受信し、第1のアンテナ回路101との磁界結合により、リーダ/ライタ201から送信された信号が第1の整流回路105を介して電源回路106に入力され、かつ復調回路108及びアンプ109に入力される。また、ブースターアンテナ1201bが外部の無線信号202を受信し、第2のアンテナ回路102との磁界結合により、無線信号202が第2の整流回路107を介してバッテリー104に電力として充電される。

40

【0086】

また、図12乃至図15における第1の整流回路105、第2の整流回路107は、実施の形態1で示した構成と同様であり、図4(B)に示すように、ダイオード404、ダイオード405、平滑容量406によって整流回路407を構成すればよい。

【0087】

50

なお、第１のアンテナ回路１０１、第２のアンテナ回路１０２及びブースターアンテナのアンテナの形状については、特に限定されない。例えば実施の形態１で説明した図３の形状のアンテナを採用することができる。但し、ブースターアンテナはその機能上、磁界結合するアンテナ回路より大きな形状のアンテナを採用することが好ましい。また、第１のアンテナ回路１０１、第２のアンテナ回路１０２及びブースターアンテナは、実施の形態１で説明した図４（Ａ）のように、アンテナ４０１、共振容量４０２によって構成されるものとして説明し、アンテナ４０１及び共振容量４０２を併せてアンテナ回路４０３とする。

【００８８】

また、第１のアンテナ回路１０１及び第２のアンテナ回路１０２は、信号処理回路１０３と共に同じ基板上に積層して設ける構成としても良いし、外付けのアンテナとして設けられるものであってもよい。

【００８９】

例えば、図１６に、図１３の構成のＲＦＩＤを有する半導体装置における第１のアンテナ回路、第２のアンテナ回路、及びブースターアンテナの位置関係並びにアンテナの形状について示す。図１６において、基板７０１にコイル状の第１のアンテナ回路７０４と複数の第２のアンテナ回路７０５ａ、７０５ｂを設け、基板７２１上にブースターアンテナ７２２を設け、基板７０１と基板７２１とを貼り合わせて設けることができる。

【００９０】

図１６において、リーダ／ライタ７０６とブースターアンテナ７２２を近づけると、リーダ／ライタ７０６から発生した交流磁界がコイル状のブースターアンテナ７２２を貫き、電磁誘導によりコイル状のブースターアンテナ７２２の端子間（アンテナの一端と他端の間）に起電力が発生する。コイル状のブースターアンテナ７２２において電磁誘導による起電力が発生すると共にブースターアンテナ７２２自体から交流磁界が発生する。そして、ブースターアンテナ７２２から発生する交流磁界がコイル状の第１のアンテナ回路７０４を貫き、電磁誘導により第１のアンテナ回路７０４の端子間（アンテナの一端と他端の間）に起電力が発生する。当該起電力によりリーダ／ライタ７０６と第１のアンテナ回路７０４とでデータの送受信が行われる。

【００９１】

また、図１６とは異なる構成について、図１７に示す。

【００９２】

図１７は、第１のアンテナ回路７０４、第１の信号処理回路を含むチップ７０２ａ及びブースターアンテナ７２２が設けられた基板７０１ａと、第２の信号処理回路を含むチップ７０２ｂ、複数の第２のアンテナ回路７０５ａ、７０５ｂ及びバッテリー７０３が設けられた基板７０１ｂとを重畳的に設けた構成を示している。

【００９３】

図１７において、リーダ／ライタ７０６とブースターアンテナ７２２を近づけると、リーダ／ライタ７０６から発生した交流磁界がコイル状のブースターアンテナ７２２を貫き、電磁誘導によりコイル状のブースターアンテナ７２２の端子間（アンテナの一端と他端の間）に起電力が発生する。コイル状のブースターアンテナ７２２において電磁誘導による起電力が発生すると共にブースターアンテナ７２２自体から交流磁界が発生する。そして、ブースターアンテナ７２２から発生する交流磁界がコイル状の第１のアンテナ回路７０４を貫き、電磁誘導により第１のアンテナ回路７０４の端子間（アンテナの一端と他端の間）に起電力が発生する。当該起電力によりリーダ／ライタ７０６と第１のアンテナ回路７０４とでデータの送受信が行われる。

【００９４】

また、本実施の形態に示す半導体装置は、バッテリー７０３とブースターアンテナ７２２をそれぞれ貼り合わせて設けてもよい。例えば、図１８に示すように、第１のアンテナ回路７０４、第２のアンテナ回路７０５ａ、７０５ｂ、第１の信号処理回路及び第２の信号処理回路を含むチップ７０２が設けられた基板７０１上に、バッテリー７０３とブース

10

20

30

40

50

ターアンテナ 7 2 2 が設けられた基板 7 2 1 を貼り合わせて設ける。この場合、基板 7 0 1 の表面（チップ 7 0 2 が形成された面）にバッテリー 7 0 3 を貼り合わせ、ブースターアンテナ 7 2 2 が設けられた基板 7 2 1 を基板 7 0 1 の裏面に貼り合わせた例を示している。

【 0 0 9 5 】

このように、リーダ/ライタとの信号の送受信に用いるチップ及びアンテナと、バッテリーの充電に用いるチップ及びアンテナとを別々の基板に形成した後、当該基板を貼り合わせて設けることによって、アンテナやバッテリーの形状を大きく形成することができる。

【 0 0 9 6 】

なお、本実施の形態における第 1 のアンテナ回路、第 2 のアンテナ回路、及びブースターアンテナの配置は、アンテナの位置を互いに交流磁界がアンテナコイルを貫くように設計すれば良く、図 1 7 に示すように大きく面積を確保したブースターアンテナの内側に第 1 のアンテナ回路または第 2 のアンテナ回路を配置することにより、効率的な配置をすることができるため、バッテリー等の面積を大きく取ることやアンテナの巻き数を増やすことができ好適である。

【 0 0 9 7 】

以上のように、本発明の R F I D を有する半導体装置は、バッテリーを有することを特徴とする。そのため、従来のように、電池の経時的な劣化に伴う個体情報の送受信するための電力の不足を防止することができる。そして、本発明の半導体装置は、バッテリーに電力を供給するための信号を受信するアンテナを有することを特徴とする。そのため、充電器に直接接続することなく、R F I D を駆動するための電源を外部の無線通信を利用してバッテリーを充電することができる。その結果、アクティブタイプの R F I D のような電池の残存容量の確認や電池の交換をする作業が発生するといったことなく、使用し続けることが可能になる。加えて、R F I D を駆動するための電力をバッテリー内に保持することにより、R F I D が通信を行うための十分な電力が得られ、リーダ/ライタとの通信距離を伸ばすことができる。

【 0 0 9 8 】

さらに、本実施の形態の構成においては、実施の形態 1 の構成に加えて、ブースターアンテナを有することを特徴とする。そのため、R F I D とリーダ/ライタ間のデータの送受信、及び R F I D の、外部の無線信号の受信に対して、より確実に通信を行うことが可能となる。

【 0 0 9 9 】

なお、本実施の形態は、本明細書中の他の実施の形態の記載と組み合わせて実施することが可能である。

（実施の形態 3）

本実施の形態では、上記実施の形態で示した半導体装置の作製方法の一例に関して、図面を参照して説明する。

【 0 1 0 0 】

まず、図 1 9（A）に示すように、基板 1 9 0 1 の一表面に絶縁膜 1 9 0 2 を介して剥離層 1 9 0 3 を形成し、続けて下地膜として機能する絶縁膜 1 9 0 4 と半導体膜 1 9 0 5（例えば、非晶質珪素を含む膜）を積層して形成する。なお、絶縁膜 1 9 0 2、剥離層 1 9 0 3、絶縁膜 1 9 0 4 および半導体膜 1 9 0 5 は、連続して形成することができる。

【 0 1 0 1 】

なお、基板 1 9 0 1 は、ガラス基板、石英基板、金属基板（例えばセラミック基板またはステンレス基板など）、S i 基板等の半導体基板から選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート（P E T）、ポリエチレンナフタレート（P N T）、ポリエーテルサルフィン（P E S）、アクリルなどの基板を選択することもできる。なお、本工程では、剥離層 1 9 0 3 は、絶縁膜 1 9 0 2 を介して基板 1 9 0 1 の全面に設けているが、必要に応じて、基板 1 9 0 1 の全面に剥離層を設けた後に、フ

10

20

30

40

50

ォトリソグラフィ法により選択的に設けてもよい。

【0102】

また、絶縁膜1902、絶縁膜1904は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y) ($x > y > 0$)、窒化酸化シリコン(SiN_xO_y) ($x > y > 0$)等の絶縁材料を用いて形成する。例えば、絶縁膜1902、1904を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。絶縁膜1902は、基板1901から剥離層1903又はその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能し、絶縁膜1904は基板1901、剥離層1903からその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能する。このように、ブロッキング層として機能する絶縁膜1902、1904を形成することによって、基板1901からNaなどのアルカリ金属やアルカリ土類金属が、剥離層1903から剥離層に含まれる不純物元素がこの上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板1901として石英を用いるような場合には絶縁膜1902、1904を省略してもよい。

10

【0103】

また、剥離層1903は、金属膜や金属膜と金属酸化膜の積層構造等を用いることができる。金属膜としては、タングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)から選択された元素または当該元素を主成分とする合金材料若しくは化合物材料からなる膜を単層又は積層して形成する。また、これらの材料は、スパッタ法やプラズマCVD法等の各種CVD法等を用いて形成することができる。金属膜と金属酸化膜の積層構造としては、上述した金属膜を形成した後に、酸素雰囲気気化または N_2O 雰囲気気下におけるプラズマ処理、酸素雰囲気気化または N_2O 雰囲気気下における加熱処理を行うことによって、金属膜表面に当該金属膜の酸化物または酸化窒化物を設けることができる。例えば、金属膜としてスパッタ法やCVD法等によりタングステン膜を設けた場合、タングステン膜にプラズマ処理を行うことによって、タングステン膜表面にタングステン酸化物からなる金属酸化膜を形成することができる。また、この場合、タングステンの酸化物は、 WO_x で表され、Xは2~3であり、Xが2の場合(WO_2)、Xが2.5の場合(W_2O_5)、Xが2.75の場合(W_4O_{11})、Xが3の場合(WO_3)などがある。タングステンの酸化物を形成するにあたり、上記に挙げたXの値に特に制約はなく、エッチングレート等を基に、どの酸化物を形成するかを決めるとよい。他にも、例えば、金属膜(例えば、タングステン)を形成した後に、当該金属膜上にスパッタ法で酸化珪素(SiO_2)等の絶縁膜を設けると共に、金属膜上に金属酸化物(例えば、タングステン上にタングステン酸化物)を形成してもよい。また、プラズマ処理として、例えば上述した高密度プラズマ処理を行ってもよい。また、金属酸化膜の他にも、金属窒化物や金属酸化窒化物を用いてもよい。この場合、金属膜に窒素雰囲気下または窒素と酸素雰囲気下でプラズマ処理や加熱処理を行えばよい。

20

30

40

【0104】

また、半導体膜1905は、スパッタリング法、LP-CVD法、プラズマCVD法等により、25~200nm(好ましくは30~150nm)の厚さで形成する。

【0105】

次に、図19(B)に示すように、半導体膜1905にレーザー光を照射して結晶化を行う。なお、レーザー光の照射と、RTA又はファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により半導体膜1905の結晶化を行ってもよい。その後、得られた結晶質半導体膜を所望の形状にエッチングして、結晶化した結晶質半導体膜1905a~1905fを形成し、当該半導体膜1905a~1905fを覆うようにゲート絶縁膜1906を形成する。

50

【0106】

なお、ゲート絶縁膜1906は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y) ($x > y > 0$)、窒化酸化シリコン(SiN_xO_y) ($x > y > 0$)等の絶縁材料を用いて形成する。例えば、ゲート絶縁膜1906を2層構造とする場合、第1層目の絶縁膜として酸化窒化シリコン膜を形成し、第2層目の絶縁膜として窒化酸化シリコン膜を形成するとよい。また、第1層目の絶縁膜として酸化シリコン膜を形成し、第2層目の絶縁膜として窒化シリコン膜を形成してもよい。

【0107】

結晶質半導体膜1905a~1905fの作製工程の一例を以下に簡単に説明すると、まず、プラズマCVD法を用いて、膜厚50~60nmの非晶質半導体膜を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理(500、1時間)と、熱結晶化の処理(550、4時間)を行って結晶質半導体膜を形成する。その後、レーザー光を照射し、フォトリソグラフィ法を用いることによって結晶質半導体膜1905a~1905fを形成する。なお、結晶化を助長する金属元素を用いる熱結晶化を行わずに、レーザー光の照射だけで非晶質半導体膜の結晶化を行ってもよい。

【0108】

なお、結晶化に用いるレーザー発振器としては、連続発振型のレーザービーム(CWレーザービーム)やパルス発振型のレーザービーム(パルスレーザービーム)を用いることができる。ここで用いることができるレーザービームは、Arレーザー、Krレーザー、エキシマレーザーなどの気体レーザー、単結晶のYAG、 YVO_4 、フォルステライト(Mg_2SiO_4)、 YAlO_3 、 GdVO_4 、若しくは多結晶(セラミック)のYAG、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、Ti:サファイアレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち一種または複数種から発振されるものを用いることができる。このようなレーザービームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザービームを照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO₄レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いることができる。このときレーザーのパワー密度は0.01~100MW/cm²程度(好ましくは0.1~10MW/cm²)が必要である。そして、走査速度を10~2000cm/sec程度として照射する。なお、単結晶のYAG、YVO₄、フォルステライト(Mg_2SiO_4)、YAlO₃、GdVO₄、若しくは多結晶(セラミック)のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、Arイオンレーザー、またはTi:サファイアレーザーは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザービームを発振させると、半導体膜がレーザーによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0109】

また、ゲート絶縁膜1906は、半導体膜1905a~1905fに対し前述の高密度プラズマ処理を行い、表面を酸化又は窒化することで形成しても良い。例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素(NO_2)、アンモニア、窒素、水素などの混合ガスを導入したプラズマ処理で形成する。この場合のプラズマの励起は、マイクロ波の導入により行くと、低電子温度で高密度のプラズマを生成することができる。この

10

20

30

40

50

高密度プラズマで生成された酸素ラジカル（OHラジカルを含む場合もある）や窒素ラジカル（NHラジカルを含む場合もある）によって、半導体膜の表面を酸化又は窒化することができる。

【0110】

このような高密度プラズマを用いた処理により、1～20nm、代表的には5～10nmの絶縁膜が半導体膜に形成される。この場合の反応は、固相反応であるため、当該絶縁膜と半導体膜との界面準位密度はきわめて低くすることができる。このような、高密度プラズマ処理は、半導体膜（結晶性シリコン、或いは多結晶シリコン）を直接酸化（若しくは窒化）するため、形成される絶縁膜の厚さは理想的には、ばらつきをきわめて小さくすることができる。加えて、結晶性シリコンの結晶粒界でも酸化が強くされることがないため、非常に好ましい状態となる。すなわち、ここで示す高密度プラズマ処理で半導体膜の表面を固相酸化することにより、結晶粒界において異常に酸化反応をさせることなく、均一性が良く、界面準位密度が低い絶縁膜を形成することができる。

10

【0111】

なお、ゲート絶縁膜1906は、高密度プラズマ処理によって形成される絶縁膜のみを用いても良いし、それにプラズマや熱反応を利用したCVD法で酸化シリコン、酸窒化シリコン、窒化シリコンなどの絶縁膜を堆積し、積層させても良い。いずれにしても、高密度プラズマで形成した絶縁膜をゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを小さくすることができる。

【0112】

20

また、半導体膜に対し、連続発振レーザー若しくは10MHz以上の周波数で発振するレーザービームを照射しながら一方向に走査して結晶化させて得られた半導体膜1905a～1905fは、そのビームの走査方向に結晶が成長する特性がある。その走査方向をチャンネル長方向（チャンネル形成領域が形成されたときにキャリアが流れる方向）に合わせてトランジスタを配置し、上記ゲート絶縁層を組み合わせることで、特性ばらつきが小さく、しかも電界効果移動度が高い薄膜トランジスタ（TFT：Thin Film Transistor）を得ることができる。

【0113】

次に、ゲート絶縁膜1906上に、第1の導電膜と第2の導電膜とを積層して形成する。ここでは、第1の導電膜は、CVD法やスパッタリング法等により、20～100nmの厚さで形成する。第2の導電膜は、100～400nmの厚さで形成する。第1の導電膜と第2の導電膜は、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。または、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成する。第1の導電膜と第2の導電膜の組み合わせの例を挙げると、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第1の導電膜と第2の導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層構造ではなく、3層構造の場合は、モリブデン膜とアルミニウム膜とモリブ

30

40

【0114】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲート線を形成するためのエッチング処理を行って、半導体膜1905a～1905fの上方にゲート電極1907を形成する。ここでは、ゲート電極1907として、第1の導電膜1907aと第2の導電膜1907bの積層構造で設けた例を示している。

【0115】

次に、図19（C）に示すように、ゲート電極1907をマスクとして半導体膜1905a～1905fに、イオンドープ法またはイオン注入法により、n型を付与する不純物元素を低濃度に添加し、その後、フォトリソグラフィ法によりレジストからなるマスクを

50

選択的に形成して、p型を付与する不純物元素を高濃度に添加する。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、n型を付与する不純物元素としてリン(P)を用い、 $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度で含まれるように半導体膜1905a~1905fに選択的に導入し、n型を示す不純物領域1908を形成する。また、p型を付与する不純物元素としてボロン(B)を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように選択的に半導体膜1905c、1905eに導入し、p型を示す不純物領域1909を形成する。

【0116】

10

続いて、ゲート絶縁膜1906とゲート電極1907を覆うように、絶縁膜を形成する。絶縁膜は、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。次に、絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極1907の側面に接する絶縁膜1910(サイドウォールともよばれる)を形成する。絶縁膜1910は、LDD(Lightly Doped drain)領域を形成する際のドーピング用のマスクとして用いる。

【0117】

続いて、フォトリソグラフィ法により形成したレジストからなるマスクと、ゲート電極1907および絶縁膜1910をマスクとして用いて、半導体膜1905a、1905b、1905d、1905fにn型を付与する不純物元素を高濃度に添加して、n型を示す不純物領域1911を形成する。ここでは、n型を付与する不純物元素としてリン(P)を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように半導体膜1905a、1905b、1905d、1905fに選択的に導入し、不純物領域1908より高濃度のn型を示す不純物領域1911を形成する。

20

【0118】

以上の工程により、図19(D)に示すように、nチャネル型薄膜トランジスタ1900a、1900b、1900d、1900fとpチャネル型薄膜トランジスタ1900c、1900eが形成される。

【0119】

30

なお、nチャネル型薄膜トランジスタ1900aは、ゲート電極1907と重なる半導体膜1905aの領域にチャネル形成領域が形成され、ゲート電極1907及び絶縁膜1910と重ならない領域にソース領域又はドレイン領域を形成する不純物領域1911が形成され、絶縁膜1910と重なる領域であってチャネル形成領域と不純物領域1911の間に低濃度不純物領域(LDD領域)が形成されている。また、nチャネル型薄膜トランジスタ1900b、1900d、1900fも同様にチャネル形成領域、低濃度不純物領域及び不純物領域1911が形成されている。

【0120】

また、pチャネル型薄膜トランジスタ1900cは、ゲート電極1907と重なる半導体膜1905cの領域にチャネル形成領域が形成され、ゲート電極1907と重ならない領域にソース領域又はドレイン領域を形成する不純物領域1909が形成されている。また、pチャネル型薄膜トランジスタ1900eも同様にチャネル形成領域及び不純物領域1909が形成されている。なお、ここでは、pチャネル型薄膜トランジスタ1900c、1900eには、LDD領域を設けていないが、pチャネル型薄膜トランジスタにLDD領域を設けてもよいし、nチャネル型薄膜トランジスタにLDD領域を設けない構成としてもよい。

40

【0121】

次に、図20(A)に示すように、半導体膜1905a~1905f、ゲート電極1907等を覆うように、絶縁膜を単層または積層して形成し、当該絶縁膜上に薄膜トランジスタ1900a~薄膜トランジスタ1900fのソース領域又はドレイン領域を形成する

50

不純物領域 1909、1911 と電氣的に接続する導電膜 1913 を形成する。絶縁膜は、CVD 法、スパッタリング法、SOG 法、液滴吐出法、スクリーン印刷法等により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。ここでは、当該絶縁膜を 2 層で設け、1 層目の絶縁膜 1912a として窒化酸化珪素膜で形成し、2 層目の絶縁膜 1912b として酸化窒化珪素膜で形成する。また、導電膜 1913 は、半導体膜 1905a ~ 1905f のソース電極又はドレイン電極を形成する。

【0122】

なお、絶縁膜 1912a、1912b を形成する前、または絶縁膜 1912a、1912b のうちの 1 つまたは複数の薄膜を形成した後に、半導体膜の結晶性の回復や半導体膜に添加された不純物元素の活性化、半導体膜の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザーアニール法または RTA 法などを適用するとよい。

【0123】

また、導電膜 1913 は、CVD 法やスパッタリング法等により、アルミニウム (Al)、タングステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガン (Mn)、ネオジウム (Nd)、炭素 (C)、シリコン (Si) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜 1913 は、例えば、バリア膜とアルミニウムシリコン (Al-Si) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (Al-Si) 膜と窒化チタン (TiN) 膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 1913 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

【0124】

次に、導電膜 1913 を覆うように、絶縁膜 1914 を形成し、当該絶縁膜 1914 上に、半導体膜 1905a、1905f のソース電極又はドレイン電極を形成する導電膜 1913 とそれぞれ電氣的に接続する導電膜 1915a、1915b を形成する。また、半導体膜 1905b、1905e のソース電極又はドレイン電極を形成する導電膜 1913 とそれぞれ電氣的に接続する導電膜 1916a、1916b を形成する。なお、導電膜 1915a、1915b と導電膜 1916a、1916b は同一の材料で同時に形成してもよい。導電膜 1915a、1915b と導電膜 1916a、1916b は、上述した導電膜 1913 で示したいずれかの材料を用いて形成することができる。

【0125】

続いて、図 20 (B) に示すように、導電膜 1916a、1916b にアンテナとして機能する導電膜 1917a、1917b が電氣的に接続されるように形成する。ここでは、アンテナとして機能する導電膜 1917a と 1917b の一方が上記実施の形態で示した第 1 のアンテナ回路のアンテナに相当し、他方が第 2 のアンテナ回路のアンテナに相当する。例えば、導電膜 1917a が第 1 のアンテナ回路のアンテナであり、導電膜 1917b が第 2 のアンテナ回路のアンテナであるとする、薄膜トランジスタ 1900a ~ 薄膜トランジスタ 1900c が上記実施の形態で示した第 1 の信号処理回路として機能し、薄膜トランジスタ 1900d ~ 薄膜トランジスタ 1900f が上記実施の形態で示した第

10

20

30

40

50

2の信号処理回路として機能する。

【0126】

なお、絶縁膜1914は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)等の酸素または窒素有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

10

【0127】

また、導電膜1917a、1917bは、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅(Cu)、金(Au)、白金(Pt)、ニッケル(Ni)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

20

【0128】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電膜1917a、1917bを形成する場合には、粒径が数nmから数十 μm の導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)およびチタン(Ti)等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、珪素樹脂等の有機樹脂が挙げられる。また、導電膜の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子(例えば粒径1nm以上100nm以下)を用いる場合、150~300の温度範囲で焼成することにより硬化させて導電膜を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径20 μm 以下の微粒子を用いることが好ましい。はんだや鉛フリーはんだは、低コストであるといった利点を有している。

30

【0129】

また、導電膜1915a、1915bは、後の工程において本実施の形態の半導体装置に含まれるバッテリーと電気的に接続される配線として機能しうる。また、アンテナとして機能する導電膜1917a、1917bを形成する際に、導電膜1915a、1915bに電気的に接続するように別途導電膜を形成し、当該導電膜をバッテリーに接続する配線として利用してもよい。なお図20(B)における導電膜1917a、1917bは、上記実施の形態1で示した第1のアンテナ回路、及び第2のアンテナ回路に対応する。

40

【0130】

次に、図20(C)に示すように、導電膜1917a、1917bを覆うように絶縁膜1918を形成した後、薄膜トランジスタ1900a~薄膜トランジスタ1900f、導電膜1917a、1917b等を含む層(以下、「素子形成層1919」と記す)を基板1901から剥離する。ここでは、レーザー光(例えばUV光)を照射することによって、薄膜トランジスタ1900a~薄膜トランジスタ1900fを避けた領域に開口部を形成後、物理的な力を用いて基板1901から素子形成層1919を剥離することができる。

50

。また、基板 1901 から素子形成層 1919 を剥離する前に、形成した開口部にエッチング剤を導入して、剥離層 1903 を選択的に除去してもよい。エッチング剤は、フッ化ハロゲンまたはハロゲン間化合物を含む気体又は液体を使用する。例えば、フッ化ハロゲンを含む気体として三フッ化塩素 (ClF_3) を使用する。そうすると、素子形成層 1919 は、基板 1901 から剥離された状態となる。なお、剥離層 1903 は、全て除去せず一部分を残存させてもよい。こうすることによって、エッチング剤の消費量を抑え剥離層の除去に要する処理時間を短縮することが可能となる。また、剥離層 1903 の除去を行った後にも、基板 1901 上に素子形成層 1919 を保持しておくことが可能となる。また、素子形成層 1919 が剥離された基板 1901 を再利用することによって、コストの削減をすることができる。

10

【0131】

絶縁膜 1918 は、CVD 法やスパッタ法等により、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y$)、窒化酸化珪素 (SiN_xO_y) ($x > y$) 等の酸素または窒素を有する絶縁膜や DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

【0132】

本実施の形態では、図 21 (A) に示すように、レーザー光の照射により素子形成層 1919 に開口部を形成した後に、当該素子形成層 1919 の一方の面 (絶縁膜 1918 の露出した面) に第 1 のシート材 1920 を貼り合わせた後、基板 1901 から素子形成層 1919 を剥離する。

20

【0133】

次に、図 21 (B) に示すように、素子形成層 1919 の他方の面 (剥離により露出した面) に、加熱処理と加圧処理の一方又は両方を行って第 2 のシート材 1921 を貼り合わせる。第 1 のシート材 1920、第 2 のシート材 1921 として、ホットメルトフィルム等を用いることができる。

【0134】

また、第 1 のシート材 1920、第 2 のシート材 1921 として、静電気等を防止する帯電防止対策を施したフィルム (以下、帯電防止フィルムと記す) を用いることもできる。帯電防止フィルムとしては、帯電防止可能な材料を樹脂中に分散させたフィルム、及び帯電防止可能な材料が貼り付けられたフィルム等が挙げられる。帯電防止可能な材料が設けられたフィルムは、片面に帯電防止可能な材料を設けたフィルムであってもよいし、両面に帯電防止可能な材料を設けたフィルムであってもよい。さらに、片面に帯電防止可能な材料が設けられたフィルムは、帯電防止可能な材料が設けられた面をフィルムの内側になるように層に貼り付けてもよいし、フィルムの外側になるように貼り付けてもよい。なお、帯電防止可能な材料はフィルムの全面、あるいは一部に設けてあればよい。ここでの帯電防止可能な材料としては、金属、インジウムと錫の酸化物 (ITO)、両性界面活性剤や陽イオン性界面活性剤や非イオン性界面活性剤等の界面活性剤を用いることができる。また、他にも帯電防止材料として、側鎖にカルボキシル基および 4 級アンモニウム塩基をもつ架橋性共重合体高分子を含む樹脂材料等を用いることができる。これらの材料をフィルムに貼り付けたり、練り込んだり、塗布することによって帯電防止フィルムとすることができる。帯電防止フィルムで封止を行うことによって、商品として取り扱う際に、外部からの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

30

40

【0135】

なお、バッテリーは、導電膜 1915a、1915b に接続して形成されるが、バッテリーとの接続は、基板 1901 から素子形成層 1919 を剥離する前 (図 20 (B) 又は図 20 (C) の段階) に行ってもよいし、基板 1901 から素子形成層 1919 を剥離した後 (図 21 (A) の段階) に行ってもよいし、素子形成層 1919 を第 1 のシート材及び第 2 のシート材で封止した後 (図 21 (B) の段階) に行ってもよい。以下に、素子形

50

成層 1919 とバッテリーを接続して形成する一例を図 22、図 23 を用いて説明する。

【0136】

図 20 (B) において、アンテナとして機能する導電膜 1917a、1917b と同時に導電膜 1915a、1915b にそれぞれ電氣的に接続する導電膜 1931a、1931b を形成する。続けて、導電膜 1917a、1917b、導電膜 1931a、1931b を覆うように絶縁膜 1918 を形成した後、導電膜 1931a、1931b の表面が露出するように開口部 1932a、1932b を形成する。その後、図 22 (A) に示すように、レーザー光の照射により素子形成層 1919 に開口部を形成した後に、当該素子形成層 1919 の一方の面 (絶縁膜 1918 の露出した面) に第 1 のシート材 1920 を貼り合わせた後、基板 1901 から素子形成層 1919 を剥離する。

10

【0137】

次に、図 22 (B) に示すように、素子形成層 1919 の他方の面 (剥離により露出した面) に、第 2 のシート材 1921 を貼り合わせた後、素子形成層 1919 を第 1 のシート材 1920 から剥離する。従って、ここでは第 1 のシート材 1920 として粘着力が弱いものを用いる。続けて、開口部 1932a、1932b を介して導電膜 1931a、1931b とそれぞれ電氣的に接続する導電膜 1934a、1934b を選択的に形成する。

【0138】

導電膜 1934a、1934b は、CVD 法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム (Al)、チタン (Ti)、銀 (Ag)、銅 (Cu)、金 (Au)、白金 (Pt)、ニッケル (Ni)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

20

【0139】

なお、ここでは、基板 1901 から素子形成層 1919 を剥離した後に導電膜 1934a、1934b を形成する例を示しているが、導電膜 1934a、1934b を形成した後に基板 1901 から素子形成層 1919 の剥離を行ってもよい。

【0140】

次に、図 23 (A) に示すように、基板上に複数の素子を形成している場合には、素子形成層 1919 を素子ごとに分断する。分断は、レーザー照射装置、ダイシング装置、スクライブ装置等を用いることができる。ここでは、レーザー光を照射することによって 1 枚の基板に形成された複数の素子を各々分断する。

30

【0141】

次に、図 23 (B) に示すように、分断された素子をバッテリーの接続端子と電氣的に接続する。ここでは、素子形成層 1919 に設けられた導電膜 1934a、1934b と基板 1935 上に設けられたバッテリーの接続端子となる導電膜 1936a、1936b とをそれぞれ接続する。ここで、導電膜 1934a と導電膜 1936a との接続、又は導電膜 1934b と導電膜 1936b との接続は、異方導電性フィルム (ACF (Anisotropic Conductive Film)) や異方導電性ペースト (ACP (Anisotropic Conductive Paste)) 等の接着性を有する材料を介して圧着させることにより電氣的に接続する場合を示している。ここでは、接着性を有する樹脂 1937 に含まれる導電性粒子 1938 を用いて接続する例を示している。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

40

【0142】

バッテリーが素子より大きい場合には、図 22、図 23 に示したように、一枚の基板上に複数の素子を形成し、当該素子を分断後にバッテリーと接続することによって、一枚の基板に作り込める素子の数を増やすことができるため、半導体装置をより低コストで作製することが可能となる。

50

【 0 1 4 3 】

その後、上記実施の形態で示したように、ブースターアンテナと接続してもよい。

【 0 1 4 4 】

以上の工程により、半導体装置を作製することができる。なお、本実施の形態では、基板上に薄膜トランジスタ等の素子を形成した後に剥離する工程を示したが、剥離を行わずそのまま製品としてもよい。また、ガラス基板上に薄膜トランジスタ等の素子を設けた後に、当該ガラス基板を素子が設けられた面と反対側から研磨することにより、又はSi等の半導体基板を用いてMOS型のトランジスタを形成した後に当該半導体基板を研磨することによって、半導体装置の薄膜化、小型化を行うことができる。

【 0 1 4 5 】

なお、本実施の形態は、本明細書中の他の実施の形態の記載と組み合わせて実施することが可能である。

【 0 1 4 6 】

(実施の形態4)

本実施の形態では、上記実施の形態と異なる半導体装置及びその作製方法の一例に関して図面を参照して説明する。

【 0 1 4 7 】

まず、図24(A)に示すように、基板2401の一表面に絶縁膜2402を介して剥離層2403を形成し、続けて下地膜として機能する絶縁膜2404と導電膜2405を積層して形成する。なお、絶縁膜2402、剥離層2403、絶縁膜2404および導電膜2405は、連続して形成することができる。

【 0 1 4 8 】

なお、導電膜2405は、タングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)から選択された元素または当該元素を主成分とする合金材料若しくは化合物材料からなる膜を単層又は積層して形成する。また、これらの材料は、スパッタ法やプラズマCVD法等の各種CVD法等を用いて形成することができる。

【 0 1 4 9 】

また、基板2401、絶縁膜2402、剥離層2403、絶縁膜2404は、それぞれ上記実施の形態で説明した基板1901、絶縁膜1902、剥離層1903、絶縁膜1904のいずれかの材料を用いて形成することができる。

【 0 1 5 0 】

次に、図24(B)に示すように、導電膜2405を選択的にエッチングして導電膜2405a~2405eを形成し、当該導電膜2405a~2405eを覆うように絶縁膜2406、2407を積層して形成する。

【 0 1 5 1 】

なお、絶縁膜2406、絶縁膜2407は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y)(x>y>0)、窒化酸化シリコン(SiN_xO_y)(x>y>0)等の絶縁材料を用いて形成する。例えば、絶縁膜2406として窒化酸化シリコンを用い、絶縁膜2407として酸化窒化シリコンを用いて形成することができる。また、ここでは、絶縁膜を2層積層させて設けた例を示しているが、絶縁膜2406又は絶縁膜2407の一方のみ設けてもよいし、3層以上の絶縁膜を積層させて設けてもよい。

【 0 1 5 2 】

次に、図24(C)に示すように、導電膜2405a~2405dの上方に選択的に半導体膜2408a~2408dを形成する。ここでは、絶縁膜2407上にスパッタリング法、LPCVD法、プラズマCVD法等により、非晶質半導体膜(例えば、非晶質珪素膜)を25~200nm(好ましくは30~150nm)の厚さで形成し、当該非晶質半

10

20

30

40

50

導体膜を結晶化した後に選択的にエッチングして半導体膜 2408a ~ 2408d を形成する。半導体膜の材料や結晶化方法等は上記実施の形態で示した方法を用いることができる。また、絶縁膜 2406、絶縁膜 2407 及び非晶質半導体膜は、連続して形成することができる。

【0153】

なお、導電膜 2405a ~ 2405d により絶縁膜 2407 の表面凹凸となっている場合には、絶縁膜 2407 上に非晶質半導体膜を形成する前に、絶縁膜 2407 に平坦化処理を行い当該絶縁膜 2407 の表面を平らにしておくことが好ましい。平坦化処理としては、CMP 法等の研磨処理を用いることができる。CMP 法等の研磨処理を行うことにより、図 24 (A) に示すように表面が平坦化された絶縁膜 2407 上に半導体膜を形成することができ、半導体膜 2408a ~ 2408d を用いて素子を形成する際に当該素子の特性へ及ぼす影響を低減することができる。

10

【0154】

次に、図 24 (D) に示すように、半導体膜 2408a ~ 2408d を覆うようにゲート絶縁膜 2409 を形成し、半導体膜 2408a ~ 2408c の上方にゲート電極 2410 を選択的に形成した後、当該ゲート電極 2410 をマスクとして、半導体膜 2408a ~ 2408d に不純物元素を添加し不純物領域 2411 を形成する。不純物元素としては、n 型又は p 型を付与する不純物元素を添加する。n 型を示す不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。p 型を示す不純物元素としては、ボロン (B) やアルミニウム (Al) やガリウム (Ga) 等を用いることができる。ここでは、n 型を付与する不純物元素であるリン (P) を $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように半導体膜 2408a ~ 2408d に導入し、n 型を示す不純物領域 2411 を形成する。なお、これに限られず、p 型を付与する不純物元素を添加して p 型を示す不純物領域を形成してもよいし、n 型及び p 型を付与する不純物元素を選択的に半導体膜 2408a ~ 2408d に導入してもよい。

20

【0155】

以上の工程により、図 24 (D) に示すように、n チャネル型薄膜トランジスタ 2400a ~ 2400c と容量として機能する素子 2400d が形成される。

【0156】

n チャネル型薄膜トランジスタ 2400a は、ゲート電極 2410 と重なる半導体膜 2408a の領域にチャネル形成領域が形成され、ゲート電極 2410 と重ならない領域に当該チャネル領域と隣接してソース領域又はドレイン領域を形成する不純物領域 2411 が形成されている。また、n チャネル型薄膜トランジスタ 2400b、2400c も同様にチャネル形成領域及びソース領域又はドレイン領域を形成する不純物領域 2411 が形成されている。

30

【0157】

素子 2400d は、導電膜 2405d、絶縁膜 2406、2407 及び不純物元素が導入された不純物領域 2411 との積層構造によって容量が形成されている。

【0158】

なお、ここでは、n チャネル型薄膜トランジスタ 2400a ~ 2400c を設けた例を示したが、p チャネル型薄膜トランジスタを設けてもよいし、上記実施の形態で示したように、ゲート電極 2410 の側面に接して絶縁膜を設け n チャネル型薄膜トランジスタ 2400a ~ 2400c の半導体膜に低濃度不純物領域 (LDD 領域) を設けた構成とすることも可能である。

40

【0159】

また、ここでは、図 27 (A) に示すように、半導体膜 2408a ~ 2408c より導電膜 2405a ~ 2405c を大きく形成した (薄膜トランジスタ 2400a ~ 2400c のチャネル形成領域及び不純物領域 2411 と重なるように導電膜 2405a ~ 2405c を形成した) 例を示しているが、これに限られない。例えば、図 27 (B) に示すように、薄膜トランジスタ 2400a ~ 2400c の不純物領域 2411 の一部及びチャネ

50

ル形成領域全面と重なるように導電膜 2405a ~ 2405c を設けてもよいし、不純物領域 2411 の一部及びチャネル形成領域の一部と重なるように導電膜 2405a ~ 2405c を設けてもよいし、チャネル形成領域の一部とだけ重なるように導電膜 2405a ~ 2405c を設けてもよい。このように設ける場合には、特にCMP等の研磨処理を行い絶縁膜 2407 の平坦化することが好ましい。

【0160】

なお、導電膜 2405a ~ 2405c を設けることによって、薄膜トランジスタの破損の防止、ESD (Electrostatic Discharge : 静電破壊) の防止、ショートチャネル効果の抑制、しきい値制御等を行うことも可能となる。また、配線 2405e を上層に形成する配線として設けることによって、工程の削減などを行うことも可能となる。

10

【0161】

つまり、薄膜トランジスタ 2400a ~ 2400c を有する半導体装置は、撓んでも薄膜トランジスタ 2400a ~ 2400c のチャネル形成領域や不純物領域と重なるように設けられた導電膜によりチャネル形成領域や不純物領域での撓みを抑制することができるため薄膜トランジスタ 2400a ~ 2400c も破損の防止を図ることができる。特に、図27(B)に示すように、ゲート電極の半導体膜を挟んだ反対側に位置する導電膜 2405a ~ 2405c を半導体膜のサイズより大きく設ける構成を取りうることによって、トランジスタにおける半導体層の物理的な強度が増すことにより、トランジスタに物理的な力が加わることに伴うトランジスタの破損を防止することができる。

20

【0162】

また、半導体装置の製造時において、導電膜 2405a ~ 2405c が電荷の逃げ道若しくは電荷の拡散領域となり、局所的な電荷の蓄積を低減し、電界集中を緩和することができるためESDを防止することができる。

【0163】

また、導電膜 2405a ~ 2405c によってそれぞれの薄膜トランジスタ 2400a ~ 2400c において、ドレインからソースへの影響を遮断することによって、チャネル長が短くなっても、ショートチャネル効果を抑制することができる。つまり、薄膜トランジスタ 2400a ~ 2400c の微細化に伴って問題となる、チャネル長の減少によって生じるショートチャネル効果(トランジスタのしきい値電圧 V_{th} が急激にシフトし、サブスレッショルド領域のドレイン電流の立ち上がりがなまるなどの現象)を抑制することができる。

30

【0164】

また、導電膜 2405a ~ 2405c に入力する電位によって、薄膜トランジスタ 2400a ~ 2400c のしきい値を制御することができる。

【0165】

図34(B)はN型のMOSトランジスタのドレイン電流とゲート電圧の関連を示したグラフである。理想的にはゲート電圧 V_g が正の領域では、ドレイン電流 I_d が十分大きく、ゲート電圧 V_g が0以下では、ドレイン電流 I_d は0であることが望ましい。ところが実際にはドレイン電流 I_d はカーブ3404に示すようにゲート電圧 V_g が0であっても、 I_L だけの漏れ電流が流れる。個々のトランジスタの電流は小さいが、半導体装置には多くのトランジスタが設けられており、それらの漏れ電流をあわせると、小さなものにはならない場合がある。このような漏れ電流は待機時の半導体装置の消費電力を増加させるものとなる。つまり、バッテリーに蓄えられた電力の消費を増大させるものになってしまう。

40

【0166】

トランジスタのチャネル領域に不純物を微量添加し、図34(B)に示すカーブを右にずらすことによって、この漏れ電流を減らすことは可能である。しかし、その場合、 V_g が正の場合の電流も低下してしまい、回路の周波数特性を低下させるという問題があった。

50

【0167】

以上のような問題を解決するため、トランジスタを構成する半導体膜の上下側にそれぞれゲート電極を設ける。つまり、トランジスタを断面からみたとき、半導体膜は第1のゲート電極と第2のゲート電極の間に位置する。そして、第1のゲート電極に論理信号を、第2のゲート電極にしきい値制御信号を加え、半導体装置を構成するトランジスタのしきい値を第2のゲート電極の電位によって可変にする。本実施の形態においては、導電膜2405a~2405cをそれぞれ薄膜トランジスタ2400a~2400cの第2のゲート電極に用いることができる。

【0168】

図34(A)に第1のゲート電極および第2のゲート電極を有するトランジスタの $I_d - V_g$ 特性を示す。図34(A)では3種類のカーブ3401~カーブ3403を示しているが、カーブ3402は第2のゲート電極に正の電圧を加えたときのカーブである。このような場合にはカーブが左にシフトし、より電流が流れるようになる。またカーブ3401は第2のゲート電極に0の電圧をかける場合である。このような場合は従来例と同じである。カーブ3403は第2のゲート電極に負の電圧を加えたときのカーブである。このような場合にはカーブが右にシフトし、電流は流れにくくなり、漏れ電流も低減する。このように本実施の形態に係る半導体装置にしきい値制御機能を設け、トランジスタの $I_d - V_g$ 特性のカーブをシフトさせることによって、漏れ電流を低減することが可能となる。

【0169】

なお、本実施の形態における導電膜2405a~2405cと同時に、導電膜の上層で形成するアンテナ回路を同時に形成してもよい。導電膜2405a~2405cとアンテナ回路を同時に形成することにより工程を削減することができ、マスク数を削減することができるため、好適である。また、導電膜2405a~2405cで半導体膜間の配線を兼ねることもできるため好適である。具体的に、ここでは配線2405eをアンテナとして機能する導電膜として形成してもよい。

【0170】

次に、図25(A)に示すように、薄膜トランジスタ2400a~2400c、素子2400dを覆うように絶縁膜2412を形成し、当該絶縁膜2412上に薄膜トランジスタ2400a~2400cのソース領域又はドレイン領域を形成する不純物領域2411と電氣的に接続する導電膜2413を形成する。

【0171】

絶縁膜2412は、CVD法、スパッタ法、SOG法、液滴吐出法、スクリーン印刷法等により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。

【0172】

導電膜2413は、上記実施の形態で説明した導電膜1913のいずれかの材料を用いて形成することができる。

【0173】

次に、図25(B)に示すように、導電膜2413を覆うように絶縁膜2414を形成し、当該絶縁膜2414上に薄膜トランジスタ2400a~2400cソース電極又はドレイン電極を形成する導電膜2413とそれぞれ電氣的に接続する導電膜2415a、2415bを形成した後、当該導電膜2415a、2415bと電氣的に接続するようにアンテナとして機能する導電膜2416a、2416bを形成する。なお図25(B)における導電膜2416a、2416bは、上記実施の形態1で示した第1のアンテナ回路、及び第2のアンテナ回路に対応する。

【0174】

続いて、導電膜2416a、2416bを覆うように絶縁膜2417を形成した後、薄膜トランジスタ2400a~2400c、素子2400d、導電膜2416a、2416

10

20

30

40

50

b等を含む層（以下、「素子形成層720」と記す）を基板2401から剥離する。剥離する方法は上記実施の形態で示したいずれかの方法を用いることができる。

【0175】

ここでは、図26（A）に示すように、レーザー光の照射により素子形成層720に開口部を形成した後に、当該素子形成層720の一方の面（絶縁膜2417の露出した面）に第1のシート材2418を貼り合わせた後、基板2401から素子形成層720を剥離する。

【0176】

次に、図26（B）に示すように、素子形成層720の他方の面（剥離により露出した面）に、第2のシート材2419を貼り合わせた後、加熱処理と加圧処理の一方又は両方を行って第2のシート材2419を貼り合わせる。第1のシート材2418、第2のシート材2419として、ホットメルトフィルム等を用いることができる。

【0177】

以上の工程によって、半導体装置を作製することができる。なお、本実施の形態では、容量を形成する素子2400dをバッテリーとして用いることができる。また、素子2400dとは別にバッテリーを設けてもよい。この場合、上記実施の形態で示した方法を用いてバッテリーを設けることができる。

【0178】

なお、本実施の形態で示す半導体装置はこれに限られない。例えば、バッテリー又はアンテナとして機能する導電膜を薄膜トランジスタ2400a～2400cの下方に設けた構造としてもよい。

【0179】

バッテリーを薄膜トランジスタ2400a～2400cの下方に設けた例を図28に示す。ここでは、薄膜トランジスタ2400bのソース電極又はドレイン電極として機能する導電膜2413に電氣的に接続するように導電膜2431aを設け、当該導電膜2431aとバッテリーの接続配線を形成する導電膜2433aとの接続を素子形成層720の下方（基板2401から素子形成層720を剥離して露出した面）で行っている例を示している。また、ここでは、容量を形成する素子2400dの代わりに薄膜トランジスタを設け、当該薄膜トランジスタのソース電極又はドレイン電極として機能する導電膜2413に電氣的に接続するように導電膜2432aを設け、当該導電膜2431bとバッテリーの接続配線を形成する導電膜2433aとの接続を素子形成層720の下方（基板2401から素子形成層720を剥離して露出した面）で行っている例を示している。

【0180】

このように設ける場合、上記図25（A）において、薄膜トランジスタ2400a～2400cの不純物領域2411を露出させるためにゲート絶縁膜2409及び絶縁膜2412に第1の開口部を形成すると同時に、絶縁膜2406、2407、ゲート絶縁膜2409、絶縁膜2412に第2の開口部を形成し、当該第1の開口部を充填するように導電膜2413を設け、第2の開口部を充填するように導電膜2431a、2431bを形成する。第1の開口部と第2の開口部は同時に形成することができ、第1の開口部を形成する場合には半導体膜2408a～2408cがストッパとして機能し、第2の開口部を形成する際には剥離層2403がストッパとして機能する。その後、図28（A）の説明で、上述したようにアンテナとして機能する導電膜2416a、2416bを形成した後、基板2401から素子形成層720を剥離する。

【0181】

その後、図28（B）に示すように基板2401から剥離された素子形成層720の露出した面に形成された導電膜2431a、2431bと基板2432上に設けられたバッテリーの接続配線となる導電膜2433a、2433bとをそれぞれ接続する。ここでは、導電膜2431aと導電膜2433aとの接続、又は導電膜2431bと導電膜2433bとの接続は、異方導電性フィルム（ACF（Anisotropic Conductive Film））や異方導電性ペースト（ACP（Anisotropic Co

10

20

30

40

50

nductive Paste))等の接着性を有する材料を介して圧着させることにより電氣的に接続する場合を示している。ここでは、接着性を有する樹脂2434に含まれる導電性粒子2435を用いて接続する例を示している。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

【0182】

なお、本実施の形態では、バッテリーのみならずアンテナとして機能する導電膜を薄膜トランジスタ2400a~2400cの下方に設けた構造としてもよい。バッテリー及びアンテナとして機能する導電膜2416を薄膜トランジスタ2400a~2400cの下方に設けた例を図29に示す。

10

【0183】

ここでは、薄膜トランジスタ2400cのソース電極又はドレイン電極として機能する導電膜2413に電氣的に接続するように導電膜2431cを設け、当該導電膜2431cとアンテナとして機能する導電膜2416bとの接続を素子形成層720の下方(基板2401から素子形成層720を剥離して露出した面)で行っている例を示している。また、バッテリーも上記図28と同様に設けた例を示している。

【0184】

このように設ける場合、上記図25(A)において、薄膜トランジスタ2400a~2400cの不純物領域2411を露出させるためにゲート絶縁膜2409及び絶縁膜2412に第1の開口部を形成すると同時に、図29(A)に示すように、絶縁膜2406、2407、ゲート絶縁膜2409、絶縁膜2412に第2の開口部を形成し、当該第1の開口部を充填するように導電膜2413を設け、第2の開口部を充填するように導電膜2431a、2431b、2431cを形成する。第1の開口部と第2の開口部は同時に形成することができ、第1の開口部を形成する場合には半導体膜2408a~2408cがストッパとして機能し、第2の開口部を形成する際には剥離層2403がストッパとして機能する。その後、図28(A)で上述したようにアンテナとして機能する導電膜2416aを形成した後、基板2401から素子形成層720を剥離する。

20

【0185】

その後、図29(B)に示すように、基板2401から剥離された素子形成層720の露出した面に形成された導電膜2431a、2431bと基板2432上に設けられたバッテリーの接続配線となる導電膜2433a、2433bとをそれぞれ接続する。また、基板2401から剥離された素子形成層720の露出した面に形成された導電膜2431cと基板2436上に設けられたアンテナとして機能する導電膜2416bとを接続する。

30

【0186】

このように薄膜トランジスタ2400a~2400c等が設けられた素子よりバッテリーやアンテナが大きい場合には、図28、図29に示したように、素子形成層とバッテリー又はアンテナを貼り合わせて設けることが好ましい。素子より大きいバッテリーやアンテナ用いる場合には、一枚の基板上に複数の素子を形成し、当該素子を分断した後にバッテリーやアンテナを素子と貼り合わせて設けることによって、半導体装置をより低コストで作製することが可能となる。

40

【0187】

なお、本実施の形態は、本明細書中の他の実施の形態の記載と組み合わせて実施することが可能である。

【0188】

(実施の形態5)

本実施の形態では、上記実施の形態で示した半導体装置における第1のアンテナ、第2のアンテナ、信号処理回路、バッテリー、及びブースターアンテナの接続構成に関して、図面を参照して説明する。

【0189】

50

まず、図 11 (A) に示す図面において、信号処理回路 9901、信号処理回路の上部電極 9902、信号処理回路の下部電極 9903、バッテリー 9904、バッテリーの側部電極 9905、基板 9906、アンテナ回路 9907 で構成されている。図 11 (A) における信号処理回路 9901 は上下に電極を取る構造であり、バッテリーは側部に電極を取る構造であり、アンテナ回路は上部に電極を取る構造である。また、バッテリー 9904、信号処理回路 9901、アンテナ回路を有する基板 9906 は順に積層して配置されているものである。

【0190】

また本実施の形態でいう上部、下部、及び側部は、図面に照らし合わせて説明するための呼称であり、実際の接続においては、その形状と図面を照らし合わせた上で各部の位置を特定し接続すればよい。

10

【0191】

なお、本実施の形態でいうアンテナ回路 9907 は、上記実施の形態で述べた第 1 のアンテナ回路または第 2 のアンテナ回路のことをいう。また、アンテナ回路 9907 と信号処理回路 9901 の接続は、アンテナ回路における端子部において接続が行われる。

【0192】

また、本実施の形態において示す各構成間の接続に関しては、説明のため 1 カ所ずつの接続を図示して説明するが、実際の各構成間の接続数はこれに限定されるものではなく、複数箇所でも本実施の形態で示す接続を行うものとして説明する。

【0193】

20

なお信号処理回路における上部電極及び下部電極の接続構成に関しては、上記実施の形態で示した図 22 (B) で示したトランジスタの上部に電氣的に接続を取る構成、また上記実施の形態で示した図 29 (B) で示したトランジスタの下部に電氣的に接続を取る構成をとればよい。また側面を介して上部電極と下部電極との接続を取る側部電極については、スパッタリング法、めっき等を用いて形成すればよい。

【0194】

次に図 11 (A) とは異なる構成について図 11 (B) に示す。図 11 (B) に示す図面において、信号処理回路 9901、信号処理回路の上部電極 9912、信号処理回路の側部電極 9913、バッテリー 9904、バッテリーの側部電極 9905、基板 9906、アンテナ回路 9907 で構成されている。図 11 (B) における信号処理回路 9901 はバッテリー側に接続される電極を上部電極と、バッテリー側の電極より信号処理回路の側面に沿って基板側に回り込んだ側部電極の 2 カ所の電極を取る構造であり、バッテリーは側部に電極を取る構造であり、アンテナ回路は上部に電極を取る構造である。また、バッテリー 9904、信号処理回路 9901、アンテナ回路を有する基板 9906 は順に積層して配置されているものである。

30

【0195】

次に図 11 (A)、(B) とは異なる構成について図 11 (C) に示す。図 11 (C) に示す図面において、信号処理回路 9901、信号処理回路の上部電極 9902、バッテリー 9904、バッテリーの側部電極 9905、基板 9906、ブースターアンテナ 9909 で構成されている。図 11 (C) における信号処理回路 9901 はバッテリー側に接続される電極が上部電極を取る構造であり、バッテリーは側部に電極を取る構造であり、ブースターアンテナは上部に電極を取る構造である。また、バッテリー 9904、信号処理回路 9901、ブースターアンテナを有する基板 9906 は順に積層して配置されているものである。

40

【0196】

なお、図 11 (C) においては、図 11 (A)、(B) に示す構成とは異なり、上記実施の形態で説明した第 1 のアンテナ回路及び第 2 のアンテナ回路は、信号処理回路と共に設けられているものとする。

【0197】

次に図 11 (A) 乃至 (C) とは異なる構成について図 11 (D) に示す。図 11 (D)

50

）に示す図面において、信号処理回路 9901、信号処理回路の上部電極 9902、信号処理回路の下部電極 9903、バッテリー 9904、バッテリーの下部電極 9915、基板 9906、アンテナ回路 9907 で構成されている。図 11 (D) における信号処理回路 9901 は上下に電極を取る構造であり、バッテリーは下部に電極を取る構造であり、アンテナ回路は上部に電極を取る構造である。また、バッテリー 9904、信号処理回路 9901、アンテナ回路を有する基板 9906 は順に積層して配置されているものである。

【0198】

次に図 11 (A) 乃至 (D) とは異なる構成について図 11 (E) に示す。図 11 (E) に示す図面において、信号処理回路 9901、信号処理回路の上部電極 9912、信号処理回路の側部電極 9913、バッテリー 9904、バッテリーの下部電極 9915、基板 9906、アンテナ回路 9907 で構成されている。図 11 (E) における信号処理回路 9901 はバッテリー側に接続される電極を上部電極と、バッテリー側の電極より信号処理回路の側面に沿って基板側に回り込んだ側部電極の 2 カ所の電極を取る構造であり、バッテリーは下部に電極を取る構造であり、アンテナ回路は上部に電極を取る構造である。また、バッテリー 9904、信号処理回路 9901、アンテナ回路を有する基板 9906 は順に積層して配置されているものである。

【0199】

次に図 11 (A) 乃至 (E) とは異なる構成について図 11 (F) に示す。図 11 (F) に示す図面において、信号処理回路 9901、信号処理回路の上部電極 9902、バッテリー 9904、バッテリーの下部電極 9915、基板 9908、ブースターアンテナ 9909 で構成されている。図 11 (F) における信号処理回路 9901 はバッテリー側に接続される電極が上部電極を取る構造であり、バッテリーは下部に電極を取る構造であり、ブースターアンテナは上部に電極を取る構造である。また、バッテリー 9904、信号処理回路 9901、ブースターアンテナを有する基板 9908 は順に積層して配置されているものである。

【0200】

なお、図 11 (F) においては、図 11 (A)、(B)、(D)、(E) に示す構成とは異なり、上記実施の形態で説明した第 1 のアンテナ回路及び第 2 のアンテナ回路は、信号処理回路と共に設けられているものとする。

【0201】

以上、説明したように本実施の形態におけるアンテナ回路、信号処理回路、バッテリー、ブースターアンテナに関する接続については、多くの態様を取り得る。図 11 に示した各構成を取ることににより、アンテナ回路、信号処理回路、バッテリーに関して直接接続を取ることができるため、基板外周部に配線を延伸して接続を行う必要がない。またアンテナ回路、信号処理回路、バッテリーのサイズを適宜調節すれば、RFID を有する半導体装置の小型化を行うこともでき、好適である。

【0202】

なお、本実施の形態は、本明細書中の他の実施の形態の記載と組み合わせて実施することが可能である。

【0203】

(実施の形態 6)

本実施の形態においては、本発明の半導体装置の充電方法の一例について説明する。

【0204】

本実施の形態に係る半導体装置は、図 1 に示した半導体装置において、充放電制御回路 9301 を追加した構成である (図 41)。充放電制御回路 9301 は、バッテリー 104 の充電及び放電のタイミングを制御する。

【0205】

例えば、充放電制御回路 9301 によって、バッテリー 104 の充放電を同時可動にしてもよい。つまり、バッテリー 104 の電圧を信号処理回路 103 の電源として使用して

10

20

30

40

50

いるか否かに関わらず、第2の整流回路107から出力される電力をバッテリー104に供給し、充電を行うことを可能とする。

【0206】

そして、充放電制御回路9301は、バッテリー104へ過充電とならないようにするため、バッテリー104の電圧が規定の電圧に達した場合にバッテリー104への充電を停止する機能を有していてもよい。

【0207】

この場合のフローチャートの例を図37に示す。以下に、図37のフローチャートについて簡単に説明する。

【0208】

まず、第2のアンテナ回路102で信号を受信する(STEP9401)。そして、第2のアンテナ回路102で受信した信号を第2の整流回路107で整流し、電力を得る(STEP9402)。第2の整流回路107から出力される電力は充放電制御回路9301に供給される。そして、バッテリー104の電圧が規定した電圧より小さいかを充放電制御回路9301は判別する(STEP9403)。そして、規定した電圧より小さいときには、充放電制御回路9301は第2の整流回路107から出力される電力を一定時間バッテリー104に供給してバッテリーを充電する(STEP9404)。規定した電圧以上のとき(STEP9403及びSTEP9404を繰り返して規定した電圧以上になった場合を含む)には充放電制御回路9301は第2の整流回路107から出力される電力をバッテリー104に供給しない(STEP9405)。第2のアンテナ回路102で信号が受信される度これらの動作が行われる。

【0209】

また、充放電制御回路9301は、バッテリー104の電圧が規定された電圧未満になったら、充放電制御回路9301によって、バッテリー104への充電を可能とし、バッテリー104の電圧が規定の電圧になったらバッテリー104への充電を停止する機能を有していてもよい。

【0210】

この場合のフローチャートの例を図38に示す。以下に、図38のフローチャートについて簡単に説明する。

【0211】

まず、第2のアンテナ回路102で信号を受信する(STEP9501)。そして、第2のアンテナ回路102で受信した信号を第2の整流回路107で整流し、電力を得る(STEP9502)。第2の整流回路107から出力される電力は充放電制御回路9301に供給される。そして、バッテリー104の電圧が規定した電圧V1より小さいかを充放電制御回路9301は判別する(STEP9503)。そして、規定した電圧V1より小さいときには、充放電制御回路9301は第2の整流回路107から出力される電力をバッテリー104に供給してバッテリーの電圧が規定した電圧V2(なお $V2 > V1$ とする)になるまで充電する(STEP9504)。規定した電圧V1以上のとき(STEP9504によりバッテリー104の電圧が電圧V1以上になった場合を含む)には充放電制御回路9301は第2の整流回路107から出力される電力をバッテリー104に供給しない(STEP9505)。第2のアンテナ回路102で信号が受信される度これらの動作が行われる。

【0212】

また、バッテリー104は、充電又は放電のいずれかを行うようにしてもよい。つまり、第1のアンテナ回路101で信号が受信されていないときには、充放電制御回路9301は、バッテリー104への充電を可能にし、第1のアンテナ回路101で信号を受信すると、充放電制御回路9301はバッテリー104への充電を停止し、バッテリー104からの放電を可能とする。

【0213】

この場合のフローチャートの例を図39に示す。以下に、図39のフローチャートにつ

10

20

30

40

50

いて簡単に説明する。

【0214】

まず、第2のアンテナ回路102で信号を受信する(STEP9601)。そして、第2のアンテナ回路102で受信した信号を第2の整流回路107で整流し、電力を得る(STEP9602)。第2の整流回路107から出力される電力は充放電制御回路9301に供給される。そして、第1のアンテナ回路101が信号を受信中のときには例えば論理回路110からその情報を伝達する信号が充放電制御回路9301に入力される(STEP9603)。そして、充放電制御回路9301は第2の整流回路107からバッテリー104への電力の供給を停止する(STEP9604)。第1のアンテナ回路101が信号を受信中でないときには、充放電制御回路9301は第2の整流回路107から出力される電力をバッテリー104に供給してバッテリー104の電圧を規定の電圧まで充電する(STEP9605及びSTEP9606)。規定の電圧になったら充放電制御回路9301は第2の整流回路107から出力される電力をバッテリー104に供給しない(STEP9604)。第2のアンテナ回路102で信号が受信される度これらの動作が行われる。

10

【0215】

また、第1のアンテナ回路101で信号を受信し、信号処理回路103で信号処理を行い、第1のアンテナ回路101から信号を送信した後、バッテリー104の消費電力分をバッテリー104へ充電可能とするような機能を充放電制御回路9301が有していてもよい。

20

【0216】

この場合のフローチャートの例を図40に示す。以下に、図40のフローチャートについて簡単に説明する。

【0217】

まず、第1のアンテナ回路101で信号を受信する(STEP9701)。そして、第1のアンテナ回路101で受信した信号を信号処理回路103で信号処理し、第1のアンテナ回路101から信号を送信する(STEP9702)。その後、充放電制御回路9301は、第2のアンテナ回路102で受信した信号から得られる電力をバッテリー104に供給し、バッテリーの電圧を規定の電圧まで充電する(STEP9703)。つまり、第1のアンテナ回路101で信号を送信する度、規定の電圧まで充電することにより、消費した電力分を充電することができる。

30

【0218】

また、充放電制御回路9301には、過充電を防止するだけでなく、過放電を防止する機能を設けていても良い。

【0219】

また、充放電制御回路9301には、急激な充電や急激な放電により、バッテリー104が劣化するのを防止する機能を有していてもよい。

【0220】

なお、本実施の形態は、本明細書中の他の実施の形態の記載と組み合わせて実施することが可能である。

40

【0221】

(実施の形態7)

本実施の形態では、アンテナ回路で受信した信号に同期させてバッテリーから出力される電圧を昇圧し、電源電圧を生成する本実施の形態に係る半導体装置の構成について説明する。

【0222】

図35は、本実施の形態に係る半導体装置の構成例を示すブロック図である。

【0223】

図35に示す半導体装置は、受信した信号に同期させてバッテリーから出力される電圧を昇圧する。そして、その昇圧した電圧を、不揮発性メモリへ書き込むデータの振幅を大

50

きくするためのレベルシフト回路の電源に用いている。

【0224】

本実施の形態に係る半導体装置9100は、アンテナ回路9101と、信号処理回路9102と、バッテリー9114と、を有する。

【0225】

アンテナ回路9101のアンテナ形状としては、様々な形態をとることができる。例えば、いわゆる、ダイポールアンテナ、ループアンテナ、八木アンテナ、パッチアンテナ又は微小アンテナなどの形状をとることができる。信号処理回路に含まれるトランジスタを形成する基板上にアンテナも形成する場合には、好ましくは、アンテナ形状を微小ループアンテナや、微小ダイポールアンテナなどの形状のアンテナとするとよい。

10

【0226】

また、アンテナ回路9101には、受信した信号の周波数を変更する手段を有していても良い。例えば、アンテナ形状がループアンテナのとき、アンテナを構成するアンテナコイルと、コンデンサとにより共振回路を形成していてもよい。

【0227】

バッテリー9114には、リチウムイオン電池、リチウム二次電池、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池、銀亜鉛電池などの二次電池が適用可能であるが、これには限定されない。また大容量のコンデンサなどを適用してもよい。特に、リチウムイオン電池やリチウム二次電池は充放電容量が大きいので、本実施の形態に係る半導体装置に備えるバッテリーに適用することで小型化を図ることができる。なお、リチウムイオン電池の活物質や電解質をスパッタリング法により形成することにより、バッテリー9114を信号処理回路9102が形成された基板上に形成してもよいし、アンテナ回路9101が形成された基板上に形成されていてもよい。信号処理回路9102やアンテナ回路9101が形成された基板上にバッテリー9114を形成することにより、歩留まりが向上する。金属リチウム電池は、正極活物質にリチウムイオン含有遷移金属酸化物、金属酸化物、金属硫化物、鉄系化合物、導電性ポリマー若しくは有機イオウ系化合物等を用い、負極活物質にリチウム（合金）、電解質に有機系電解液若しくはポリマー電解質などを用いることでより充放電容量の大きなバッテリー9114とすることができる。

20

【0228】

信号処理回路9102は、整流回路9103と、電源回路9104と、復調回路9105と、論理回路9106と、メモリコントロール回路9107と、メモリ回路9108と、論理回路9109と、変調回路9110と、レベルシフト回路9111と、昇圧回路9112と、スイッチ9113と、を有している。メモリ回路9108には、不揮発性メモリを適用することができる。

30

【0229】

整流回路9103は、アンテナ回路9101で受信した交流信号を整流し、平滑する。そして、整流回路9103から出力される電圧は、電源回路9104に供給される。電源回路9104では、所望の電圧が生成される。そして、電源回路9104から信号処理回路9102の様々な回路の電源となる電圧を供給する。

40

【0230】

本実施の形態に係る半導体装置の信号処理については以下のとおりである。アンテナ回路9101によって受信された通信信号が復調回路9105に入力される。通常、通信信号は13.56MHz、915MHzなどのキャリアをASK変調、PSK変調などの処理をおこなって送られてくる。

【0231】

図35は13.56MHzの通信信号を用いた場合の例である。ASK変調やPSK変調された通信信号は、アンテナ回路9101で受信され、復調回路9105で復調される。復調後の信号は論理回路9106に送られ解析される。論理回路9106で解析された信号はメモリコントロール回路9107に送られ、メモリコントロール回路9107によ

50

りメモリ回路 9108 が制御される。

【0232】

メモリコントロール回路 9107 に送られた信号が、メモリ回路 9108 からのデータの読み出し命令を含む場合には、メモリコントロール回路 9107 は、メモリ回路 9108 に記憶されたデータを取り出し、そしてデータを論理回路 9109 に送る。論理回路 9109 に送られたデータは、論理回路 9109 でエンコード処理されたのち、その信号によって、変調回路 9110 はキャリアに変調をかける。

【0233】

次に、メモリコントロール回路 9107 に送られた信号が、メモリ回路 9108 へのデータの書き込み命令を含む場合には、メモリコントロール回路 9107 は、スイッチ 9113 をオンにする。すると、バッテリー 9114 から昇圧回路 9112 に電圧が供給され、供給された電圧は昇圧回路 9112 によって昇圧される。そして、レベルシフト回路 9111 は、メモリコントロール回路 9107 から入力されるメモリ回路 9108 に書き込むデータを、昇圧回路 9112 によって昇圧された電圧を用いてレベルシフトする。レベルシフトされ、振幅の大きくなったデータをメモリ回路 9108 に書き込む。

【0234】

このようにして、本実施の形態に係る半導体装置は動作する。

【0235】

ここでは 13.56MHz の通信信号について述べたが本発明は 13.56MHz に限定されるものではなく、125KHz、UHF 帯周波数、2.45GHz その他の周波数においても実現することが可能である。また、ブロック構成についても図 35 に示した以外の構成でも実現は可能である。

【0236】

なお、本実施の形態は、本明細書中の他の実施の形態の記載と組み合わせて実施することが可能である。

【0237】

(実施の形態 8)

本実施の形態では、アンテナ回路で受信した信号に同期させてバッテリーから出力される電圧を用いることで、遠方への送信を可能とする本実施の形態に係る半導体装置の構成について説明する。

【0238】

図 36 は、本実施の形態に係る半導体装置の構成例を示すブロック図である。

【0239】

図 36 に示す半導体装置は、受信した信号により、送信距離を判別し、送信距離が近い場合には変調回路によって変調された信号をアンテナ回路に供給し、送信距離が遠い場合には変調回路によって変調された信号をアンプにより増幅してアンテナ回路に供給する。そして、アンプの電源にはバッテリーの電圧を用いる。

【0240】

本発明の実施の形態に係る半導体装置 9200 は、アンテナ回路 9201 と、信号処理回路 9202 と、バッテリー 9215 とを有する。

【0241】

アンテナ回路 9201 のアンテナ形状としては、様々な形態をとることができる。例えば、いわゆる、ダイポールアンテナ、ループアンテナ、八木アンテナ、パッチアンテナ又は微小アンテナなどの形状をとることができる。信号処理回路に含まれるトランジスタを形成する基板上にアンテナも形成する場合には、好ましくは、アンテナ形状を微小ループアンテナや、微小ダイポールアンテナなどの形状のアンテナとするとよい。

【0242】

また、アンテナ回路 9201 には、受信した信号の周波数を変更する手段を有していても良い。例えば、アンテナ形状がループアンテナのとき、アンテナを構成するアンテナコイルと、コンデンサとにより共振回路を形成していてもよい。

【 0 2 4 3 】

バッテリー 9 2 1 5 には、リチウムイオン電池、リチウム二次電池、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池、銀亜鉛電池などの二次電池が適用可能であるが、これには限定されない。また大容量のコンデンサなどを適用してもよい。特に、リチウムイオン電池やリチウム二次電池は充放電容量が大きいので、本発明の第 2 の実施の形態に係る半導体装置に備えるバッテリーに適用することで小型化を図ることができる。なお、リチウムイオン電池の活物質や電解質をスパッタリング法により形成することにより、バッテリー 9 2 1 5 を信号処理回路 9 2 0 2 が形成された基板上に形成してもよいし、アンテナ回路 9 2 0 1 が形成された基板上に形成されていてもよい。信号処理回路 9 2 0 2 やアンテナ回路 9 2 0 1 が形成された基板上にバッテリー 9 2 1 5 を形成することにより、歩留まりが向上する。金属リチウム電池は、正極活物質にリチウムイオン含有遷移金属酸化物、金属酸化物、金属硫化物、鉄系化合物、導電性ポリマー若しくは有機イオウ系化合物等を用い、負極活物質にリチウム（合金）、電解質に有機系電解液若しくはポリマー電解質などを用いることでより充放電容量の大きなバッテリー 9 2 1 5 とすることができる。

10

【 0 2 4 4 】

信号処理回路 9 2 0 2 は、整流回路 9 2 0 3 と、電源回路 9 2 0 4 と、復調回路 9 2 0 5 と、論理回路 9 2 0 6 と、メモリコントロール回路 9 2 0 7 と、メモリ回路 9 2 0 8 と、論理回路 9 2 0 9 と、変調回路 9 2 1 0 と、アンプ 9 2 1 1 と、スイッチ 9 2 1 2 と、スイッチ 9 2 1 3 と、スイッチ 9 2 1 4 と、を有している。メモリ回路 9 2 0 8 には、様々なメモリを適用することができる。例えば、マスク R O M や不揮発性メモリを適用することができる。

20

【 0 2 4 5 】

整流回路 9 2 0 3 は、アンテナ回路 9 2 0 1 で受信した交流信号を整流し、平滑する。そして、整流回路 9 2 0 3 から出力される電圧は、電源回路 9 2 0 4 に供給される。電源回路 9 2 0 4 では、所望の電圧が生成される。そして、電源回路 9 2 0 4 から信号処理回路 9 2 0 2 の様々な回路の電源となる電圧を供給する。

【 0 2 4 6 】

本発明の第 2 の実施の形態に係る半導体装置の信号処理については以下のとおりである。アンテナ回路 9 2 0 1 によって受信された通信信号が復調回路 9 2 0 5 に入力される。通常、通信信号は 1 3 . 5 6 M H z 、 9 1 5 M H z などのキャリアを A S K 変調、P S K 変調などの処理をおこなって送られてくる。

30

【 0 2 4 7 】

図 3 6 は 1 3 . 5 6 M H z の通信信号を用いた場合の例である。A S K 変調や P S K 変調された通信信号は、アンテナ回路 9 2 0 1 で受信され、復調回路 9 2 0 5 で復調される。復調後の信号は論理回路 9 2 0 6 に送られ解析される。論理回路 9 2 0 6 で解析された信号はメモリコントロール回路 9 2 0 7 に送られ、それに基づき、メモリコントロール回路 9 2 0 7 はメモリ回路 9 2 0 8 を制御する。そして、メモリコントロール回路 9 2 0 7 は、メモリ回路 9 2 0 8 に記憶されたデータを読み出し論理回路 9 2 0 9 に送る。論理回路 9 2 0 9 に送られたデータは、論理回路 9 2 0 9 でエンコード処理されたのち、その信号によって、変調回路 9 2 1 0 はキャリアに変調をかける。そして、送信距離が近い場合には、変調をかけた信号はアンテナ回路 9 1 0 1 に送られ、送信距離が遠い場合には、変調をかけた信号はまずアンプ 9 2 1 1 に送られ、信号が増幅されてから、アンテナ回路 9 1 0 1 に送られる。

40

【 0 2 4 8 】

つまり、論理回路 9 2 0 6 に送られた信号によって、送信距離が遠いか近いかが判別され、論理回路 9 2 0 6 によりスイッチ 9 2 1 2、スイッチ 9 2 1 3 及びスイッチ 9 2 1 4 が制御される。送信距離が近いと判断された場合には、スイッチ 9 2 1 3 は変調回路 9 2 1 0 とアンテナ回路 9 2 0 1 とを接続し、スイッチ 9 2 1 2 及びスイッチ 9 2 1 4 はオフにする。送信距離が遠いと判断された場合には、スイッチ 9 2 1 3 は変調回路 9 2 1 0 と

50

アンプ 9 2 1 1 とを接続し、スイッチ 9 2 1 2 及びスイッチ 9 2 1 4 はオンにする。つまり、送信距離が遠いと判断された場合には、アンプ 9 2 1 1 は電源としてバッテリー 9 2 1 5 から出力される電圧を用いて、変調回路 9 2 1 0 から出力された信号を増幅してアンテナ回路 9 2 0 1 に送る。

【 0 2 4 9 】

なお、送信距離の判別方法としては、あらかじめ送信距離を判別するための制御信号を論理回路 9 2 0 6 に送ってもよいし、復調回路 9 2 0 5 によって復調された信号の大きさで判別してもよい。

【 0 2 5 0 】

なお、本実施の形態は、本明細書中の他の実施の形態の記載と組み合わせて実施することが可能である。

【実施例 1】

【 0 2 5 1 】

本実施例では、本発明の無線通信によりデータの交信を行う半導体装置（以下、RFIDという）の用途について説明する。本発明の半導体装置は、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等）、包装用容器類（包装紙やボトル等）、記録媒体（DVDソフトやビデオテープ等）、乗物類（自転車等）、身の回り品（鞆や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、電子機器等の商品や荷物の荷札等の物品に設ける、いわゆるIDラベル、IDタグ、IDカードとして使用することができる。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置（単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ）及び携帯電話等を指す。

【 0 2 5 2 】

本実施例では、図 3 0 を参照して、本発明の応用例、及びそれらを付した商品の一例について説明する。

【 0 2 5 3 】

図 3 0 (A) は、本発明に係る RFID を有する半導体装置の完成品の状態の一例である。ラベル台紙 3 0 0 1 （セパレート紙）上に、RFID 3 0 0 2 を内蔵した複数の ID ラベル 3 0 0 3 が形成されている。ID ラベル 3 0 0 3 は、ボックス 3 0 0 4 内に収納されている。また、ID ラベル 3 0 0 3 上には、その商品や役務に関する情報（商品名、ブランド、商標、商標権者、販売者、製造者等）が記されており、一方、内蔵されている RFID には、その商品（又は商品の種類）固有の ID ナンバーが付されており、偽造や、商標権、特許権等の知的財産権侵害、不正競争等の不法行為を容易に把握することができる。また、RFID 内には、商品の容器やラベルに明記しきれない多大な情報、例えば、商品の産地、販売地、品質、原材料、効能、用途、数量、形状、価格、生産方法、使用方法、生産時期、使用時期、賞味期限、取扱説明、商品に関する知的財産情報等を入力しておくことができ、取引者や消費者は、簡易なリーダによって、それらの情報にアクセスすることができる。

【 0 2 5 4 】

図 3 0 (B) は、RFID 3 0 1 2 を内蔵したラベル状の ID タグ 3 0 1 1 を示している。ID タグ 3 0 1 1 を商品に備え付けることにより、商品管理が容易になる。例えば、商品が盗難された場合に、商品の経路を辿ることによって、その商品が流通経路のどこで盗難されたかを迅速に把握することができる。このように、ID タグを備えることにより、所謂トレーサビリティに優れた商品を流通させることができる。

【 0 2 5 5 】

図 3 0 (C) は、本発明に係る RFID 3 0 2 2 を内包した ID カード 3 0 2 1 の完成品の状態の一例である。上記 ID カード 3 0 2 1 としては、キャッシュカード、クレジットカード、プリペイドカード、電子乗車券、電子マネー、テレフォンカード、会員カード等のあらゆるカード類が含まれる。

【 0 2 5 6 】

図 3 0 (D) は、無記名債券 3 0 3 1 の完成品の状態を示している。無記名債券 3 0 3

10

20

30

40

50

1 には、R F I D 3 0 3 2 が埋め込まれており、その周囲は樹脂によって成形され、R F I D を保護している。ここで、該樹脂中にはフィラーが充填された構成となっている。無記名債券 3 0 3 1 は、本発明に係る I D ラベル、I D タグ、I D カードと同じ要領で作成することができる。なお、上記無記名債券類には、切手、切符、チケット、入場券、商品券、図書券、文具券、ビール券、おこめ券、各種ギフト券、各種サービス券等が含まれるが、勿論これらに限定されるものではない。また、紙幣、硬貨、有価証券類、無記名債券類、証書類等に本発明の R F I D 3 0 3 2 を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。

【 0 2 5 7 】

図 3 0 (E) は、本発明に係る R F I D 3 0 4 2 を内包した I D ラベル 3 0 4 1 を貼付した書籍 3 0 4 3 を示している。本発明の R F I D 3 0 4 2 は、表面に貼ったり、埋め込んだりして、物品に固定される。図 3 0 (E) に示すように、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりして、各物品に固定される。本発明の R F I D 3 0 4 2 は、小型、薄型、軽量を実現するため、物品に固定した後も、その物品自体のデザイン性を損なうことがない。

【 0 2 5 8 】

また、ここでは図示しないが、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明の R F I D を設けることにより、検品システム等のシステムの効率化を図ることができる。また乗物類に R F I D を設けることにより、偽造や盗難を防止することができる。また、動物等の生き物に埋め込むことによって、個々の生き物の識別を容易に行うことができる。例えば、家畜等の生き物に無線タグを埋め込むことによって、生まれた年や性別または種類等を容易に識別することが可能となる。

【 0 2 5 9 】

図 3 3 (A)、(B) は、本発明に係る I D ラベル 2 5 0 2 を貼付した書籍 2 7 0 1、及びペットボトル 2 7 0 2 を示している。本発明に用いられる I D ラベルは非常に薄いため、上記書籍等の物品に I D ラベルを搭載しても、機能、デザイン性を損ねることがない。更に、非接触型薄膜集積回路装置の場合、アンテナとをチップとを一体形成でき、曲面を有する商品に直接転写することが容易になる。

【 0 2 6 0 】

図 3 3 (C) は、果物類 2 7 0 5 の生鮮食品に、直接 I D ラベル 2 5 0 2 を貼り付けた状態を示している。また、図 3 3 (D) は、包装用フィルム類によって、野菜類 2 7 0 4 の生鮮食品を包装した一例を示している。また、なお、チップ 2 5 0 1 を商品に貼り付けた場合、剥がされる可能性があるが、包装用フィルム類によって商品にくるんだ場合、包装用フィルム 2 7 0 3 類を剥がすのは困難であるため、防犯対策上多少のメリットはある。なお、上述した商品以外にも、あらゆる商品に、本発明に係るチップを利用することができる。

【 符号の説明 】

【 0 2 6 1 】

1 0 0	R F I D
1 0 1	アンテナ回路
1 0 2	アンテナ回路
1 0 3	信号処理回路
1 0 4	バッテリー
1 0 5	整流回路
1 0 6	電源回路
1 0 7	整流回路
1 0 8	復調回路
1 0 9	アンプ
1 1 0	論理回路
1 1 1	メモリコントロール回路

10

20

30

40

50

1 1 2	メモリ回路	
1 1 3	論理回路	
1 1 4	アンプ	
1 1 5	変調回路	
2 0 1	リーダ／ライタ	
2 0 2	無線信号	
3 0 2	チップ	
3 0 3	アンテナ	
4 0 1	アンテナ	
4 0 2	共振容量	10
4 0 3	アンテナ回路	
4 0 4	ダイオード	
4 0 5	ダイオード	
4 0 6	平滑容量	
4 0 7	整流回路	
5 0 1	受信部	
5 0 2	送信部	
5 0 3	制御部	
5 0 4	インターフェース部	
5 0 5	アンテナ回路	20
5 0 6	上位装置	
5 0 7	アンテナ	
5 0 8	共振容量	
7 0 1	基板	
7 0 2	チップ	
7 0 3	バッテリー	
7 0 4	アンテナ回路	
7 0 6	リーダ／ライタ	
7 0 7	無線信号	
7 1 1	接続端子	30
7 1 2	接続端子	
7 2 0	素子形成層	
7 2 1	基板	
7 2 2	ブースターアンテナ	
1 0 0 1	抵抗	
1 0 0 2	トランジスタ	
1 0 0 4	電流供給用抵抗	
1 0 0 5	トランジスタ	
1 0 0 7	トランジスタ	
1 0 0 9	トランジスタ	40
1 0 1 0	抵抗	
1 1 0 2	信号処理回路	
1 2 0 1	ブースターアンテナ	
1 2 0 1 a	ブースターアンテナ	
1 2 0 1 b	ブースターアンテナ	
1 9 0 1	基板	
1 9 0 2	絶縁膜	
1 9 0 3	剥離層	
1 9 0 4	絶縁膜	
1 9 0 5	半導体膜	50

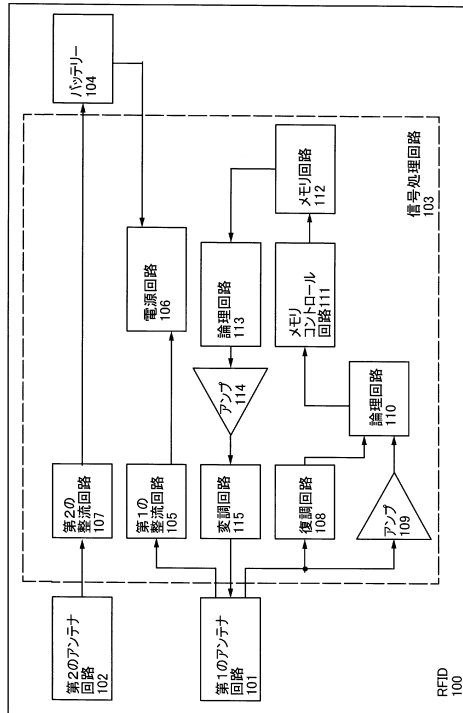
1 9 0 6	ゲート絶縁膜	
1 9 0 7	ゲート電極	
1 9 0 8	不純物領域	
1 9 0 9	不純物領域	
1 9 1 0	絶縁膜	
1 9 1 1	不純物領域	
1 9 1 3	導電膜	
1 9 1 4	絶縁膜	
1 9 1 8	絶縁膜	
1 9 1 9	素子形成層	10
1 9 2 0	シート材	
1 9 2 1	シート材	
1 9 3 5	基板	
1 9 3 7	樹脂	
1 9 3 8	導電性粒子	
2 0 2 a	電波	
2 0 2 b	電波	
2 4 0 1	基板	
2 4 0 2	絶縁膜	
2 4 0 3	剥離層	20
2 4 0 4	絶縁膜	
2 4 0 5	導電膜	
2 4 0 6	絶縁膜	
2 4 0 7	絶縁膜	
2 4 0 9	ゲート絶縁膜	
2 4 1 0	ゲート電極	
2 4 1 1	不純物領域	
2 4 1 2	絶縁膜	
2 4 1 3	導電膜	
2 4 1 4	絶縁膜	30
2 4 1 6	導電膜	
2 4 1 7	絶縁膜	
2 4 1 8	シート材	
2 4 1 9	シート材	
2 4 3 2	基板	
2 4 3 4	樹脂	
2 4 3 5	導電性粒子	
2 4 3 6	基板	
2 5 0 1	チップ	
2 5 0 2	I D ラベル	40
2 7 0 1	書籍	
2 7 0 2	ペットボトル	
2 7 0 3	包装用フィルム	
2 7 0 4	野菜類	
2 7 0 5	果物類	
3 0 0 1	ラベル台紙	
3 0 0 2	R F I D	
3 0 0 3	I D ラベル	
3 0 0 4	ボックス	
3 0 1 1	I D タグ	50

3 0 1 2	R F I D	
3 0 2 1	I D カード	
3 0 2 2	R F I D	
3 0 3 1	無記名債券	
3 0 3 2	R F I D	
3 0 4 1	I D ラベル	
3 0 4 2	R F I D	
3 0 4 3	書籍	
3 1 0 0	R F I D	
3 1 0 1	アンテナ回路	10
3 1 0 2	信号処理回路	
3 1 0 3	電池	
3 1 0 4	電源回路	
3 1 0 5	復調回路	
3 1 0 6	アンプ	
3 1 0 7	論理回路	
3 1 0 8	メモリコントロール回路	
3 1 0 9	メモリ回路	
3 1 1 0	論理回路	
3 1 1 1	アンプ	20
3 1 1 2	変調回路	
3 2 0 0	R F I D	
3 2 0 1	アンテナ回路	
3 2 0 2	信号処理回路	
3 2 0 3	整流回路	
3 2 0 4	電源回路	
3 2 0 5	復調回路	
3 2 0 6	アンプ	
3 2 0 7	論理回路	
3 2 0 8	メモリコントロール回路	30
3 2 0 9	メモリ回路	
3 2 1 0	論理回路	
3 2 1 1	アンプ	
3 2 1 2	変調回路	
3 4 0 1	カーブ	
3 4 0 2	カーブ	
3 4 0 3	カーブ	
3 4 0 4	カーブ	
7 0 1 a	基板	
7 0 1 b	基板	40
7 0 2 a	チップ	
7 0 2 b	チップ	
7 0 5 a	アンテナ回路	
9 1 0 0	半導体装置	
9 1 0 1	アンテナ回路	
9 1 0 2	信号処理回路	
9 1 0 3	整流回路	
9 1 0 4	電源回路	
9 1 0 5	復調回路	
9 1 0 6	論理回路	50

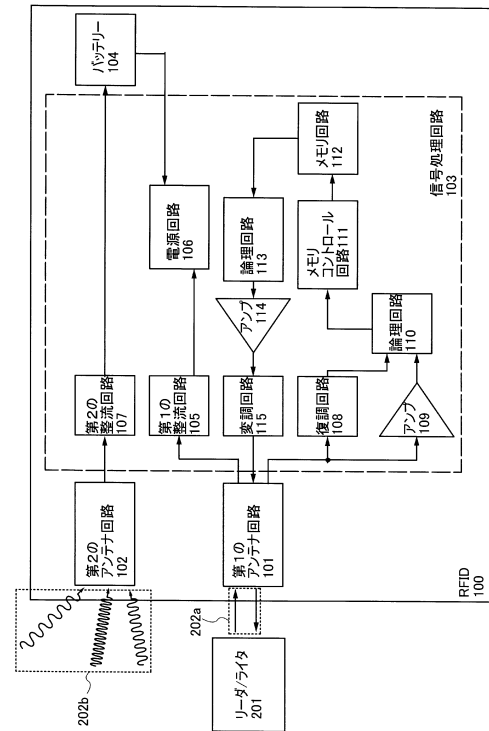
9 1 0 7	メモリコントロール回路	
9 1 0 8	メモリ回路	
9 1 0 9	論理回路	
9 1 1 0	変調回路	
9 1 1 1	レベルシフト回路	
9 1 1 2	昇圧回路	
9 1 1 3	スイッチ	
9 1 1 4	バッテリー	
9 2 0 0	半導体装置	
9 2 0 1	アンテナ回路	10
9 2 0 2	信号処理回路	
9 2 0 3	整流回路	
9 2 0 4	電源回路	
9 2 0 5	復調回路	
9 2 0 6	論理回路	
9 2 0 7	メモリコントロール回路	
9 2 0 8	メモリ回路	
9 2 0 9	論理回路	
9 2 1 0	変調回路	
9 2 1 1	アンプ	20
9 2 1 2	スイッチ	
9 2 1 3	スイッチ	
9 2 1 4	スイッチ	
9 2 1 5	バッテリー	
9 3 0 1	充放電制御回路	
9 9 0 1	信号処理回路	
9 9 0 2	上部電極	
9 9 0 3	下部電極	
9 9 0 4	バッテリー	
9 9 0 5	側部電極	30
9 9 0 6	基板	
9 9 0 7	アンテナ回路	
9 9 0 8	基板	
9 9 0 9	ブースターアンテナ	
9 9 1 2	上部電極	
9 9 1 3	側部電極	
9 9 1 5	下部電極	
1 9 0 0 a	薄膜トランジスタ	
1 9 0 0 b	薄膜トランジスタ	
1 9 0 0 c	薄膜トランジスタ	40
1 9 0 0 d	薄膜トランジスタ	
1 9 0 0 e	薄膜トランジスタ	
1 9 0 0 f	薄膜トランジスタ	
1 9 0 5 a	半導体膜	
1 9 0 5 b	半導体膜	
1 9 0 5 c	半導体膜	
1 9 0 7 a	導電膜	
1 9 0 7 b	導電膜	
1 9 1 2 a	絶縁膜	
1 9 1 2 b	絶縁膜	50

1 9 1 5 a	導電膜	
1 9 1 6 a	導電膜	
1 9 1 7 a	導電膜	
1 9 1 7 b	導電膜	
1 9 3 1 a	導電膜	
1 9 3 2 a	開口部	
1 9 3 4 a	導電膜	
1 9 3 4 b	導電膜	
1 9 3 6 a	導電膜	
1 9 3 6 b	導電膜	10
2 4 0 0 a	薄膜トランジスタ	
2 4 0 0 b	薄膜トランジスタ	
2 4 0 0 c	薄膜トランジスタ	
2 4 0 0 d	素子	
2 4 0 5 a	導電膜	
2 4 0 5 d	導電膜	
2 4 0 5 e	配線	
2 4 0 8 a	半導体膜	
2 4 1 5 a	導電膜	
2 4 1 6 a	導電膜	20
2 4 1 6 b	導電膜	
2 4 3 1 a	導電膜	
2 4 3 1 b	導電膜	
2 4 3 1 c	導電膜	
2 4 3 2 a	導電膜	
2 4 3 3 a	導電膜	
2 4 3 3 b	導電膜	

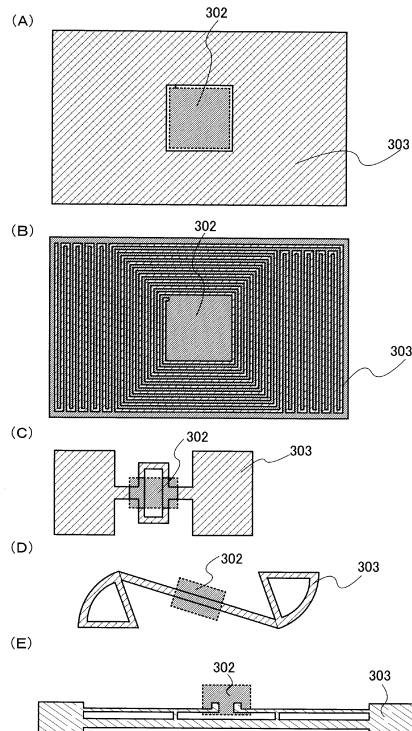
【図 1】



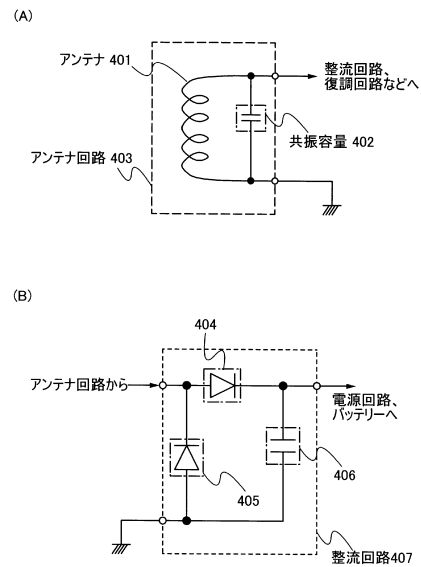
【図 2】



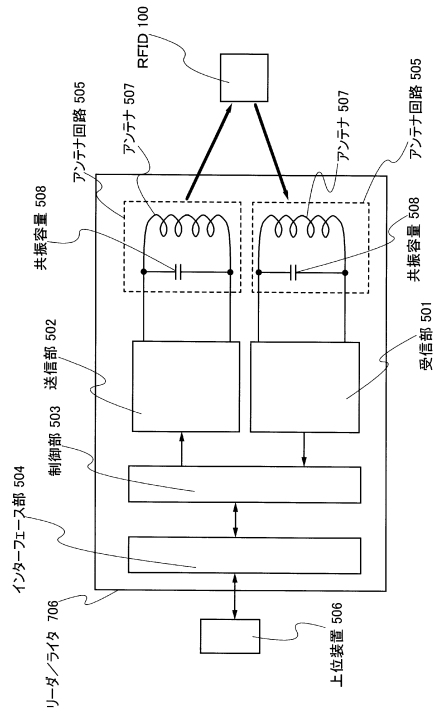
【図 3】



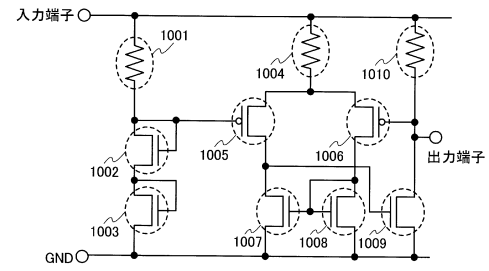
【図 4】



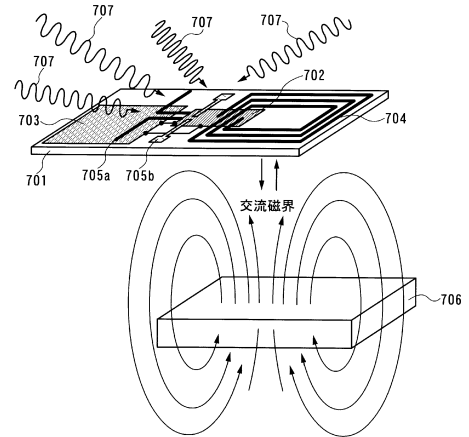
【図 5】



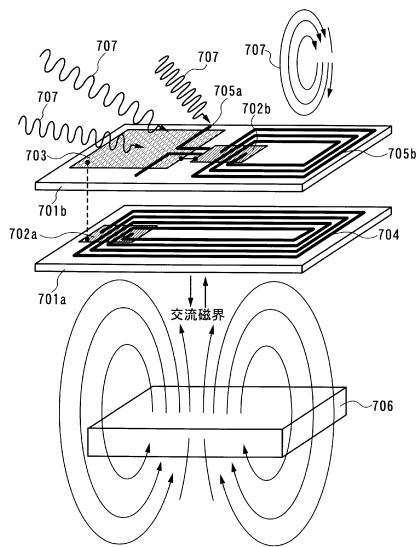
【図 6】



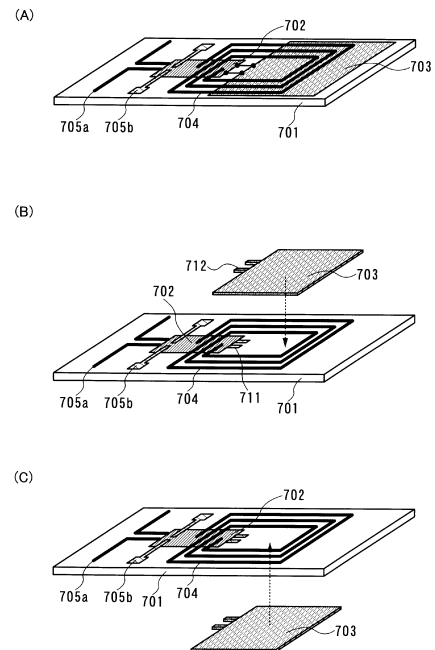
【図 7】



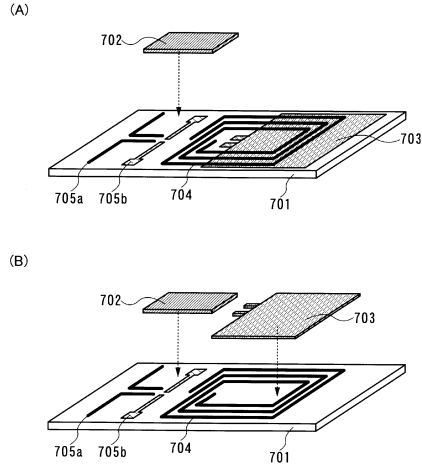
【図 8】



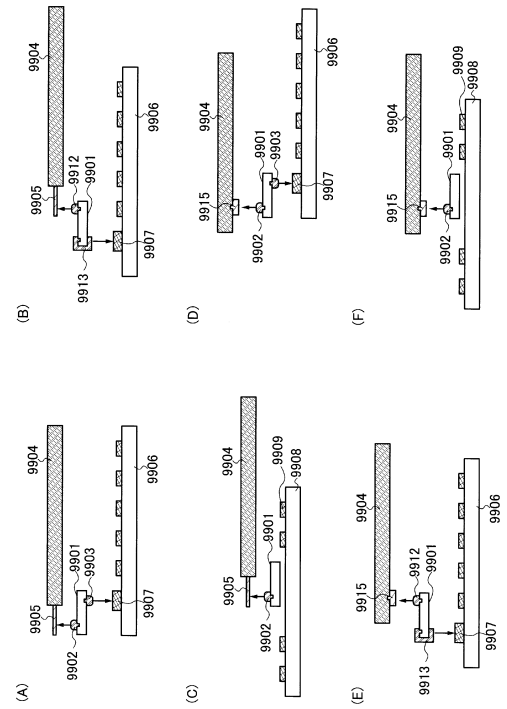
【図 9】



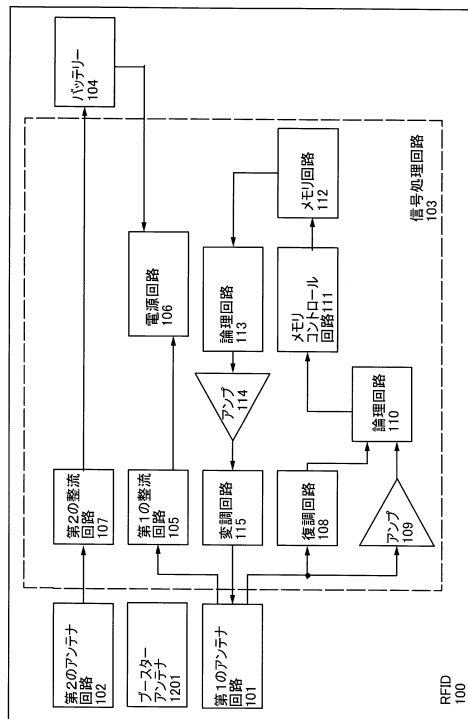
【 図 1 0 】



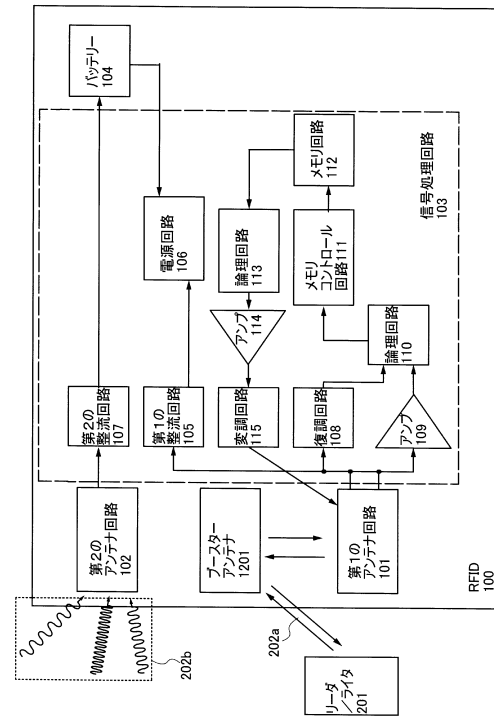
【 図 1 1 】



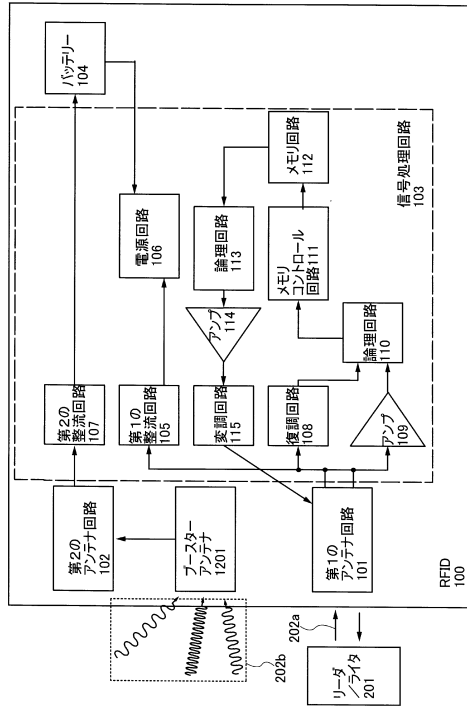
【 図 1 2 】



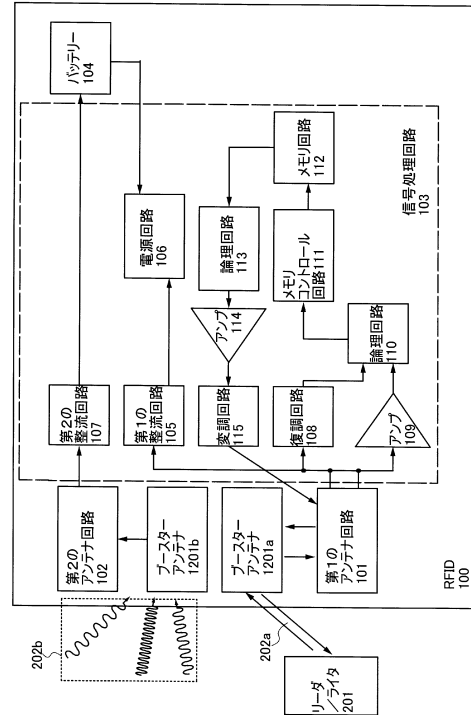
【 図 1 3 】



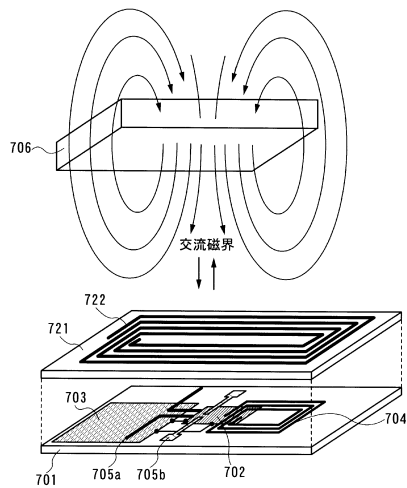
【 図 1 4 】



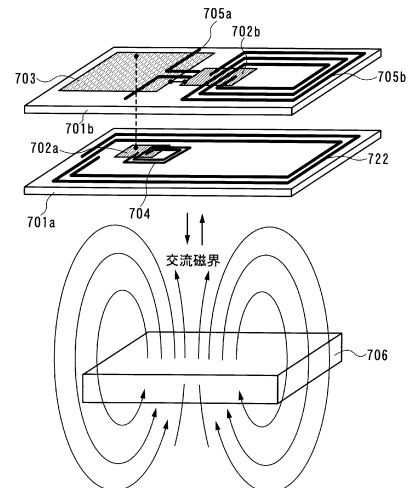
【 図 1 5 】



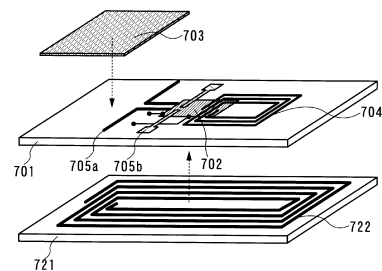
【 図 1 6 】



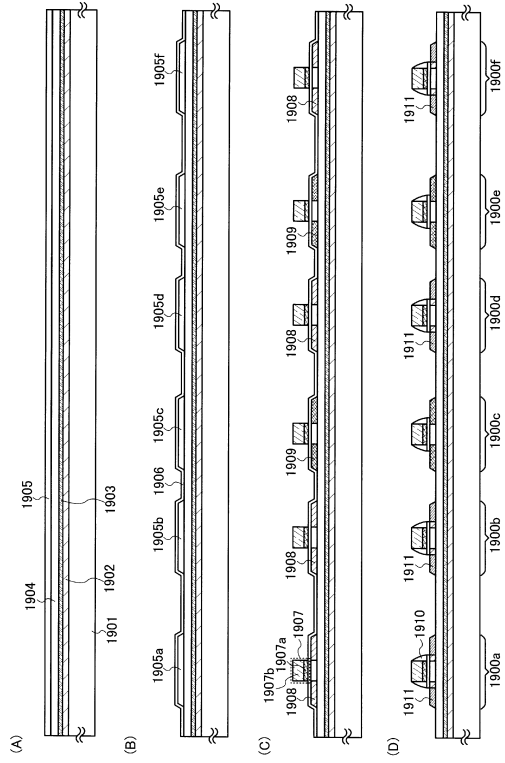
【 図 1 7 】



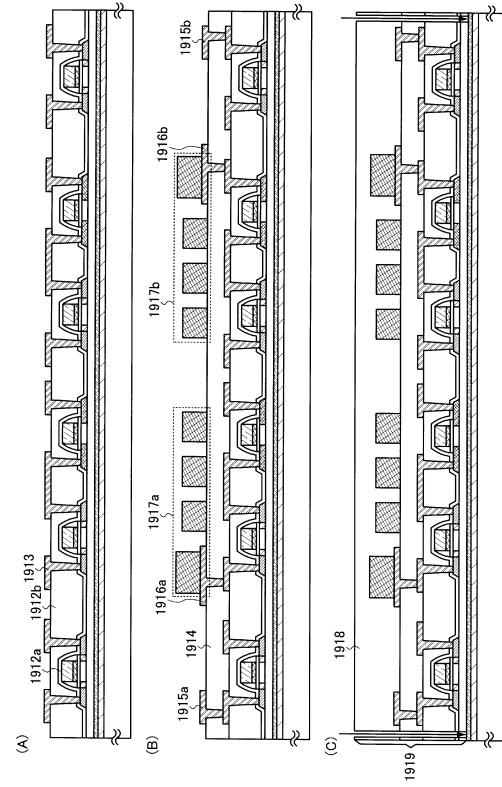
【 図 1 8 】



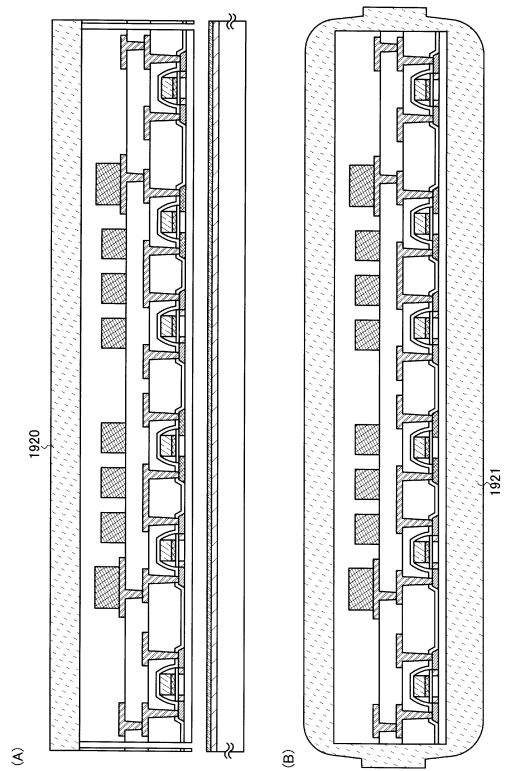
【図 19】



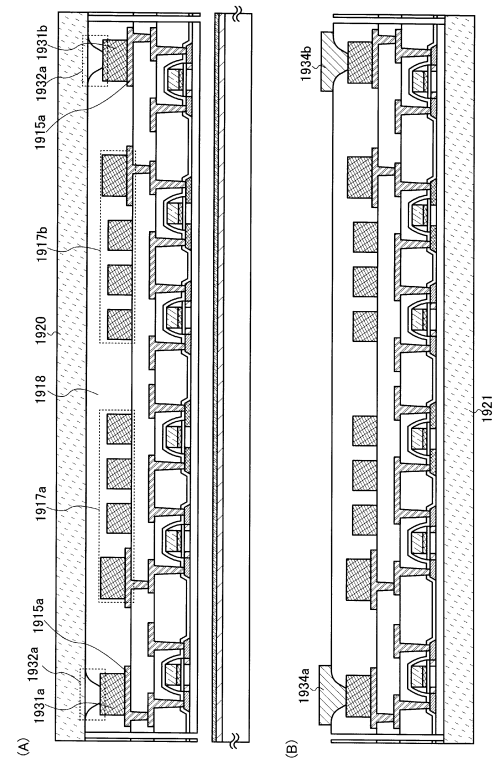
【図 20】



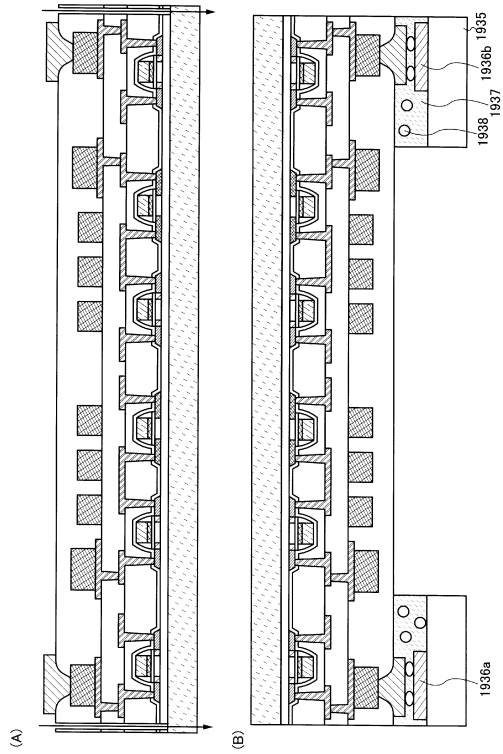
【図 21】



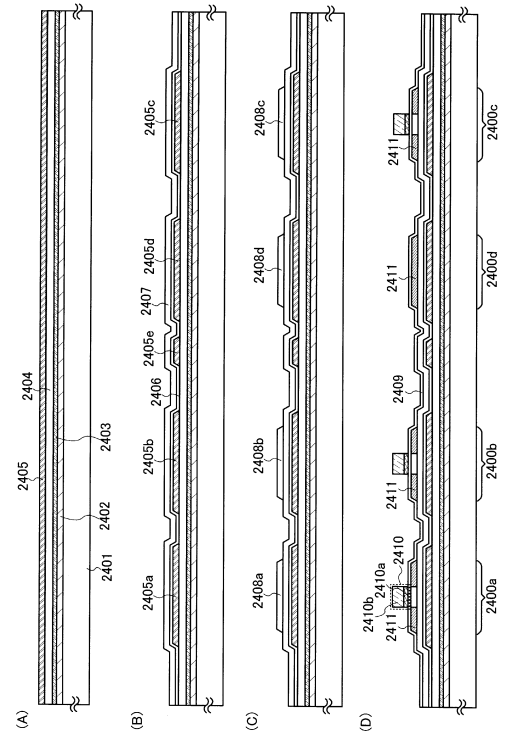
【図 22】



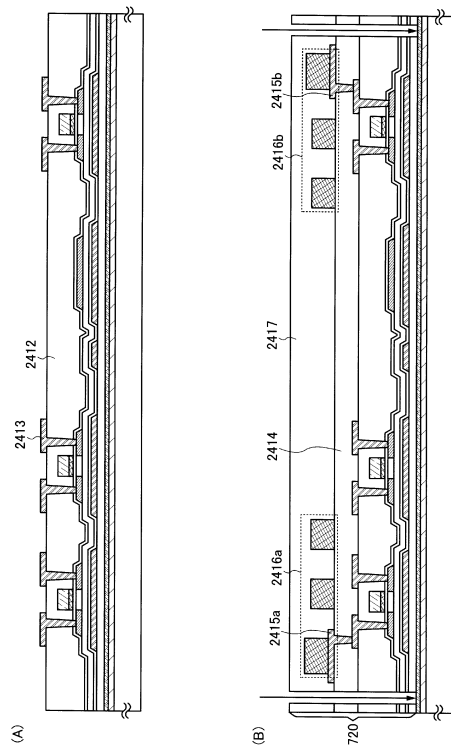
【図 23】



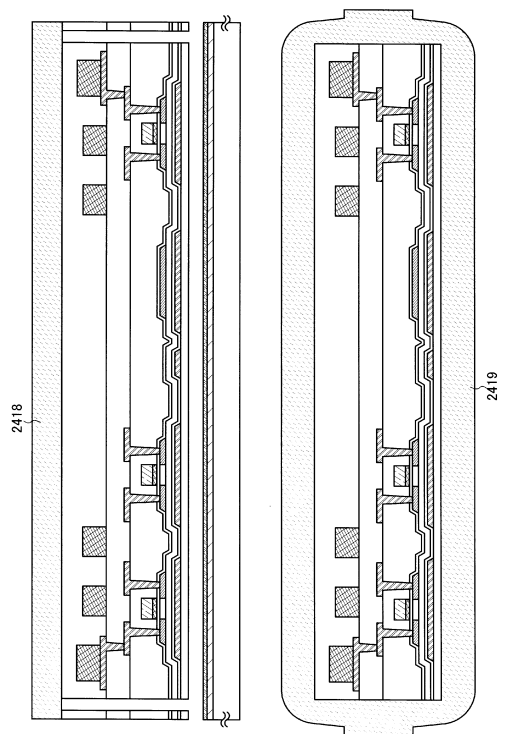
【図 24】



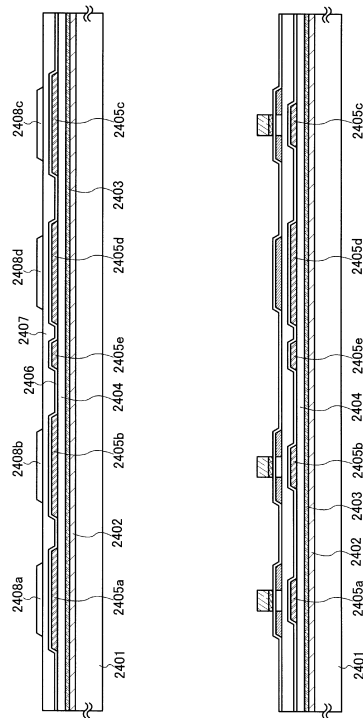
【図 25】



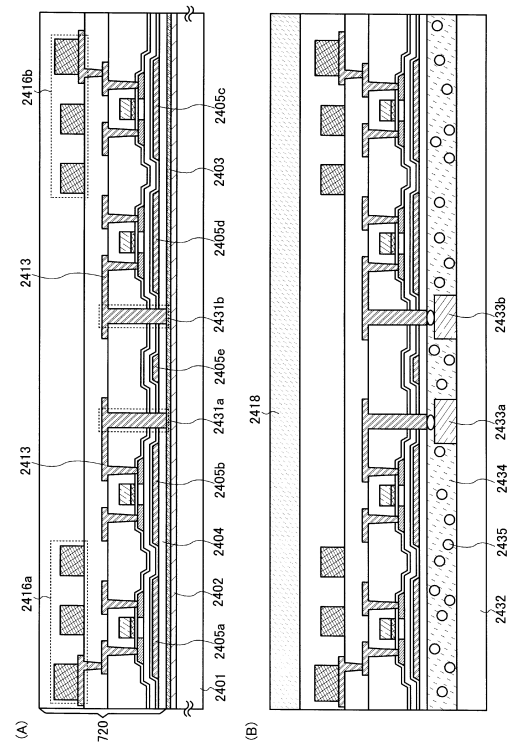
【図 26】



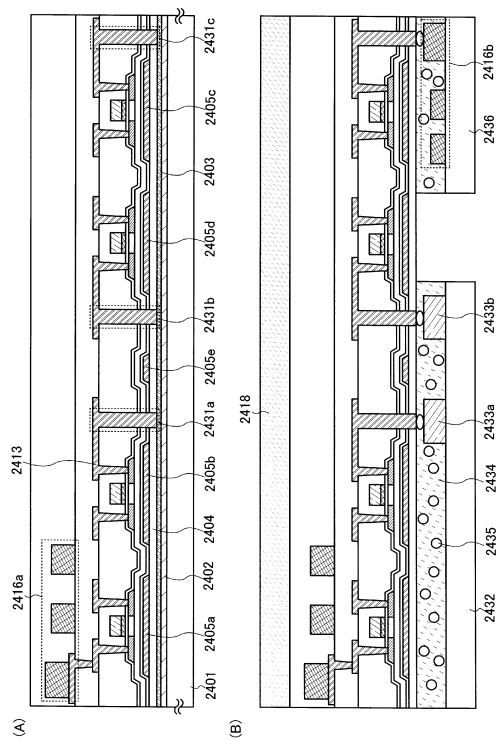
【図 27】



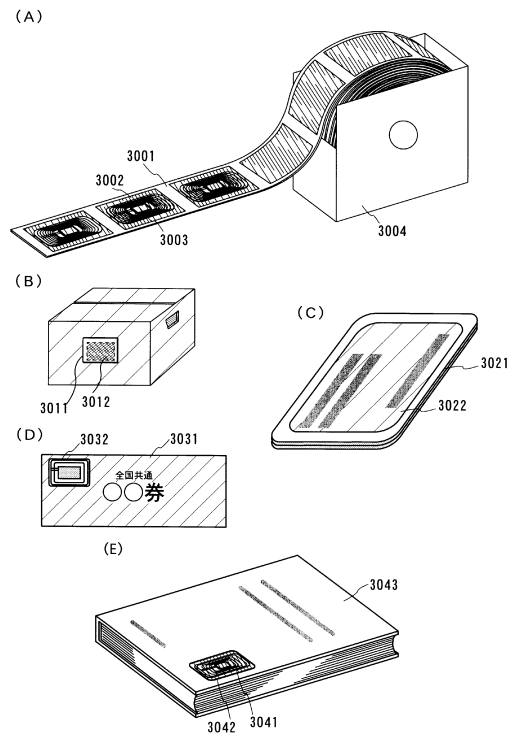
【図 28】



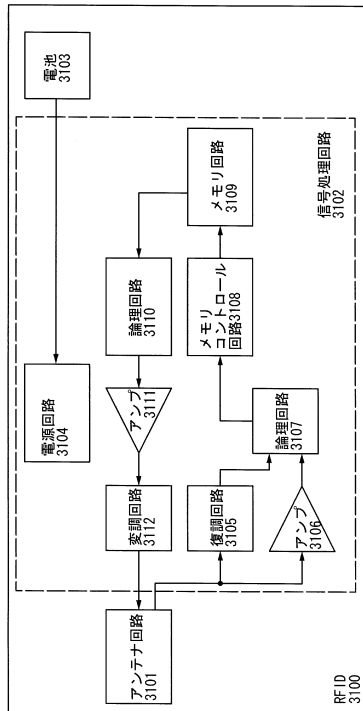
【図 29】



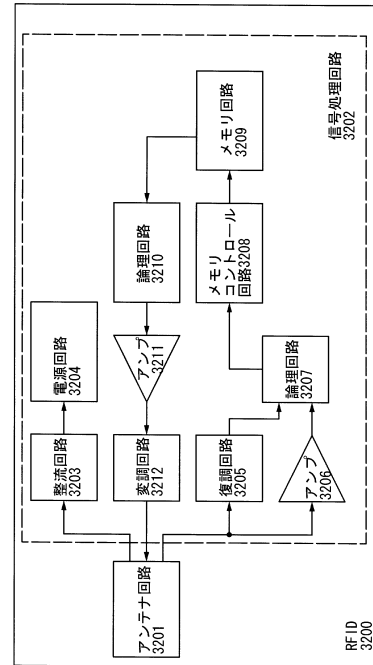
【図 30】



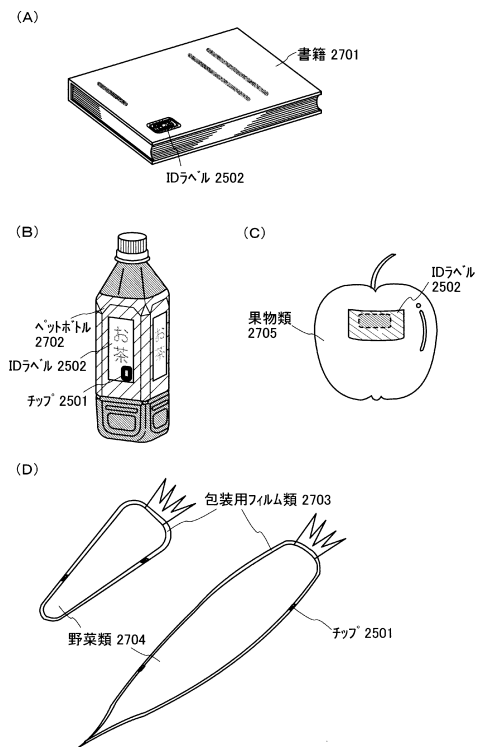
【 図 3 1 】



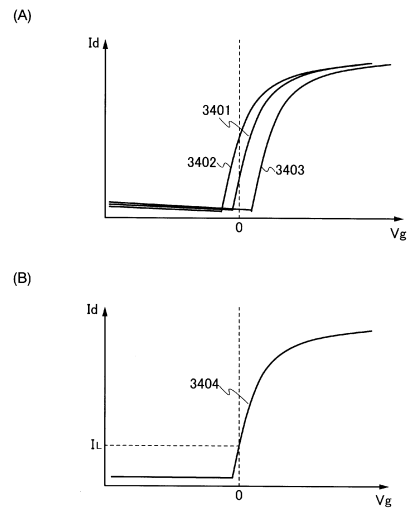
【 図 3 2 】



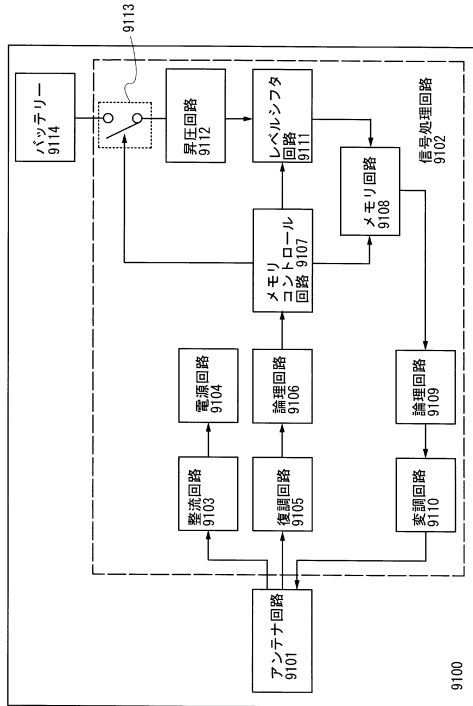
【 図 3 3 】



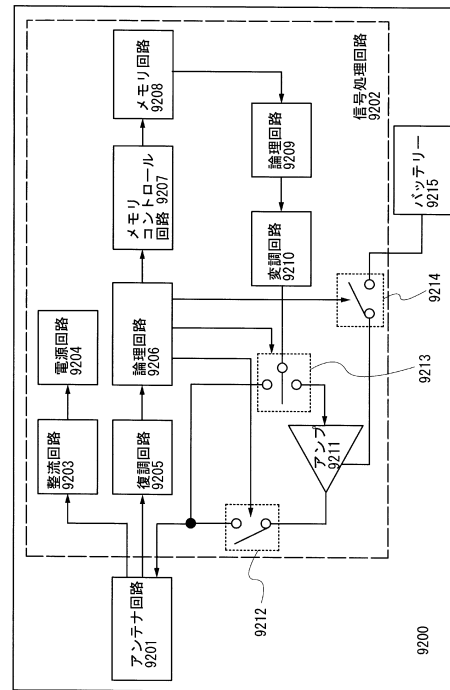
【 図 3 4 】



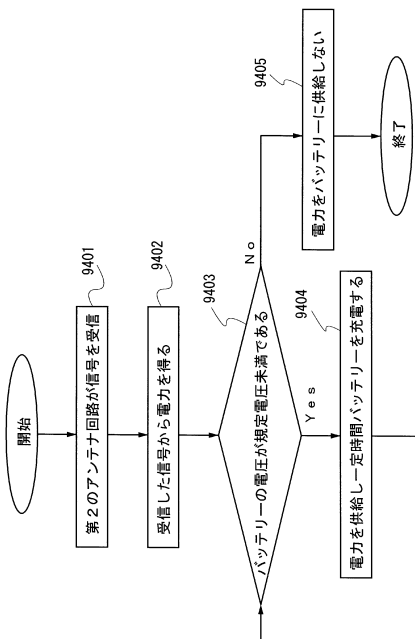
【図 35】



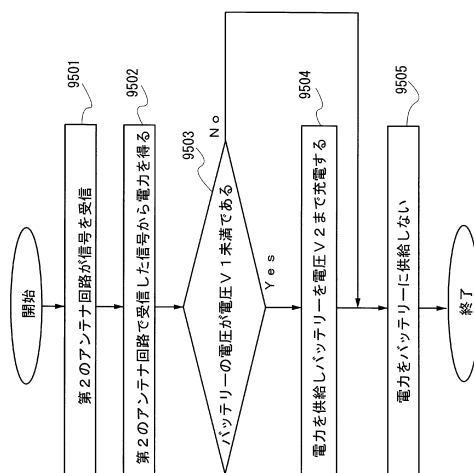
【図 36】



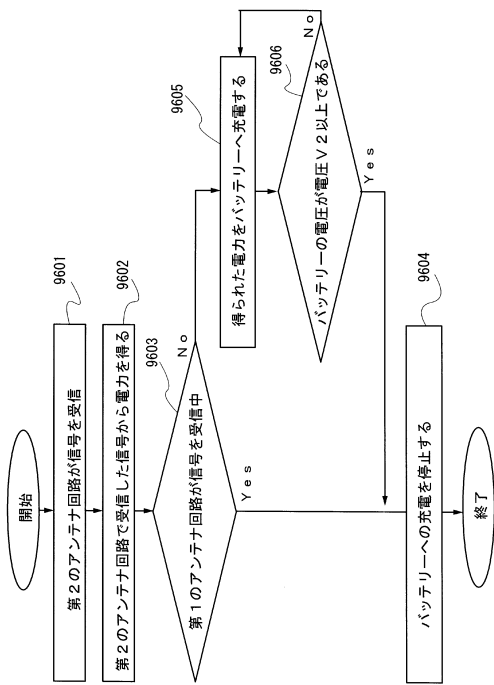
【図 37】



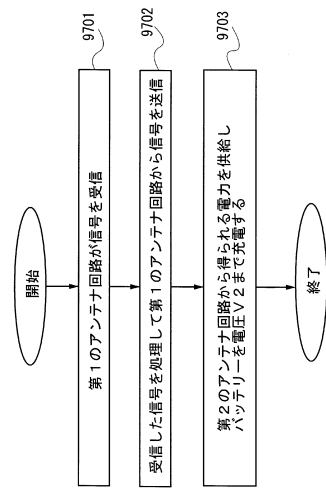
【図 38】



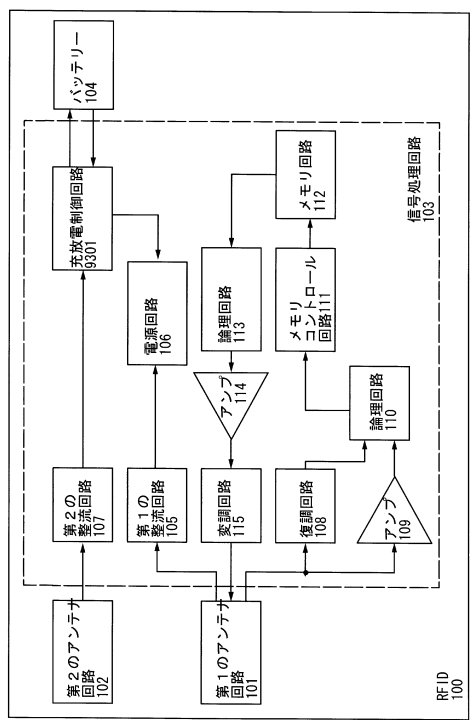
【図 39】



【図 40】



【図 41】



フロントページの続き

- (72)発明者 池田 隆之
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 長多 剛
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 熱海 知昭
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 石井 将人
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 福田 正悟

- (56)参考文献 特許第 5 3 1 5 4 3 8 (J P , B 2)
特開 2 0 0 6 - 0 6 6 8 9 9 (J P , A)
特開 2 0 0 6 - 0 2 4 0 8 7 (J P , A)
特開 2 0 0 3 - 0 5 1 5 9 9 (J P , A)
特開 2 0 0 4 - 2 3 3 4 4 4 (J P , A)
特開 2 0 0 5 - 3 1 1 2 0 5 (J P , A)
特開平 1 1 - 0 2 0 3 6 0 (J P , A)
特開平 1 0 - 2 0 6 8 9 6 (J P , A)
特開 2 0 0 3 - 0 0 7 9 7 5 (J P , A)
特開 2 0 0 4 - 2 2 0 5 8 7 (J P , A)
特開 2 0 0 6 - 1 2 1 0 6 0 (J P , A)
特開 2 0 0 6 - 1 2 1 0 6 2 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 0 6 K 1 9 / 0 7 7