

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成16年12月16日(2004.12.16)

【公開番号】特開2004-95799(P2004-95799A)  
 【公開日】平成16年3月25日(2004.3.25)  
 【年通号数】公開・登録公報2004-012  
 【出願番号】特願2002-254128(P2002-254128)

【国際特許分類第7版】

H 01 L 25/065  
 H 01 L 25/07  
 H 01 L 25/18

【F I】

H 01 L 25/08 Z

【手続補正書】

【提出日】平成16年1月5日(2004.1.5)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数本の端子を有する複数個の半導体チップと、

これらの半導体チップが少なくとも1個搭載されるとともに、搭載された前記各半導体チップの前記各端子に電気的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、かつ、厚さ方向に沿って2層に積層される2枚のチップ搭載基材と、これら2枚のチップ搭載基材の間に配置されるとともに、前記各チップ接続配線に電気的に接続される複数本の中間配線が前記各チップ接続配線とは異なるパターンに形成されている1枚の配線基材と、

前記各チップ搭載基材および前記配線基材をそれらの積層方向に沿って一括して貫通して設けられた複数の貫通孔の内部に形成され、前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電気的に接続する複数本の層間接続配線と、  
 を具備することを特徴とする半導体装置。

【請求項2】

複数本の端子を有する複数個の半導体チップと、

これらの半導体チップが少なくとも1個搭載されるとともに、搭載された前記各半導体チップの前記各端子に電気的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、かつ、厚さ方向に沿って2層に積層される2枚のチップ搭載基材と、これら2枚のチップ搭載基材の間に配置されるとともに、前記各チップ接続配線に電気的に接続される複数本の中間配線が前記各チップ接続配線とは異なるパターンで形成されている第1の配線基材と、

この第1の配線基材と併せて前記各チップ搭載基材と交互に配置されるとともに、前記各チップ接続配線に電気的に接続される複数本の中間配線が、前記各チップ接続配線および前記第1の配線基材に形成されている前記各中間配線とは異なるパターンに形成されている第2の配線基材と、

前記各チップ搭載基材、前記第1の配線基材、および前記第2の配線基材を、それらの積層方向に沿って一括して貫通して設けられた複数の貫通孔の内部に形成され、前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電気的に接続する複数

本の層間接続配線と、  
を具備することを特徴とする半導体装置。

**【請求項 3】**

複数本の端子を有する複数個の半導体チップと、

これらの半導体チップが少なくとも1個搭載されるとともに、厚さ方向に沿って複数層に積層される複数枚のチップ搭載基材と、

これらのチップ搭載基材に実質的に同一パターンに形成され、前記各チップ搭載基材に搭載された前記各半導体チップの前記各端子に電気的に接続される複数本のチップ接続配線と、

前記各チップ搭載基材の積層方向に沿って前記各チップ搭載基材と交互に配置される複数枚の配線基材と、

これらの配線基材ごとに所定のパターンで、かつ、前記各チップ接続配線とは異なるパターンに形成され、前記各チップ接続配線に電気的に接続される複数本の中間配線と、

前記各チップ搭載基材および前記各配線基材を、それらの積層方向に沿って一括して貫通して設けられた複数の貫通孔の内部に形成され、前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電気的に接続する複数本の層間接続配線と、

を具備することを特徴とする半導体装置。

**【請求項 4】**

半導体チップが有する複数本の端子に電気的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、これら各チップ接続配線に前記各端子を電気的に接続されて前記半導体チップが少なくとも1個搭載された2枚のチップ搭載基材を、それらの厚さ方向に沿って2層に積層して配置する工程と、

前記各チップ接続配線に電気的に接続される複数本の中間配線が前記各チップ接続配線とは異なるパターンに形成されている1枚の配線基材を前記各チップ搭載基材の間に配置する工程と、

前記各チップ搭載基材および前記配線基材をそれらの積層方向に沿って一括して貫通して複数の貫通孔を設け、これら各貫通孔の内部に前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電気的に接続する複数本の層間接続配線を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

**【請求項 5】**

半導体チップが有する複数本の端子に電気的に接続される複数本のチップ接続配線が実質的に同一パターンに形成されており、これら各チップ接続配線に前記各端子を電気的に接続されて前記半導体チップが少なくとも1個搭載された2枚のチップ搭載基材を、それらの厚さ方向に沿って2層に積層して配置する工程と、

前記各チップ接続配線に電気的に接続される複数本の中間配線が前記各チップ接続配線とは異なるパターンに形成されている第1の配線基材を前記各チップ搭載基材の間に配置する工程と、

前記各チップ接続配線に電気的に接続される複数本の中間配線が、前記各チップ接続配線および前記第1の配線基材に形成されている前記各中間配線とは異なるパターンに形成されている第2の配線基材を、前記第1の配線基材と併せて前記各チップ搭載基材と交互に配置する工程と、

前記各チップ搭載基材、前記第1の配線基材、および前記第2の配線基材をそれらの積層方向に沿って一括して貫通して複数の貫通孔を設け、これら各貫通孔の内部に前記各チップ接続配線および前記各中間配線を前記各基材の積層方向において電気的に接続する複数本の層間接続配線を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。