

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-29864
(P2016-29864A)

(43) 公開日 平成28年3月3日(2016.3.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO4B 3/04 (2006.01)	HO4B 3/04 C	5K012
HO4B 5/02 (2006.01)	HO4B 5/02	5K046
HO4B 1/04 (2006.01)	HO4B 1/04 R	5K060

審査請求 有 請求項の数 6 O L (全 27 頁)

(21) 出願番号	特願2015-237502 (P2015-237502)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成27年12月4日 (2015.12.4)		東京都江東区豊洲三丁目2番24号
(62) 分割の表示	特願2011-274216 (P2011-274216) の分割	(74) 代理人	100103894 弁理士 冢入 健
原出願日	平成23年12月15日 (2011.12.15)	(72) 発明者	山口 晃一
(31) 優先権主張番号	特願2011-6830 (P2011-6830)		東京都江東区豊洲三丁目2番24号 ルネ サスエレクトロニクス株式会社内
(32) 優先日	平成23年1月17日 (2011.1.17)	Fターム(参考)	5K012 AB03 AC06 BA18
(33) 優先権主張国	日本国(JP)		5K046 BB05 EE02 EE06 EE10 EE59 EF13 5K060 BB07 CC11 JJ03 JJ21 KK06 LL24

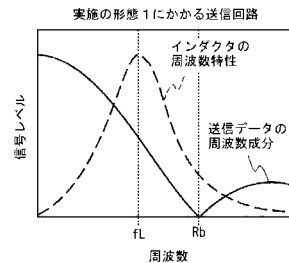
(54) 【発明の名称】 送信回路

(57) 【要約】

【課題】従来の磁気結合を利用した通信システムで用いられる送信回路は、1つのインダクタだけでは、インダクタの自己共振周波数よりも高いデータレートで通信を行うことができない問題があった。

【解決手段】本発明にかかる送信回路は、インダクタを駆動して、絶縁された他の半導体チップにデータを送信する送信回路であって、前記インダクタの自己共振周波数よりも高いデータレートの送信データを受信して、当該送信データのデータレートで前記インダクタを駆動する送信信号を出力する駆動回路を有する。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

インダクタを駆動して電磁誘導を生じさせてデータを送信する送信回路であって、前記インダクタの自己共振周波数よりも高いデータレートの送信データを受信して、当該送信データのデータレートで前記インダクタを駆動する送信信号を出力する駆動回路と、

前記駆動回路の入力から前記駆動回路が形成される半導体チップとは別の半導体チップにおいて受信信号から送信データを生成する判別回路までの伝達関数を打ち消す伝達関数で前記送信データを変調して前記駆動回路に出力するプリコード回路と、
を有する送信回路。

10

【請求項 2】

前記駆動回路は、

前記インダクタを駆動する駆動部と、

前記送信データを受信して、前記送信データに対して、前記インダクタの自己共振に起因して生じる波形の歪みを補正し、補正後の送信データを前記駆動部に出力する送信信号補正部と、

を有する請求項 1 に記載の送信回路。

【請求項 3】

前記送信信号補正部は、前記インダクタの自己共振に起因して生じる波形の歪みを前記データレートに相当する処理速度で補正する請求項 2 に記載の送信回路。

20

【請求項 4】

前記送信信号補正部は、前記送信データに対して F I R 型フィルタ処理による補正を行う請求項 3 に記載の送信回路。

【請求項 5】

前記送信信号補正部における F I R 型フィルタ処理で用いられる補正係数を前記駆動回路の出力波形又は前記駆動回路が形成される半導体チップとは別の半導体チップ上の受信信号波形と前記送信データとに基づき調整する係数調整回路を有する請求項 4 に記載の送信回路。

【請求項 6】

前記インダクタは、前記駆動回路と同一の半導体基板上に形成される請求項 1 乃至 5 のいずれか 1 項に記載の送信回路。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は送信回路に関し、特にトランスを介して信号を伝達する送信回路に関する。

【背景技術】**【0002】**

近年、近接通信の一つにトランスによる磁気結合を利用した通信手段が多く用いられるようになってきた。しかし、磁気結合を利用した通信手段では、トランスがコイルにより構成され、それぞれのコイルはインダクタで構成される。そして、このインダクタの自己共振に起因して送受信に用いられるパルス波形に歪みが生じる。そのため、磁気結合を利用した通信手段では、パルスの送信間隔（データレートと称す）がインダクタの自己共振周波数の 1 / 3 倍程度に制限されていた。

40

【0003】

しかし、近接通信においても通信速度の向上という要求がある。そこで、磁気結合を利用した通信システムにおいて、通信速度を高める技術が非特許文献 1 ~ 5 に開示されている。非特許文献 1 では、トランスを複数設けて、送受信信号を並列化することで、通信速度を向上させていた。

【先行技術文献】**【非特許文献】**

50

【 0 0 0 4 】

【非特許文献 1】N. Miura, D. Mizoguchi, M. Inoue, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaishi, T. Sakurai, and T. Kuroda, "A 1 Tb/s 3 W inductive-coupling transceiver for 3D-stacked inter-chip clock and data link", IEEE Journal of Solid-State Circuits, vol. 42, 2007, pp. 111-122.

【非特許文献 2】N. Miura, D. Mizoguchi, M. Inoue, T. Sakurai, and T. Kuroda, "A 195-Gb/s 1.2-W inductive inter-chip wireless superconnect with transmit power control scheme for 3-D-stacked system in a package", IEEE Journal of Solid-State Circuits, vol. 41, 2006, p. 23.

【非特許文献 3】N. Miura, D. Mizoguchi, T. Sakurai, and T. Kuroda, "Analysis and design of inductive coupling and transceiver circuit for inductive inter-chip wireless superconnect", IEEE Journal of Solid-State Circuits, vol. 40, 2005, p. 829. 10

【非特許文献 4】S. Kawai, H. Ishikuro, and T. Kuroda, "A 2.5 Gb/s/ch 4PAM inductive-coupling transceiver for non-contact memory card", 2010 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010, pp. 264-265.

【非特許文献 5】N. Miura, Y. Kohama, Y. Sugimori, H. Ishikuro, T. Sakurai, and T. Kuroda, "A high-speed inductive-coupling link with burst transmission", IEEE Journal of Solid-State Circuits, vol. 44, no. 3, pp. 947-955, 2009. 20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

しかしながら、トランスは、回路面積或いは実装面積が大きい。そのため、非特許文献 1～5 を用いた場合、このトランスを複数個設けなければならず、機器の小型化或いはコストの低減の妨げになるという問題がある。

【 課題を解決するための手段 】

【 0 0 0 6 】

本発明にかかる送信回路の一態様は、インダクタを駆動して電磁誘導を生じさせてデータを送信する送信回路であって、前記インダクタの自己共振周波数よりも高いデータレートの送信データを受信して、当該送信データのデータレートで前記インダクタを駆動する送信信号を出力する駆動回路を有する。 30

【 0 0 0 7 】

本発明にかかる受信回路の一態様は、インダクタの電磁誘導により生じる送信信号を受信する受信回路であって、前記インダクタの自己共振周波数よりも高いデータレートで受信信号から送信データの論理レベルを判別して受信データを出力する判別回路を有する。

【 0 0 0 8 】

本発明にかかる通信システムの一態様は、電磁結合された第 1 のインダクタと第 2 のインダクタとを備えた伝送路と、入力される送信データに基づき前記第 1 のインダクタを駆動する駆動回路と、前記第 2 のインダクタを介して入力される受信信号に基づき受信データを生成する判別回路と、を有し、前記駆動回路及び前記判別回路は、前記第 1、第 2 のインダクタの自己共振周波数よりも高いデータレートで前記送信データを伝達する。 40

【 0 0 0 9 】

本発明にかかる送信回路、受信回路及びこれらを有する通信システムでは、インダクタの自己送信周波数よりも高いデータレートで、信号の送受信を行う。これにより、本発明にかかる送信回路、受信回路及びこれらを有する通信システムでは、一つのトランスを介して行われる通信処理の通信速度を向上させることができる。

【 発明の効果 】

【 0 0 1 0 】

本発明にかかる送信回路、受信回路及びこれらを有する通信システムによれば、少ない 50

回路面積或いは実装面積で高いデータレートによる近接通信を実現できる。

【図面の簡単な説明】

【0011】

【図1】本発明にかかる通信システムのブロック図である。

【図2】図1の通信システムにおいてチップ上に形成されるインダクタの概略図である。

【図3】実施の形態1にかかる送信回路の送信信号の波形の一例を示す図である。

【図4】比較例にかかる送信回路の周波数特性のグラフである。

【図5】実施の形態1にかかる送信回路の周波数特性のグラフである。

【図6】実施の形態1にかかる駆動回路のブロック図である。

【図7】実施の形態1にかかる送信信号補正部の処理原理を示す概念図である。

10

【図8】実施の形態1にかかる駆動回路のブロック図である。

【図9】実施の形態1にかかるデータ遅延回路のブロック図である。

【図10】実施の形態1にかかるマルチプレクサのブロック図である。

【図11】実施の形態1にかかる送信信号出力回路のブロック図である。

【図12】補正処理を行わない場合の送信信号及び受信信号の波形を示す図である。

【図13】FIR型イコライズ処理による補正処理を行った場合の送信信号及び受信信号の波形を示す図である。

【図14】補正処理を行わない場合の受信信号のアイパターンを示す図である。

【図15】FIR型イコライズ処理による補正処理を行った場合の受信信号のアイパターンを示す図である。

20

【図16】実施の形態2にかかる駆動回路のブロック図である。

【図17】実施の形態2にかかるプリコーダを説明するための図である。

【図18】実施の形態3にかかる駆動回路のブロック図である。

【図19】実施の形態3にかかる駆動回路における補正係数の調整処理における平均二乗誤差の遷移を示すグラフである。

【図20】実施の形態3にかかる駆動回路における補正係数の調整処理における補正係数の遷移を示すグラフである。

【図21】実施の形態4にかかる駆動回路のブロック図である。

【図22】実施の形態5にかかる判別回路のブロック図である。

【図23】実施の形態5にかかる受信信号補正部の処理原理の概念図である。

30

【図24】実施の形態6にかかる判別回路のブロック図である。

【図25】実施の形態6にかかる受信信号補正部の処理原理の概念図である。

【図26】実施の形態6にかかる判定帰還型イコライズ処理における波形補正処理を示す波形図である。

【図27】補正処理を行わない場合の受信信号のアイパターンを示す図である。

【図28】判定帰還型イコライズ処理による補正処理を行った場合の受信信号のアイパターンを示す図である。

【図29】実施の形態7にかかる判別回路のブロック図である。

【図30】実施の形態8にかかる通信システムのブロック図である。

【図31】実施の形態8にかかるインダクタの等価回路図である。

40

【図32】その他の実施の形態にかかる送信回路と受信回路の実装例を示すブロック図である。

【図33】その他の実施の形態にかかる送信回路と受信回路の実装例を示すブロック図である。

【発明を実施するための形態】

【0012】

実施の形態1

以下、図面を参照して本発明の実施の形態について説明する。まず、本発明にかかる通信システムについて説明する。そこで、図1に本発明にかかる通信システムのブロック図を示す。図1に示すように、本発明にかかる通信システムは、トランスと、送信回路と、

50

受信回路と、を有する。また、図 1 では、送信回路に送信データを与える処理回路 A と、受信回路が出力する受信データを受けて所定の処理を行う処理回路 B と、を示した。本発明にかかる通信システムは、電氣的に絶縁された半導体基板上に形成された送信回路と受信回路との間の通信をインダクタ L 1、L 2 により構成されるコイルを用いたトランスによって行うものである。つまり、このトランスは、送信回路から受信回路に至る伝送路を構成する。

【 0 0 1 3 】

送信回路は、駆動回路 D R V を有する。そして、駆動回路 D R V は、インダクタを駆動して当該インダクタに電磁誘導を生じさせる。駆動回路 D R V は、インダクタの自己共振周波数よりも高いデータレートの送信データを受信して、送信データのデータレートでインダクタ L 1 を駆動する送信信号を出力する。また、処理回路 A は、駆動回路 D R V に対してインダクタ L 1 の共振周波数よりも高いデータレートで送信データを出力する。

10

【 0 0 1 4 】

受信回路は、判別回路 D E T を有する。そして、判別回路 D E T は、インダクタの自己共振周波数よりも高いデータレートで受信信号から送信データの論理レベルを判別して受信データを出力する。そして、処理回路 B は、判別回路 D E T が出力した受信データに基づき所定の処理を行う。

【 0 0 1 5 】

図 1 に示す例では、送信回路と受信回路は、別個の半導体基板上に形成される。また、インダクタ L 1、L 2 によりトランスを構成する。図 1 に示す例では、インダクタ L 1 は、駆動回路 D R V と同一の半導体基板上に形成され、インダクタ L 2 は、判別回路 D E T と同一基板上に形成される。このように、半導体基板上に形成されたインダクタの構成の概略図を図 2 に示す。図 2 に示すように、半導体基板上に形成されるインダクタは、多角形上の配線により形成され、その中点付近において電源端子 V D D に接続される。また、インダクタを構成する配線の両端には、駆動回路 D R V 又は判別回路 D E T が接続される端子 E M 1、E M 2 が形成される。なお、以下の説明では、インダクタを差動信号により動作させる例について説明するが、インダクタをシングルエンド信号により駆動する場合にも本発明は適用可能である。

20

【 0 0 1 6 】

従来の磁気結合を利用した通信システムでは、送信データのデータレートは、トランスを構成するインダクタの自己共振周波数により制限されていた。しかし、本発明にかかる通信システムでは、信号の伝達に磁気結合を利用しながら、インダクタの自己共振周波数よりも高いデータレートで通信を行うことを特徴とする。

30

【 0 0 1 7 】

そのため、本発明にかかる通信システムの送信回路は、インダクタの自己共振周波数よりも高いデータレートの送信データを受信して、送信データのデータレートでインダクタを駆動する送信信号を出力する。また、受信回路は、インダクタの自己共振周波数よりも高いデータレートで受信信号から送信データの論理レベルを判別して受信データを出力する。

【 0 0 1 8 】

続いて、磁気結合を利用した通信システムにおける送信データのデータレート R b と当該送信データに起因して受信側のインダクタ L 2 の両端に生じる受信信号との関係について説明する。図 3 に磁気結合を利用した通信システムにおける送信データと当該送信データに対応した受信信号の波形図を示す。図 3 に示すように、通信システムでは、値 1 又は値 0 を一つのデータシンボルとして扱う。そして、データシンボルの送信間隔がデータレート R b となる。図 3 において、データシンボルの送信間隔がデータレート R b でそして、送信信号の波形は、値 1 の送信データに対しては負側の振幅が大きくなり、値 0 の送信データに対しては正側の振幅が大きくなる。また、受信信号は、送信データの前側のエッジに対応して振幅が生じるが振幅が収束するまでに所定の時間がかかる。この所定の時間はインダクタ L 1、L 2 の共振周波数により決まる。

40

50

【0019】

従来の通信システムでは、インダクタL1、L2の自己共振により生じる受信信号波形の歪みによるデータシンボル間の干渉を防止するために、データレートRbをインダクタL1、L2の共振周波数の1/3以下に制限する必要があった。ここで、従来の通信システムにおけるデータレートRbとインダクタL1、L2の共振周波数との関係を示すグラフを図4に示す。図4に示すように、従来の通信システムでは、データシンボル間の干渉を防止するためにデータレートRbをインダクタL1、L2の共振周波数の1/3以下とする必要があった。

【0020】

一方、本発明にかかる通信システムにおけるデータレートRbとインダクタL1、L2の共振周波数との関係を示すグラフを図5に示す。図5に示すように、本発明にかかる通信システムでは、データレートRbをインダクタL1、L2の共振周波数よりも高くする。

10

【0021】

本発明にかかる通信システムでは、一つのトランスに対して、インダクタL1、L2の共振周波数よりも高いデータレートで送信信号を出力することで、小さな回路面積或いは小さな実装面積の回路によってインダクタL1、L2の共振周波数の制限を受けることなく高速な通信を行うことができる。

【0022】

なお、トランスを構成するインダクタの径を小さくすることで自己共振周波数を高くして通信速度を高めることも可能である。しかし、この場合通信距離が短くなる問題があった。しかし、本発明にかかる通信システムでは、通信距離を確保するために十分にインダクタの径を大きく設定しても、インダクタの自己共振周波数の制限を受けることなく通信速度を向上できる。つまり、本発明にかかる通信システムを用いることで、十分な通信距離を確保するインダクタ径でインダクタを形成しながら、インダクタの数を削減することができるため、小さな回路面積或いは実装面積で高速な通信を実現することができる。

20

【0023】

本発明にかかる通信システムでは、インダクタの自己共振周波数よりも高いデータレートで信号の送受信を行うため、データシンボル間の干渉が生じる虞がある。そのため、本発明にかかる通信システムでは、送信回路と受信回路の少なくとも一方において、送受信に用いる信号に補正処理を施すことでデータシンボル間の干渉を防止する。本発明にかかる通信システムでは、送信回路と受信回路のいずれで補正処理を行っても良いが、実施の形態1では、送信側で補正処理を行う場合について説明する。

30

【0024】

まず、実施の形態1では、送信回路側に設けられる駆動回路DRVで補正処理を行う場合について説明する。実施の形態1にかかる駆動回路DRV1のブロック図を図6に示す。図6に示すように、駆動回路DRV1は、送信信号補正部1と駆動部2を有する。

【0025】

送信信号補正部1は、送信データDINを受信して、送信データDINに対して、インダクタL1、L2の自己共振に起因して生じる波形の歪みを補正し、補正後の送信データを駆動部2に出力する。送信信号補正部1が補正処理を行う速度は送信データDINのデータレートに相当する速度で行われる。送信信号補正部1で行われる補正処理は、送信対象の送信データDINのn(nは整数)サイクル前に送信されるn個の送信データDINを用いて送信対象の送信データDINを補正することで行われる。より具体的には、送信信号補正部1は、イコライズ係数保持回路11と、FIR型フィルタ回路とを有する。なお、FIR型フィルタ回路では、FIR型フィルタの機能による補正処理(例えば、イコライズ処理が行われるため、以下の説明では、FIR型フィルタ回路をFIR型イコライズ回路12と称す。イコライズ係数保持回路11は、FIR型イコライズ回路12において用いられるイコライズ係数を保持する。実施の形態1では、このイコライズ係数は、予め設定されているものとする。

40

50

【0026】

駆動部2は、送信信号補正部1において補正された送信データMTに基づきインダクタL1を駆動する。実施の形態1では、駆動部2は、差動信号によりインダクタL1を駆動するものとする。

【0027】

続いて、送信信号補正部1で行われるイコライズ処理の具体的な説明を行う。送信信号補正部1で行われるイコライズ処理の処理原理を示す図を図7に示す。なお、図7では、イコライズ処理の動作原理を説明するために、イコライズ処理に必要な処理毎に具体的な回路を示した。図7に示すように、実施の形態1にかかる送信信号補正部1で行われるイコライズ処理は、遅延回路311~31n、乗算器320~32n、加算器33により実現できる。

10

【0028】

遅延回路311~31nは、従属接続される。そして、遅延回路311~31nは、送信データDINをデータレートの周期に相当する時間で遅延させる。そして、遅延回路311~31nは、遅延させた送信データDINを次段の遅延回路に伝達する。乗算器320は、入力された送信データDINとイコライズ係数C0とを乗算して、乗算結果を出力する。乗算器321~32nは、遅延回路311~31nが出力する送信データDINとイコライズ係数C1~Cnをそれぞれ乗算し、乗算結果を出力する。加算器33は、乗算器320~32nが出力した乗算結果を加算して補正後の送信データMTを生成する。

20

【0029】

つまり、イコライズ処理では、送信データDINを遅延させて、nサイクル分の送信データDINを並列化する。そして、並列化した送信データDINの送信順序に応じてイコライズ係数C0~Cnを乗算する。そして、イコライズ係数C0~Cnを乗じて得られたn個の送信データDINを加算して補正後の送信データMTを得る。

【0030】

実施の形態1にかかる駆動回路DRV1は、デジタル信号として送信データDINを受けて、インダクタL1を電流により駆動する。そのため、駆動回路DRV1は、デジタル信号により与えられる値に相当する電流を出力する必要がある。そこで、駆動回路DRV1では、送信信号補正部1と駆動部2とを混在させた回路によりイコライズ処理機能とインダクタL1の駆動機能とを実現する。そこで、実施の形態1にかかる駆動回路DRV1のブロック図を図8に示す。

30

【0031】

図8に示すように、駆動回路DRV1は、データ遅延回路40、マルチプレクサ411~415、送信信号出力回路421~425を有する。図8に示す駆動回路DRV1は、図7に示す遅延回路を4段有する例である。実施の形態1では、データ遅延回路40にはシリアル伝送されるべき送信データを4ビットのビット幅に並列化した送信データが入力されるものとする。データ遅延回路40には、クロック信号CLKaが入力され、クロック信号CLKaのタイミングで送信データDINを遅延させた遅延データDLY1~DLY5を生成する。なお、クロック信号CLKaは、送信データDINのデータレートの1/4の周波数を有する。また、遅延データDLY1~DLY5は4ビットの信号である。データ遅延回路40は、図7の遅延回路311~31nに相当する機能を実現する。

40

【0032】

マルチプレクサ411~415には、遅延データDLY1~DLY5のうち対応する一の信号が入力される。また、マルチプレクサ411~415には、クロック信号CLKa及びクロック信号CLKbが入力される。クロック信号CLKbは、送信データDINのデータレートの1/2の周波数を有する。マルチプレクサ411~415は、クロック信号CLKaにより遅延データDLY1~DLY5を取り込み、クロック信号CLKbに従って遅延データを構成するデータを1ビットずつ出力する。なお、マルチプレクサ411~415は1ビットのデータを差動信号として出力する。

【0033】

50

送信信号出力回路421～425は、マルチプレクサ411～415が出力するデータに従って、インダクタL1を駆動する。また、送信信号出力回路421～425には電流制御信号W1～W5が入力される。電流制御信号W1～W5は、それぞれ5ビットの信号であり、送信信号出力回路421～425の駆動能力を調整する。この電流制御信号W1～W5は、イコライズ係数C0～C4に相当する値を有する信号である。送信信号出力回路421～425の出力は、差動信号を出力する。さらに、送信信号出力回路421～425の出力は、同じ極性の出力端子がそれぞれ一のノードで違いに接続される。そして、送信信号出力回路421～425は、正側出力端子と負側出力端子との間にインダクタL1が接続される。

【0034】

つまり、送信信号出力回路421～425は、図7の乗算器の機能を実現する。また、送信信号出力回路421～425の出力ノードを互いに接続することで図7の加算器の機能を実現される。

【0035】

続いて、データ遅延回路40の具体的な回路について説明する。データ遅延回路40のブロック図を図9に示す。図9に示すように、データ遅延回路40は、フリップフロップ51～58を有する。フリップフロップ51～58は、クロック信号CLKaに同期して入力端子Dに入力された値を更新して出力端子Qから出力する。図9に示す例では、フリップフロップ51～58が出力する信号に対してQ1～Q8の符号を付した。また、図9に示すように、フリップフロップ55～58は、送信データDIN[1]～DIN[4]の値を保持する。フリップフロップ51～54は、フリップフロップ55～58が出力する信号Q5～Q8の値を保持する。つまり、信号Q1は、時間的に最も先に送信された送信データである。また、信号Q2～Q8は、信号Q1に続いて送信されたデータである。このような構成とすることで、信号Q5が送信対象の送信データである場合、この信号Q1～Q4の送信データが補正に用いられる。信号Q6が送信対象の送信データである場合、この信号Q2～Q5の送信データが補正に用いられる。信号Q7が送信対象の送信データである場合、この信号Q3～Q6の送信データが補正に用いられる。信号Q8が送信対象の送信データである場合、この信号Q4～Q7の送信データが補正に用いられる。

【0036】

続いて、マルチプレクサ411～415の具体的な回路について説明する。マルチプレクサ411～415は、それぞれ同じ構成であるため、ここではマルチプレクサ411について説明する。マルチプレクサ411のブロック図を図10に示す。図10に示すように、マルチプレクサ411は、フリップフロップ60～62、64～66、68～70、セクタ63、67、71、インバータ72を有する。そして、マルチプレクサ411には、遅延データDL1として、送信データQ5～Q8が与えられる。

【0037】

フリップフロップ60は、クロック信号CLKaに基づき送信データQ5として与えられる値で保持する値を更新する。フリップフロップ61は、クロック信号CLKaに基づき送信データQ6として与えられる値で保持する値を更新する。フリップフロップ62は、クロック信号CLKaの立ち下がりエッジに基づきフリップフロップ61が保持している送信データQ6の値で保持する値を更新する。セクタ63は、クロック信号CLKaの論理レベルに応じて、フリップフロップ60に保持されている値とフリップフロップ62に保持されている値のいずれか一方を出力する。つまり、セクタ63は、クロック信号CLKaの論理レベルに応じて送信データQ5、Q6を順に出力する。

【0038】

フリップフロップ64は、クロック信号CLKaに基づき送信データQ7として与えられる値で保持する値を更新する。フリップフロップ65は、クロック信号CLKaに基づき送信データQ8として与えられる値で保持する値を更新する。フリップフロップ66は、クロック信号CLKaの立ち下がりエッジに基づきフリップフロップ65が保持している送信データQ8の値で保持する値を更新する。セクタ67は、クロック信号CLKa

10

20

30

40

50

の論理レベルに応じて、フリップフロップ 6 4 に保持されている値とフリップフロップ 6 6 に保持されている値のいずれか一方を出力する。つまり、セクタ 6 7 は、クロック信号 CLK a の論理レベルに応じて送信データ Q 7、Q 8 を順に出力する。

【 0 0 3 9 】

フリップフロップ 6 8 は、クロック信号 CLK b に基づきセクタ 6 3 が出力する送信データ Q 5、Q 6 の値で順に保持する値を更新する。フリップフロップ 6 9 は、クロック信号 CLK b に基づきセクタ 6 7 が出力する送信データ Q 7、Q 8 の値で順に保持する値を更新する。フリップフロップ 7 0 は、クロック信号 CLK b の立ち下がりエッジに基づきフリップフロップ 6 9 が保持している送信データ Q 7、Q 8 の値で順に保持する値を更新する。セクタ 7 1 は、クロック信号 CLK b の論理レベルに応じて、フリップフロップ 6 8 に保持されている値とフリップフロップ 7 1 に保持されている値のいずれか一方を出力する。つまり、セクタ 7 1 は、送信データ DIN のデータレートで送信データ Q 5 ~ Q 8 を順に出力する。

10

【 0 0 4 0 】

インバータ 7 2 は、セクタ 7 1 が出力する送信データの反転信号を出力する。セクタ 7 1 が出力するデータは駆動信号 I + として送信信号出力回路 4 2 1 の正転入力端子に与えられる。また、インバータ 7 2 が出力するデータは駆動信号 I - として送信信号出力回路 4 2 1 の反転入力端子に与えられる。

【 0 0 4 1 】

続いて、送信信号出力回路 4 2 1 ~ 4 2 5 の具体的な回路について説明する。送信信号出力回路 4 2 1 ~ 4 2 5 は、それぞれ同じ構成であるため、ここでは送信信号出力回路 4 2 1 について説明する。送信信号出力回路 4 2 1 の回路図を図 1 1 に示す。図 1 1 に示すように、送信信号出力回路 4 2 1 は、差動増幅部 8 0 と、可変電流源 8 1 と、を有する。

20

【 0 0 4 2 】

差動増幅部 8 0 は、トランジスタ MN 1、MN 2 により構成される差動対を有する。トランジスタ MN 1 のゲートは送信信号出力回路 4 2 1 の反転入力端子であり、駆動信号 I - が入力される。トランジスタ MN 1 のドレインは、正転出力端子 OUT + に接続される。トランジスタ MN 2 のゲートは送信信号出力回路 4 2 1 の正転入力端子であり、駆動信号 I + が入力される。トランジスタ MN 2 のドレインは、反転出力端子 OUT - に接続される。トランジスタ MN 1、MN 2 のソースは、共通接続され、可変電流源から動作電流が供給される。

30

【 0 0 4 3 】

可変電流源 8 1 は、電流制御信号 W 1 の値に応じて 1 倍から 3 1 倍まで 2 の 5 乗倍の動作電流を出力する。この動作電流は、差動増幅部 8 0 を介して駆動電流として出力されるものである。可変電流源 8 1 は、トランジスタ MN 3 ~ MN 1 2 を有する。トランジスタ MN 8 ~ MN 1 2 は、ゲートに基準電圧 V r e f 1 が入力される。このトランジスタ MN 8 ~ MN 1 2 は、ゲート長が同一であるが、ゲート幅が整数倍である構成を有する。例えば、トランジスタ MN 8 は、ゲート幅が 1 倍（基準ゲート幅）であって、1 倍の電流（基準電流）を出力する。トランジスタ MN 9 は、ゲート幅がトランジスタ MN 8 の 2 倍であって、基準電流の 2 倍の電流を出力する。トランジスタ MN 1 0 は、ゲート幅がトランジスタ MN 8 の 4 倍であって、基準電流の 4 倍の電流を出力する。トランジスタ MN 1 1 は、ゲート幅がトランジスタ MN 8 の 8 倍であって、基準電流の 8 倍の電流を出力する。トランジスタ MN 1 2 は、ゲート幅がトランジスタ MN 8 の 1 6 倍であって、基準電流の 1 6 倍の電流を出力する。トランジスタ MN 8 ~ MN 1 2 のソースはそれぞれ接地端子に接続される。

40

【 0 0 4 4 】

トランジスタ MN 3 ~ MN 7 は、トランジスタ MN 8 ~ MN 1 2 のいずれを有効にするかを切り換えるスイッチとして機能する。トランジスタ MN 3 は、トランジスタ MN 8 に対応して設けられ、電流制御信号 W 1 [0] に応じてオンとオフとが切り換えられる。トランジスタ MN 4 は、トランジスタ MN 9 に対応して設けられ、電流制御信号 W 1 [1]

50

に応じてオンとオフとが切り換えられる。トランジスタMN5は、トランジスタMN10に対応して設けられ、電流制御信号W1[2]に応じてオンとオフとが切り換えられる。トランジスタMN6は、トランジスタMN11に対応して設けられ、電流制御信号W1[3]に応じてオンとオフとが切り換えられる。トランジスタMN7は、トランジスタMN12に対応して設けられ、電流制御信号W1[4]に応じてオンとオフとが切り換えられる。そして、トランジスタMN3～MN7のドレインは共通接続され、差動増幅部80に動作電流を与える。

【0045】

つまり、送信信号出力回路421～425は、差動増幅部80に与える動作電流を電流制御信号W1[0]～W1[4]の値に応じて調整することで、イコライズ係数と送信データDINとの乗算を行う。また、送信信号出力回路421～425は、それぞれ駆動電流を出力し、当該駆動電流を出力ノードにて足し合わせることで乗算値の加算を行う。

10

【0046】

続いて、駆動回路DRV1が出力する駆動電流と受信側に設けられるインダクタL2に生じる受信信号とについて説明する。以下では、駆動電流と受信信号とが、送信データDINとして010と値が変化する場合を例に説明する。

【0047】

まず、実施の形態1にかかる駆動回路DRV1における補正処理を行わない場合の駆動電流と受信信号との関係を図12に示す。図12に示すように、補正を行わない場合、値1の送信データに対応して生じる駆動電流のパルスに応じて生じた受信信号の振幅が収束するまでに時間TM1を要する。また、図12では、電流パルスの幅が1ビットの送信データに要する時間に相当するが、図12に示す例では当該1ビットの幅に比べて時間TM1が長い時間必要である。さらに、図12に示す例では、受信信号の正側の最大振幅Vpが負側の最大振幅Vnよりも小さくなっていることがわかる。

20

【0048】

一方、実施の形態1にかかる駆動回路DRV1における補正処理を行った場合の駆動電流と受信信号との関係を図13に示す。図13に示すように、補正を行った場合、値1の送信データに対応して生じる駆動電流のパルスに応じて生じた受信信号の振幅が収束するまでに時間TM2を要する。図13では、補正処理によって、値1の送信データに対応する電流パルスの幅が1ビットの送信データに要する時間よりも大きくなる。一方、図13に示す例では、当該1ビットの幅と時間TM2との関係が1ビット幅のおよそ3倍になっている。さらに、図13に示す例では、受信信号の正側の最大振幅Vpが負側の最大振幅Vnとほぼ同じ大きさになっていることがわかる。つまり、補正処理を行うことで、値1の送信データに応じて生じる受信信号波形がより短時間で収束すると共に、0、1、-1、0の受信信号となっている。この受信信号のような信号は、ダイコード(Dicode)信号と呼ばれる。

30

【0049】

続いて、受信信号のアイパターンを用いて補正処理の効果を説明する。そこで、図14に補正処理を行わない場合の受信信号のアイパターンを示す。また、図15に補正処理を行った場合の受信信号のアイパターンを示す。なお、図14、15のアイパターンは、受信回路側に設けられたインダクタL2の一端に生じた受信信号のものである。

40

【0050】

図14では、波形の歪みによりアイパターンが崩れていることがわかる。このような信号を判別回路で判別することは難しい。一方、図15では、波形の歪みが補正され大きなアイパターンとなっており、受信信号の信号レベルの判別が容易であることがわかる。図15で示すように、実施の形態1にかかる駆動回路DRV1の補正処理を行うことで、2値の送信データは、0、1、-1の3値の受信信号となる。例えば、-1、1、-1、-1と続く送信データは、0、1、-1、0の受信信号となる。

【0051】

上記説明より、実施の形態1にかかる駆動回路DRV1では、FIR型イコライズ処理

50

による補正処理を行うことで、受信信号の収束にかかる時間を短縮する。また、この補正処理は、送信データのデータレートにて行われる。これにより、実施の形態 1 にかかる駆動回路 D R V 1 では、インダクタ L 1、L 2 の自己共振周波数よりも高いデータレートで送信データを送出した場合においても連続する送信データ間の干渉を防止し、受信回路での誤受信を防止することができる。

【 0 0 5 2 】

また、実施の形態 1 にかかる駆動回路 D R V 1 では、補正処理を行うに当たり、送信データのデータレートよりも低い周波数のクロック信号を用いるため、補正処理にかかる消費電力を削減することが可能である。

【 0 0 5 3 】

実施の形態 2

実施の形態 2 では、実施の形態 1 にかかる駆動回路 D R V 1 の変形例となる駆動回路 D R V 2 について説明する。図 1 6 に、実施の形態 2 にかかる駆動回路 D R V 2 のブロック図を示す。図 1 6 に示すように、駆動回路 D R V 2 は、駆動回路 D R V 1 にプリコーダ 3 を追加したものである。

【 0 0 5 4 】

プリコーダ 3 は、補正部 1 の前段に設けられ、送信データ D I N 0 を変調して変調後の送信データ D I N 1 を補正部 1 に出力する。送信データ D I N は、補正部 1、駆動部 2、インダクタ L 1、L 2 等により決まる所定の伝達関数で判別回路 D E T 1 に至る。プリコーダ 3 は、所定の伝達関数を打ち消すような伝達関数で送信データ D I N 0 を変調して送信データ D I N 1 を生成する。

【 0 0 5 5 】

ここで、プリコーダ 3 の具体例について説明する。図 1 7 にプリコーダ 3 の構成を説明するためのブロック図を示す。図 1 7 に示す例では、送信データ D I N 0 は、プリコーダ 3 により変調され、補正部 1、駆動部 2、インダクタ L 1、L 2、受信信号補正部 4、判別部 5 を介して受信データ D O U T となる。また、図 1 7 の例では、補正部 1、駆動部 2、インダクタ L 1、L 2、受信信号補正部 4 を信号伝達部とする。そして、この信号伝達部の伝達関数を $1 - D$ とする。なお、 D は、1 ビット幅に相当する遅延を示す。また、判別部 5 の伝達関数を $\text{mod } 2$ (2 の剰余) とする。そして、図 1 7 に示すプリコーダ 3 では、信号伝達部の伝達関数 $1 - D$ と判別部 5 の伝達関数を打ち消すために、(1) 式の伝達関数を有するものとする。

【 数 1 】

$$\left[\frac{1}{1-D} \right]_{\text{mod } 2} \dots (1)$$

【 0 0 5 6 】

このプリコーダ 3 は、排他的論理和回路 9 0、フリップフロップ 9 1、インバータ 9 2 を有する。排他的論理和回路 9 0 は、送信データ D I N 0 と変調後の送信データ D I N 1 の反転信号との排他的論理和演算結果を出力する。フリップフロップ 9 1 は、データレートと同じ周波数を有するクロック信号に基づき保持値を排他的論理和回路 9 0 の出力値により更新する。また、フリップフロップ 9 1 の出力値が変調後の送信データ D I N 1 となる。インバータ 9 2 は、変調後の送信データ D I N 1 を反転して排他的論理和回路 9 0 に与える。

【 0 0 5 7 】

また、図 1 7 に示す例では、判別部 5 の一例について示した。判別部 5 は、比較器 9 3、9 4、排他的論理和回路 9 5 を有する。比較器 9 3 の反転入力端子には基準電圧 $+V_{ref 2}$ が入力され、正転入力端子には受信信号補正部 4 にて補正された受信信号 M R が入力される。比較器 9 4 の正転入力端子には受信信号補正部 4 にて補正された受信信号 M R が入力され、反転入力端子には基準電圧 $-V_{ref 2}$ が入力される。排他的論理和回路 9 5 には、比較器 9 3、9 4 の出力信号が入力される。このような構成により、判別部 5 は

10

20

30

40

50

、1、0、-1の3値信号に対して2の剰余を判別する回路として機能する。

【0058】

実施の形態2にかかる駆動回路DRV2では、プリコーダ3を設けることで、信号伝達部及び判別部の伝達関数を打ち消す。このように、信号伝達経路の伝達関数を打ち消すことで、受信データを簡単な回路で生成することができる。また、信号伝達経路の伝達関数を打ち消すことで、受信データDOUと送信データDIN1との相関関係を高めることができる。

【0059】

実施の形態3

実施の形態3では、実施の形態1にかかる駆動回路DRV1の変形例について説明する。そこで、実施の形態3にかかる駆動回路DRV3のブロック図を図18に示す。図18に示すように、実施の形態3にかかる駆動回路DRV3は、実施の形態1にかかる駆動回路DRV1にイコライズ係数調整回路6を追加したものである。

【0060】

イコライズ係数調整回路6は、送信信号補正部1におけるFIR型イコライズ処理で用いられる補正係数(例えば、イコライズ係数)を駆動部2の出力波形と送信データDINとに基づき調整する。図18に示す例では、イコライズ係数調整回路6は、差動信号として出力されるインダクタL1の駆動波形と送信データDINが入力され、これらから計算された調整後のイコライズ係数をイコライズ係数保持部11に出力する。

【0061】

ここで、イコライズ係数調整回路6の具体的な調整処理について説明する。イコライズ係数調整回路6は、送信データDINの値とインダクタL1の駆動波形から得られる送信回路側の送信データとの平均二乗誤差を最小にするようにイコライズ係数を調節する。より具体的には、以下の(2)式~(4)式をデータレートで反復計算することで平均二乗誤差を低減する。なお、(2)式~(4)式は、3つの送信データDINを用いて、イコライズ処理を行う場合のものである。

$$d = \text{sign}[x(n), x(n-1), x(n-2)] \quad \dots \quad (2)$$

$$\text{error} = \text{sign}(DIN(n) - DOU(n)) \quad \dots \quad (3)$$

$$w(n+1) = w(n) + \mu * \text{error} * d \quad \dots \quad (4)$$

(2)式では、dを変数とし、xを送信データDINの符号とし、nを送信データの送信順を示すものとする。そして、(2)式では、3つの送信データDINの符号を変数dとする。また、(3)式では、n番目の送信データDINと受信回路が出力するn番目の受信データDOUとの差分errorを計算する。そして、(4)式では、変数d、差分error及び係数調整単位μの乗算値をn回の反復計算後のイコライズ係数w(n)から引くことで、n+1回の反復計算後のイコライズ係数とする。このような計算方法を符号最小二乗誤差法と称す。

【0062】

このように、符号最小二乗誤差法により計算された平均二乗誤差の反復計算による遷移を図19に示す。図19に示すように、符号最小二乗誤差法により反復計算を進めることで、送信データDINと当該送信データDINに対応した受信データDOUとの間の平均二乗誤差は低減する。また、(2)式~(4)式の計算を反復して行った場合のイコライズ係数W1~W5の遷移を図20に示す。図20に示すように、イコライズ係数W1~W5は、所定の値に収束していく。

【0063】

上記説明より、イコライズ係数調整回路6を設けることで、イコライズ係数を予め計算することなく設定することができる。また、イコライズ係数調整回路6は、通信システムの状態に応じてイコライズ係数を変更する必要がある場合においても、イコライズ係数を適宜変更することを可能にする。

【0064】

実施の形態4

実施の形態 4 では、実施の形態 3 にかかるイコライズ係数調整回路 6 の変形例となるイコライズ係数調整回路 6 a について説明する。図 2 1 にイコライズ係数調整回路 6 a を有する駆動回路 D R V 4 のブロック図を示す。図 2 1 に示すように、イコライズ係数調整回路 6 a は、駆動回路の出力波形に代えてインダクタ L 2 に生じる受信信号の波形を入力とする。このような構成とした場合であっても、送信データ D O U T を再生できるため、イコライズ係数調整回路 6 a は、イコライズ係数調整回路 6 と同じ動作を行うことができる。

【 0 0 6 5 】

なお、受信回路側からの信号入力は、無線インタフェースを介して行っても良く、有線インタフェースを介して行っても良い。

10

【 0 0 6 6 】

実施の形態 4 の構成は、インダクタ L 1、L 2 との間の遅延が小さい場合や、イコライズ係数の更新速度が遅い場合に特に有効である。また、イコライズ係数調整回路 6 a では、受信回路側で生じた信号によりイコライズ係数の調整処理を行うため、より精度の高い調整を行うことが可能である。

【 0 0 6 7 】

実施の形態 5

実施の形態 5 では、送信波形の補正を受信回路側で行う例について説明する。より具体的には、実施の形態 5 では、受信回路の判別回路 D E T 1 において補正処理を行う。そこで、判別回路 D E T 1 のブロック図を図 2 2 に示す。図 2 2 に示すように、判別回路 D E T 1 は、受信信号補正部 4 と判別部 5 を有する。

20

【 0 0 6 8 】

受信信号補正部 4 は、受信信号においてインダクタ L 1、L 2 の自己共振に起因して生じた波形の歪みを補正し、補正後の受信信号を生成する。受信信号補正部 4 が補正処理を行う速度は送信データ D I N のデータレートに相当する速度で行われる。受信信号補正部 4 で行われる補正処理は、受信信号の n サイクル前に受信した n サイクル分の受信信号に基づき受信信号を補正する。より具体的には、受信信号補正部 4 は、イコライズ係数保持回路 1 0 1 と、F I R 型フィルタ回路とを有する。なお、F I R 型フィルタ回路では、F I R 型フィルタの機能による補正処理（例えば、イコライズ処理が行われるため、以下の説明では、F I R 型フィルタ回路を F I R 型イコライズ回路 1 0 2 と称す。イコライズ係数保持回路 1 0 1 は、F I R 型イコライズ回路 1 0 2 において用いられるイコライズ係数を保持する。実施の形態 5 では、このイコライズ係数は、予め設定されているものとする。

30

【 0 0 6 9 】

判別部 5 は、補正後の受信信号に基づき送信データ D I N の論理レベルを判別して受信データ D O U T を生成する。

【 0 0 7 0 】

続いて、受信信号補正部 4 で行われるイコライズ処理の具体的な説明を行う。受信信号補正部 4 で行われるイコライズ処理の処理原理を示す図を図 2 3 に示す。なお、図 2 3 では、イコライズ処理の動作原理を説明するために、イコライズ処理に必要な処理毎に具体的な回路を示した。図 2 3 に示すように、実施の形態 5 にかかる受信信号補正部 4 で行われるイコライズ処理は、遅延回路 1 1 1 1 ~ 1 1 1 n、乗算器 1 1 2 0 ~ 1 1 2 n、加算器 1 1 3 により実現できる。

40

【 0 0 7 1 】

遅延回路 1 1 1 1 ~ 1 1 1 n は、従属接続される。そして、遅延回路 1 1 1 1 ~ 1 1 1 n は、受信信号をデータレートの周期に相当する時間で遅延させる。そして、遅延回路 1 1 1 1 ~ 1 1 1 n は、遅延させた受信信号を次段の遅延回路に伝達する。乗算器 1 1 2 0 は、入力された受信信号とイコライズ係数 C 0 とを乗算して、乗算結果を出力する。乗算器 1 1 2 1 ~ 1 1 2 n は、遅延回路 1 1 1 1 ~ 1 1 1 n が出力する受信信号とイコライズ係数 C 1 ~ C n をそれぞれ乗算し、乗算結果を出力する。加算器 1 1 3 は、乗算器 1 1 2

50

0 ~ 1 1 2 n が出力した乗算結果を加算して補正後の受信信号 M R を生成する。

【 0 0 7 2 】

つまり、イコライズ処理では、受信信号を遅延させて、n サイクル分の受信信号を並列化する。そして、並列化した受信信号の受信順序に応じてイコライズ係数 $C_0 \sim C_n$ を乗算する。そして、イコライズ係数 $C_0 \sim C_n$ を乗じて得られた n 個の受信信号を加算して補正後の受信信号 M R を得る。

【 0 0 7 3 】

実施の形態 5 にかかる判別回路 D E T 1 は、アナログ信号として受信信号を受けて、送信データ D I N の論理レベルを判別する。そのため、判別回路 D E T 1 は、アナログ回路により受信信号補正部 4 を構成する。具体的には、遅延回路は、例えば、抵抗とコンデンサにより実現される。また、乗算器は、イコライズ係数に応じて出力能力が可変する増幅器を用いることができる。さらに、加算器は、乗算器の出力を 1 つのノードで連結することで実現できる。

10

【 0 0 7 4 】

F I R 型イコライズ回路を用いることで、実施の形態 1 と同様に、受信信号の歪みを補正できる。そのため、受信回路に F I R 型イコライズ回路 1 0 2 を設けることで、実施の形態 1 と同様に補正後の受信信号 M R は、振幅が収束までの時間を短くすることができる。また、当該 F I R 型イコライズ回路を用いることで、連続するデータ間の干渉を抑制することができる。

【 0 0 7 5 】

20

実施の形態 6

実施の形態 6 では、実施の形態 5 の受信信号補正部 4 の別の形態について説明する。実施の形態 6 では、受信信号補正部 4 に代えて受信信号補正部 7 を有する。そして、受信信号補正部 7 では、判定帰還型イコライズ回路を用いて補正処理を行う。そのため、受信信号補正部 7 は、イコライズ係数保持回路 1 2 1、判定帰還型イコライズ回路 1 2 2 を有する。イコライズ係数保持回路 1 2 1 は、判定帰還型イコライズ回路 1 2 2 において用いられるイコライズ係数を保持する。

【 0 0 7 6 】

判定帰還型イコライズ回路 1 2 2 は、受信信号の n サイクル前に受信した n 個の受信データ D O U T を用いて、受信信号を補正して補正後の受信信号 M R を出力する。つまり、判定帰還型イコライズ回路 1 2 2 では、受信信号の n サイクル前に受信した n 個の受信データに基づき前記受信信号を補正する。

30

【 0 0 7 7 】

続いて、受信信号補正部 7 で行われるイコライズ処理の具体的な説明を行う。受信信号補正部 7 で行われるイコライズ処理の処理原理を示す図を図 2 5 に示す。なお、図 2 5 では、イコライズ処理の動作原理を説明するために、イコライズ処理に必要な処理毎に具体的な回路を示した。図 2 5 に示すように、実施の形態 6 にかかる受信信号補正部 7 で行われるイコライズ処理は、遅延回路 1 3 1 1 ~ 1 3 1 n、乗算器 1 3 2 0 ~ 1 3 2 n、加算器 1 3 3、1 3 4 により実現できる。

【 0 0 7 8 】

40

遅延回路 1 3 1 1 ~ 1 3 1 n は、従属接続される。そして、遅延回路 1 3 1 1 ~ 1 3 1 n は、受信データ D O U T をデータレートの周期に相当する時間で遅延させる。そして、遅延回路 1 3 1 1 ~ 1 3 1 n は、遅延させた受信データ D O U T を次段の遅延回路に伝達する。乗算器 1 3 2 0 は、入力された受信信号とイコライズ係数 C_0 とを乗算して、乗算結果を出力する。乗算器 1 3 2 1 ~ 1 3 2 n は、遅延回路 1 3 1 1 ~ 1 3 1 n が出力する受信データとイコライズ係数 $C_1 \sim C_n$ をそれぞれ乗算し、乗算結果を出力する。加算器 1 3 3 は、乗算器 1 3 2 0 ~ 1 3 2 n が出力した乗算結果を加算して補正信号を出力する。加算器 1 3 4 は、補正信号と受信信号とを加算して補正後の受信信号 M R を生成する。

【 0 0 7 9 】

つまり、判定帰還型イコライズ処理では、受信データ D O U T を遅延させて、n サイク

50

ル分の受信信号を並列化する。そして、並列化した受信データDOUTの受信順序に応じてイコライズ係数 $C_0 \sim C_n$ を乗算する。続いて、イコライズ係数 $C_0 \sim C_n$ を乗じて得られた n 個の受信データDOUTを加算して補正信号を生成する。そして、当該補正信号と受信信号とを加算して補正後の受信信号MRを得る。

【0080】

実施の形態6にかかる判別回路DET2は、デジタル信号として出力される受信データDOUTを用いて補正值を生成する。そのため、加算器134を除く遅延回路、乗算器、加算器等の構成は、実施の形態1と同じ構成(例えば、図8の構成)を用いることができる。

【0081】

続いて、判定帰還型イコライズ回路122によるイコライズ処理による波形補正の概略について説明する。判定帰還型イコライズ回路122による受信信号、補正信号、及び、補正後の受信信号MRの波形図を図26に示す。図26に示すように、実施の形態6にかかる例では、受信信号はダイコード信号とはされない。補正信号は、受信信号の一つ目のピークを除くピークに対応した矩形波として生成される。そして、受信信号と補正信号とを足し併せることで、補正後の受信信号MRは、一つ目のピークを除きピークの振幅が抑制される。従って、一つ目のピークが生じるタイミングT2で受信信号を判別することで、受信データDOUTの論理レベルを確定することができる。図26に示す例では、タイミングT2において、受信信号の信号レベルが判定閾値電圧を上回っているのに対して、他のタイミングでは、全て受信信号の信号レベルは、無信号時の信号レベルとほぼ同じとなっている。

【0082】

続いて、受信信号のアイパターンを用いて補正処理の効果を説明する。そこで、図27に補正処理を行わない場合の受信信号のアイパターンを示す。また、図28に判定帰還型イコライズ回路122を用いて補正処理を行った場合の受信信号のアイパターンを示す。なお、図27、28のアイパターンは、判別部5に入力される受信信号のものである。

【0083】

図27では、波形の歪みによりアイパターンが崩れていることがわかる。このような信号を判別回路で判別することは難しい。一方、図28では、波形の歪みが補正され大きなアイパターンとなっており、受信信号の信号レベルの判別が容易であることがわかる。また、図28に示すように、判定帰還型イコライズ回路122により補正を行った場合、補正後の受信信号MRは、2値の信号となる。

【0084】

上記説明より、判定帰還型イコライズ回路122を用いた場合においても、受信信号の波形歪みを補正して、受信信号の振幅の収束を早めることができる。これにより、他の実施の形態と同様に、連続する送信データ間の干渉を防止し、インダクタL1、L2による自己共振周波数の制限を受けることなく高速な通信を実現することができる。

【0085】

実施の形態7

実施の形態7では、実施の形態6にかかる判別回路DET2の変形例について説明する。そこで、実施の形態7にかかる判別回路DET3のブロック図を図29に示す。図29に示すように、実施の形態7にかかる判別回路DET3は、実施の形態6にかかる判別回路DET1にイコライズ係数調整回路8を追加したものである。

【0086】

イコライズ係数調整回路8は、受信信号補正部7における判定帰還型イコライズ処理で用いられる補正係数(例えば、イコライズ係数)を判別部5が出力する受信データDOUTと判定帰還型イコライズ回路122により出力される補正後の受信信号MRの波形とに基づき調整する。

【0087】

ここで、イコライズ係数調整回路8の具体的な調整処理について説明する。イコライズ

10

20

30

40

50

係数調整回路 8 は、補正後の受信信号 MR の波形から得られる受信データと受信データ DOUT との平均二乗誤差を最小にするようにイコライズ係数を調節する。より具体的には、以下の (5) 式 ~ (7) 式をデータレートで反復計算することで平均二乗誤差を低減する。なお、(5) 式 ~ (7) 式は、3 つの受信データ DOUT を用いて、イコライズ処理を行う場合のものである。

$$d = \text{sign}[y(n), y(n-1), y(n-2)] \cdots (5)$$

$$\text{error} = \text{sign}(\text{DOUT}(n) - \text{MR}(n)) \cdots (6)$$

$$w(n+1) = w(n) + \mu * \text{error} * d \cdots (7)$$

(5) 式では、 d を変数とし、 y を受信データ DOUT の符号とし、 n を受信データの受信順を示すものとする。そして、(5) 式では、3 つの受信データ DOUT の符号を変数 d とする。また、(6) 式では、 n 番目の受信信号 MR と n 番目の受信データ DOUT との差分 error を計算する。そして、(7) 式では、変数 d 、差分 error 及び係数調整単位 μ との乗算値を n 回の反復計算後のイコライズ係数 $w(n)$ から引くことで、 $n+1$ 回の反復計算後のイコライズ係数とする。このような計算方法を符号最小二乗誤差法と称す。

【0088】

上記説明より、イコライズ係数調整回路 8 を設けることで、イコライズ係数を予め計算することなく設定することができる。また、イコライズ係数調整回路 8 は、通信システムの状態に応じてイコライズ係数を変更する必要がある場合においても、イコライズ係数を適宜変更することを可能にする。

【0089】

実施の形態 8

実施の形態 8 では、インダクタ L_1 、 L_2 の別の形態について説明する。そこで、インダクタ L_1 、 L_2 の別の形態を示す通信システムのブロック図を図 30 に示す。図 30 に示すように、実施の形態 8 にかかるインダクタ L_1 、 L_2 は、他の実施の形態にかかるインダクタのようにループ状の配線ではなく、端部を開放した配線により形成される。このような形状によりインダクタを形成した場合のインダクタ L_1 、 L_2 の等価回路図を図 31 に示す。

【0090】

図 31 に示すように、実施の形態 8 にかかるインダクタ L_1 、 L_2 の等価回路は、それぞれインダクタ L と配線抵抗 R が直列に接続され、寄生容量 C が接地電源と配線抵抗との間に接続される。また、インダクタ L_1 、 L_2 は、近づけることで結合係数 M を有する磁気結合を構成する。このように、インダクタ L_1 、 L_2 は、磁気結合によって無線通信ができる形状又は形態を有していればよい。

【0091】

その他の実施の形態

その他の形態では、上記実施の形態にかかる送信回路及び受信回路の実装形態について説明する。図 32 には、異なるプリント基板上に送信回路と受信回路とが実装される例を示す例である。

【0092】

図 32 に示す例では、プリント基板 PB_1 に送信回路及び処理回路 A が実装される。また、プリント基板 PB_1 には、インダクタ L_1 を構成する配線が形成される。そして、このインダクタ L_1 を送信回路が駆動する。また、プリント基板 PB_2 には受信回路及び処理回路 B が実装される。また、プリント基板 PB_2 には、インダクタ L_2 を構成する配線が形成される。そして、このインダクタ L_2 を介して受信回路は受信信号を受信する。

【0093】

つまり、図 32 に示す例では、送信回路と受信回路とが異なる半導体基板上に形成されることで絶縁される。また、インダクタ L_1 、 L_2 は送信回路及び受信回路に対して外付け部品として実装される。

【0094】

10

20

30

40

50

このような実装形態は、例えば、フラッシュメモリ等の半導体記憶装置と当該半導体記憶装置を利用する処理装置との間のインタフェースとして利用できる。この実装形態では、処理回路 A、B の一方にフラッシュメモリ等の半導体記憶装置が形成され、処理回路 A、B の他方にパーソナルコンピュータ等が形成される。

【0095】

また、インダクタにより形成されるトランス、送信回路及び受信回路を複数設けることで、これら複数のインダクタにより信号伝達経路を複数形成することもできる。このようにインタフェースを構成することで、例えば、現在利用されている複数の端子を有するインタフェースを無線インタフェースに置き換えることができる。ここで、本発明にかかる送信回路及び受信回路では、インダクタの自己共振周波数によりデータレートが制限されないため、従来のインタフェースのデータレートとインダクタを介した無線インタフェースのデータレートを容易に適合させることができる。つまり、従来のインタフェースの仕様を維持したまま、当該インタフェースの無線化が可能になる。

10

【0096】

また、図32に示す実装形態は、携帯電話等の携帯端末に利用することもできる。例えば、携帯電話に送信回路が実装されたプリント基板PB1を設け、他の端末に受信回路が実装されたプリント基板PB2を設けることで、携帯端末と他の装置との間のインタフェースを形成することができる。

【0097】

また、図33には、送信回路と受信回路とが異なる電源電圧で動作する場合における送信回路と受信回路の実装例を示す。図33に示すように、送信回路と受信回路との電源電圧が異なる場合、一般的には送信回路と受信回路とを絶縁することが好ましい。異なる電源電圧で動作する回路を絶縁することなく接続した場合、電源電圧の電圧差に起因して電流の逆流等の不具合を生じることがある。この絶縁方法は、送信回路と受信回路を別個の半導体装置に形成する方法と、送信回路と受信回路を同一の半導体チップ上において互いに絶縁された別個の領域に形成する方法などがある。互いに絶縁された回路間においては、単純な接続だけでは信号を伝達できない問題があるが、このような場合において、インダクタを利用した無線インタフェースを利用することで回路間の通信が可能になる。また、本発明にかかる送信回路及び受信回路では、インダクタによりデータレートが制限されないため、互いに絶縁された回路間の通信速度を高めることができる。

20

30

【0098】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、プリコーダ及びイコライズ補正回路は、全ての実施例に適用可能である。

【0099】

以上のように、パルスの送信間隔の逆数のデータレート R_b がインダクタ L_1 とインダクタ L_2 との自己共振周波数よりも高いように通信するケースを示した。なお、インダクタ L_1 とインダクタ L_2 の自己共振周波数はほぼ等しく形成することが望ましい。しかしながら、インダクタ L_1 とインダクタ L_2 自己共振周波数が異なる場合は、 L_2 の自己共振周波数により受信波形が規定されるため、送受信するデータレートが L_2 の自己共振周波数よりも高いようにするとよい。

40

【符号の説明】

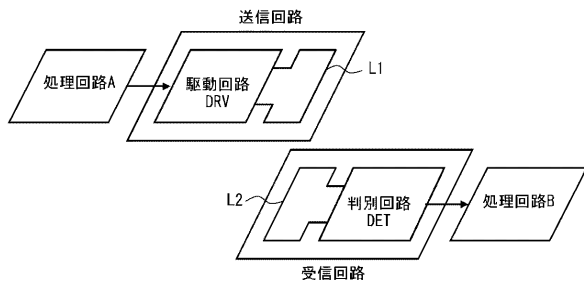
【0100】

DRV、DRV1～DRV4 駆動回路
DET、DET1～DET3 判別回路
L1、L2 インダクタ
1 送信信号補正部
2 駆動部
3 プリコーダ
4、7 受信信号補正部

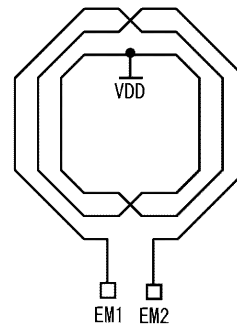
50

5	判別部	
6、6 a、8	イコライズ係数調整回路	
1 1、1 0 1	イコライズ係数保持回路	
1 2、1 0 2	F I R型イコライズ回路	
3 1 1 ~ 3 1 n、1 3 1 1 ~ 1 3 1 n		遅延回路
3 2 0 ~ 3 2 n、1 3 2 0 ~ 1 3 2 n		乗算器
3 3、1 3 3、1 3 4	加算器	
4 0	データ遅延回路	
4 1 1 ~ 4 1 5	マルチプレクサ	
4 2 1 ~ 4 2 5	送信信号出力回路	
5 1 ~ 5 8、6 0 ~ 6 2、6 4 ~ 6 6、6 8 ~ 7 0		フリップフロップ
6 3、6 7、7 1	セレクタ	
7 2	インバータ	
8 0	差動増幅部	
8 1	可変電流源	
M N 1 ~ M N 1 2	トランジスタ	

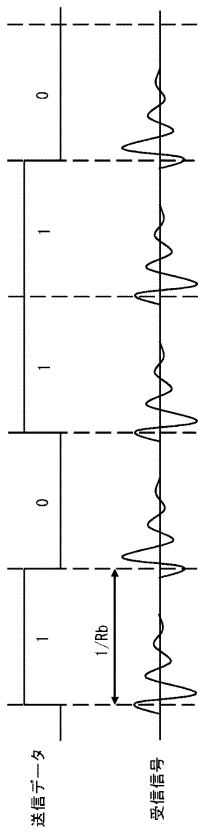
【 図 1 】



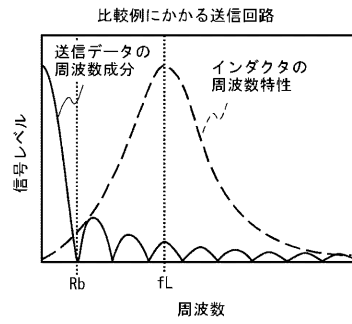
【 図 2 】



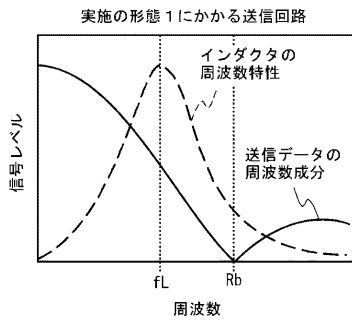
【 図 3 】



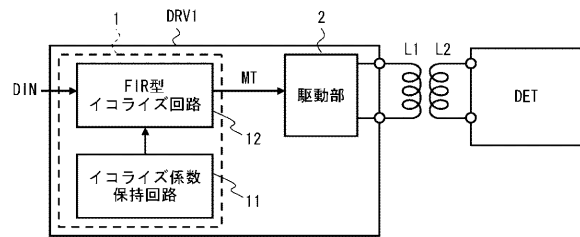
【 図 4 】



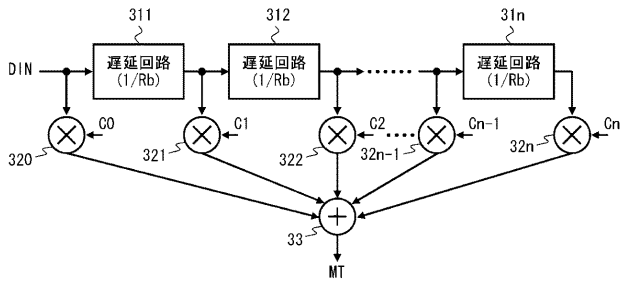
【 図 5 】



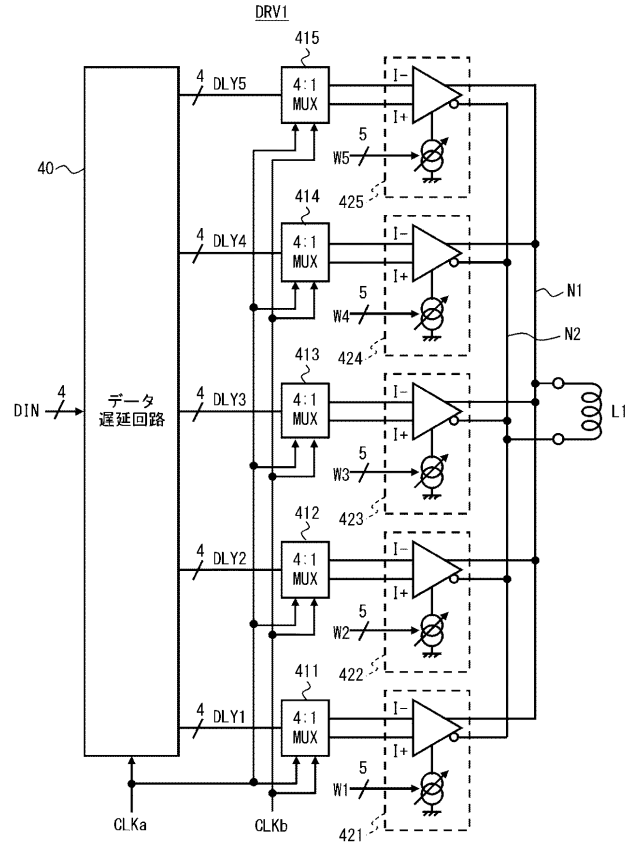
【 図 6 】



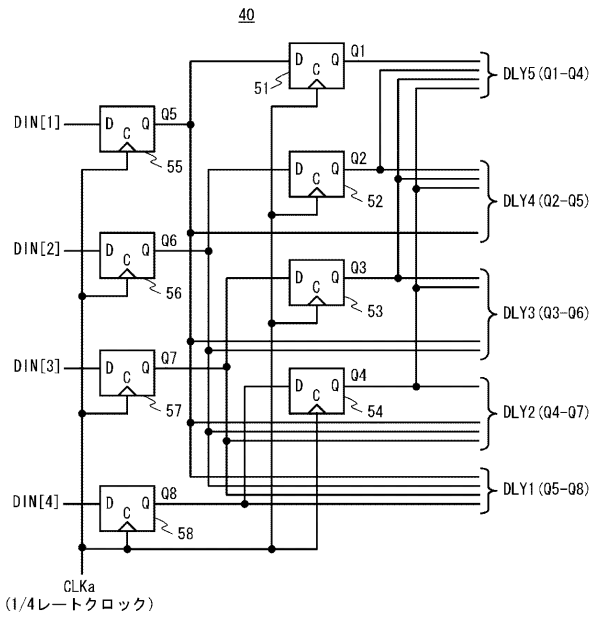
【 図 7 】



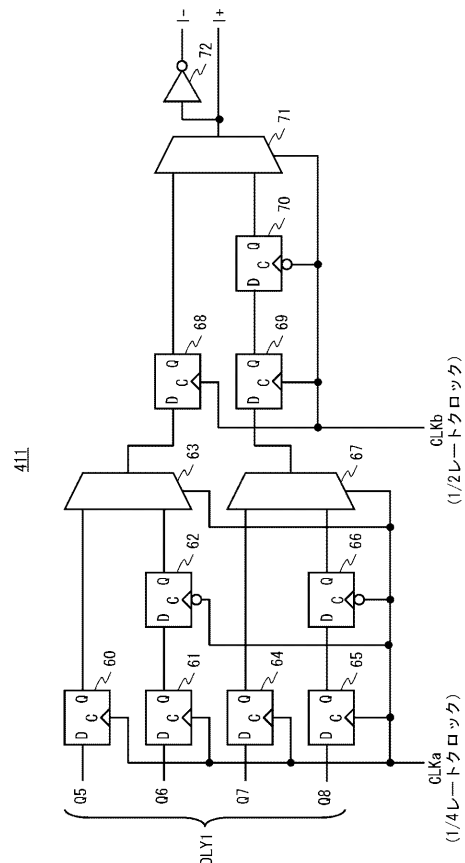
【 図 8 】



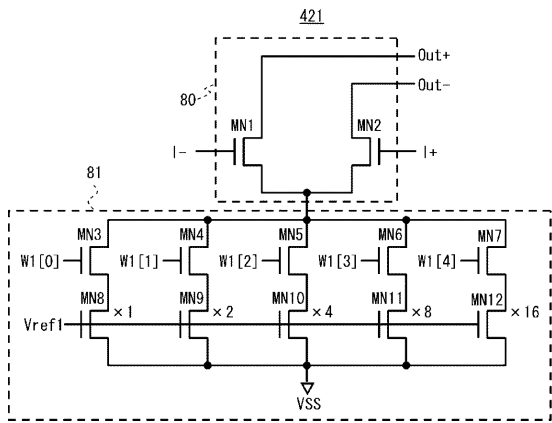
【 図 9 】



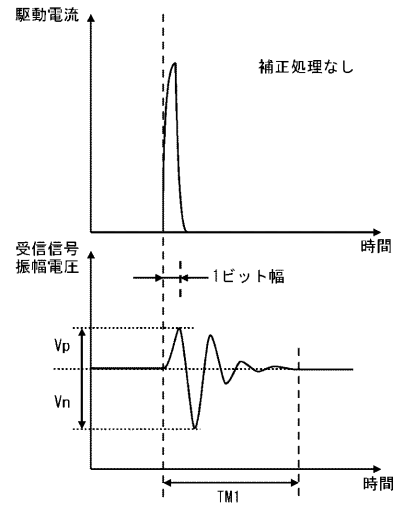
【 図 10 】



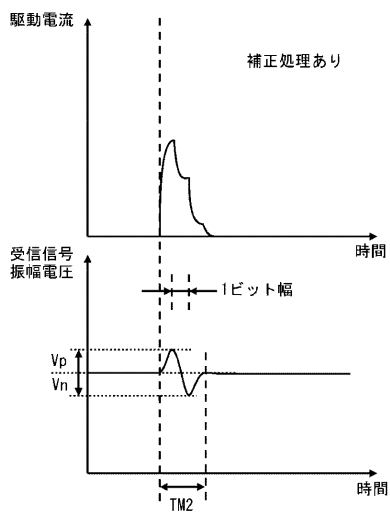
【図 1 1】



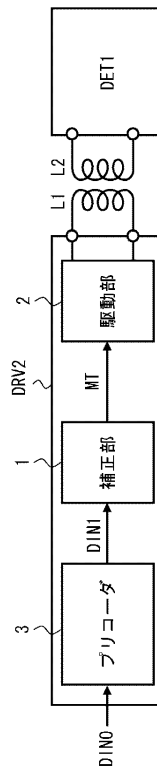
【図 1 2】



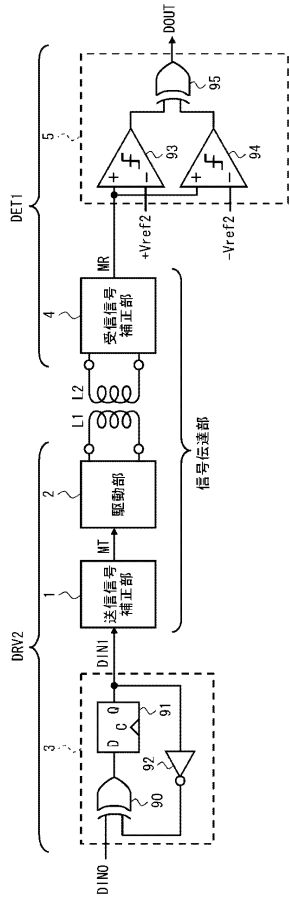
【図 1 3】



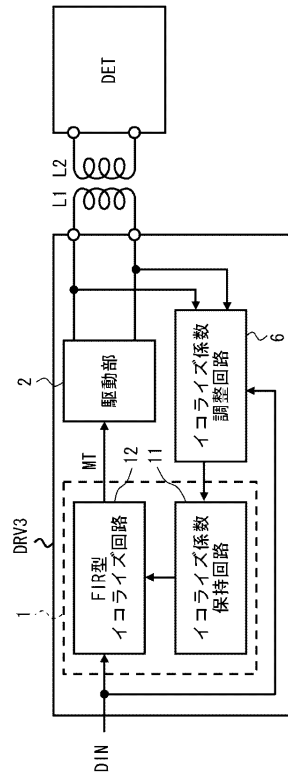
【図 1 6】



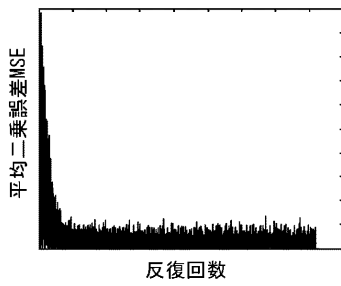
【 図 1 7 】



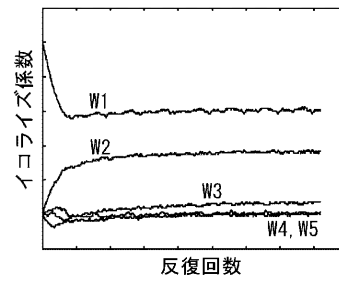
【 図 1 8 】



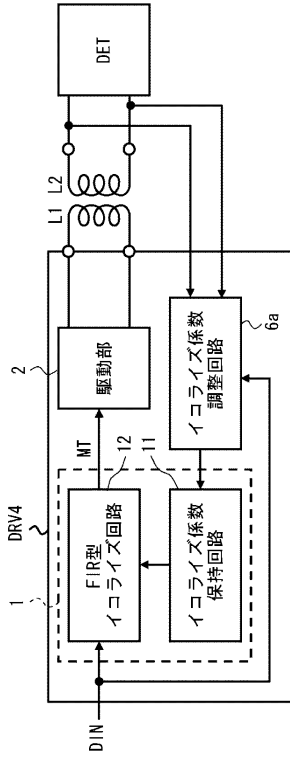
【 図 1 9 】



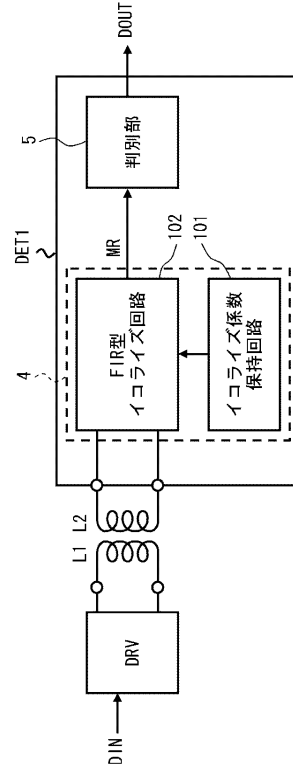
【 図 2 0 】



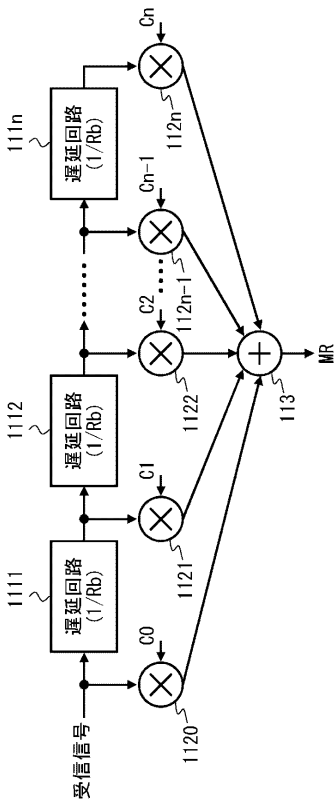
【図 2 1】



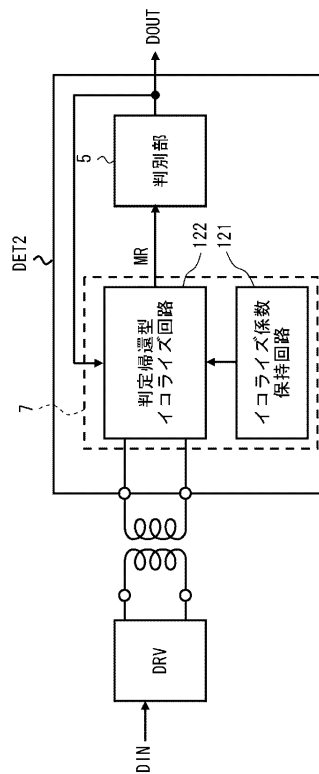
【図 2 2】



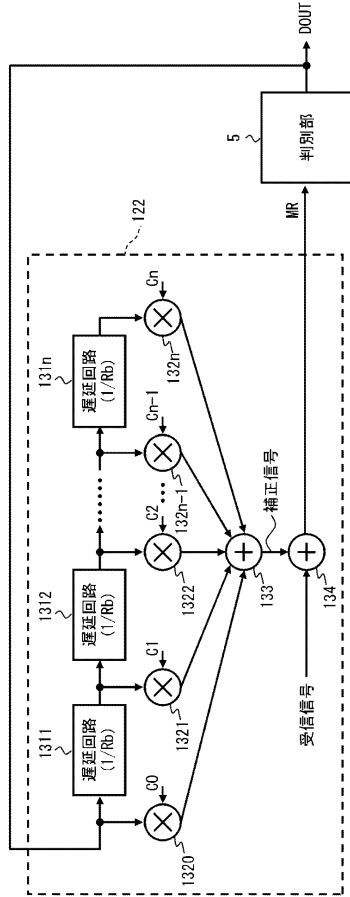
【図 2 3】



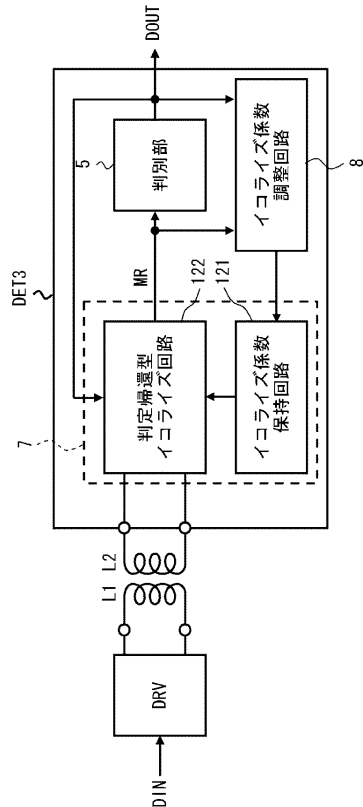
【図 2 4】



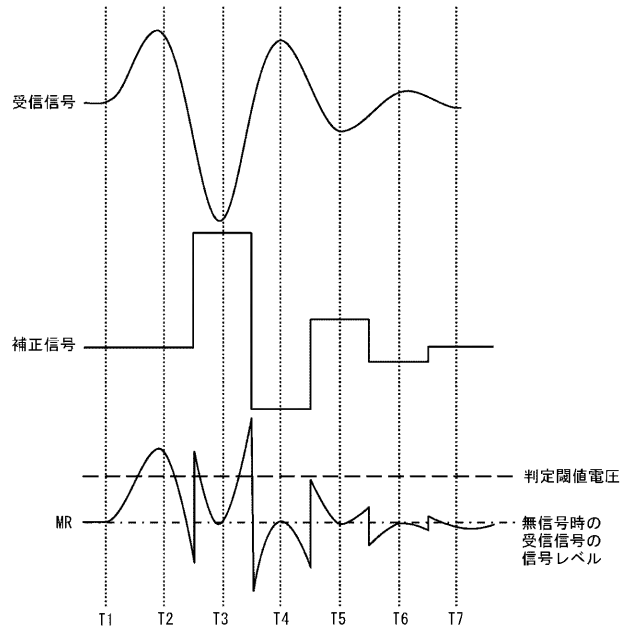
【図 25】



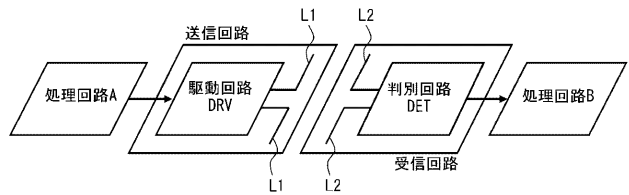
【図 29】



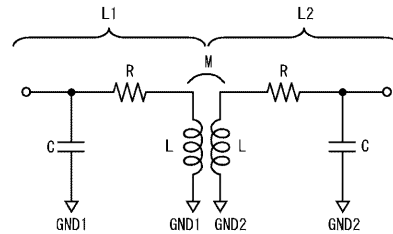
【図 26】



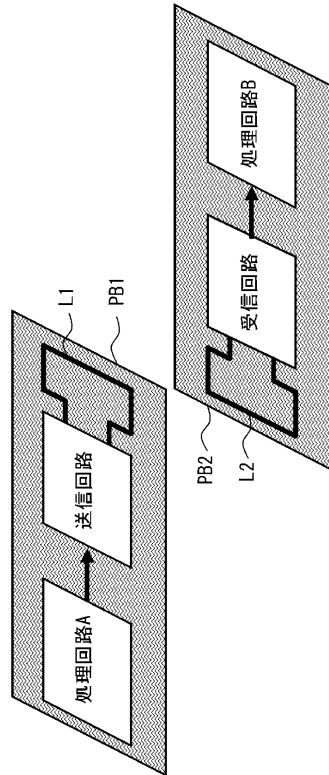
【図 30】



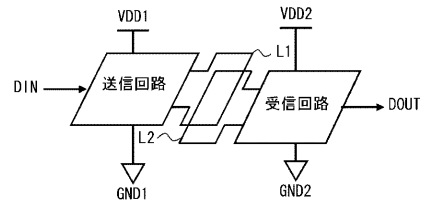
【図 31】



【 図 3 2 】

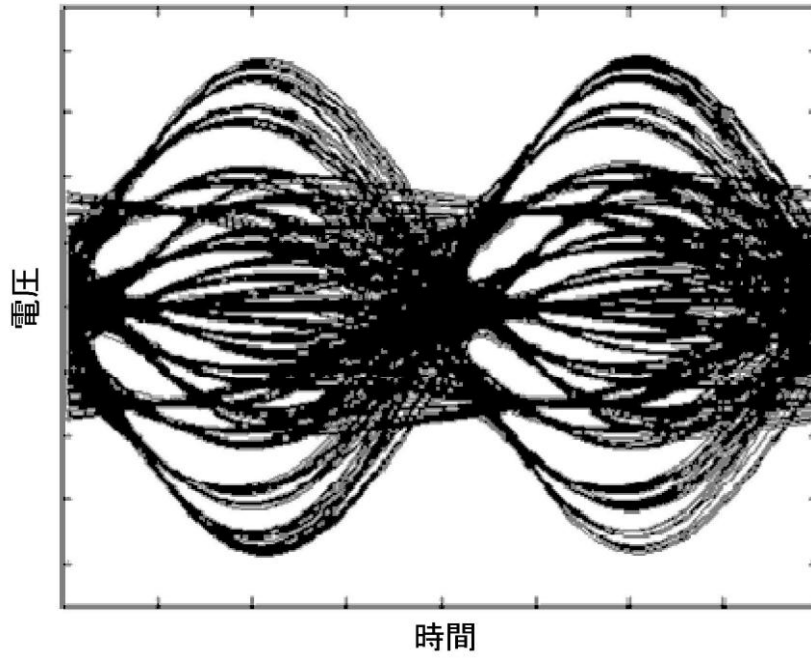


【 図 3 3 】

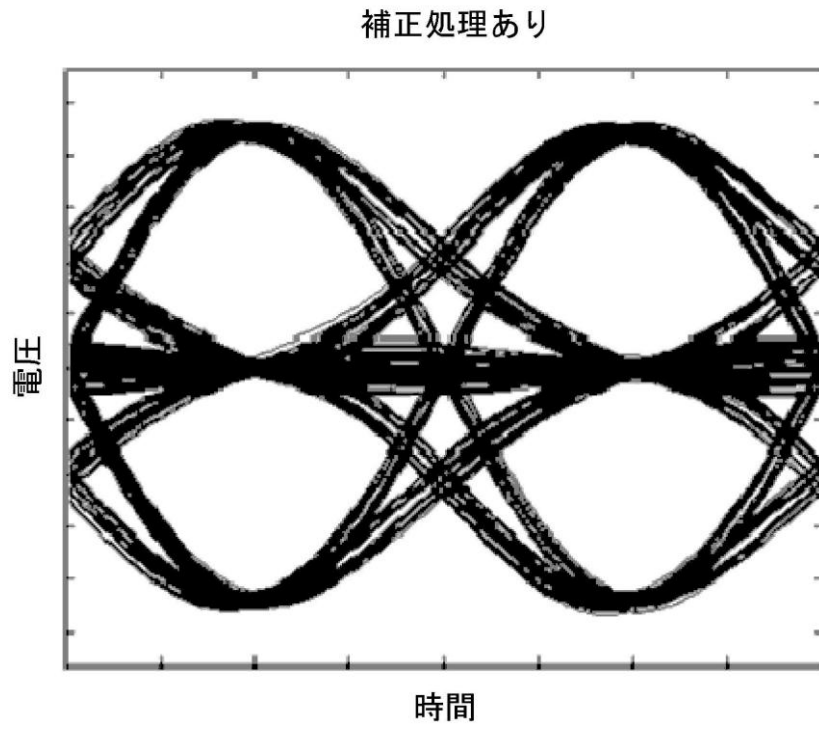


【 図 1 4 】

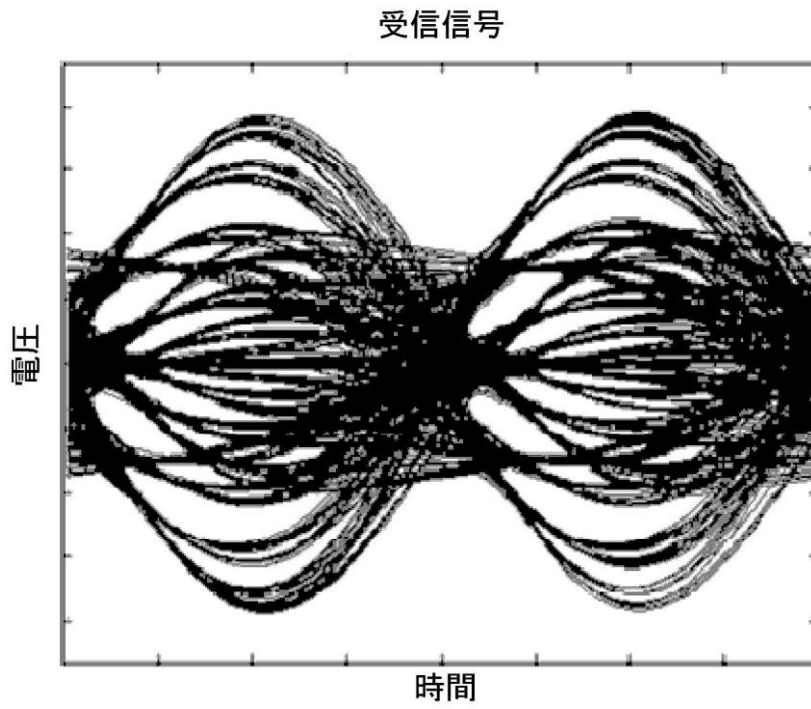
補正処理なし



【 図 1 5 】



【 図 2 7 】



【 図 2 8 】

