



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/04 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월22일 10-0697750 2007년03월14일
---	-------------------------------------	--

(21) 출원번호	10-2005-0043509	(65) 공개번호	10-2006-0046150
(22) 출원일자	2005년05월24일	(43) 공개일자	2006년05월17일
심사청구일자	2005년05월24일		

(30) 우선권주장 JP-P-2004-00155051 2004년05월25일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고

(72) 발명자 사또 고이찌
일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시끼가이샤 도시바지적
재산본부내

(74) 대리인 장수길
구영창

(56) 선행기술조사문헌
JP2003318265 A
* 심사관에 의하여 인용된 문헌

심사관 : 박혜련

전체 청구항 수 : 총 20 항

(54) 정전 보호 회로 및 이것을 이용한 반도체 집적 회로 장치

(57) 요약

제1 노드(15)와, 상기 제1 노드(15)와 전기적으로 분리된 제2 노드(13)와, 트리거 신호가 공급되었을 때에 상기 제1 노드로부터 제2 노드에 이르는 방전로를 형성하는 ESD 보호 회로(20)와, 상기 제1, 제2 노드 사이에 접속된 피보호 회로 내에 포함되고, 상기 제1 노드에 소스, 드레인의 한쪽이 접속되고, ESD 전압이 인가되지 않는 통상의 동작 시에는 상기 피보호 회로의 일부로서 기능함과 함께, 상기 제1 노드에 ESD 전압이 인가되었을 때에 드레인, 소스 사이가 도통하는 MOS 소자(17)를 갖고, 이 MOS 소자의 도통 시에 상기 ESD 보호 회로에 트리거 신호를 공급하는 트리거 회로(19)를 구비하는 정전 보호 회로 및 이것을 이용한 반도체 집적 회로 장치에 관한 것이다.

대표도

도 1

특허청구의 범위

청구항 1.

제1 노드와,

상기 제1 노드와 전기적으로 분리된 제2 노드와,

트리거 단자를 갖고, 이 트리거 단자에 트리거 신호가 공급되었을 때에 상기 제1 노드로부터 제2 노드에 이르는 방전로를 형성하는 ESD 보호 회로와,

상기 제1, 제2 노드 사이에 접속되는 피보호 회로 내에 포함되고, 상기 제1 노드에 소스, 드레인의 한쪽이 접속되고, ESD 전압이 인가되지 않는 통상의 동작 시에는 상기 피보호 회로의 일부로서 기능함과 함께, 상기 제1 노드에 통상의 동작 시에 인가되는 소정값 이상의 ESD 전압이 인가되었을 때에는 드레인, 소스 사이가 도통하는 제1 MOS 소자를 갖고, 이 제1 MOS 소자의 도통 시에 상기 ESD 보호 회로의 트리거 단자에 트리거 신호를 공급하는 트리거 회로

를 구비하는 것을 특징으로 하는 정전 보호 회로.

청구항 2.

제1항에 있어서,

상기 ESD 보호 회로는, 상기 트리거 회로의 트리거 신호에 의해 도통하여 상기 방전로를 형성하여 ESD 서지 전압을 방전하는 바이폴라 트랜지스터를 포함하는 정전 보호 회로.

청구항 3.

제1항에 있어서,

상기 트리거 회로는, 통상의 동작 상태에서는 항상 오프로 설정되고, 상기 제1 노드에 대한 ESD 서지 전압 인가 시에 상기 제1 MOS 소자의 소스, 드레인의 한쪽의 전위의 상승에 따라 상기 ESD 보호 회로의 트리거 단자에 트리거 신호를 부여하는 제2 MOS 소자를 포함하는 정전 보호 회로.

청구항 4.

제2항에 있어서,

상기 트리거 회로는, 통상의 동작 상태에서는 항상 오프로 설정되고, 상기 제1 노드에 대한 ESD 서지 전압 인가 시에 상기 제1 MOS 소자의 소스, 드레인의 한쪽의 전위의 상승에 따라 상기 ESD 보호 회로의 트리거 단자에 트리거 신호를 부여하는 제2 MOS 소자를 포함하는 정전 보호 회로.

청구항 5.

제3항에 있어서,

상기 제1 MOS 소자의 소스, 드레인의 다른 쪽과 상기 제2 노드 사이에 접속되어 논리 제어된 제3 MOS 소자를 더 구비하는 정전 보호 회로.

청구항 6.

제3항에 있어서,

상기 제1 MOS 소자의 소스, 드레인의 다른 쪽과 상기 제2 노드 사이에 접속된 저항 소자를 더 구비하는 정전 보호 회로.

청구항 7.

소정의 전위가 공급된 제1 전원 단자와 접지된 제2 전원 단자 사이에 접속되어 바이어스되는 내부 회로와,

데이터 입출력 단자와,

상기 내부 회로에 의해 논리 제어되어 상기 데이터 입출력 단자에 드레인, 소스의 한쪽이 접속된 버퍼 회로를 구성하는 제1 MOS 소자와,

상기 데이터 입출력 단자와 상기 제2 전원 단자 사이에 접속된 방전로와 트리거 단자를 갖는 ESD 보호 회로와,

상기 제1 MOS 소자의 드레인, 소스의 다른 쪽과 트리거 단자 사이에 접속된 트리거 회로를 구비하고,

ESD 전압이 인가되지 않는 통상의 동작 시에는 상기 제1 MOS 소자는 상기 버퍼 회로로서 기능하며, ESD 전압 인가 시에는 이 제1 MOS 소자로부터 트리거 회로를 통하여 ESD 보호 회로에 트리거 전류가 흐르도록 구성하는 반도체 집적 회로 장치.

청구항 8.

제7항에 있어서,

상기 제1 전원 단자에는 플러스의 전원 전압이 인가되고,

상기 제1 MOS 소자는 NMOS 소자이고,

상기 버퍼 회로는, 상기 제1 전원 단자와 데이터 입출력 단자 사이에 접속된 제1 PMOS 소자와, 상기 데이터 입출력 단자와 접지된 제2 전원 단자 사이에 접속된 상기 NMOS 소자와 저항 소자의 직렬 회로를 포함하고,

상기 트리거 회로는, 상기 NMOS 소자의 소스와 상기 트리거 단자 사이에 소스, 드레인이 접속되고, 상기 제1 전원 단자에 게이트가 접속된 제2 PMOS 소자를 포함하며,

ESD 전압이 인가되지 않는 통상의 동작 시에는 상기 NMOS 소자는 상기 버퍼 회로의 일부로서 기능하고, ESD 전압 인가 시에는 이 NMOS 소자로부터 상기 제2 PMOS 소자를 통하여 ESD 보호 회로에 트리거 전류가 흐르는 반도체 집적 회로 장치.

청구항 9.

제8항에 있어서,

상기 제1 전원 단자와 데이터 입출력 단자 사이에는 제1 다이오드가 역방향으로 접속되고, 상기 데이터 입출력 단자와 상기 제2 전원 단자 사이에 역방향 접속된 제2 다이오드를 포함하는 반도체 집적 회로 장치.

청구항 10.

제7항에 있어서,

제1 전원 단자에는 플러스의 전원 전압이 인가되고,

상기 제1 MOS 소자는 제1 NMOS 소자이고,

상기 버퍼 회로는, 상기 제1 전원 단자와 데이터 입출력 단자 사이에 접속된 제1 PMOS 소자와, 상기 데이터 입출력 단자와 접지된 제2 전원 단자 사이에 상기 제1 NMOS 소자와 직렬로 접속된 제2 NMOS 소자를 포함하며,

상기 트리거 회로는, 상기 제1 NMOS 소자의 소스와 상기 트리거 단자 사이에 소스, 드레인이 접속되고, 상기 제1 전원 단자에 게이트가 접속된 제2 PMOS 소자를 포함하고,

ESD 전압이 인가되지 않는 통상의 동작 시에는 상기 제1 NMOS 소자는 상기 버퍼 회로의 일부로서 기능하고, ESD 전압 인가 시에는 이 제1 NMOS 소자로부터 상기 제2 PMOS 소자를 통하여 ESD 보호 회로에 트리거 전류가 흐르는 반도체 집적 회로 장치.

청구항 11.

제10항에 있어서,

상기 ESD 보호 회로는, 상기 데이터 입출력 단자에 접속된 에미터와 저항 소자를 통하여 상기 제2 전원 단자에 접속된 콜렉터를 갖는 제1 바이폴라 트랜지스터와, 상기 저항과 콜렉터와의 접속점에 베이스가 접속되고, 상기 제1 바이폴라 트랜지스터의 베이스에 콜렉터가 접속되고, 에미터가 접지된 제2 바이폴라 트랜지스터를 갖는 SCR 회로를 포함하고, 상기 트리거 회로의 출력 트리거 신호는 상기 제2 바이폴라 트랜지스터의 베이스에 공급되는 반도체 집적 회로 장치.

청구항 12.

제11항에 있어서,

상기 제1 전원 단자와 데이터 입출력 단자 사이에는 제1 다이오드가 역방향으로 접속되고, 상기 데이터 입출력 단자와 상기 제1 바이폴라 트랜지스터의 에미터 사이에 역방향 접속된 제2 다이오드를 포함하는 반도체 집적 회로 장치.

청구항 13.

제7항에 있어서,

상기 ESD 보호 회로는, 상기 트리거 회로의 출력 트리거 신호에 의해 도통하여 ESD 서지 전압을 방전하는 제1 바이폴라 트랜지스터를 포함하는 방전로를 갖는 반도체 집적 회로 장치.

청구항 14.

제7항에 있어서,

상기 트리거 회로는, 통상의 상태에서는 항상 오프로 설정되고, ESD 서지 전압 인가 시에 상기 제1 MOS 소자의 출력에 따라 상기 ESD 보호 회로의 트리거 단자에 트리거 신호를 부여하는 제2 MOS 소자를 포함하는 반도체 집적 회로 장치.

청구항 15.

제13항에 있어서,

상기 트리거 회로는, 통상의 상태에서는 항상 오프로 설정되고, ESD 서지 전압 인가 시에 상기 제1 MOS 소자의 출력에 따라 상기 ESD 보호 회로의 트리거 단자에 트리거 신호를 부여하는 제2 MOS 소자를 포함하는 반도체 집적 회로 장치.

청구항 16.

제1 노드와,

상기 제1 노드와 전기적으로 분리된 제2 노드와,

상기 제1, 제2 노드와 전기적으로 분리된 제3 노드와,

상기 제1, 제2 노드 사이에 접속된 방전로를 갖는 제1 ESD 보호 회로와,

상기 제1, 제3 노드 사이에 접속된 방전로를 갖는 제2 ESD 보호 회로와,

상기 제2, 제3 노드 사이에 접속된 방전로를 갖는 제3 ESD 보호 회로와,

상기 제1, 제2, 제3 ESD 보호 회로의 트리거 단자에 각각 접속된 제1, 제2, 제3트리거 회로와,

상기 제1, 제2, 제3 노드에 접속된 피보호 회로 내에 포함되고, 상기 제1 노드에 소스, 드레인의 한쪽이 접속되고, 상기 제1, 제2 트리거 회로에 소스, 드레인의 다른 쪽이 공통 접속되며, 상기 제1 노드에 ESD 전압이 인가되지 않는 통상의 동작 시에는 상기 피보호 회로의 일부로서 기능함과 함께, 상기 제1 노드에 ESD 전압이 인가되었을 때에는 상기 제1, 제2 트리거 회로에 트리거 전류를 공급하는 제1 및 제2 MOS 소자와,

상기 피보호 회로 내에 포함되고, 상기 제2 노드에 소스, 드레인의 한쪽이 접속되고, 상기 제3 트리거 회로에 소스, 드레인의 다른 쪽이 접속되고, 상기 제2 노드에 ESD 전압이 인가되지 않는 통상의 동작 시에는 상기 피보호 회로의 일부로서 기능함과 함께, 상기 제2 노드에 ESD 전압이 인가되었을 때에는 상기 제3 트리거 회로에 트리거 전류를 공급하는 제3 MOS 소자

를 구비하는 정전 보호 회로.

청구항 17.

제16항에 있어서,

상기 제1, 제2 노드 사이, 제1, 제3 노드 사이, 및 제2, 제3 노드 사이에 각각 역방향 접속된 제1, 제2, 제3 다이오드를 더 포함하는 정전 보호 회로.

청구항 18.

제1, 제2 전원 단자 사이에 접속된 내부 회로와,

이 내부 회로에 접속된 데이터 입출력 단자와,

상기 제1 전원 단자와 데이터 입출력 단자 사이에 접속된 제1 ESD 보호 회로와,

상기 제2 전원 단자와 데이터 입출력 단자 사이에 접속된 제2 ESD 보호 회로를 구비하고, 상기 내부 회로는,

상기 제1 전원 단자와 제1 ESD 보호 회로 사이에 접속된 제1 MOS 소자를 포함하고, ESD 전압이 인가되지 않는 통상 동작 시에는 상기 내부 회로의 일부로서 기능하고, ESD 전압 인가 시에는 상기 제1 ESD 보호 회로에 대한 트리거 신호를 공급하는 제1 트리거 신호 공급 회로와,

상기 데이터 입출력 단자와 상기 제2 ESD 보호 회로 사이에 접속된 제2 MOS 소자를 포함하며, ESD 전압이 인가되지 않는 통상 동작 시에는 상기 내부 회로의 일부로서 기능하고, ESD 전압 인가 시에는 상기 제2 ESD 보호 회로에 대한 트리거 신호를 공급하는 제2 트리거 신호 공급 회로

를 구비하는 반도체 집적 회로 장치.

청구항 19.

제18항에 있어서,

상기 제1 트리거 신호 공급 회로는 상기 제1 전원 단자가 정상의 전압값일 때에는 비동작 상태로 설정되고, 상기 데이터 입출력 단자에 ESD 전압이 인가되었을 때에 이 전압값과 ESD 전압과의 상대 전압값의 대소 관계가 역전함으로써 동작 상태로 설정되는 반도체 집적 회로 장치.

청구항 20.

소정 전위의 전원 단자와 접지 단자 사이에 접속된 ESD 보호 회로와,

상기 전원 단자와 접지 단자 사이에 접속된 피보호 회로와,

상기 피보호 회로 내에 포함되고, 상기 전원 단자에 드레인, 소스의 한쪽이 접속되고, ESD 전압이 인가되지 않을 때에는 상기 피보호 회로의 일부로서 기능함과 함께 상기 전원 단자에 ESD 서지 전압이 인가되었을 때에 도통하여 전류가 흐르는 MOS 회로를 포함하며, 상기 전류를 상기 ESD 보호 회로에 대한 트리거 신호로서 공급하는 트리거 신호 공급 회로

를 구비하는 정전 보호 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<관련 출원>

본 출원은 여기에 그 전체 내용이 참조로서 포함된 2004년 5월 25일 출원된 일본 특허 출원 번호 제2004-155051호를 우선권 주장하며 이를 기초로 하고 있다.

본 발명은, 정전 보호 회로 및 이것을 이용한 반도체 집적 회로 장치에 관한 것이다.

발명이 이루고자 하는 기술적 과제

반도체 집적 회로 장치의 인터페이스의 고속화에 수반하여, 반도체 집적 회로의 내부 회로와 입출력 단자 사이에 접속되는 입출력 버퍼 회로에서도 점점더 고속화가 요구되고 있다. 통상은, 내부 회로의 로직 회로부가 특히 고속화에 대응하도록

요구되며, 이 때문에 그 구성 부품으로서 게이트 절연막을 얇게 형성한 박막 트랜지스터가 이용된다. 한편, 입출력 버퍼 회로는 게이트 절연막을 두껍게 형성한 후막 트랜지스터로 구성되어 있지만, 고속화에 대응하기 위해 이 입출력 버퍼 회로도 박막 트랜지스터로 구성해야 하는 경우도 있다.

예를 들면 도 7에 도시한 바와 같이 전압이 각각 VDD, VSS인 전원 단자(74, 75) 사이에 한쌍의 박막의 PMOS 소자(71), NMOS 소자(72)로 구성된 출력 버퍼 회로(76)가 접속된다. 이 출력 버퍼 회로(76)의 출력이 I/O 단자(73)에 접속된다. 이 출력 버퍼 회로(76)와 병렬로, PMOS 소자(77), NMOS 소자(78)로 구성된 ESD(electrostatic discharge) 보호 회로(79)가 형성된다. 이 경우, 보호 회로(79)를 구성하는 NMOS 소자(78)는 I/O 단자(73)에 인가되는 출력 신호에 의해 도통하지 않도록, 그 게이트는 전원에 접속되어 있고, 통상 동작 시에는 오프로 되도록 설정되어 있다.

이 상태에서 ESD 전압이 I/O 단자(73)에 인가되었을 때에, 만약 출력 버퍼 회로(76)의 박막 트랜지스터(71, 72)의 게이트가 플로팅 상태로 되어 있으면, 이 출력 버퍼 회로(76)가 먼저 온 상태로 되어 버린다. 이 결과, 출력 버퍼 회로(76)를 구성하는 NMOS 소자(72)로부터 VSS 단자(75)에 큰 ESD 서지 전류가 흐르므로, ESD 보호 회로(79)가 보호 동작을 행하기 전에 이 NMOS 소자(72)가 파괴된다.

또한, ESD 보호 회로(79)는 그 방전로의 전류 용량을 크게 하기 위해 사이즈를 크게 해야 하지만, 일반적으로 큰 사이즈의 MOS 소자는 기생 용량이 크고, 고속화에 반하는 구성으로 된다. 이 때문에, ESD 보호 회로로서는, 도 8에 도시한 바와 같이 MOS 소자를 이용하는 대신에 저기생 용량이고, 방전 능력이 높은 SCR과 같은 보호 소자(81)를 사용해야 한다. 이 도 8의 회로에서는, VDD 단자(74)와 I/O 단자(73) 사이에는 다이오드(82)에 의해 분리되어 있고, I/O 단자(73)와 VSS 단자(75) 사이에는 다이오드(83)에 의해 분리되어 있다.

이 SCR로 구성된 보호 소자(81)를 ESD 보호 회로로서 이용하는 경우에도, 이 SCR의 트리거 전압이 버퍼 회로(76)의 NMOS 소자(72)의 트리거 전압보다 낮게 되도록 설정해야 하지만, 도 7, 도 8과 같은 버퍼 회로나 내부 회로의 게이트는 일반적으로 ESD 인가 시에는 전위가 정해지지 않은 플로팅 상태에 가까우므로 트리거 전압을 예측하는 것은 어렵다. 예를 들면 MOS 소자(72)의 트리거 전압을 모든 경우에 정확하게 설정하는 것은 불가능하다. 이 때문에, 보호 소자(81)측의 트리거 전압의 설정도 곤란하다.

이 SCR로 구성된 ESD 보호 회로를 이용하는 종래 기술로서 예를 들면 일본 특개평8-293583호 공보에 기재되어 있는 것이 있다. 이 공보에 기재된 기술에서는 입출력 버퍼를 보호하기 위해 SCR을 이용하고 있지만, 이 SCR을 트리거하기 위한 SCR 트리거 전용 회로를 입출력 버퍼와는 별도로 형성하고 있기 때문에 구성이 복잡하게 됨과 함께, ESD 전압이 인가되었을 때에 SCR 트리거 전용 회로가 동작하기 전에 보호할 버퍼 회로가 먼저 동작하여 ESD에 의한 대전류가 버퍼 회로에 흘러 파괴될 우려가 있다.

발명의 구성

본 발명의 일 실시예에 따르면, 제1 노드와, 상기 제1 노드와 전기적으로 분리된 제2 노드와, 트리거 단자를 갖고, 이 트리거 단자에 트리거 신호가 공급되었을 때에 상기 제1 노드로부터 제2 노드에 이르는 방전로를 형성하는 ESD 보호 회로와, 상기 제1, 제2 노드 사이에 접속된 피보호 회로 내에 포함되고, 상기 제1 노드에 소스, 드레인의 한쪽이 접속되고, ESD 전압이 인가되지 않는 통상의 동작 시에는 상기 피보호 회로의 일부로서 기능함과 함께, 상기 제1 노드에 통상의 동작 시에 인가되는 소정값 이상의 전압이 인가되었을 때에는 드레인, 소스 사이가 도통하는 제1 MOS 소자를 갖고, 이 제1 MOS 소자의 도통 시에 상기 ESD 보호 회로의 트리거 단자에 트리거 신호를 공급하는 트리거 회로를 구비하는 정전 보호 회로가 구성된다.

이하, 도면을 참조하여 본 발명의 실시의 각 형태를 상세히 설명한다.

<제1 실시예>

도 1은 본 발명을 반도체 집적 회로 장치의 데이터 출력부에 적용한 제1 실시예의 전체의 구성을 개략적으로 설명하는 블록도이다. 도 1에서, 반도체 집적 회로 장치의 내부 회로(11)는 VDD 단자(12), VSS 단자(13)에 접속되어 바이어스된다. 내부 회로(11)의 데이터 출력은 출력 버퍼 회로(14)를 통하여 데이터 출력 단자(15)에 출력된다.

이 출력 버퍼 회로(14)는, VDD 단자(12)에 소스가 접속된 PMOS 소자(16)와, 이 PMOS 소자(16)의 드레인에 드레인이 접속된 NMOS 소자(17)로 구성되고, 각각의 게이트가 내부 회로(11)의 데이터 출력부에 접속된다. NMOS 소자(17)의 소스

는 NMOS 소자(18)를 통하여 VSS 단자(13)에 접속됨과 함께, 트리거 회로로서 동작하는 PMOS 소자(19)를 통하여 ESD 보호 회로(20)의 트리거 단자에 접속된다. PMOS 소자(19)의 게이트는 VDD 단자(12)에 접속된다. ESD 보호 회로(20)의 ESD 서지 전류의 방전로는 출력 단자(15)와 VSS 단자(13) 사이에 접속된다.

도 1의 회로에서, 데이터 출력 단자(15)에 ESD 전압이 인가되지 않는 통상의(동작) 상태에서는 PMOS 소자(19)의 게이트에는 VDD 단자(12)로부터 전원 전압이 인가되어 있으므로 이 PMOS 소자(19)는 오프 상태로 유지되고, ESD 보호 회로(20)는 부동작 상태로 고정된다.

이 상태에서, 예를 들면 접지 단자(13)에 대하여 수천 볼트의 플러스의 ESD 전압이 데이터 출력 단자(15)에 인가된 것으로 한다. 이 ESD 전압은 ESD 보호 회로(20)의 서지 입력단에 인가됨과 함께, 출력 버퍼 회로(14)의 출력 노드로부터 PMOS 소자(16)의 드레인 및 NMOS 소자(17)의 드레인에 인가된다.

여기서, NMOS 소자(17)는 예를 들면 P형 웰 내에 소스, 드레인으로 되는 N형의 확산층이 형성된 것이면, 기생 NPN 바이폴라 트랜지스터가 내부에 형성되어 있다. 따라서, NMOS 소자(17)의 드레인에 플러스의 ESD 전압이 인가되면, N형의 드레인과 P 웰 사이의 NP 접합부에는 역방향으로 큰 전압이 인가되는 것으로 된다. 이 결과, 이 NP 접합부에는 애벌런치 효과에 의한 항복 전류가 발생한다. 이 현상을 이하 스냅 백 동작이라고 한다.

한편, P 웰과 N 형의 소스 사이에는 순방향의 PN 접합을 형성하고 있기 때문에, 결과적으로 상기 스냅 백 동작에 의해 기생 NPN 바이폴라 트랜지스터가 도통하여, 초기 전류가 PMOS 소자(19)와의 결합 노드 V0에 흘러들어와, 이 노드 V0의 전위가 급격히 상승한다. 이 결과, PMOS 소자(19)의 게이트, 소스 사이의 전압 Vgs와 그 임계값 Vth가, $V_{gs} > V_{th}$ 의 관계로 되고, PMOS 소자(19)가 온으로 된다. 트리거 회로를 구성하는 PMOS 소자(19)의 온에 수반하여, ESD 보호 회로(20)의 트리거 단자에는 트리거 전류가 흐르고, 이 결과, ESD 보호 회로(20)가 도통한다. 이에 의해, 데이터 출력 단자(15)에 인가된 ESD 서지 전압에 의한 전류가 ESD 보호 회로(20)의 방전로를 통해 방전되어, 출력 버퍼 회로(14)의 파괴가 방지된다.

이와 같이, 이 실시예에 따르면, ESD 보호 회로에 의해 보호될 피보호 회로로서는 내부 회로(11) 외에, 전원 단자(12, 13) 사이에 접속된 MOS 소자(16~18) 및 MOS 소자(19)를 포함하고, ESD 전압이 인가되지 않을 때에는 이들 MOS 소자(16~18)는 내부 회로(11)와 함께 피보호 회로의 일부로서 기능하고, ESD 전압이 인가되었을 때에는 주로 MOS 소자(17, 19)가 트리거 신호 발생용의 트리거 회로로서 동작한다.

<제2 실시예>

도 2는 도 1에 도시한 ESD 보호 회로(20)로서 SCR 회로를 이용한 실시예의 구성을 도시하는 블록도로서, 도 1과 대응하는 부분은 동일 참조 번호를 붙이고 그 설명을 생략한다. 도 2에서, SCR 회로(20A)는 2개의 바이폴라 트랜지스터(21, 22)로 구성되고, 한쪽의 트랜지스터(21)의 에미터는 데이터 출력 단자(15)에 역방향의 다이오드(27)를 통하여 접속되고, 컬렉터는 PMOS 트랜지스터(19)의 드레인에 접속됨과 함께 저항(23)을 통하여 VSS 단자(13)에 접속된다. 여기서, 다이오드(27)는 복수단으로 접속해도 되고, 또한 생략할 수도 있다. 다른 쪽의 트랜지스터(22)의 컬렉터는 트랜지스터(21)의 베이스에 접속되고, 베이스는 트리거 회로의 PMOS 트랜지스터(19)와 저항(23)과의 접속점에 접속되고, 에미터는 VSS 단자(13)에 접속된다. 또한, 도 1에서는 도시하지 않았지만, 도 2에서는 데이터 출력 단자(15)와 VDD 단자(12) 사이에는 전원 전압 VDD에 대하여 역방향의 다이오드(24)가 접속되고, 데이터 출력 단자(15)와 VSS 단자(13) 사이에는 접지 전위에 대하여 역방향의 다이오드(25)가 접속된다.

도 2의 회로에서, 데이터 출력 단자(15)에 ESD 서지 전압이 인가되면, 도 1과 마찬가지로 하여 버퍼 회로(14) 내의 NMOS 소자(17)가 스냅 백 동작을 일으켜 그 기생 NPN 바이폴라 트랜지스터가 온하고, 초기 전류가 노드 V0에 유입된다. 이에 따라 노드 V0의 전위가 매우 높아지고, 트리거 회로를 구성하는 PMOS 소자(19)가 도통하여 트리거 전류가 NPN형 바이폴라 트랜지스터(22)의 베이스 전류로서 흐른다. 이 결과, 바이폴라 트랜지스터(22)의 베이스·에미터 사이의 전압이 상승하고, 이 트랜지스터(22)가 도통하여, PNP 바이폴라 트랜지스터(21)의 베이스 전위가 거의 접지 전위까지 저하한다. 이 결과, 트랜지스터(21)가 도통함으로써 SCR 회로(20A)가 온하고, 단자(15)에 인가된 ESD 서지 전류가 SCR 회로(20A)로 형성되는 방전로를 통하여 빠르게 방전된다. 이와 같이 하여, 피보호 회로의 일부로서 기능하는 데이터 출력 버퍼 회로(14)를 구성하는 MOS 소자(17)가 외부로부터의 ESD 서지 전압의 인가에 의해 파괴되는 것을 방지할 수 있다.

도 2와 같이 구성하면, SCR 회로(20A)는 바이폴라 트랜지스터로 구성되어 있으므로 SCR 회로(20A)는 저기생 용량이며, 회로의 고속 동작을 방해하지 않는다. 또한, SCR 회로(20A)의 트리거 동작은 버퍼 회로(14) 자체로 제어, 설정되므로, 회로 설계가 매우 용이하게 된다.

<변형 실시예>

도 3은 도 2의 실시예에서의 MOS 소자(18) 대신에 저항 소자(18R)를 이용한 변형예를 도시한다. 다른 부분은 도 2와 동일하므로, 동일한 참조 번호를 붙이고 설명을 생략한다. 도 1, 도 2의 실시예에서는 통상의 동작 상태에서 이 MOS 소자(18)는 내부 회로(11)로부터 그 게이트에 공급되는 게이트 신호에 의해 항상 오프로 되도록 논리 제어되고 있지만, 도 3의 변형예에서는 이러한 논리 제어 동작은 불필요하게 된다. 도 3의 경우, 데이터 출력 단자(15)에의 ESD 서지 전압의 인가에 의해 노드 V0의 전위가 상승한 후, 저항 소자(18R)를 통하여 이 전위가 서서히 저하하지만, 노드 V0의 전위 상승으로부터 PMOS 소자(19)의 온에 수반하여 SCR 회로(20A)가 도통하기까지의 짧은 시간, 이 노드의 전위 V0을 소정값 이상으로 유지하고, 또한 버퍼 회로(14)의 통상 동작 시의 능력에 영향을 주지 않는 저항값이면 된다.

이들 도 2, 도 3의 실시예에서도 도 1과 마찬가지로, MOS 소자(16, 17, 18), 및 저항(18R)은, ESD 전압이 인가되지 않을 때에는 피보호 회로의 일부로서 기능하고, ESD 전압이 인가되면 트리거 회로로서 동작한다.

<제3 실시예>

도 4는 본 발명의 또 다른 실시예의 블록도이다. 도 1 내지 도 3의 실시예 혹은 변형 실시예에서는 데이터 출력 단자(15)와 VSS 단자(13) 사이에 ESD 보호 회로(20) 혹은 SCR 회로(20A)를 삽입하여 ESD 서지 전류를 VSS 단자(13)에 방전하도록 구성하였다. 도 4의 실시예에서는, 데이터 출력 단자(15)와 VSS 단자(13) 사이에 ESD 보호 회로(20)를 삽입함과 함께, 또한 데이터 출력 단자(15)와 VDD 단자(12) 사이에도 다른 ESD 보호 회로(30)를 삽입한 구성을 갖는다.

따라서, ESD 보호 회로(20)의 트리거 회로(31)를 출력 버퍼 회로(14)의 NMOS 소자(17)와 NMOS 소자(18)의 접속 노드 V0L에 접속함과 함께, ESD 보호 회로(30)의 트리거 회로(32)를 출력 버퍼 회로(14)의 PMOS 소자(16)와 PMOS 소자(33)의 접속 노드 V0H에 접속한다. 이 PMOS 소자(33)의 소스는 VDD 단자(12)에 접속된다. 또한, 트리거 회로(31)는 예를 들면 PMOS 소자로 형성되고, 그 트리거 회로의 제어 단자로서의 게이트는 도 1의 실시예와 마찬가지로 VDD 단자(12)에 접속되어 항상 오프로 설정된다. 마찬가지로, 트리거 회로(32)는 NMOS 소자로 형성되고, 그 트리거 회로의 제어 단자로서의 게이트는 VSS 단자(13)에 접속되어 항상 오프로 설정된다.

도 1 내지 도 3의 실시예와 마찬가지로, 도 4에서 ESD 전압이 인가되지 않을 때에는 MOS 소자(16, 17, 18, 33)는 내부 회로(11)를 포함하는 피보호 회로의 일부로서 기능하고 있다.

도 4의 보호 회로에서는, VSS 단자(13)를 접지로 하여 데이터 출력 단자(15)에 ESD 서지 전압이 인가되는 것으로 한다. 이 ESD 서지 전압이 플러스인 고전압인 경우에는, 도 1의 실시예와 마찬가지로 이 ESD 서지 전압에 의한 서지 전류는 ESD 보호 회로(20)를 통하여 VSS 단자(13)에 방전된다.

한편, 이 ESD 서지 전압이 출력 단자(15)를 접지로 하여, VDD 단자(12)에 인가된 경우에는, 우선 PMOS 소자(33)의 P형 소스와 N 웰 사이에는 순방향의 PN 접합으로 된다. 한편, 이 N 웰과 P형 소스 사이에는 역방향의 NP 접합이므로, 이 부분에 애벌런치 항복이 발생하여, 이 PMOS 소자(33)에서는 스냅 백 동작이 일어나 내부의 기생 PNP형 바이폴라 트랜지스터가 온한다. 이 결과, 트리거 회로(32)를 구성하는 PMOS 소자가 온하고, ESD 보호 회로(30)가 트리거된다. 이것에 의해 ESD 서지 전류는 VDD 단자(12)로부터 데이터 출력 단자(15)를 향하여 방전된다. 도 1, 도 2 및 도 3에서는, PMOS 소자(19)의 게이트가 VDD 단자(12)에 접속되어 있다. 그러나, 회로 구성은 이것에 한하지 않고, PMOS 소자의 게이트는 예를 들면 VDD 단자(12) 이외의 전원 단자에 접속되어도 된다. 요컨대, PMOS 소자(19)의 게이트는 통상 동작 시에 고레벨로 제어된다.

<제4 실시예>

도 5는 본 발명의 또 다른 실시예의 회로 구성을 도시한다. 이 실시예는 도 4에 도시한 실시예를 한층 개량한 구성을 갖고, 데이터 출력 단자(15)와 VSS 단자(13) 사이에 도 3의 실시예와 마찬가지로 구성의 SCR 회로(20A)를 도 4의 ESD 보호 회로(20)로서 접속하고, VDD 단자(12)와 데이터 출력 단자(15) 사이에 SCR 회로(20A)와 마찬가지로 구성의 SCR 회로(20B)를 도 4의 ESD 보호 회로(30)로서 접속한다. 또한, VDD 단자(12)와 VSS 단자(13) 사이에 SCR 회로(20C)를 제3 ESD 보호 회로로서 접속하였다. 이들 SCR 회로(20A, 20B, 20C)에 각각 트리거 신호를 공급하기 위한 트리거 회로를 구성하는 PMOS 소자(19A, 19B, 19C)가 노드 V0L, V0H와 각각의 트리거 신호 입력 단자인 PNP 바이폴라 트랜지스터(22A, 22B, 22C)의 베이스 사이에 접속되고, 통상 동작 시에는 오프로 되도록 예를 들면 내부 회로(11)로부터의 HIGH의 제어 신호에 의해 그 게이트 전압이 제어되고 있다.

이하, 도 5의 실시예의 동작을 설명한다. VSS 단자(13)를 접지로 하여 데이터 출력 단자(15)에 플러스의 ESD 서지 전압이 공급된 경우에는, NMOS 소자(17)에 스냅 백 동작이 발생하여 PMOS 소자(19A)가 도통하여, SCR 회로(20A)에 트리거 신호가 공급되어 단자(15)의 ESD 서지 전압이 VSS 단자(13)에 빠르게 방전된다.

출력 단자(15)를 접지로 하여 VDD 단자(12)에 플러스의 ESD 서지 전압이 공급된 경우에는 PMOS 소자(33)에 스냅 백 동작이 발생하여 PMOS 소자(19B)가 도통하여, SCR 회로(20B)에 트리거 신호가 공급되어 단자(12)의 ESD 서지 전압이 VSS 단자(13)에 빠르게 방전된다.

또한, VDD 단자(12)에 마이너스의 ESD 전압이 공급된 경우에는 다이오드(26)를 통하여 VSS 단자(13)로부터 VDD 단자(12)를 향하여 ESD 방전이 행해지게 된다.

이와 같이, MOS 소자(17, 18, 33)는, ESD 전압이 인가되지 않을 때에는 내부 회로(11)를 포함하는 피보호 회로의 일부로서 기능하고, ESD 전압이 인가되면 SCR 회로에 트리거 신호를 공급하는 회로의 일부로서 기능한다.

<제5 실시예>

도 6은 본 발명의 또 다른 실시예의 구성의 블록도를 도시한다. 도 6의 ESD 보호 회로(50)는 예를 들면 도 2의 실시예에 이용한 SCR 회로(20A)를 이용할 수 있다.

도 6의 실시예에서, 예를 들면 플러스의 소정 전위 VDD의 전원 단자(100)와 접지된 전위 VSS의 접지 단자(200) 사이에 ESD 보호 회로(50)와 피보호 회로(51)가 병렬 접속된 구성으로 되어 있다. 피보호 회로(51) 내에는 도시하지 않았지만, ESD 전압이 인가되지 않을 때에는 피보호 회로(51)의 일부로서 기능하는 MOS 회로가 형성되어 있다. 이 MOS 회로는 ESD 전압이 전원 단자(100)에 인가된 경우에는 이 ESD 전압에 의해 도통하여 소정값의 전류가 흐르도록 구성되어 있다. 이 전류가 흐르면, 이 전류가 트리거 전류로서 ESD 보호 회로(50)에 공급되어, ESD 보호 회로(50)가 도통하여, ESD 전압을 전원 단자(100)로부터 VSS 단자(200)에 빠르게 방전할 수 있으므로, 피보호 회로(51)가 ESD 전압에 의해 손상을 받는 것을 미연에 방지할 수 있다.

이상, 실시예들을 통하여 본 발명을 설명하였지만, 추가의 장점 및 변경이 가능하다는 것은 본 기술 분야에 숙련된 자에게 자명한 것이다. 따라서, 본 발명은 모든 점에서 상술한 설명 및 실시예에 제한되지 않으며, 본 발명의 범위는 상기한 실시예의 설명이 아니라 특허 청구 범위에 의해 정의되며, 또한 특허 청구의 범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것으로 의도되어야 한다.

발명의 효과

이와 같이 하여, 피보호 회로(51) 내에 포함되는 MOS 회로가 ESD 전압 인가 시에 트리거 전류 생성 회로로서 동작하여, 회로 구성이 간단하고, 저기생 용량이면서 높은 ESD 보호 능력을 갖는 정전 보호 회로에 의해 피보호 회로(51)가 ESD 전압에 의해 손상을 받는 것을 미연에 효과적으로 방지할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예의 회로 구성을 도시하는 블록도.

도 2는 도 1에 도시하는 실시예에서의 ESD 보호 회로로서 SCR 회로를 이용한 경우의 회로 구성을 도시하는 회로도.

도 3은 도 2에 도시하는 실시예의 변형예를 도시하는 회로도.

도 4는 본 발명의 다른 실시예의 구성을 도시하는 블록도.

도 5는 본 발명의 또 다른 실시예의 구성을 도시하는 블록도.

도 6은 본 발명의 또 다른 실시예의 구성을 도시하는 블록도.

도 7은 종래의 정전 보호 회로의 일례의 구성을 도시하는 회로도.

도 8은 종래의 정전 보호 회로의 다른 예의 구성을 도시하는 회로도.

<도면의 주요 부분에 대한 부호의 설명>

15 : 제1 노드

20 : ESD 보호 회로

72 : NMOS 소자

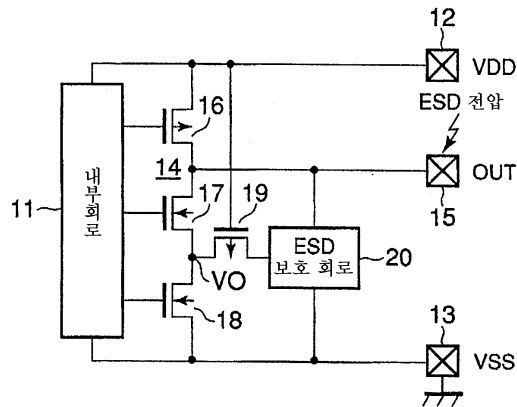
73 : I/O 단자

74, 75 : VSS의 전원 단자

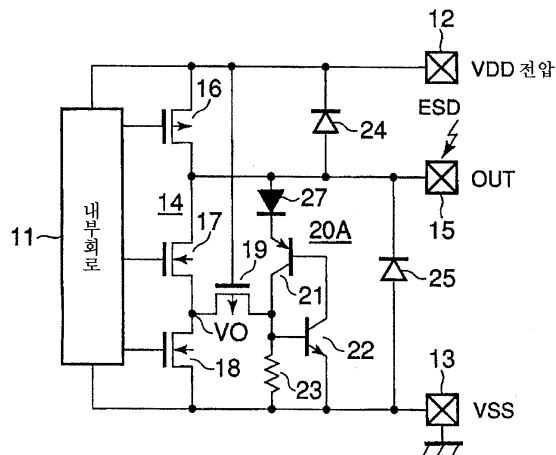
76 : 출력 버퍼 회로

도면

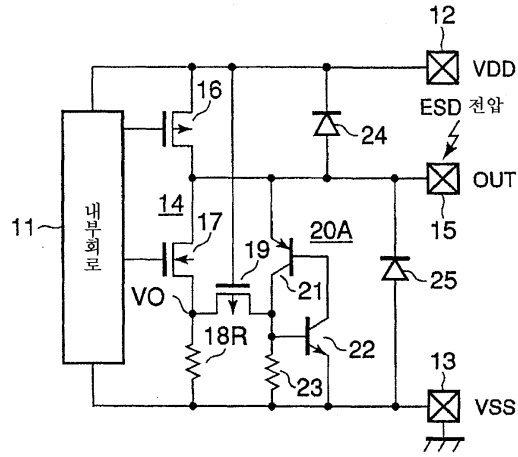
도면1



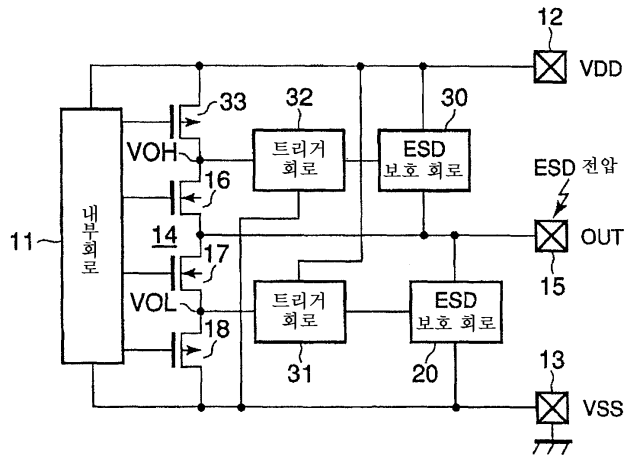
도면2



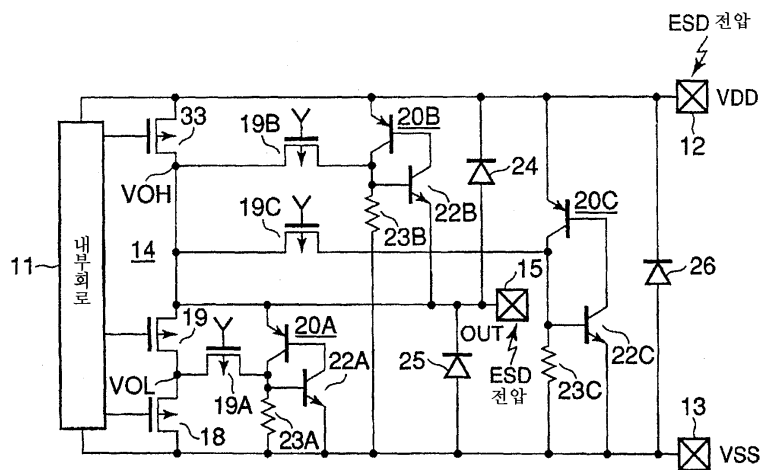
도면3



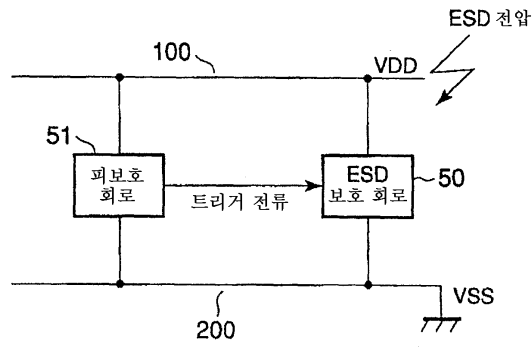
도면4



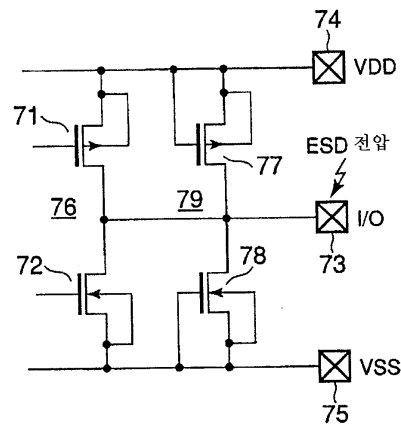
도면5



도면6



도면7



도면8

