



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년04월18일
(11) 등록번호 10-2796552
(24) 등록일자 2025년04월11일

(51) 국제특허분류(Int. Cl.)
H10D 84/83 (2025.01) H10D 30/60 (2025.01)
H10D 48/00 (2025.01) H10D 64/27 (2025.01)
(52) CPC특허분류
H10D 84/834 (2025.01)
H10D 30/024 (2025.01)
(21) 출원번호 10-2022-0160395
(22) 출원일자 2022년11월25일
심사청구일자 2022년11월25일
(65) 공개번호 10-2024-0041785
(43) 공개일자 2024년04월01일
(30) 우선권주장
111136126 2022년09월23일 대만(TW)
(56) 선행기술조사문헌
KR1020070027789 A*
KR1020200019820 A*
KR1020210032874 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
유나이티드 마이크로일렉트로닉스 코퍼레이션
대만, 신쑤, 사이언스-베이스드 인터스트리얼 파
크, 리신 로우드 2, 넘버 3
(72) 발명자
린, 춘-하오
타이완 807 카오슝 시타 산민 디스트릭트 민벤 스
트리트 라인 5 넘버 2 3층
(74) 대리인
양영준, 임규빈, 백만기

전체 청구항 수 : 총 19 항

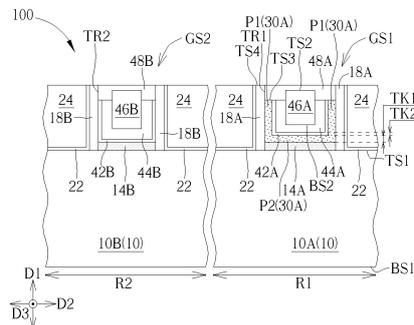
심사관 : 이제희

(54) 발명의 명칭 반도체 구조체 및 그 제조 방법

(57) 요약

반도체 구조체가 반도체 기판, 제1 게이트 구조물, 및 제1 스페이서 구조물을 포함한다. 반도체 기판은 제1 액티브 구조물을 포함하고, 제1 게이트 구조물은 제1 액티브 구조물 상에 배치된다. 제1 게이트 구조물은 제1 게이트 산화물 층과 제1 고유전상수(고-k) 유전체 층을 포함한다. 제1 게이트 산화물 층은 제1 게이트 구조물의 단면도에서 U자 형 구조를 포함하고, 제1 고-k 유전체 층은 제1 게이트 산화물 층 상에 배치된다. 제1 스페이서 구조물은 제1 게이트 구조물의 측벽 상에 배치되고, 게이트 산화물 층의 제1 부분이 수평 방향에서 제1 스페이서 구조물과 제1 고-k 유전체 층 사이에 위치된다.

대표도



(52) CPC특허분류

H10D 30/62 (2025.01)

H10D 64/017 (2025.01)

H10D 64/514 (2025.01)

명세서

청구범위

청구항 1

반도체 구조체로서,

제1 액티브 구조물을 포함하는 반도체 기판;

상기 제1 액티브 구조물 상에 배치되는 제1 게이트 구조물 - 상기 제1 게이트 구조물은,

제1 게이트 산화물 층 - 상기 제1 게이트 산화물 층은 상기 제1 게이트 구조물의 단면도에서 U자 형 구조를 포함함 -;

상기 제1 게이트 산화물 층 상에 배치되는 제1 고유전상수(고-k) 유전체 층; 및

제2 게이트 산화물 층 - 상기 제1 게이트 산화물 층은 상기 제2 게이트 산화물 층 상에 배치되고, 상기 제1 게이트 산화물 층의 제2 부분은 수직 방향에서 상기 제1 고-k 유전체 층과 상기 제2 게이트 산화물 층 사이에 샌드위치됨 -

을 포함함-; 및

상기 제1 게이트 구조물의 측벽 상에 배치되는 제1 스페이서 구조물 - 상기 제1 게이트 산화물 층의 제1 부분이 수평 방향에서 상기 제1 스페이서 구조물과 상기 제1 고-k 유전체 층 사이에 위치됨 -

을 포함하는, 반도체 구조체.

청구항 2

제1항에 있어서, 상기 제1 게이트 산화물 층의 상기 제1 부분은 상기 수평 방향에서 상기 제1 고-k 유전체 층과 상기 제1 스페이서 구조물 사이에 샌드위치되는, 반도체 구조체.

청구항 3

제2항에 있어서, 상기 제1 게이트 산화물 층의 상기 제1 부분은 상기 수평 방향에서 상기 제1 고-k 유전체 층 및 상기 제1 스페이서 구조물과 직접 연결되는, 반도체 구조체.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 제1 게이트 산화물 층의 상기 제2 부분은 상기 제1 고-k 유전체 층 및 상기 제2 게이트 산화물 층과 직접 연결되는, 반도체 구조체.

청구항 6

제1항에 있어서,

제2 게이트 구조물을 더 포함하며,

상기 반도체 기판은 제2 액티브 구조물을 더 포함하며, 상기 제2 게이트 구조물은 상기 제2 액티브 구조물 상에 배치되고,

상기 제2 게이트 구조물은,

제3 게이트 산화물 층; 및

상기 제3 게이트 산화물 층 상에 배치되는 제2 고-k 유전체 층 - 상기 제3 게이트 산화물 층은 상기 제2 액티브 구조물 및 상기 제2 고-k 유전체 층과 직접 연결됨 -

을 더 포함하는, 반도체 구조체.

청구항 7

제6항에 있어서, 상기 수직 방향에서의 상기 제3 게이트 산화물 층의 두께가 상기 수직 방향에서의 상기 제1 게이트 산화물 층 및 상기 제2 게이트 산화물 층의 총 두께 미만인, 반도체 구조체.

청구항 8

제6항에 있어서,

상기 제2 게이트 구조물의 측벽 상에 배치되는 제2 스페이서 구조물 - 상기 제2 고-k 유전체 층은 상기 제2 스페이서 구조물과 직접 연결됨 - 을 더 포함하는, 반도체 구조체.

청구항 9

제1항에 있어서, 상기 제1 게이트 구조물은,

상기 제1 고-k 유전체 층 상에 배치되는 게이트 전극 - 상기 제1 고-k 유전체는 상기 게이트 전극의 적어도 일부를 둘러쌈 - 을 더 포함하는, 반도체 구조체.

청구항 10

제9항에 있어서, 상기 제1 게이트 산화물 층의 상기 제1 부분의 상단 표면이 상기 수직 방향에서 상기 게이트 전극의 상단 표면보다 낮고 상기 게이트 전극의 하단 표면보다 높은, 반도체 구조체.

청구항 11

제1항에 있어서, 상기 제1 게이트 산화물 층의 상기 제1 부분의 상단 표면이 상기 수직 방향에서 상기 제1 스페이서 구조물의 상단 표면보다 낮은, 반도체 구조체.

청구항 12

제1항에 있어서, 상기 제1 게이트 산화물 층의 두께가 상기 제1 고-k 유전체 층의 두께보다 큰, 반도체 구조체.

청구항 13

제1항에 있어서, 상기 제1 액티브 구조물은 지느러미 형상 반도체 구조물인, 반도체 구조체.

청구항 14

반도체 구조체의 제조 방법으로서,

제1 액티브 구조물을 포함하는 반도체 기판을 제공하는 단계;

상기 제1 액티브 구조물 상에 제1 게이트 구조물 - 상기 제1 게이트 구조물은,

제1 게이트 산화물 층 - 상기 제1 게이트 산화물 층은 상기 제1 게이트 구조물의 단면도에서 U자 형 구조를 포함함 -;

상기 제1 게이트 산화물 층 상에 배치되는 제1 고유전상수(고-k) 유전체 층; 및

제2 게이트 산화물 층 - 상기 제1 게이트 산화물 층은 상기 제2 게이트 산화물 층 상에 배치되고, 상기 제1 게이트 산화물 층의 제2 부분은 수직 방향에서 상기 제1 고-k 유전체 층과 상기 제2 게이트 산화물 층 사이에 샌드위치됨 -

을 포함함 -

을 형성하는 단계; 및

제1 스페이서 구조물 - 상기 제1 스페이서 구조물은 상기 제1 게이트 구조물의 측벽 상에 배치되고, 상기 제1 게이트 산화물 층의 제1 부분이 수평 방향에서 상기 제1 스페이서 구조물과 상기 제1 고-k 유전체 층 사이에 위치됨 - 을 형성하는 단계

를 포함하는, 반도체 구조체의 제조 방법.

청구항 15

제14항에 있어서, 상기 제1 게이트 구조물을 형성하는 단계는,

상기 제1 액티브 구조물 상에 상기 제2 게이트 산화물 층을 형성하는 단계;

상기 제2 게이트 산화물 층 상에 제1 더미 게이트 - 상기 제1 스페이서 구조물은 상기 제1 더미 게이트를 형성하는 단계 후에 형성되고, 상기 제1 스페이서 구조물은 상기 수평 방향에서 상기 제1 더미 게이트 및 상기 제2 게이트 산화물 층을 둘러싸 - 를 형성하는 단계;

상기 제1 스페이서 구조물을 형성하는 단계 후에 상기 제1 더미 게이트를 제거하는 단계;

상기 제1 더미 게이트가 제거된 후에 상기 제2 게이트 산화물 층 상에 상기 제1 게이트 산화물 층을 형성하는 단계; 및

상기 제1 게이트 산화물 층 상에 제2 더미 게이트 - 상기 제1 스페이서 구조물은 상기 수평 방향에서 상기 제2 더미 게이트, 상기 제1 게이트 산화물 층, 및 상기 제2 게이트 산화물 층을 둘러싸 - 를 형성하는 단계를 포함하는, 반도체 구조체의 제조 방법.

청구항 16

제15항에 있어서, 상기 제1 게이트 산화물 층은 원자 층 퇴적 공정에 의해 형성되고 상기 제2 게이트 산화물 층은 상기 제1 액티브 구조물에 대해 산화 공정을 수행함으로써 형성되는, 반도체 구조체의 제조 방법.

청구항 17

제15항에 있어서, 상기 제1 게이트 산화물 층을 형성하는 단계는,

상기 반도체 기판 상에 산화물 층을 형성하는 단계 - 상기 산화물 층의 부분이 상기 제1 스페이서 구조물에 의해 둘러싸이는 제1 트렌치 안에 공형으로 형성되고, 상기 산화물 층의 다른 부분이 상기 제1 트렌치 외부에 형성됨 -; 및

상기 제1 트렌치 외부에 위치되는 상기 산화물 층을 제거하기 위해 평탄화 공정을 수행하는 단계를 포함하는, 반도체 구조체의 제조 방법.

청구항 18

제17항에 있어서, 상기 제1 게이트 구조물을 형성하는 단계는,

상기 평탄화 공정 전에 상기 산화물 층 상에 더미 게이트 재료를 형성하는 단계 - 상기 더미 게이트 재료의 부분이 상기 제1 트렌치 안에 형성되며, 상기 더미 게이트 재료의 다른 부분이 상기 제1 트렌치 외부에 형성되며, 상기 제1 트렌치 외부에 위치되는 상기 더미 게이트 재료는 상기 평탄화 공정에 의해 제거되고, 상기 평탄화 공정 후에 상기 제1 트렌치 안에 위치되는 상기 더미 게이트 재료는 상기 제2 더미 게이트가 됨 - 를 더 포함하는, 반도체 구조체의 제조 방법.

청구항 19

제17항에 있어서,

제2 게이트 구조물을 형성하는 단계를 더 포함하며,

상기 반도체 기판은 제2 액티브 구조물을 더 포함하며, 상기 제2 게이트 구조물은 상기 제2 액티브 구조물 상에 형성되고, 상기 제2 게이트 구조물은,

제3 게이트 산화물 층; 및

상기 제3 게이트 산화물 층 상에 배치되는 제2 고-k 유전체 층 - 상기 제3 게이트 산화물 층은 상기 제2 액티브 구조물 및 상기 제2 고-k 유전체 층과 직접 연결됨 -

을 포함하는, 반도체 구조체의 제조 방법.

청구항 20

제19항에 있어서, 상기 제2 게이트 구조물을 형성하는 단계는,

상기 제3 게이트 산화물 층 상에 제3 더미 게이트를 형성하는 단계;

상기 제3 더미 게이트의 측벽 및 상기 제3 게이트 산화물 층의 측벽 상에 제2 스페이서 구조물 - 상기 제1 더미 게이트는 상기 제3 더미 게이트 및 상기 제2 스페이서 구조물이 형성된 후에 제거됨 - 을 형성하는 단계; 및

상기 평탄화 공정 후에 상기 제3 더미 게이트 - 상기 제2 고-k 유전체 층은 상기 제3 더미 게이트가 제거된 후에 형성되고, 상기 제2 고-k 유전체 층은 상기 제2 스페이서 구조물에 의해 둘러싸이는 제2 트랜치 안에 형성됨 - 를 제거하는 단계를 포함하는, 반도체 구조체의 제조 방법.

발명의 설명

배경 기술

[0001] 1. 발명의 분야

[0002] 본 발명은 반도체 구조체 및 그 제조 방법에 관한 것이고, 더 상세하게는, 게이트 산화물 층을 포함하는 반도체 구조체 및 그 제조 방법에 관한 것이다.

[0003] 2. 종래기술의 설명

[0004] 칩적 회로에서, 트랜지스터들은 상이한 동작 전압들에 대해 구조적으로 서로 상이할 수 있다. 예를 들어, 비교적 낮은 동작 전압을 위한 트랜지스터들은 코어 디바이스들, 입출력(I/O) 디바이스들 등에서 적용될 수 있다. 고전압 프로세싱을 할 수 있는 트랜지스터들은 CPU 전력 공급부, 전력 관리 시스템, AC/DC 컨버터, 및 고전력 또는 고주파(high frequency)(HF) 대역 전력 증폭기와 같은 높은 동작 전압 환경에서 적용 가능할 수 있다. 그러나, 동일한 웨이퍼 또는 칩 상에 상이한 동작 전압들에 대응하는 트랜지스터들을 형성하기 위하여, 공정들은 종종 복잡해지고 상이한 트랜지스터들의 공정들은 서로 영향을 미칠 수 있다. 그러므로, 구조의 설계 및/또는 공정의 설계를 통해 관련 문제들을 개선시키는 방법은 관련 분야들에서 그들 문제들에 대해 계속되는 이슈이다.

발명의 내용

[0005] 반도체 구조체 및 그 제조 방법이 본 발명에서 제공된다. U자 형 구조를 갖는 게이트 산화물 층이 게이트 구조물에서 게이트 산화물 두께를 조정하고 관련 제조 공정들의 부정적인 영향을 그에 따라 감소시키는데 사용된다.

[0006] 본 발명의 일 실시예에 따르면, 반도체 구조체가 제공된다. 반도체 구조체는 반도체 기판, 제1 게이트 구조물, 및 제1 스페이서 구조물을 포함한다. 반도체 기판은 제1 액티브 구조물을 포함하고, 제1 게이트 구조물은 제1 액티브 구조물 상에 배치된다. 제1 게이트 구조물은 제1 게이트 산화물 층과 제1 고유전상수(고-k) 유전체 층을 포함한다. 제1 게이트 산화물 층은 제1 게이트 구조물의 단면도에서 U자 형 구조를 포함하고, 제1 고-k 유전체 층은 제1 게이트 산화물 층 상에 배치된다. 제1 스페이서 구조물은 제1 게이트 구조물의 측벽 상에 배치되고, 제1 게이트 산화물 층의 제1 부분이 제1 스페이서 구조물과 제1 고-k 유전체 층 사이에서 수평 방향으로 위치된다.

[0007] 본 발명의 일 실시예에 따르면, 반도체 구조체의 제조 방법이 제공된다. 제조 방법은 다음 단계들을 포함한다. 반도체 기판이 제공되고, 반도체 기판은 제1 액티브 구조물을 포함한다. 제1 게이트 구조물이 제1 액티브 구조물 상에 형성되고, 제1 게이트 구조물은 제1 게이트 산화물 층과 제1 고유전상수(고-k) 유전체 층을 포함한다. 제1 게이트 산화물 층은 제1 게이트 구조물의 단면도에서 U자 형 구조를 포함하고, 제1 고-k 유전체 층은 제1 게이트 산화물 층 상에 배치된다. 제1 스페이서 구조물이 형성된다. 제1 스페이서 구조물은 제1 게이트 구조물의 측벽 상에 배치되고, 제1 게이트 산화물 층의 제1 부분이 제1 스페이서 구조물과 제1 고-k 유전체 층 사이에서 수평 방향으로 위치된다.

[0008] 본 발명의 이들 및 다른 목적들은 다양한 그림들 및 도면들에서 예시되는 바람직한 실시예의 다음의 상세한 설명을 읽고 난 후 당해 기술분야의 통상의 기술자들에게 의심의 여지없이 명백하게 될 것이다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 일 실시예에 따른 반도체 구조체를 예시하는 개략도이다.

도 2 내지 도 8은 본 발명의 일 실시예에 따른 반도체 구조체의 제조 방법을 예시하는 개략도들인데, 도 3은 도 2에 후속하는 단계에서의 개략도이며, 도 4는 도 3에 후속하는 단계에서의 개략도이며, 도 5는 도 4에 후속하는 단계에서의 개략도이며, 도 6은 도 5에 후속하는 단계에서의 개략도이며, 도 7은 도 6에 후속하는 단계에서의 개략도이고, 도 8은 도 7에 후속하는 단계에서의 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 발명은 특정한 실시예들 및 그것의 특정 특징들에 관해 특히 도시되고 설명되었다. 본 개시의 아래에서 언급되는 실시예들은 제한이 아니라 예시적인 것으로서 간주되어야 한다. 형태 및 세부사항에서의 다양한 변경들 및 수정들이 본 발명의 정신 및 범위로부터 벗어남없이 이루어질 수 있다는 것은 당해 기술분야의 통상의 기술자에게 쉽사리 명확하게 될 것이다.

[0011] 바람직한 실시예의 추가의 설명 전에, 텍스트의 전체에 걸쳐 사용되는 특정 용어들이 아래에서 설명될 것이다.

[0012] 본 개시에서 사용되는 “상에(on)”, “위(above)”, 및 “위로(over)” 라는 용어들은, “상에”는 무언가의 “상에 직접(directly on)”을 의미할 뿐만 아니라 그 사이에 중간 특징부 또는 층을 가지는 무언가의 “상에”의 의미도 포함하도록, 그리고 “위” 또는 “위로”는 무언가의 “위” 또는 “위로”의 의미뿐만 아니라 사이에 있는 중간 특징부 또는 층이 없이 무언가의 “위” 또는 “위로”(즉, 무언가 상에 직접)의 의미 또한 포함할 수 있도록 가장 넓은 방식으로 해석되어야 한다.

[0013] 발명의 설명과 청구범위에서 사용되는 “제1”, “제2” 등과 같은 서수들은 청구항들의 엘리먼트들을 수정하는데 사용되고 그 자체로 청구항이 임의의 이전의 서수를 가짐을 암시하고 나타내지 않으며, 추가 설명이 수반되지 않는 한, 일부 청구된 엘리먼트 및 다른 청구된 엘리먼트의 시퀀스를 나타내지 않고, 제조 방법들의 시퀀스를 나타내지 않는다. 이들 서수들의 사용은 특정한 이름이 있는 청구된 엘리먼트를 동일한 이름이 있는 다른 청구된 엘리먼트로부터 명확하게 하는데에만 사용된다.

[0014] “에치(etch)” 라는 용어는 본 개시에서 에칭 후의 재료 층의 적어도 부분이 유지되도록 재료 층을 패터닝하는 공정을 설명하는데 사용된다. 재료 층을 “에치” 할 때, 재료 층의 적어도 부분은 처리가 끝난 후에서 유지된다. 반면에, 재료 층이 “제거될” 때, 실질적으로 모든 재료 층은 그 공정에서 제거된다. 그러나, 일부 실시예들에서, “제거”는 광의의 용어인 것으로 간주되고 에칭을 포함할 수 있다.

[0015] “형성하는(forming)” 이란 용어 또는 “배치하는(disposing)” 이란 용어는 이후로는 재료의 층을 기판에 도포하는 행동을 설명하는데 사용된다. 이러한 용어들은 열적 성장, 스퍼터링, 증발, 화학 증착, 에피택셜 성장, 전기도금 등을 비제한적으로 포함하는 임의의 가능한 층 형성 기법들을 설명하기 위해 의도된다.

[0016] 도 1을 참조한다. 도 1은 본 발명의 일 실시예에 따른 반도체 구조체(100)를 예시하는 개략도이다. 도 1에 도시된 바와 같이, 반도체 구조체(100)는 반도체 기판(10), 제1 게이트 구조물(GS1), 및 제1 스페이서 구조물(18A)을 포함한다. 반도체 기판(10)은 제1 액티브 구조물(10A)을 포함하고, 제1 게이트 구조물(GS1)은 제1 액티브 구조물(10A) 상에 배치된다. 제1 게이트 구조물(GS1)은 제1 게이트 산화물 층(이들테면 도 1에 예시된 게이트 산화물 층(30A))과 제1 고유전상수(고-k) 유전체 층(42A)을 포함한다. 게이트 산화물 층(30A)은 제1 게이트 구조물(GS1)(이들테면 도 1)의 단면도에서 U자 형 구조를 포함한다. 제1 고-k 유전체 층(42A)은 제1 게이트 산화물 층(30A) 상에 배치된다. 제1 스페이서 구조물(18A)은 제1 게이트 구조물(GS1)의 측벽 상에 배치되고, 게이트 산화물 층(30A)의 제1 부분(P1)은 제1 스페이서 구조물(18A)과 제1 고-k 유전체 층(42A) 사이에서 수평 방향(이들테면 도 1에 예시된 방향(D2))으로 위치된다.

[0017] 일부 실시예들에서, 반도체 기판(10)은 상단 표면(TS1)과 상단 표면(TS1)에 수직 방향(이들테면 도 1에 예시된 방향(D1))으로 대향하는 하단 표면(BS1)을 가질 수 있고, 위에서 설명되는 제1 게이트 구조물(GS1) 및 제1 스페이서 구조물(18A)은 상단 표면(TS1)의 일측에 배치될 수 있다. 일부 실시예들에서, 방향(D1)은 반도체 기판(10)의 두께 방향으로 간주될 수 있고, 방향(D1)에 실질적으로 직교하는 수평 방향들(이들테면 도 1에 예시된 방향(D2) 및 방향(D3))과, 방향(D1)에 직교하는 다른 방향들(은 반도체 기판(10)의 상단 표면(TS1) 및/또는 하단 표면(BS1)과 실질적으로 평행할 수 있지만, 그것으로 제한되지 않는다. 이 설명에서, 반도체 기판(10)의 하단 표면(BS1)과 수직 방향(이들테면 방향(D1))에서 상대적으로 더 높은 로케이션 및/또는 상대적으로 더 높은 부분 사이의 거리가 반도체 기판(10)의 하단 표면(BS1)과 방향(D1)에서 상대적으로 더 낮은 로케이션 및/또는 상대적으로 더 낮은 부분 사이의 거리보다 클 수 있다. 각각의 컴포넌트의 하단 또는 하부는 방향(D1)에서 이 컴포넌트

트의 상단 또는 상부보다 반도체 기판(10)의 하단 표면(BS1)에 더 가까울 수 있다. 특정 컴포넌트 위에 배치되는 다른 컴포넌트는 방향(D1)에서 반도체 기판(10)의 하단 표면(BS1)에서 상대적으로 멀리 있는 것으로 간주될 수 있고, 특정 컴포넌트 아래에 배치되는 다른 컴포넌트는 방향(D1)에서 반도체 기판(10)의 하단 표면(BS1)에 상대적으로 가까이 있는 것으로 간주될 수 있다.

[0018] 구체적으로는, 일부 실시예들에서, 게이트 산화물 층(30A)의 제1 부분(P1)은 U자 형 구조에서 수직 방향(이를테면 방향 D1)으로 위쪽으로 연장되는 부분으로서 간주될 수 있고, 게이트 산화물 층(30A)의 제2 부분(P2)은 U자 형 구조에서 수평 방향(이를테면 방향 D2)으로 연장되는 부분으로서 간주될 수 있고, 제2 부분(P2)은 제1 부분(P1)과 직접 연결될 수 있다. 추가적으로, 일부 실시예들에서, 제1 게이트 구조물(GS1)은 제2 게이트 산화물 층(이를테면 도 1에 예시된 게이트 산화물 층(14A))을 더 포함할 수 있으며, 게이트 산화물 층(30A)은 게이트 산화물 층(14A) 상에 배치될 수 있고, 게이트 산화물 층(14A)은 방향(D1)에서 게이트 산화물 층(30A)과 제1 액티브 구조물(10A) 사이에 배치될 수 있다. 일부 실시예들에서, 게이트 산화물 층(14A)은 수직 방향으로 연장하는 부분 없이 제1 게이트 구조물(GS1)의 단면도에서 수평 방향으로 연장되는 부분만을 포함할 수 있으며, 게이트 산화물 층(14A)은 방향(D1)에서 게이트 산화물 층(30A)과 제1 액티브 구조물(10A) 사이에 샌드위치될 수 있고, 게이트 산화물 층(14A)은 게이트 산화물 층(30A) 및 제1 액티브 구조물(10A)과 직접 연결될 수 있지만, 그것으로 제한되지 않는다. 추가적으로, 게이트 산화물 층(30A)의 제2 부분(P2)은 방향(D1)에서 제1 고-k 유전체 층(42A)과 게이트 산화물 층(14A) 사이에 샌드위치될 수 있고, 게이트 산화물 층(30A)의 제2 부분(P2)은 제1 고-k 유전체 층(42A) 및 게이트 산화물 층(14A)과 직접 연결될 수 있다. 일부 실시예들에서, 제1 게이트 구조물(GS1)은 수평 방향들에서 제1 스페이서 구조물(18A)에 의해 둘러싸이는 제1 트렌치(TR1) 안에 배치되는 것으로 간주될 수 있으며, 방향(D1)에서의 게이트 산화물 층(30A)의 투영 패턴 및/또는 투영 영역이 방향(D1)에서 게이트 산화물 층(14A)의 투영 패턴 및/또는 투영 영역과 실질적으로 동일하거나 같을 수 있고, 게이트 산화물 층(30A)과 게이트 산화물 층(14A) 사이의 접촉 영역이 게이트 산화물 층(14A)의 상단 표면의 영역 및/또는 게이트 산화물 층(30A)의 하단 표면의 영역과 실질적으로 같을 수 있지만, 그것으로 제한되지 않는다.

[0019] 일부 실시예들에서, 반도체 기판(10)은 실리콘 기판, 에피택셜 실리콘 기판, 실리콘 게르마늄 기판, 실리콘 카바이드 기판, SOI(silicon-on-insulator) 기판, 또는 다른 적합한 반도체 재료들로 만들어진 기판을 포함할 수 있다. 제1 액티브 구조물(10A)은 반도체 기판(10)의 일부일 수 있고, 제1 액티브 구조물(10A)의 재료 조성은 반도체 기판(10)의 그것과 동일 또는 유사할 수 있다. 예를 들어, 제1 액티브 구조물(10A)은 반도체 기판(10)의 일부를 패터닝함으로써 형성되는 지느러미 형상(fin-shaped) 반도체 구조물일 수 있지만, 그것으로 제한되지 않는다. 게이트 산화물 층(14A)은 반도체 기판(10)에 산화 처리를 수행함으로써 형성되는 산화물 층을 포함할 수 있고, 게이트 산화물 층(14A)은 반도체 기판(10)의 재료의 산화물, 이를테면 실리콘 산화물을 포함할 수 있지만, 그것으로 제한되지 않는다. 추가적으로, 게이트 산화물 층(30A)은 퇴적 공정에 의해 형성되는 산화물 층을 포함할 수 있고, 게이트 산화물 층(30A)의 재료는 실리콘 산화물 또는 다른 적합한 산화물 유전체 재료들을 포함할 수 있지만, 그것으로 제한되지 않는다. 제1 고-k 유전체 층(42A)은 하프늄 산화물(HfO_x), 하프늄 실리콘 산화물(HfSiO₄), 하프늄 실리콘 산화질화물(HfSiON), 알루미늄 산화물(Al₂O₃), 탄탈륨 산화물(Ta₂O₅), 지르코늄 산화물(ZrO₂), 또는 다른 적합한 고-k 재료들, 이를테면 실리콘 산화물의 유전 상수보다 높은 유전 상수를 갖는 고-k 재료를 포함할 수 있지만, 그것으로 제한되지 않는다. 그러므로, 제1 고-k 유전체 층(42A)의 유전 상수는 3.9를 초과하거나 또는 4.5를 초과할 수 있으며(실리콘 산화물의 유전 상수는 일반적으로 3.9 내지 4.5의 범위에 있음), 또는 제1 고-k 유전체 층(42A)은 다른 설계 고려사항들에 따른 훨씬 더 높은 유전 상수를 가질 수 있다. 다르게 말하면, 제1 고-k 유전체 층(42A)의 재료 조성은 게이트 산화물 층(30A)의 재료 조성 및 게이트 산화물 층(14A)의 재료 조성과는 상이하고, 제1 고-k 유전체 층(42A)의 재료의 유전 상수는 각각 게이트 산화물 층(30A)의 재료의 유전 상수 및 게이트 산화물 층(14A)의 재료의 유전 상수보다 높을 수 있다. 추가적으로, 일부 실시예들에서, 게이트 산화물 층(30A)은 요건들(이를테면 동작 전압을 수정하기 위한 요건이지만, 그것으로 제한되지 않음)을 충족시키기 위해 제1 게이트 구조물(GS1)에서 게이트 산화물 층의 총 두께를 증가시키는데 사용될 수 있다. 그러므로, 게이트 산화물 층(30A)의 두께(이를테면 방향(D1)에서의 제2 부분(P2)의 두께(TK1))는 제1 고-k 유전체 층(42A)의 두께(이를테면 제1 고-k 유전체 층(42A)의 부분의 두께(TK2))이며, 이는 방향(D1)에서 수평 방향으로 연장하고 있음)보다 클 수 있지만, 그것으로 제한되지 않는다.

[0020] 일부 실시예들에서, 제1 게이트 구조물(GS1)은 제1 전기 전도 층(44A), 제1 게이트 전극(46A), 및 제1 캡핑 층(48A)을 더 포함할 수 있다. 제1 게이트 구조물(46A)은 제1 고-k 유전체 층(42A) 상에 배치될 수 있으며, 제1 전기 전도 층(44A)은 제1 고-k 유전체 층(42A)과 제1 게이트 전극(46A) 사이에 배치될 수 있고, 제1 캡핑 층(48A)은 방향(D1)에서 게이트 산화물 층(30A), 제1 고-k 유전체 층(42A), 제1 전기 전도 층(44A), 및 제1 게

트 전극(46A) 상에 배치될 수 있다. 제1 전기 전도 층(44A)은 서로 적층되는 하단 장벽 층, 일 함수 층, 및 상단 장벽 층으로 이루어진 구조물과 같이, 서로 적층되는 전기 전도 재료들의 다수의 층들로 형성되는 구조물을 포함할 수 있지만, 그것으로 제한되지 않는다. 위에서 설명된 장벽 층들 및 일 함수 층의 재료들은 티타늄 질화물(TiN), 티타늄 탄화물(TiC), 탄탈륨 질화물(TaN), 탄탈륨 카바이드(TaC), 텅스텐 카바이드(WC), 티타늄 트리-알루미늄아이드(TiAl₃), 알루미늄 티타늄 질화물(TiAlN), 또는 다른 적합한 전기 전도 재료들을 포함할 수 있다. 제1 게이트 전극(46A)은 낮은 전기 비저항 재료, 이를테면 텅스텐, 알루미늄, 구리, 티타늄 알루미늄아이드, 티타늄, 또는 다른 적합한 낮은 전기 비저항 재료들을 포함할 수 있다. 제1 캡핑 층(48A)은 절연 재료, 이를테면 실리콘 산화물, 실리콘 질화물, 또는 다른 적합한 절연 재료들을 포함할 수 있다.

[0021] 일부 실시예들에서, 게이트 산화물 층(30A), 제1 고-k 유전체 층(42A), 및 제1 전기 전도 층(44A)은 제1 게이트 구조물(GS1)의 단면도에서 각각 U자 형 구조를 포함할 수 있고, U자 형 구조들은 방향(D1)에서 서로 적층 배치될 수 있고 제1 게이트 전극(46A)의 적어도 일부(이를테면 제1 게이트 전극(46A)의 하부)를 둘러쌀 수 있지만, 그것으로 제한되지 않는다. 추가적으로, 일부 실시예들에서, 게이트 산화물 층(30A)의 제1 부분(P1)의 상단 표면(TS3), 제1 고-k 유전체 층(42A)의 상단 표면, 및 제1 전기 전도 층(44A)의 상단 표면이 실질적으로 동일 평면일 수 있으며; 제1 부분(P1)의 상단 표면(TS3), 제1 고-k 유전체 층(42A)의 상단 표면, 및 제1 전기 전도 층(44A)의 상단 표면이 방향(D1)에서 제1 게이트 전극(46A)의 상단 표면(TS2)보다 낮고 방향(D1)에서 제1 게이트 전극(46A)의 하단 표면(BS2)보다 높을 수 있고; 제1 부분(P1)의 상단 표면(TS3), 제1 고-k 유전체 층(42A)의 상단 표면, 및 제1 전기 전도 층(44A)의 상단 표면은 방향(D1)에서 제1 스페이서 구조물(18A)의 상단 표면(TS4)보다 낮을 수 있지만, 그것으로 제한되지 않는다. 추가적으로, 제1 게이트 전극(46A)의 상단 표면(TS2)은 방향(D1)에서 제1 스페이서 구조물(18A)의 상단 표면(TS4)보다 낮을 수 있고, 제1 캡핑 층(48A)의 상단 표면과 제1 스페이서 구조물(18A)의 상단 표면(TS4)은 실질적으로 동일 평면일 수 있지만, 그것으로 제한되지 않는다. 이 설명에서, 특정 컴포넌트의 상단 표면은 방향(D1)에서 이 컴포넌트의 최상단 표면을 포함할 수 있고, 특정 컴포넌트의 하단 표면은 방향(D1)에서 이 컴포넌트의 최하단 표면을 포함할 수 있지만, 그것으로 제한되지 않는다는 것은 주목할 가치가 있다.

[0022] 일부 실시예들에서, 제1 스페이서 구조물(18A)은 절연 재료들, 이를테면 실리콘 질화물, 실리콘 산화물, 또는 다른 적합한 절연 재료들의 단일 층 또는 다수의 층들을 포함할 수 있다. 게이트 산화물 층(30A)의 제1 부분(P1)은 수평 방향(이를테면 방향 D2)에서 제1 스페이서 구조물(18A)과 제1 고-k 유전체 층(42A) 사이에 샌드위치될 수 있고, 게이트 산화물 층(30A)의 제1 부분(P1)은 방향(D2)에서 각각 제1 스페이서 구조물(18A) 및 제1 고-k 유전체 층(42A)과 직접 연결될 수 있다. 일부 실시예들에서, 제1 스페이서 구조물(18A)은 수평 방향들에서 제1 게이트 구조물(GS1)을 둘러쌀 수 있고, 제1 스페이서 구조물(18)은 제1 캡핑 층(48A), 게이트 산화물 층(30A), 및 게이트 산화물(14A)에 직접 연결될 수 있지만, 그것으로 제한되지 않는다.

[0023] 일부 실시예들에서, 반도체 기관(10)은 제1 영역(R1)과 제2 영역(R2)을 포함할 수 있으며, 제1 액티브 구조물(10A)은 제1 영역(R1) 안에 위치될 수 있고, 제1 게이트 구조물(GS1)과 제1 스페이서 구조물(18)은 제1 영역(R1) 상에 위치될 수 있다. 추가적으로, 일부 실시예들에서, 반도체 구조체(100)는 제2 게이트 구조물(GS2)과 제2 스페이서 구조물(18B)을 더 포함할 수 있고, 제2 게이트 구조물(GS2)과 제2 스페이서 구조물(18B)은 반도체 기관(10)의 제2 영역(R2) 상에 배치될 수 있다. 일부 실시예들에서, 반도체 기관(10)은 제2 영역(R2)에 위치되는 제2 액티브 구조물(10B)을 더 포함할 수 있고, 제2 게이트 구조물(GS2)과 제2 스페이서 구조물(18B)은 제2 영역(R2) 상에 배치될 수 있다. 일부 실시예들에서, 위에서 설명된 제1 액티브 구조물(10A)과 유사하게, 제2 액티브 구조물(10B)은 반도체 기관(10)의 일부를 패터닝함으로써 형성되는 지느러미 형상 반도체 구조물, 이를테면 방향 D2로 기다랗게 되는 지느러미 형상 반도체 구조물일 수 있지만, 그것으로 제한되지 않는다. 추가적으로, 제2 게이트 구조물(GS2)은 제3 게이트 산화물 층(이를테면 도 1에 예시된 게이트 산화물 층(14B))과 제2 고-k 유전체 층(42B)을 포함할 수 있고, 제2 고-k 유전체 층(42B)은 게이트 산화물 층(14B) 상에 배치될 수 있다. 일부 실시예들에서, 게이트 산화물 층(14B)은 방향(D1)에서 제2 고-k 유전체 층(42B)과 제2 액티브 구조물(10B) 사이에 샌드위치될 수 있고, 게이트 산화물 층(14B)은 제2 고-k 유전체 층(42B) 및 제2 액티브 구조물(10B)과 각각 직접 연결될 수 있다. 일부 실시예들에서, 게이트 산화물 층(14B)은 반도체 기관(10)에 산화 처리를 수행함으로써 형성되는 산화물 층을 포함할 수 있고, 게이트 산화물 층(14B)은 반도체 기관(10)의 재료의 산화물, 이를테면 실리콘 산화물을 포함할 수 있지만, 그것으로 제한되지 않는다. 제2 고-k 유전체 층(42B)은 위에서 설명된 제1 고-k 유전체 층(42)과 유사한 고-k 유전체 재료들을 포함할 수 있고, 제2 고-k 유전체 층(42)의 재료 조성은 제1 고-k 유전체 층(42A)의 재료 조성과 동일하거나 또는 상이할 수 있다.

[0024] 일부 실시예들에서, 제2 게이트 구조물(GS2)은 제2 전기 전도 층(44B), 제2 게이트 전극(46B), 및 제2 캡핑 층

(48B)을 더 포함할 수 있다. 제2 게이트 전극(46B)은 제2 고-k 유전체 층(42B) 상에 배치될 수 있으며, 제2 전기 전도 층(44B)은 제2 고-k 유전체 층(42B)과 제2 게이트 전극(46B) 사이에 배치될 수 있고, 제2 캡핑 층(48B)은 방향(D1)에서 제2 고-k 유전체 층(42B), 제2 전기 전도 층(44B), 및 제2 게이트 전극(46B) 상에 배치될 수 있다. 제2 전기 전도 층(44B)은 서로 적층되는 하단 장벽 층, 일 함수 층, 및 상단 장벽 층으로 이루어진 구조물과 같이, 서로 적층되는 전기 전도 재료들의 다수의 층들로 형성되는 구조물을 포함할 수 있지만, 그것으로 제한되지 않는다. 제2 전기 전도 층(44B)은 위에서 설명된 제1 전기 전도 층(44A)의 전기 전도 재료들과 유사한 전기 전도 재료들을 포함할 수 있고, 제2 전기 전도 층(44B)의 재료 조성은 일부 설계 고려사항들에 따른 제1 전기 전도 층(44A)의 재료 조성과 동일하거나 또는 상이할 수 있다. 제2 게이트 전극(46B)은 위에서 설명된 제1 게이트 전극(46A)의 전기 비저항 재료와 유사한 낮은 전기 비저항 재료를 포함할 수 있고, 제2 게이트 전극(46B)의 재료 조성은 일부 설계 고려사항들에 따른 제1 게이트 전극(46A)의 재료 조성과 동일하거나 또는 상이할 수 있다. 제2 캡핑 층(48B)은 절연 재료, 이를테면 실리콘 산화물, 실리콘 질화물, 또는 다른 적합한 절연 재료들을 포함할 수 있고, 제2 캡핑 층(48B)의 재료 조성은 일부 설계 고려사항들에 따른 제1 캡핑 층(48A)의 재료 조성과 동일하거나 또는 상이할 수 있다. 일부 실시예들에서, 제2 고-k 유전체 층(42B)과 제2 전기 전도 층(44B)은 제2 게이트 구조물(GS2)의 단면도에서 각각 U자 형 구조를 포함할 수 있고, U자 형 구조들은 방향(D1)에서 서로 적층 배치될 수 있고 제2 게이트 전극(46B)의 적어도 일부(이를테면 제2 게이트 전극(46B)의 하부)를 둘러쌀 수 있지만, 그것으로 제한되지 않는다. 추가적으로, 일부 실시예들에서, 제2 고-k 유전체 층(42B)의 상단 표면과 제2 전기 전도 층(44B)의 상단 표면은 실질적으로 동일 평면일 수 있으며, 제2 고-k 유전체 층(42B)의 상단 표면과 제2 전기 전도 층(44B)의 상단 표면은 방향(D1)에서 제2 게이트 전극(46B)의 상단 표면보다 낮고 제2 게이트 전극(46B)의 하단 표면보다 높을 수 있고, 제2 고-k 유전체 층(42B)의 상단 표면과 제2 전기 전도 층(44B)의 상단 표면은 제2 스페이서 구조물(18B)의 상단 표면보다 낮을 수 있지만, 그것으로 제한되지 않는다.

[0025] 일부 실시예들에서, 제2 스페이서 구조물(18B)은 제2 게이트 구조물(GS2)의 측벽 상에 배치될 수 있고, 제2 스페이서 구조물(18B)은 게이트 산화물 층(14B), 제2 고-k 유전체 층(42B), 및 제2 캡핑 층(48B)과 각각 직접 연결될 수 있다. 제2 게이트 구조물(GS2)은 수평 방향들에서 제2 스페이서 구조물(18B)에 의해 둘러싸이는 제2 트렌치(TR2) 안에 배치되는 것으로서 간주될 수 있으며, 방향(D1)에서의 제2 고-k 층(42B)의 투영 패턴 및/또는 투영 영역은 방향(D1)에서 게이트 산화물 층(14B)의 투영 패턴 및/또는 투영 영역과 실질적으로 동일하거나 같을 수 있고, 제2 고-k 유전체 층(42B)과 게이트 산화물 층(14B) 사이의 접촉 영역은 게이트 산화물 층(14B)의 상단 표면의 영역 및/또는 제2 고-k 유전체 층(42B)의 하단 표면의 영역과 실질적으로 동일할 수 있지만, 그것으로 제한되지 않는다. 추가적으로, 일부 실시예들에서, 제1 게이트 구조물(GS1)과 제2 게이트 구조물(GS2)은 상이한 반도체 디바이스들(이를테면 트랜지스터 디바이스들이지만, 그것으로 제한되지 않음)에서의 게이트 전극들일 수 있고, 제1 게이트 구조물(GS1)에서의 게이트 산화물 두께와 제2 게이트 구조물(GS2)에서의 게이트 산화물 두께 사이의 차이 및/또는 제1 게이트 구조물(GS1)의 구조적 조성과 제2 게이트 구조물(GS2)의 구조적 조성 사이의 차이는 상이한 사양들의 반도체 디바이스들(이를테면 상이한 동작 전압들을 갖는 트랜지스터 디바이스들이지만, 그것으로 제한되지 않음)을 위해 사용될 수 있다. 그러므로, 방향(D1)에서 제2 게이트 구조물(GS2) 내의 게이트 산화물 층(14B)의 두께는 방향(D1)에서 제1 게이트 구조물(GS1) 내의 게이트 산화물 층(30A) 및 게이트 산화물 층(14A)의 총 두께(이를테면 두께(TK1)와 방향(D1)에서의 게이트 산화물 층(14B)의 두께의 합) 미만일 수 있다. 다르게 말하면, 제1 게이트 구조물(GS1)에서의 게이트 산화물 층(30A)은 해당 반도체 디바이스의 설계 요건을 충족시키기 위해 제1 게이트 구조물(GS1)에서의 게이트 산화물 층들의 총 두께를 증가시키는데 사용될 수 있다.

[0026] 일부 실시예들에서, 반도체 구조체(100)는 에칭 저지 층(22)과 유전체 층(24)을 더 포함할 수 있다. 에칭 저지 층(22)은 반도체 기판(10)의 제1 영역(R1) 및 제2 영역(R2) 상에 배치될 수 있고, 에칭 저지 층(22)은 제1 스페이서 구조물(18A)의 측벽 및 제2 스페이서 구조물(18B)의 측벽 상에 공형으로(conformally) 배치될 수 있다. 유전체 층(24)은 에칭 저지 층(22) 상에 배치될 수 있다. 유전체 층(24)의 상단 표면, 에칭 저지 층(22)의 상단 표면, 제1 스페이서 구조물(18A)의 상단 표면, 제2 스페이서 구조물(18B)의 상단 표면, 제1 캡핑 층(48A)의 상단 표면, 및 제2 캡핑 층(48B)의 상단 표면은 실질적으로 동일 평면일 수 있지만, 그것으로 제한되지 않는다. 에칭 저지 층(22)은 실리콘 질화물 또는 다른 적합한 절연 재료들을 포함할 수 있고, 유전체 층(24)은 실리콘 산화물 또는 에칭 저지 층(22)의 재료와는 상이한 다른 유전체 재료들을 포함할 수 있다.

[0027] 도 1 내지 도 8을 참조한다. 도 2 내지 도 8은 본 발명의 일 실시예에 따른 반도체 구조체의 제조 방법을 예시하는 개략도들인데, 도 3은 도 2에 후속하는 단계에서의 개략도이며, 도 4는 도 3에 후속하는 단계에서의 개략도이며, 도 5는 도 4에 후속하는 단계에서의 개략도이며, 도 6은 도 5에 후속하는 단계에서의 개략도이며, 도 7

은 도 6에 후속하는 단계에서의 개략도이며, 도 8은 도 7에 후속하는 단계에서의 개략도이고, 도 1은 도 8에 후속하는 단계에서의 개략도로써 간주될 수 있지만, 그것으로 제한되지 않는다. 도 1에 도시된 바와 같이, 이 실시예의 반도체 구조체의 제조 방법은 다음 단계들을 포함할 수 있다. 반도체 기판(10)이 제공되고, 반도체 기판(10)은 제1 액티브 구조물(10A)을 포함한다. 제1 게이트 구조물(GS1)은 제1 액티브 구조물(10A) 상에 형성되고, 제1 게이트 구조물(GS1)은 제1 게이트 산화물 층(이들테면 게이트 산화물 층(30A))과 제1 고-k 유전체 층(42A)을 포함한다. 게이트 산화물 층(30A)은 제1 게이트 구조물(GS1)의 단면도에서 U자 형 구조를 포함하고, 제1 고-k 유전체 층(42A)은 게이트 산화물 층(30A) 상에 배치된다. 제1 스페이서 구조물(18A)이 형성된다. 제1 스페이서 구조물(18A)은 제1 게이트 구조물(GS1)의 측벽 상에 배치되고, 게이트 산화물 층(30A)의 제1 부분(P1)은 수평 방향(이들테면 방향 D2)에서 제1 스페이서 구조물(18A)과 제1 고-k 유전체 층(42A) 사이에 위치된다.

[0028] 구체적으로, 이 실시예의 반도체 구조체(100)의 제조 방법은 다음 단계들을 포함할 수 있지만 그것들로 제한되지 않는다. 도 2에 도시된 바와 같이, 복수의 제1 액티브 구조물들(10A)과 복수의 제2 액티브 구조물들(10)은 반도체 기판(10)을 패터닝함으로써 형성될 수 있으며, 제1 액티브 구조물들(10A)은 반도체 기판(10)의 제1 영역(R1) 안에 위치되고, 제2 액티브 구조물들(10B)은 반도체 기판(10)의 제2 영역(R2) 안에 위치된다. 그 뒤에, 절연 구조물(12)이 제1 액티브 구조물들(10A) 사이에 그리고 제2 액티브 구조물들(10B) 사이에 절연 효과를 제공하기 위해 형성될 수 있다. 절연 구조물(12)은 절연 재료들, 이들테면 산화물 절연 재료들, 질화물 절연 재료들, 또는 다른 적합한 절연 재료들의 단일 층 또는 다수의 층들을 포함할 수 있다. 그 뒤에, 게이트 산화물 층(14A)과 게이트 산화물 층(14B)이 각각 제1 액티브 구조물들(10A) 및 제2 액티브 구조물들(10B) 상에 형성될 수 있다. 일부 실시예들에서, 게이트 산화물 층(14A)과 게이트 산화물 층(14B)은 동일한 제조 공정(이들테면 산화 공정(91))에 의해 동시에 형성될 수 있고, 게이트 산화물 층(14A)의 재료 조성은 그에 따라 게이트 산화물 층(14B)의 재료 조성과 동일하거나 또는 유사할 수 있지만, 그것으로 제한되지 않는다. 일부 실시예들에서, 게이트 산화물 층(14A)과 게이트 산화물 층(14B)은 상이한 공정들에 의해 형성될 수 있으며 그리고/또는 일부 설계 고려사항들에 따른 상이한 재료들로 만들어질 수 있다.

[0029] 일부 실시예들에서, 산화 공정(91)은 산화 효과를 생성하고 게이트 산화물 층(14A)과 게이트 산화물 층(14B)을 형성하기 위해 절연 구조물(12)에 의해 덮이는 일 없이 노출되는 제1 액티브 구조물(10A)의 부분 및 절연 구조물(12)에 의해 덮이는 일 없이 노출되는 제2 액티브 구조물(10B)의 부분에 대해 수행될 수 있고, 제1 액티브 구조물(10A)의 일부 및 제2 액티브 구조물(10B)의 일부는 게이트 산화물 층(14A) 및 게이트 산화물 층(14B)의 형성에서 소모될 것이다. 그러므로, 제1 액티브 구조물(10A)과 제2 액티브 구조물(10B)이 지느러미 형상 반도체 구조물들일 때, 게이트 산화물 층(14A)의 두께와 게이트 산화물 층(14B)의 두께는 지느러미 형상 반도체 구조물들의 치수를 과도하게 변경하는 것이 피하기 위해 제한되어야 하고, 어떤 특정 두께 요건은 그에 따라 충족될 수 없다. 추가적으로, 일부 실시예들에서, 산화 공정(91)은 급속 열 산화(rapid thermal oxidation)(RTO), 또는 다른 적합한 산화 접근법들과 같은 열 산화 공정을 포함할 수 있고, 열 산화 공정은 ISSG(in-situ-steam-generation) 공정 또는 다른 적합한 열 산화 접근법들을 포함할 수 있다.

[0030] 그 뒤에, 도 2 및 도 3에 도시된 바와 같이, 더미 게이트(16A) 및 더미 게이트(16B)는 각각 게이트 산화물 층(14A) 및 게이트 산화물 층(14B) 상에 형성될 수 있다. 일부 실시예들에서, 더미 게이트(16A)와 더미 게이트(16B)는 동일한 재료들의 층(이들테면 더미 게이트 재료 층)에 패터닝 공정을 수행함으로써 동시에 형성될 수 있고, 방향(D1)에서 더미 게이트(16A)에 의해 덮이지 않은 게이트 산화물 층(14A)과 방향(D1)에서 더미 게이트(16B)에 의해 덮이지 않은 게이트 산화물 층(14B)은 이 패터닝 공정에서 제거될 수 있지만, 그것으로 제한되지 않는다. 위에서 설명된 더미 게이트 재료 층은 폴리실리콘 또는 다른 적합한 더미 게이트 재료들을 포함할 수 있고, 제1 스페이서 구조물(18A), 제2 스페이서 구조물(18B), 에칭 저지 층(22), 유전체 층(24), 및 유전체 층(26)은 더미 게이트(16A) 및 더미 게이트(16B)를 형성하는 단계 후에 형성될 수 있다. 제1 스페이서 구조물(18A)은 더미 게이트(16A)의 측벽 및 게이트 산화물 층(14A)의 측벽 상에 형성될 수 있고, 제2 스페이서 구조물(18B)은 더미 게이트(16B)의 측벽 및 게이트 산화물 층(14B)의 측벽 상에 형성될 수 있다. 제1 스페이서 구조물(18A)은 수평 방향들(이들테면 방향 D2 및/또는 방향 D3)에서 더미 게이트(16A) 및 게이트 산화물 층(14A)을 둘러쌀 수 있고, 제2 스페이서 구조물(18B)은 수평 방향들(이들테면 방향 D2 및/또는 방향 D3)에서 더미 게이트(16B) 및 게이트 산화물 층(14B)을 둘러쌀 수 있다. 다르게 말하면, 더미 게이트(16A) 및 게이트 산화물 층(14A)은 제1 스페이서 구조물(18A)에 의해 둘러싸이는 제1 트렌치(TR1) 안에 위치되는 것으로 간주될 수 있으며, 더미 게이트(16B)와 게이트 산화물 층(14B)은 제2 스페이서 구조물(18B)에 의해 둘러싸이는 제2 트렌치(TR2) 안에 위치되는 것으로 간주될 수 있으며, 제1 트렌치(TR1)는 더미 게이트(16A) 및 게이트 산화물 층(14A)으로 완전히 채워질 수 있고, 제2 트렌치(TR2)는 더미 게이트(16B) 및 게이트 산화물 층(14B)으로 완전히 채

위질 수 있지만, 그것으로 제한되지 않는다. 추가적으로, 유전체 층(26)은 유전체 층(24) 상에 형성될 수 있고, 유전체 층(26)과 유전체 층(24)은 각각 상이한 공정들에 의해 형성될 수 있고, 상이한 재료 특성들 가질 수 있다. 예를 들어, 일부 실시예들에서, 유전체 층(24)은 유동성 화학 증착(flowable chemical vapor deposition)(FCVD) 공정에 의해 형성될 수 있고 더 나은 캡 충전 성능을 가질 수 있고, 유전체 층(26)은 고밀도 플라즈마 화학 증착(high density plasma chemical vapor deposition)(HDP-CVD) 공정에 의해 형성될 수 있지만, 그것으로 제한되지 않는다.

[0031] 일부 실시예들에서, 평탄화 공정이 더미 게이트(16A)의 상단과 더미 게이트(16B)의 상단을 노출시키기 위해서 에칭 저지 층(22), 유전체 층(26), 및 제1 스페이서 구조물(18A) 및 제2 스페이서 구조물(18B)을 형성하는데 사용되는 재료에 대해 수행될 수 있다. 그 뒤에, 도 3 및 도 4에 도시된 바와 같이, 더미 게이트(16A)는 게이트 산화물 층(14A)을 노출시키기 위해 제거될 수 있다. 다르게 말하면, 더미 게이트(16A)는 더미 게이트(16B) 및 제2 스페이서 구조물(18B)이 형성된 후에 제거된다. 일부 실시예들에서, 패터닝된 마스크 층(28)이 제2 영역(R2) 상의 더미 게이트(16B)가 더미 게이트(16A)를 제거하는 단계에서 제거되는 것을 저지하기 위해 제2 영역(R2) 위에 위치된 재료 층들을 덮도록 형성될 수 있다. 패터닝된 마스크 층(28)은 패터닝된 포토레지스트 또는 다른 적합한 마스크 재료들을 포함할 수 있고, 패터닝된 마스크 층(28)은 더미 게이트(16A)를 제거하는 단계 후에 제거될 수 있다. 도 4 내지 도 7에 도시된 바와 같이, 게이트 산화물 층(30A)은 더미 게이트(16A)가 제거된 후 게이트 산화물 층(14a) 상에 형성될 수 있다.

[0032] 게이트 산화물 층(30A)을 형성하는 방법은 다음 단계들을 포함할 수 있지만 그것들로 제한되지 않는다. 도 4 및 도 5에 도시된 바와 같이, 더미 게이트(16A)를 제거하는 단계 후, 산화물 층(30)이 반도체 기판(10) 상에 형성될 수 있다. 산화물 층(30)의 부분이 제1 트렌치(TR1) 안에 공형으로 형성될 수 있고, 산화물 층(30)의 다른 부분이 제1 영역(R1) 위에 위치되는 유전체 층(26) 상에 형성되는 것과, 제2 영역(R2) 위에 위치되는 더미 게이트(16b), 제2 스페이서 구조물(18B), 및 유전체 층(26) 상에 형성되는 것과 같이 제1 트렌치(TR1) 외부에 형성될 수 있지만, 그것으로 제한되지 않는다. 제1 트렌치(TR1) 안에 형성되는 산화물 층(30)은 위에서 설명된 게이트 산화물 층(30A)으로서 간주될 수 있으며, 산화물 층(30)은 퇴적 공정(92)에 의해 형성될 수 있고, 게이트 산화물 층(30A)은 또한 퇴적 공정(92)에 의해 형성된 것으로 간주될 수 있다. 일부 실시예들에서, 퇴적 공정(92)은 원자 층 퇴적(atomic layer deposition)(ALD) 공정 또는 다른 적합한 퇴적 접근법들을 포함할 수 있다. 그 뒤에, 도 5 및 도 6에 도시된 바와 같이, 더미 게이트 재료(32)가 퇴적 공정(92) 후에 산화물 층(30) 상에 형성될 수 있고, 더미 게이트 재료(32)는 폴리실리콘 또는 다른 적합한 재료들을 포함할 수 있다. 더미 게이트 재료(32)의 부분이 제1 트렌치(TR1)에 형성될 수 있고, 더미 게이트 재료(32)의 다른 부분이 제1 트렌치(TR1) 외부에 형성될 수 있다. 도 6 및 도 7에 도시된 바와 같이, 평탄화 공정(93)이 그 다음에 제1 트렌치(TR1) 외부에 위치된 산화물 층(30)과 제1 트렌치(TR1) 외부에 위치된 더미 게이트 재료(32)를 제거하기 위해 수행될 수 있다. 일부 실시예들에서, 제1 트렌치(TR1)는 게이트 산화물 층(14A), 산화물 층(30), 및 더미 게이트(32)로 완전히 채워질 수 있다. 평탄화 공정(93) 후에 제1 트렌치(TR1) 안에 남아 있는 더미 게이트 재료(32)는 더미 게이트(32A)가 될 수 있고, 평탄화 공정(93) 후에 제1 트렌치(TR1) 안에 남아 있는 산화물 층(30)이 게이트 산화물 층(30A)이 될 수 있다. 그러므로, 더미 게이트(32A)는 게이트 산화물 층(30A) 상에 형성된 것으로 간주될 수 있고, 제1 스페이서 구조물(18A)은 수평 방향들(이를테면 방향 D2 및/또는 방향 D3)에서 더미 게이트(32A), 게이트 산화물 층(30A), 및 게이트 산화물 층(14A)을 둘러쌀 수 있다. 일부 실시예들에서, 유전체 층(26)의 부분, 에칭 저지 층(22)의 부분, 제1 스페이서 구조물(18A)의 부분, 제2 스페이서 구조물(18B)의 부분, 및 더미 게이트(16B)의 부분이 평탄화 공정(93)에 의해 제거될 수 있지만, 그것으로 제한되지 않는다. 제2 영역(R2) 상에 위치된 게이트 산화물 층(14B)은 게이트 산화물 층(14B) 상의 게이트 산화물 층(30)을 제거하는 공정(이를테면 평탄화 공정(93))의 부정적인 영향을 줄이기 위해 그리고 게이트 산화물 층(14B)의 재료 상태 및/또는 두께 제어를 개선하기 위해 제1 트렌치(TR1) 외부에 위치되는 산화물 층(30)을 제거하는 단계 동안 더미 게이트(16B) 및 제2 스페이서 구조물(18B)에 의해 덮이고 보호될 수 있다는 것은 주목할 가치가 있다.

[0033] 도 7 및 도 8에 도시된 바와 같이, 평탄화 공정(93) 후, 더미 게이트(16B)와 더미 게이트(32A)는 제1 트렌치(TR1) 안의 게이트 산화물 층(30A)(이를테면 위에서 설명된 게이트 산화물 층(30A)의 제2 부분)과 제2 트렌치(TR2) 안의 게이트 산화물 층(14B)을 노출시키기 위해 제거될 수 있다. 도 7, 도 8, 및 도 1에 도시된 바와 같이, 더미 게이트(16B) 및 더미 게이트(32A)를 제거하는 단계 후, 도 1에 예시된 반도체 구조체(100)를 형성하기 위해 제1 고-k 유전체 층(42A), 제1 전기 전도 층(44A), 제1 게이트 전극(46A), 및 제1 캡핑 층(48A)이 제1 트렌치(TR1) 안에 형성될 수 있고, 제2 고-k 유전체 층(42B), 제2 전기 전도 층(44B), 제2 게이트 전극(46B), 및 제2 캡핑 층(48B)이 제2 트렌치(TR2) 안에 형성될 수 있다. 일부 실시예들에서, 에칭 백 공정이 제1 고-k 유전체 층(42A), 제2 고-k 유전체 층(42B), 제1 전기 전도 층(44A), 제2 전기 전도 층(44B), 제1 게이트 전극

(46A), 및 제2 게이트 전극(46B)을 형성하는 공정들에서 수행될 수 있다. 에칭 백 공정에서의 제1 게이트 전극(46A) 및 제2 게이트 전극(46B)의 재료의 에칭 레이트는 상대적으로 낮을 수 있다. 그러므로, 에칭 백 공정 후, 게이트 산화물 층(30A), 제1 고-k 유전체 층(42A), 및 제1 전기 전도 층(44A)의 상단 표면들은 방향(D1)에서 제1 게이트 전극(46A)의 상단 표면보다 낮을 수 있고, 제2 고-k 유전체 층(42B)의 상단 표면과 제2 전기 전도 층(44B)의 상단 표면은 방향(D1)에서 제2 게이트 전극(46B)의 상단 표면보다 낮을 수 있지만, 그것으로 제한되지 않는다. 추가적으로, 일부 실시예들에서, 제1 캡핑 층(48A)과 제2 캡핑 층(48B)은 제1 트렌치(TR1) 및 제2 트렌치(TR2)를 절연 재료로 충전하고 절연 재료에 대해 평탄화 공정을 수행함으로써 형성될 수 있고, 에칭 저지 층(22)의 부분, 제1 스페이서 구조물(18A)의 부분, 제2 스페이서 구조물(18B)의 부분, 및 유전체 층(26)은 이 평탄화 공정에 의해 제거될 수 있지만, 그것으로 제한되지 않는다.

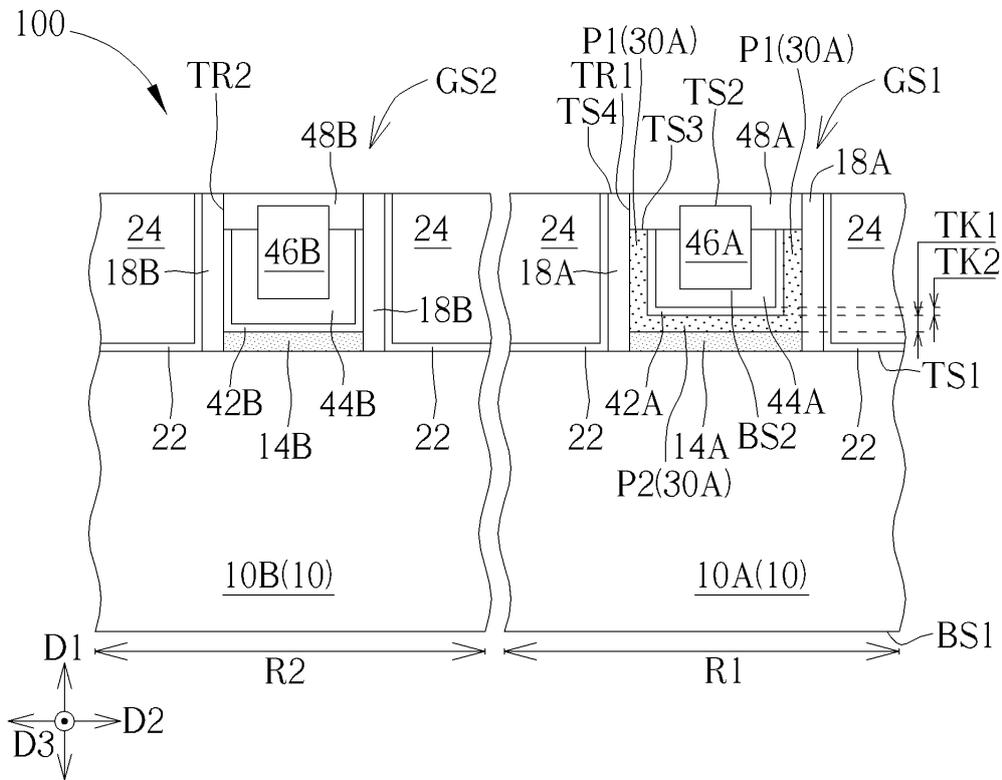
[0034] 도 1에 도시된 반도체 구조체(100)는 위에서 설명된 제조 방법에 의해 형성될 수 있다. 제1 게이트 구조물(GS1)은 제1 액티브 구조물(10A) 상에 형성되며, 제2 게이트 구조물(GS2)은 제2 액티브 구조물(10) 상에 형성되고, 제1 게이트 구조물(GS1)의 구조적 조성은 제2 게이트 구조물(GS2)의 구조적 조성과 상이할 수 있다. 본 발명에서, 제1 게이트 구조물(GS1)과 제2 게이트 구조물(GS2)을 형성하는 방법은 위에서 설명된 도 2 내지 도 8에 도시된 제조 단계들을 포함할 수 있지만 그것으로 제한되지 않는다는 것은 주목할 가치가 있다. 다르게 말하면, 도 1에 예시된 반도체 구조체(100)는 일부 설계 고려사항들에 따른 다른 방법들에 의해 형성될 수 있다. 제1 게이트 구조물(GS1)에서, 게이트 산화물 층(30A)은 해당 반도체 디바이스의 설계 요건들을 충족시키기 위해서, 제1 게이트 구조물(GS1)에서 게이트 산화물 층들의 총 두께를 증가시키는데 사용될 수 있다. 추가적으로, 위에서 설명된 제조 방법에 의해, 더 두꺼운 게이트 산화물 층을 형성하는 단계에 의해 생성된 액티브 구조물들에 대한 과도한 손상이 회피될 수 있으며 그리고/또는 이 영역에서 게이트 산화물 층의 부분을 제거하는 단계(이를테면 위에서 설명된 도 6 및 도 7에 도시된 제2 영역(R2) 상의 산화물 층(30)을 제거하는 단계)에 의해 생성된 특정 영역에 남아 있는 게이트 산화물 층에 대한 손상은 회피될 수 있다. 제조 수율은 그에 따라 향상될 수 있다.

[0035] 위의 설명들을 요약하면, 본 발명에 따른 반도체 구조 및 그것의 제조 방법에서, 게이트 산화물 층들은 상이한 영역들 상의 게이트 구조물들 안에 상이한 두께를 갖는 게이트 산화물 층들을 형성하기 위해서 상이한 접근법들에 의해 수행될 수 있고 해당 반도체 디바이스들의 설계 요건들을 충족시킬 수 있다. 추가적으로, 관련 공정들의 부정적인 영향은 본 발명에서의 제조 방법에 의해 감소될 수 있으며, 제조 수율은 향상될 수 있고 그리고/또는 제품 동작 성능은 그에 따라 개선될 수 있다.

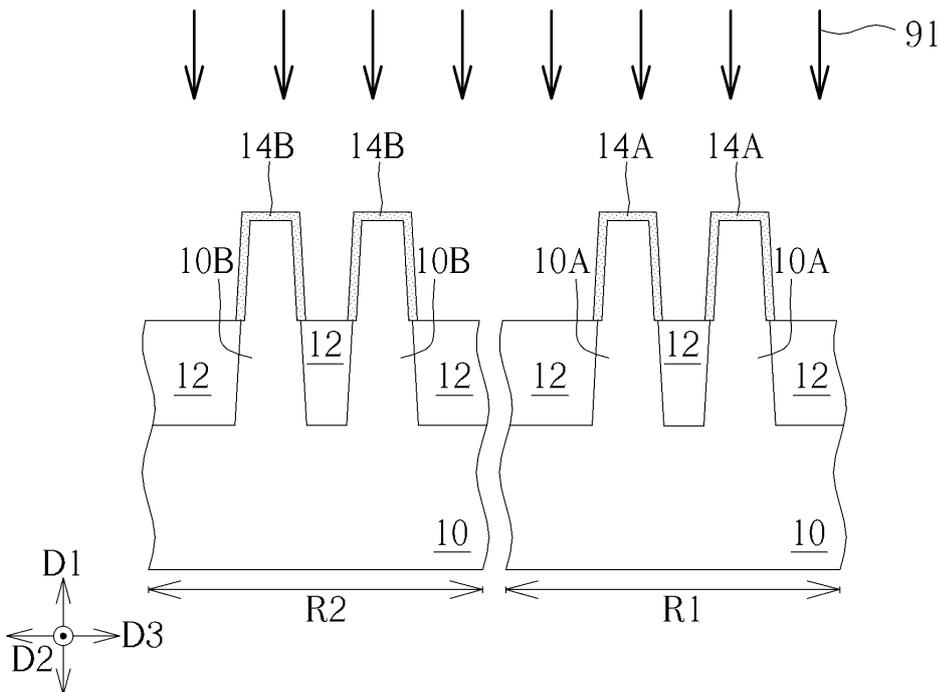
[0036] 본 기술분야의 통상의 기술자들은 본 발명의 교시들을 유지하면서 디바이스 및 방법의 수많은 수정들 및 개조들이 만들어질 수 있다는 것을 쉽게 알아차릴 것이다. 따라서, 위의 개시내용은 첨부 청구항들의 범위의 경계에 의해서만 제한되어야 할 것이다.

도면

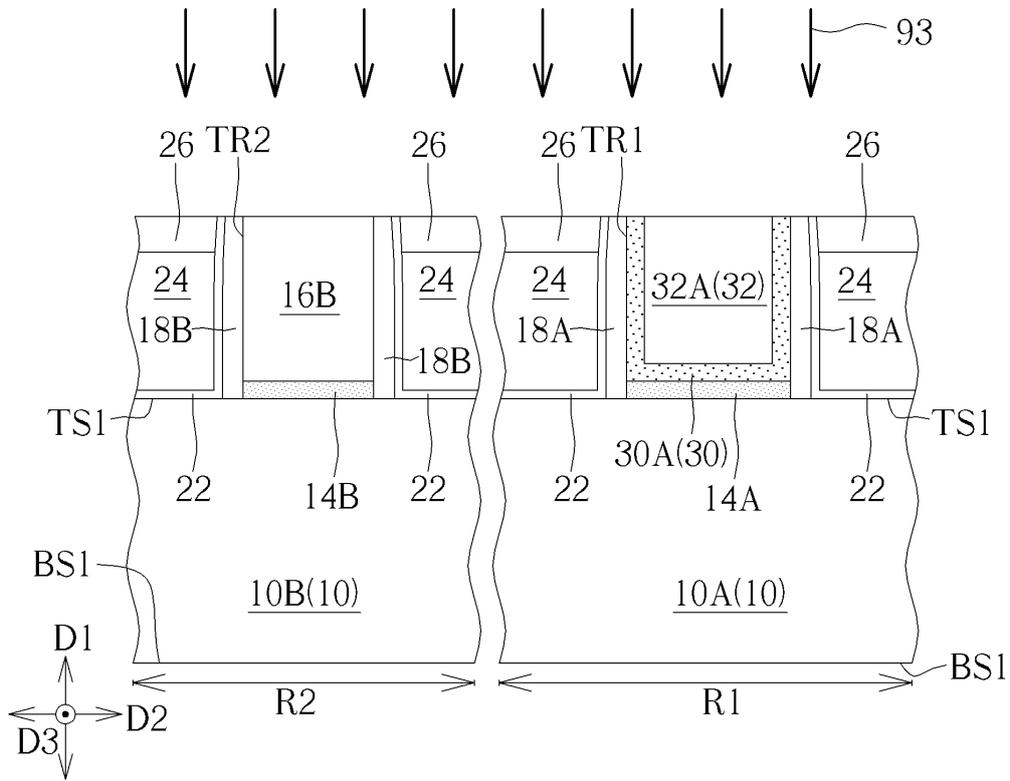
도면1



도면2



도면7



도면8

