(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2012-508976
(P2012-508976A)
(43)公表日　平成24年4月12日(2012.4.12)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/027	(2006.01)	H01L	21/30	502D	4F209
B29C 59/02	(2006.01)	B29C	59/02	ZNMB	5F146

審査請求 未請求　予備審査請求 未請求　（全 23 頁）

(21)出願番号	特願2011-536271 (P2011-536271)
(86)(22)出願日	平成21年11月13日 (2009.11.13)
(85)翻訳文提出日	平成23年7月5日 (2011.7.5)
(86)国際出願番号	PCT/NL2009/050685
(87)国際公開番号	WO2010/056119
(87)国際公開日	平成22年5月20日 (2010.5.20)
(31)優先権主張番号	08169031.5
(32)優先日	平成20年11月13日 (2008.11.13)
(33)優先権主張国	欧州特許庁 (EP)

(71)出願人　508353293
ネーデルランツ　オルガニサティー　フォール　トゥーゲパストナトゥールヴェテンシャッペリーク　オンデルズーク　テーエンオー
オランダ国　２６２８　フェーカー　デルフト　シューマーケルストラート　９７
(74)代理人　110000442
特許業務法人　武和国際特許事務所
(72)発明者　ペーテル，マリア
オランダ国　５６５８　ヘーエー　アイントフォーフェン　フラスミール　３０
(72)発明者　メインデルス，エルヴィン　リナルド
オランダ国　５５０８　ヴェーベー　フェルドフォーフェン　フェンネケルヘイ　９
最終頁に続く

(54)【発明の名称】異なるぬれ性のエリアを備えるマルチレベル表面を基板上に形成する方法およびそれを有する半導体素子

(57)【要約】
本発明は、異なるぬれ性のエリアを含むマルチレベル表面を基板２上に形成する方法１０に関する。本方法は、マルチレベル表面を形成するために基板にマルチレベルスタンプを当てるステップ（Ａ、Ｂ）を含む。前記マルチレベルスタンプは、マルチレベル表面のレベルの少なくとも一部２ａ、２ｂのぬれ性特性を局所的に変化させるためにマルチレベル表面に沿って配置される別々の構造領域１ａを有する。本発明は半導体素子、および半導体素子の製作方法にさらに関する。
【選択図】図１

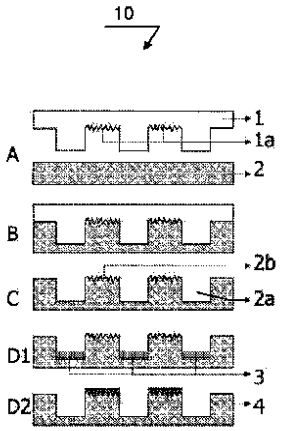


Fig. 1

【特許請求の範囲】
【請求項１】
異なるぬれ性のエリアを含むマルチレベル表面を基板上に形成する方法であって、前記方法は、
－前記マルチレベル表面を形成するために前記基板にマルチレベルスタンプを当てるステップであって、前記マルチレベルスタンプは、前記マルチレベル表面のレベルの少なくとも一部のぬれ性特性を局所的に変化させるために前記マルチレベル表面に沿って配置される別々の構造領域を有する、ステップ
を含む方法。
【請求項２】
前記マルチレベルスタンプは、実質的に各レベルに沿って広がる別々の構造領域を含む、請求項１に記載の方法。
【請求項３】
前記マルチレベルスタンプは、少なくとも１つの共通レベルに沿って各々部分的に広がる別々の構造領域を含む、請求項１に記載の方法。
【請求項４】
前記構造領域は、前記マルチレベルスタンプの光リソグラフィ、集束イオンビームエッチング、ｅビームあるいはレーザビームリソグラフィによる、マイクロまたはナノマシニングによって設けられる、請求項１、２または請求項３に記載の方法。
【請求項５】
前記基板は、フレキシブルポリマー／プラスチック箔、レジスト、ゲル、あるいは頂部上に箔、レジストまたはゲルを備えるリジッド基板から成る群から選択される、上記の請求項のうちいずれか１項に記載の方法。
【請求項６】
前記マルチレベルスタンプを当てる前記ステップは、インプリンティング、エンボシング、プレス、あるいは放射線硬化が後に続くインプリンティングまたはエンボシングから成る群から選択可能である、上記の請求項のうちいずれか１項に記載の方法。
【請求項７】
前記マルチレベル表面は、第１のぬれ性を有する第１の領域と第２のぬれ性を有する第２の領域とを含み、前記方法は、
－前記第１の領域内に第１の材料を施すステップと、
－前記第２の領域内に第２の材料を施すステップと、
をさらに含む、上記の請求項のうちいずれか１項に記載の方法。
【請求項８】
前記スタンプは２つ以上のレベルを含む、上記の請求項のうちいずれか１項に記載の方法。
【請求項９】
前記マルチレベル表面のレベルの少なくとも一部のぬれ性特性の局所的変化は、そこに疎水または親水特性を生じさせることを含む、上記の請求項のうちいずれか１項に記載の方法。
【請求項１０】
上記の請求項のうちいずれか１項に記載の方法のステップを含む半導体素子製作方法。
【請求項１１】
前記第１の材料および／または前記第２の材料は、金属、半導体、誘電体から成る群から選択される、請求項８に従属する請求項１０に記載の方法。
【請求項１２】
前記半導体素子はトランジスタである、請求項１０または１１に記載の方法。
【請求項１３】
前記第１の領域は、前記第１の領域と前記第２の領域との間に設けられる傾斜エリア上に広がるインプリントされた相互接続部によって前記第２の領域に接続される、請求項７

に記載の方法、
【請求項１４】
材料界面のマルチレベル表面を含む半導体素子であって、前記表面は異なるぬれ性のエリア群を含む、半導体素子。
【請求項１５】
前記マルチレベル表面のレベルの少なくとも一部は、局所的に変化させたぬれ性特性を有する、請求項１４に記載の半導体素子。
【請求項１６】
前記半導体素子はディスプレイ要素である、請求項１４または１５に記載の半導体素子。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、異なるぬれ性のエリアを備えるマルチレベル表面を基板上に形成する方法に関する。具体的には、本発明は、レベルの少なくとも一部の材料特性が変更されるマルチレベル表面をフレキシブルプラスチック（ポリマー）基板上に形成する方法に関する。より具体的には、本発明は半導体素子およびその製作方法に関する。
【背景技術】
【０００２】
変更されたぬれ性を有する表面を形成する方法の実施形態が国際公開第２００８／０５１１６６号から公知となっている。公知の方法では、基板、例えば、ポリマー基板が、実質的に表面全体に沿って基板材料のぬれ特性を変更するために配置された、構造化された２次元表面を備えるインプリントモールドの作用を受ける。このようにして、具体的には、適当な表面に沿った液流が可能にされたマイクロ流体素子が製作されればよい。
【０００３】
公知の方法の別の実施形態では、先に形成された、基板の２次元表面のぬれ特性を選択的にさらに変更するために、基板に順次当てられる２つのモールドが用いられる。しかし、これを達成するためには、第２のモールドは、第１のインプリントステップにおいて作られた構造に対して適当に配向され且つ適当に位置合わせされなければならない。
【発明の概要】
【発明が解決しようとする課題】
【０００４】
ぬれ性の異なる領域を製作するために第１および第２のインプリントステップの間でモールドの適当な相互配向および位置合わせを高精度で維持しなければならない２つのインプリンティングステップが必要とされることは、特に、フレキシブル基板のぬれ特性の変更に関して、周知の方法の不利な点である。フレキシブルプラスチック基板は寸法的に不安定であり、それ故、当技術分野において周知の２ステップのインプリンティング方法では、基板内に設けられる構造の重大な位置合わせ不良を生じさせる可能性があろう。
【０００５】
本発明の目的は、異なるぬれ性のエリアを備えるマルチレベル表面を基板上に形成する容易且つ確実な方法を提供することである。
【０００６】
本発明のさらなる目的は、異なるぬれ性のエリアを備えるマルチレベル表面を基板上に形成する、フレキシブル基板に対する適用に適した方法を提供することである。
【０００７】
本発明のなおさらなる目的は、異なるぬれ性のエリアを有するマルチレベル表面を基板上に形成する方法であって、１つのステップ内に実装されることができ、それにより、素子レイアウトを画定し且つ、基板のゆがみ／変形および素子内の異なる機能層の間の位置合わせ不良を防ぐ方法を提供することである。
【０００８】

本発明のなおさらなる目的は、半導体素子の異なるレベルを構成する材料の堆積が高精度で可能になる、半導体素子製作方法を提供することである。

【０００９】

本発明のなおさらなる目的は、半導体素子のアーキテクチャ内の異なるレベル／機能層を構成する材料の間の位置合わせが高精度で達成される半導体素子を提供することである。

【課題を解決するための手段】

【００１０】

この目的を達成するために、本発明による方法は、

－マルチレベル表面を形成するために基板にマルチレベルスタンプを当てるステップであって、前記マルチレベルスタンプは、マルチレベル表面のレベルの少なくとも一部のぬれ性特性を局所的に変化させるためにマルチレベル表面に沿って配置される別々の構造領域を有する、ステップ

を含む。

【００１１】

本発明は、例えばマイクロまたはナノマシニングによって、表面特性が適当に改変された単一のモールドによって基板を構造化すれば、その結果生じるマルチレベル表面の対応する表面特性を容易に調整することができるという見識に基づく。構造領域を生じさせるためのマルチレベルスタンプの製作に、マルチレベルスタンプの光リソグラフィ、集束イオンビームエッチング、ｅビームまたはレーザビームリソグラフィを含む、ただしそれらに限定されるものではない、他の技法が用いられてもよい。

【００１２】

本発明による方法は、素子アーキテクチャの適当なレベル群を１つの処理ステップで画定することができ、それ故、基板の変形を防ぎ且つ層間の高精度の位置合わせを確実にするという点において、さらなる利点を有する。その結果、素子、機能または活性層内で必要な材料の堆積を、異なるぬれ特性を備えるエリア群を利用して選択的に堆積させることができる。

【００１３】

マルチレベルスタンプは、インプリンティング、エンボシング、あるいは放射線硬化が後に続くインプリンティングまたはエンボシングのうちのいずれかによって基板に当てられればよい。マルチレベルスタンプは２つ以上のレベルを含むものであって、結果として生じるマルチレベル基板表面のぬれ特性を改変するべくパターニングまたは機械加工された構造領域を備えるレベルが少なくとも１つ配置されたものであればよいことを理解されたい。「ぬれ性を変化させる」という用語は、エリアのぬれ特性を基板の表面のぬれ特性の元の値に対してより親水性またはより疎水性となる方へ変更する作用を指すことをさらに理解されたい。

【００１４】

「マルチレベル」という用語は、高さステップと呼ばれる場合もある高さレベルを少なくとも２つ有する２または３次元表面構造を指し、レベルのうち少なくとも１つは、異なるぬれを備えるエリアを提供する、より小さな構造でパターニングされることを理解されたい。

【００１５】

本発明によれば、基板、好ましくはフレキシブル基板、に改変されたぬれ性特性を有する領域が少なくとも１つ設けられる。こうすると、かように形成されたレベル上での材料堆積は、基板のぬれ特性を適当に改変することによって、例えばそれらを親水性または疎水性の方向に変更することによって、制御すればよいので、有利である。

【００１６】

本方法を実施するために異なる基板が用いられてもよいことを理解されたい。例えば、本発明を実施するために、レジスト、ゲル、あるいはその頂部上に箔、レジストまたはゲルを備えるリジッド基板が選択されてもよい。

【００１７】
特に、フレキシブルポリマー／プラスチック箔、レジストまたはゲルについて、本発明による方法は材料堆積の向上を確実にすることが見いだされている。しかし、フレキシブル頂部層が設けられたリジッド基板も同様に考えられているので、本発明による方法は、挙げられている基板上で実施可能であることに限定されるものではないことを理解されたい。
【００１８】
本発明による方法の一実施形態では、マルチレベルスタンプは、実質的に各レベルに沿って広がる別々の構造領域を含む。
【００１９】
異なるぬれ性のエリア群を備え、このようなエリア群が実質的に、異なる高さレベル上に延在するマルチレベル表面を基板上に形成する方法を提供することが有利であることが見いだされている。例えば、レベルが２つある構造では、下方のレベルが疎水性となるように設定されればよく、上方のレベルが親水性となるように設定されればよい。このようにして、マルチレベル表面の下方のレベル上および上方のレベル上における材料堆積を、適合するぬれ特性を有するそれぞれのエリアに限定させればよい。
【００２０】
本発明による方法の別の実施形態では、マルチレベルスタンプは、少なくとも１つの共通レベルに沿って各々部分的に広がる別々の構造領域を含む。
【００２１】
状況によっては、例えば、トランジスタ構造を形成する間、異なるぬれ性を有する別々のエリアを１つのレベルに設けることが有利である場合がある。このようにして、異なる材料が、同じレベルのそれぞれ適合するエリア上に正確に堆積されればよい。
【００２２】
本発明による方法のさらに別の実施形態では、マルチレベル表面は、第１のぬれ性を有する第１の領域と第２のぬれ性を有する第２の領域とを含み、本方法は、
－第１の領域内に第１の材料を施すステップと、
－第２の領域内に第２の材料を施すステップと、
をさらに含む。
【００２３】
基板の３次元表面の領域または領域群のぬれ性特性を選択的に改変すれば、適当な材料、例えばトランジスタの層、が基板上に正確に堆積される可能性があることが見いだされている。その結果、活性層間の正確な位置合わせのおかげでトランジスタの動作特性が向上する可能性がある。例えば、第１の材料および／または第２の材料は、導電性材料（例えば金属含有）、半導体、誘電体から成る群から選択されればよい。
【００２４】
本発明による半導体素子は材料界面のマルチレベル表面を含み、該表面は異なるぬれ性のエリア群を含む。特に、本発明の一態様による半導体素子では、前記マルチレベル表面のレベルの少なくとも一部が、局所的に変化させたぬれ性特性を有する。
【００２５】
本発明のこれらおよび他の態様を、図面を参照しながらさらに説明する。図面において、同様の参照符号は同様の要素を表す。図面は例示目的のためにのみ示されており、添付の請求項の範囲を限定するために用いられてはならないことを理解されたい。
【図面の簡単な説明】
【００２６】
【図１】ナノまたはマイクロ構造化により上方のレベルが異なるぬれ特性を有する２つのレベルを含むマルチレベル表面が形成される、本発明による方法の実施形態を概略的に示す図である。
【図２】同じレベル内に別々の構造領域を呈する２つのレベルを含むマルチレベル表面が形成される、本発明による方法の実施形態を概略的に示す図である。

【図３】ボトムゲートトップコンタクト型トランジスタに適した、異なる構造パターンを各レベルが備える３つのレベルを含むマルチレベル表面が形成される、本発明による方法の別の実施形態を概略的に示す図である。
【図４】２つのレベルを含むマルチレベル表面が形成され、１つのレベルのぬれ特性が部分的に変更される、本発明による方法の実施形態を概略的に示す図である。
【図５】半導体素子を形成するための本発明による方法の実施形態：トップゲートボトムコンタクト型トランジスタを概略的に示す図である。
【図６】半導体素子を形成するための本発明による方法の別の実施形態：同様に、部分的に埋め込まれたソース－ドレイン電極を備えるトップゲートボトムコンタクト型トランジスタを概略的に示す図である。
【図７】半導体素子を形成するための本発明による方法のさらに別の実施形態：埋め込まれたゲート電極ならびにパターニングされた半導体を備えるトップゲートボトムコンタクト型トランジスタを概略的に示す図である。
【図８】本発明による方法のさらに別の実施形態：埋め込まれたゲートならびにパターニングされた半導体および誘電体層を備えるボトムゲートトップコンタクト型トランジスタを概略的に示す図である。
【図９】頂部と底部の配線レベルの間の接続部が実装される、本発明による方法のさらに別の実施形態を概略的に示す図である。
【発明を実施するための形態】
【００２７】
図１は、２つのレベルを含むマルチレベル表面が形成される、本発明による方法の実施形態を概略的に示す。本実施形態によれば、方法１０は、基板２、例えば、ポリマーまたはレジスト層を頂部上に備えるリジッド基板、あるいはフレキシブル基板、がマルチレベルスタンプ（モールド）１によって処理されるステップＡ、Ｂを含むものであればよい。マルチレベルスタンプ（モールド）１は、基板２上に形成される２次元表面の対応するエリア２ｂのぬれ特性を変更するように意図される構造領域１ａを含む（ステップＣを参照）。それに対して、エリア２ａは影響を受けなくてよい。領域２ｂは絶対的な意味で疎水性または親水性となってもよいし、あるいはそれらは相対的な意味で、例えば表面の元の状態に対して、疎水性または親水性となってもよいことを理解されたい。
【００２８】
ステップＡ、Ｂは独立した構成要素として言及されているが、実際は、変更されたぬれ性特性の所定のエリア群を有するマルチレベル表面は、マルチレベルモールド１と基板２との間の機械的相互作用の単一の動作によって形成されることを理解されたい。マルチレベルモールドが用いられるという事実のおかげで、基板の異なる高さレベルにある構造を形成するための追加の手順は必要ない。従って、結果として生じるマルチレベル表面は、製作が意図されている適当な素子のレイアウトに対応したものになる。このような素子の適当な例は、トランジスタまたは画素のような半導体素子、マイクロ流体素子あるいは同様のものに関連するものであればよい。
【００２９】
領域１ａは、例えば適当な溝または他の凸凹をパターニングするための、機械的手段による、あるいはレーザビームによる、光またはｅビームリソグラフィによる、モールドのマイクロまたはナノマシニングによって設けられればよい。望ましい表面粗さを達成する任意の適当な手段が考えられることを理解されたい。
【００３０】
ステップＤ１において、第１の材料３が基板２の表面上に堆積されればよく、そこで第１の材料は、ぬれ性が変更されない領域にのみ付着することになろう。材料３は、任意の適当な技法を用いて堆積されればよく、例えば、それはスピンコートされてもよいし、印刷されてもよいし、または浸漬を用いて堆積されてもよい。
【００３１】
ステップＤ２において、第２の材料４が基板の表面上に堆積され、そこで第２の材料は

、ぬれ性が結果的に変更されたエリア２ｂにのみ付着する。

【００３２】

マルチレベルスタンプ１は、処理中に用いられる適当な波長に対して、例えば紫外線（ｕｌｔｒａ－ｖｉｏｌｅｔ、ＵＶ）に対して、透明であってよいことを理解されたい。基板２は、ＵＶまたは熱硬化性のものであればよい、ポリマーもしくはレジスト層を備えるリジッド基板、またはフレキシブルプラスチック基板、レジスト層に関連するものであってもよいし、あるいはそれは、インプリンティング後に固まればよいポリマー、ゾルーゲル系のような液体様の材料に関連するものであってもよい。スタンプ２は基板に、例えば加熱中に、機械的に押し込まれればよい、またはＵＶ硬化性基板が用いられる場合は徐々に押し込まれればよい。スタンプが透明であるときは、適当な放射線がスタンプを通り抜けて基板に達すればよい。

【００３３】

エリア２ａ、２ｂは逆にされてもよい、すなわち、変更されたぬれ性を備えるエリアが溝内に配置されてもよく、一方、元の表面ぬれを備えるエリアがそれぞれの頂部において残されてもよいことを理解されたい。溝および頂部のパターンは規則的であってもまたは不規則であってもよいことと、溝を形成する壁は実質的に垂直であってもまたは傾斜していてもよいことも理解されたい。

【００３４】

図２は、２つのレベルを含むマルチレベル表面が形成される、本発明による方法の実施形態を概略的に示す。本発明による方法２０の本実施形態では、スタンプ１は、異なる表面粗さを有する、第１の構造領域１ａおよび第２の構造領域１ｂを含むものであればよい。

【００３５】

スタンプ１を用いた基板２の処理の結果、２レベル構造を備える表面が基板２上に形成され、変更されたぬれ特性を備えるエリア２ｂおよび２ｃを少なくとも含む。エリア２ｂおよび２ｃに隣接して、基板２は元のぬれ性を有するエリア２ａを含んでよいことを理解されたい。

【００３６】

同様に、ステップＤ、ＥおよびＦにおいて、第１、第２および第３の材料が基板２上に堆積されればよく、そこで各材料はマルチレベル表面の、適合するぬれ表面を有する部分に付着することになろう。例えば、第１の材料３は領域２ｂにのみ付着することになり、第２の材料４は領域２ｃにのみ付着することになり、第３の材料５は領域２ａにのみ付着することになろう。

【００３７】

図３は、３つのレベルを含むマルチレベル表面が形成される、本発明による方法の別の実施形態を概略的に示す。本発明による方法３０の別の例示的な実施形態では、スタンプ１は、同種の構造領域１ａ、１ｂ、１ｃを各々有する３つのレベルを含む。

【００３８】

このようなスタンプを用いて基板２が処理されると（ステップＡ、ＢおよびＣを参照）、独自のぬれ性２ｂ、２ｃ、２ｄを各レベルが有する少なくとも３つのレベルを有する、３次元構造を備える表面が設けられる。ステップＤ、Ｅ、Ｆにおいて、適当な材料３、４、５が、実質的に、基板内に形成された３次元表面構造上にのみ堆積されればよく、このような材料に対して適合するぬれ表面を有する領域である。その結果、実質的に、予め選択されたエリアのみにおける材料、堆積が可能になり、最終製品、例えば、半導体素子、または、ディスプレイのような、半導体素子を用いて動作可能な電子ユニット、の動作特性が向上する。

【００３９】

図４は、２つのレベルを含むマルチレベル表面が形成され、１つのレベルのぬれ特性が部分的に変更される、本発明による方法の実施形態を概略的に示す。本発明による方法４０の本実施形態によれば、例えばマイクロ流体素子が提供されればよい。

【００４０】
ステップＡ～Ｃにおいては、その表面の部分１ａのみが部分的に構造化された突出領域１を１つ以上有するモールド１が提供されればよい。例えば、部分１ａは、基板２の対応するマルチレベル表面に、変更されたぬれ性をエキシビットするエリア２ｂを持たせるべく、粗面化されればよい。対応する溝または溝群の幅／横寸法は適当に選択されればよいことを理解されたい。ただし、流体素子については、このような寸法は約１００マイクロメートルに設定されるのが望ましい。溝の深さは１０ないし１００マイクロメートルの値に設定されればよい。
【００４１】
約１０μｍの深さを有する溝はディスプレイ画素の製作に用いられればよく、それに対して、約１００μｍの深さを有する溝はマイクロ流体素子を製作するために用いられればよい。本発明による方法は、リジッドまたはフレキシブル基板内にマルチレベル構造を形成するのに適するというものであって、構造の絶対寸法は、挙げられている例によって限定されるものではなく、少なくとも１～１０００μｍのレンジ内にあればよいことを理解されたい。
【００４２】
ステップＤにおいて、材料３、例えば、エリア２ｂのぬれ特性に適合した金属、金属含有材料あるいは任意の他の導電性または活性材料、がエリア２ｂ内にのみ堆積されればよい。エリア２ｂは親水性でありエリア２ａは疎水性であってよい、またはその逆であってもよい。
【００４３】
図５は、半導体素子を形成するための本発明による方法５０の実施形態を概略的に示す。この特定の実施形態では、トップゲート、ボトムコンタクト型トランジスタを形成することが可能になる。
【００４４】
ステップＡ～Ｃにおいて、構造領域１ａを有するマルチレベルスタンプ１が基板２に当てられ、その結果、かくして形成される、基板２ａのマルチレベル表面の、エリア２ｂにおけるぬれ特性を変更する。
【００４５】
ステップＤにおいて、電極材料３、例えば金属または任意の他の導電性材料、がエリア２ｂにおいて堆積されればよい。ステップＤにおいて、半導体４が、ステップＣにおいて形成された構造の頂部上に堆積されればよい。ステップＦにおいて、誘電体５が半導体の頂部上に堆積されればよい。最後に、ステップＥにおいて、ゲート材料６が堆積される。
【００４６】
本発明によれば、という事実の故に、少なくとも電極材料３は、所定のエリア２ｂにおける３次元表面のぬれ特性とのその調和のおかげで、正確に堆積される。
【００４７】
図６は、半導体素子を形成するための本発明による方法６０の別の実施形態を概略的に示す。この特定の実施形態では、３レベルスタンプによるトップゲートボトムコンタクト型トランジスタの形成が可能になる。
【００４８】
従って、ステップＡ～Ｃにおいて、構造領域１ａを形成するべくスタンプの外部突起が適当に機械加工された３レベルのスタンプ１によって基板２が処理される。構造領域１ａは、基板の表面２ｂをぬれ性に関して同じまたは異なる様式で変化させるように配置されればよいことを理解されたい。
【００４９】
ステップＤにおいて、まず電極材料３がエリア２ｂにおいて堆積され、その結果、部分的に埋め込まれた電極ができ、そこに半導体材料４の後、誘電体材料５およびゲート材料６が堆積される。
【００５０】

図７は、半導体素子を形成するための本発明による方法７０のさらに別の実施形態を概略的に示す。マルチレベルスタンプ１は３つのレベルを含み、それらのうちのいくつかは、構造領域１ａ、１ｂを設けるために適当に予め機械加工されればよい（予めパターニングされればよい）。ステップＡ～Ｃが完了されると、変更されたぬれ性２ｂ、２ｃのエリアを含むマルチレベル表面を有する基板２ａが提供される。ステップＤにおいて、第１の材料３、例えばゲート電極、が堆積される。エリア２ｂおよび２ｃのぬれ特性を適当に選択することによって、所定のエリア２ｃにおいてのみ材料３が基板に付着することを達成することができる。ステップＥにおいて、半導体材料が実質的にエリア２ｂにおいてのみ堆積される。ステップＦにおいて、誘電体材料５およびゲート材料６を堆積させることによってトランジスタ構造の形成が完了されればよい。

【００５１】

任意に、適当に構造化された領域１ｄを含むテンプレート１を用いることによってエリア２ｄのぬれ特性も変化させてよいことを理解されたい。この特徴は、それを超えて材料６が広がることがない材料境界を設けることによって、ゲート材料６を堆積させるステップの間の助けとなる可能性がある。このような材料境界は、ゲート材料６に対して不適合のぬれ特性をエリア２ｄに持たせることによって、例えばエリア２ｄを（超）疎水性エリアとして配置することによって、得られればよい。

【００５２】

領域２ｄは、基板上における隔離された構造、例えば隔離されたトランジスタアレイ、の製造を可能にするために用いられてもよいことをさらに理解されたい。この場合は、誘電体５もパターニングされればよい。

【００５３】

図５～図７を参照しながら説明される例示的な実施形態はトップゲート、ボトムコンタクト型トランジスタに関連しているが、マルチレベルスタンプ１および対応する方法ステップは、ボトムゲート、トップコンタクト型トランジスタまたはボトムゲート、ボトムコンタクト型トランジスタの製作を可能にするために改変されることによって適当であってもよいことをさらに理解されたい。

【００５４】

図８は、本発明による方法のさらに別の実施形態８０を概略的に示す。本実施形態によれば、各レベルが独自の構造化部１ａ、１ｂ、１ｃを有すればよいマルチレベルスタンプ１が用いられる。ステップＡ～Ｃにおいて、ステップＢにおける基板２の材料のスタンプ１との相互作用によって、異なるぬれ性２ｂ、２ｃ、２ｄの領域を有する、基板２ａ内の３レベルの表面が形成される。

【００５５】

ステップＤにおいて、ゲート材料３がエリア２ｄ内に堆積されればよい。エリア２ｄのぬれ特性は、材料３に適合するように選択される。

【００５６】

ステップ４において、適当な誘電体材料４が材料３の頂部上に堆積されればよい。誘電体材料４は、材料３と、エリア２ｃ内に堆積されるように意図される材料４との間の材料バリアの役割を果たせばよい。

【００５７】

最後に、ステップ５において、半導体材料５が堆積されればよく、ステップＧにおいて、ソース－ドレイン電極材料６がエリア２ｂ内に堆積されればよい。

【００５８】

図９は、頂部と底部の配線レベルの間の接続部が実装される、本発明による方法のさらに別の実施形態を概略的に示す。異なる粗さの領域を有する２レベル表面を作るために、例えば、図２に関して示されるプロセスが用いられればよい。その結果、図２を参照すると、第１の領域または領域群に付着する第１の材料３と、基板２上で画定された第２の領域または領域群に付着する第２の材料４とが提供されればよい。材料３および４の間の相互接続を実装するためには、頂部レベル表面（または表面群）と底部レベル表面（または

表面群）との間の斜め連絡部が設けられなければならないことを理解されたい。このような斜め連絡部は、レベル２ａおよび２ｂを接続するスロープを設けることによって適当に実装されればよい。

【００５９】

２つのレベルの間の相互接続部のスロープは、相互接続部の材料が実質的に連続的になるように設けられればよいことを理解されたい。これは、図６に概略的に示されているテンプレートを用いて実装されればよい。

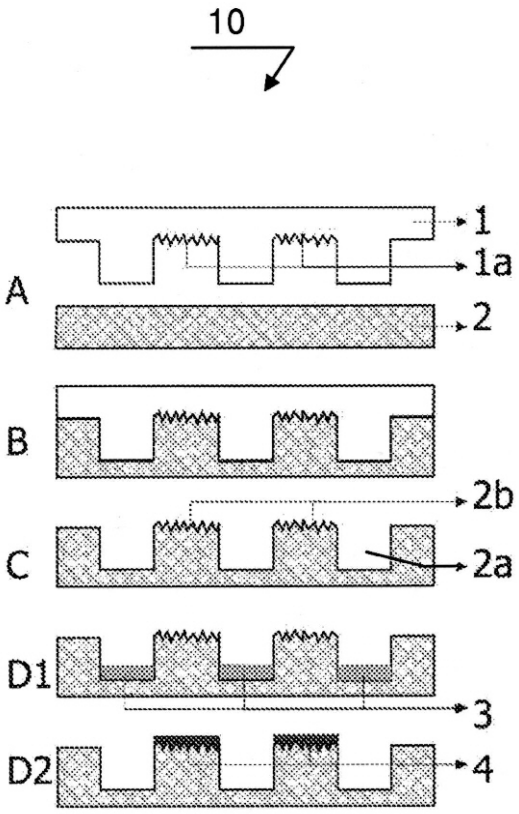
【００６０】

次に図９を参照すると、閉じ込め部５ａ、スロープ８ａ、および頂部配線用の拡大部６ａの追加の層を含む複雑なテンプレートを含む、実装される相互接続部の例示的な実施形態が示されている。それにより、底部ワイティングはスロープ８ａによって表面にもってこられる。スロープは、相互接続配線内で途切れが生じないことを確実にする、好ましくは２０度未満、より好ましくは１０度未満の傾斜角を必要とすればよい。

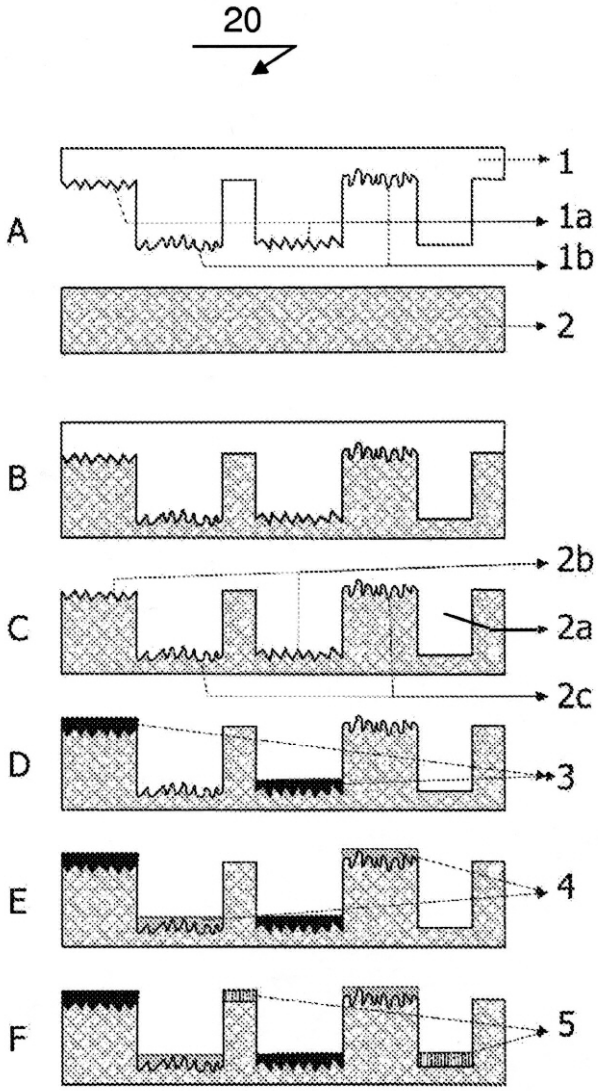
【００６１】

以上には特定の実施形態が記載されているが、本発明は記載されているもの以外の様式で実施されてもよいことを理解されたい。以上の記載は例示を意図したものであり、限定を意図したものではない。従って、上述された通りの本発明に、添付の請求項の範囲から逸脱することなく変更がなされてもよいことは当業者には明らかであろう。

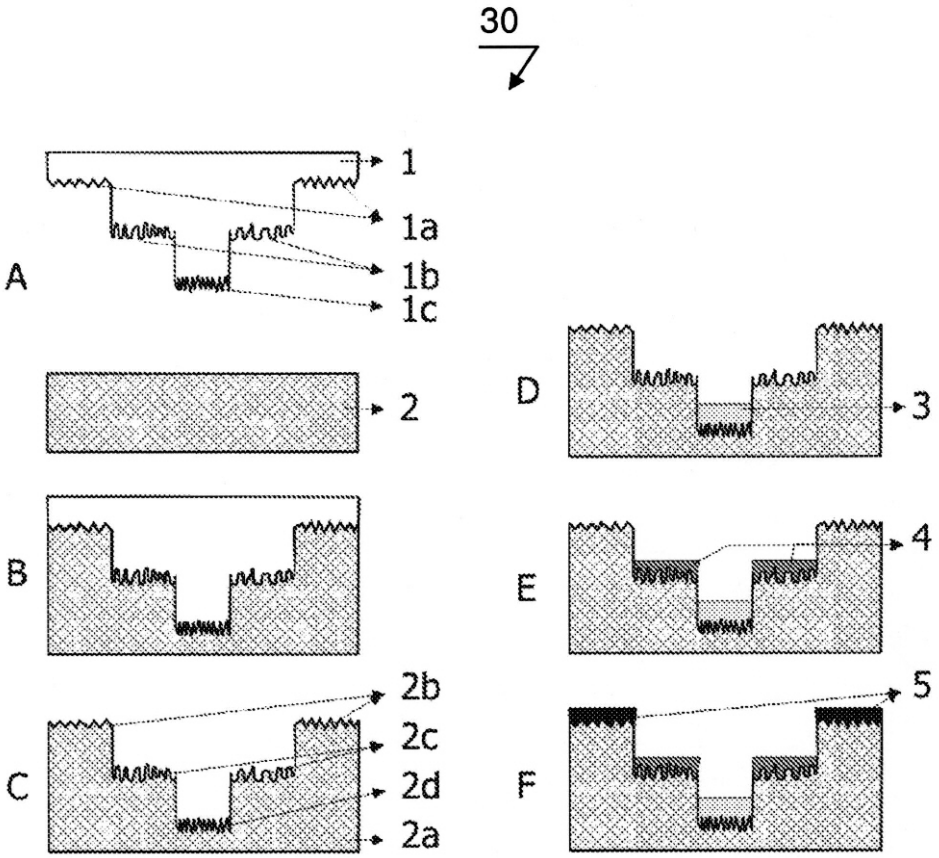
【図１】



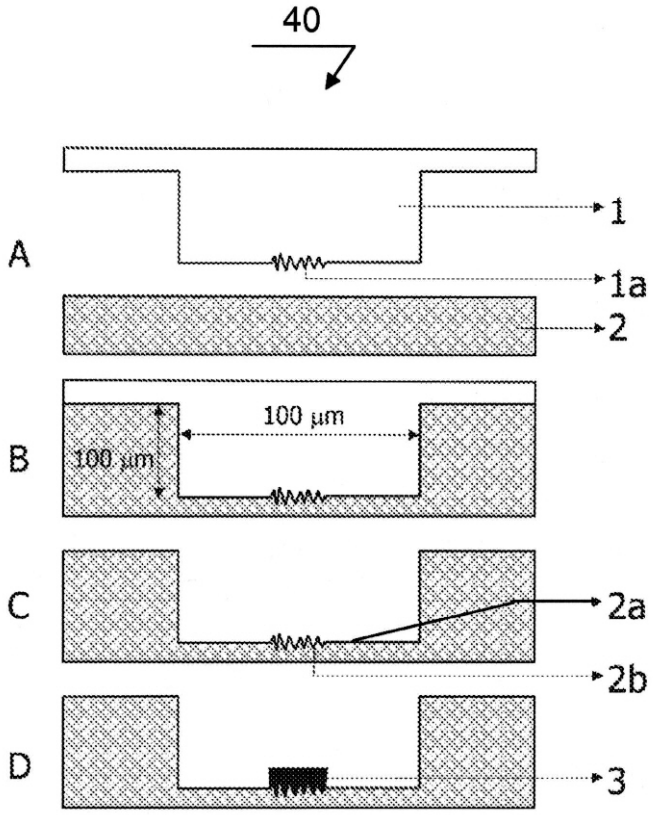
【図２】



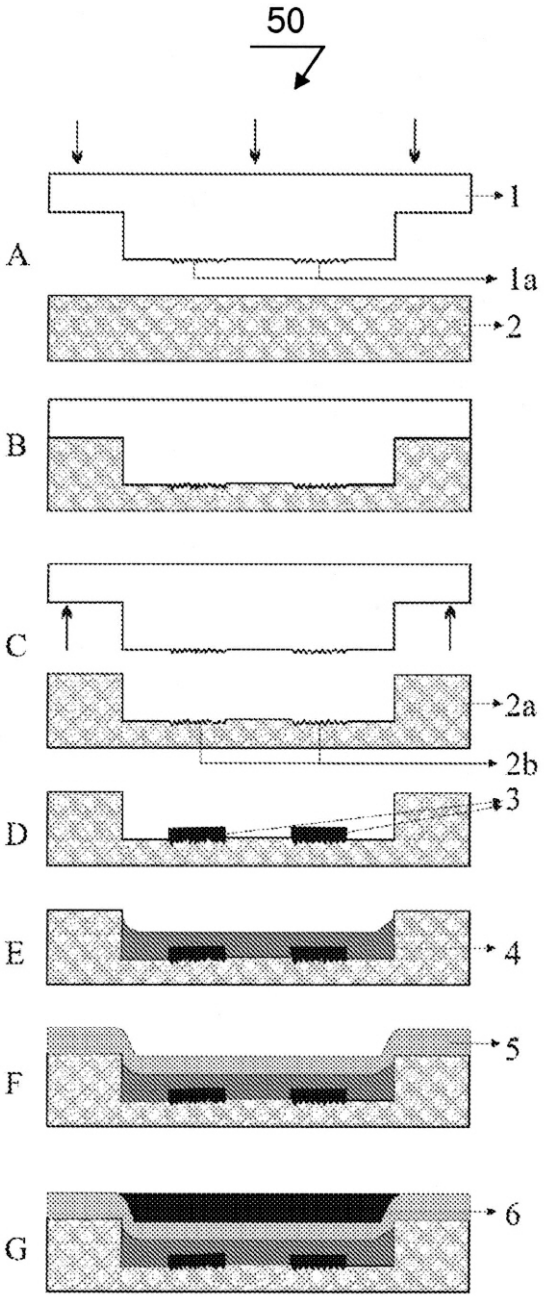
【図３】



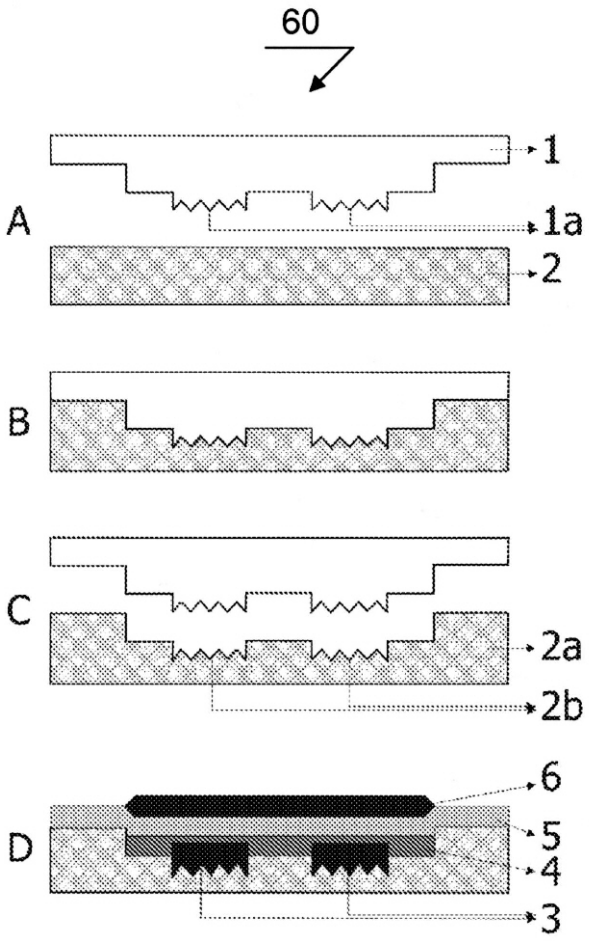
【図４】



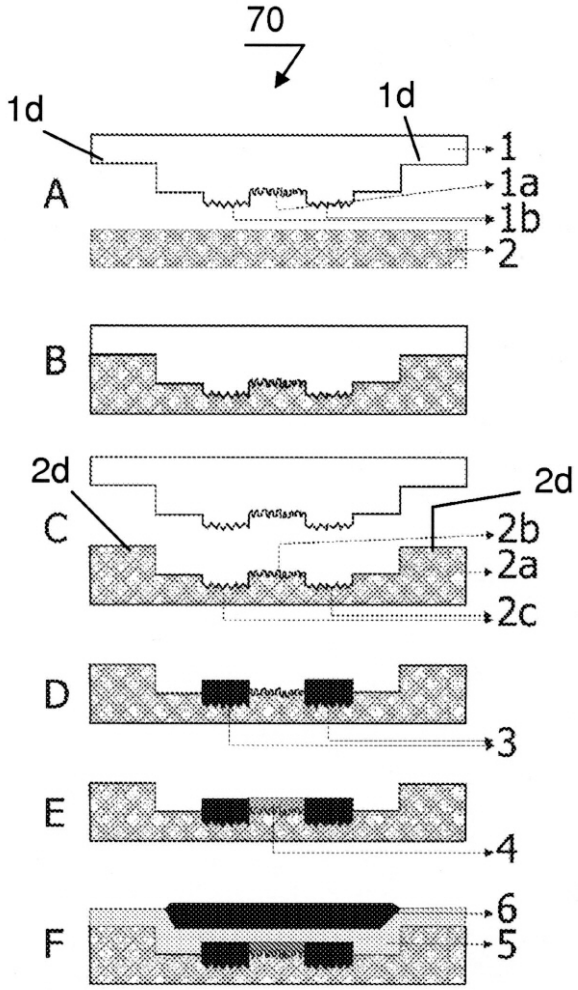
【図５】



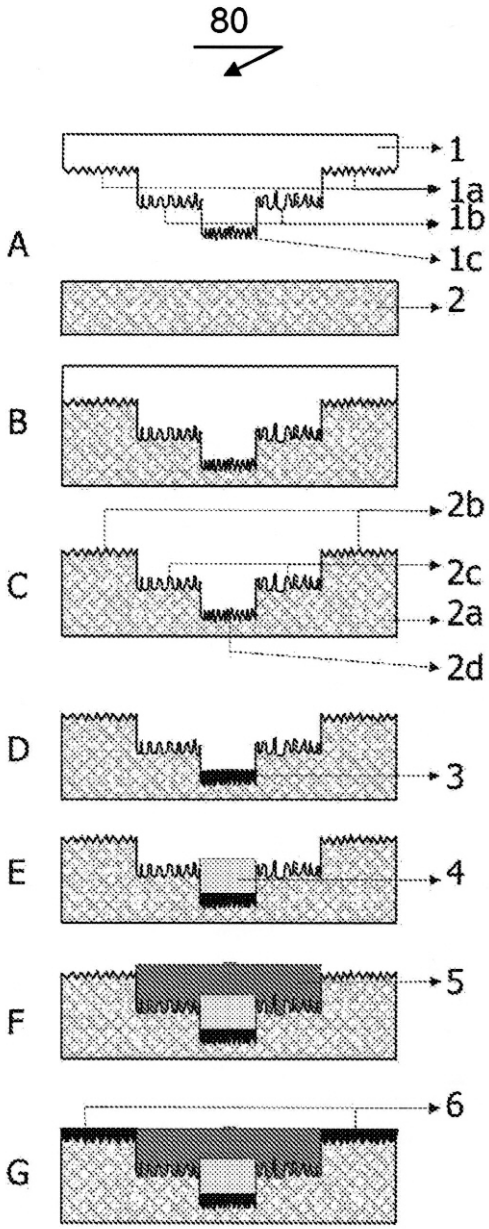
【図６】



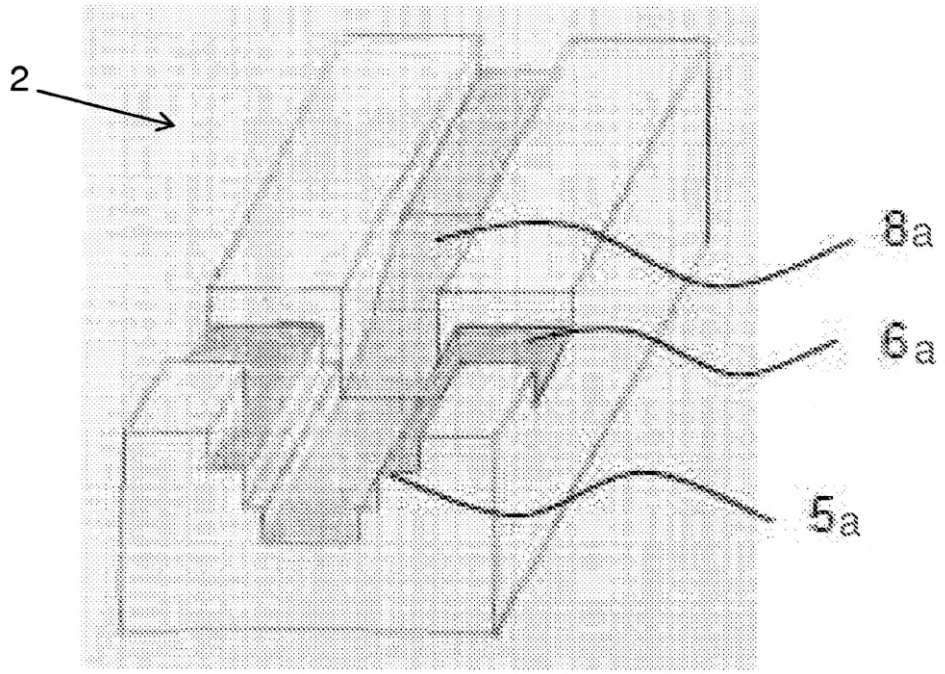
【図７】



【図８】



【図９】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/NL2009/050685

A. CLASSIFICATION OF SUBJECT MATTER
INV. G03F7/00 B29C59/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G03F B29C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/003146 A1 (SPATH BERND [DE]) 6 January 2005 (2005-01-06)	1-9
Y	paragraph [0445]; figure 3c paragraph [0083] paragraphs [0090] - [0092] paragraph [0327] paragraph [0328] paragraphs [0085], [0089]	10-13
X	US 2006/290021 A1 (LI SHUNPU [GB] ET AL) 28 December 2006 (2006-12-28)	14-16
Y	paragraphs [0032] - [0034]; figure 3	10-12
X	WO 2004/055920 A (PLASTIC LOGIC LTD [GB]; BROWN THOMAS MEREDITH [GB]; SIRRINGHAUS HENNIN) 1 July 2004 (2004-07-01) pages 5,6; figure 1	14-16

-/--

[X] Further documents are listed in the continuation of Box C. [X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 January 2010	25/01/2010

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Pérennès, Frédéric

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/NL2009/050685

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2004/192041 A1 (JEONG JUN-HO [KR] ET AL) 30 September 2004 (2004-09-30) figure 3	13
A	BHARAT BHUSHAN ET AL: "Wetting, adhesion and friction of superhydrophobic and hydrophilic leaves and fabricated micro/nanopatterned surfaces" JOURNAL OF PHYSICS: CONDENSED MATTER, INSTITUTE OF PHYSICS PUBLISHING, BRISTOL, GB, vol. 20, no. 22, 4 June 2008 (2008-06-04), page 225010, XP020135838 ISSN: 0953-8984 figure 27	1-9

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/NL2009/050685

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2005003146 A1	06-01-2005	CA 2456251 A1	03-01-2003
		WO 03000483 A1	03-01-2003
		DE 10292713 D2	05-08-2004
		EP 1404508 A1	07-04-2004
		JP 2005537034 T	08-12-2005
US 2006290021 A1	28-12-2006	GB 2427509 A	27-12-2006
		JP 2007005799 A	11-01-2007
		KR 20060135511 A	29-12-2006
WO 2004055920 A	01-07-2004	AU 2003292414 A1	09-07-2004
		AU 2003292417 A1	09-07-2004
		CN 1745487 A	08-03-2006
		EP 1581973 A2	05-10-2005
		EP 1581974 A2	05-10-2005
		WO 2004055919 A2	01-07-2004
		JP 2006510210 T	23-03-2006
		KR 20050089826 A	08-09-2005
		US 2006160276 A1	20-07-2006
		US 2006148167 A1	06-07-2006
US 2004192041 A1	30-09-2004	EP 1606834 A1	21-12-2005
		JP 2006521682 T	21-09-2006
		WO 2004086471 A1	07-10-2004

Form PCT/ISA/210 (patent family annex) (April 2005)

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

Ｆターム(参考) 4F209 AF01 AF16 AH33 PA02 PB01 PC05 PC20 PN06 PQ11
5F146 AA31 AA32