

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2023-528051
(P2023-528051A)

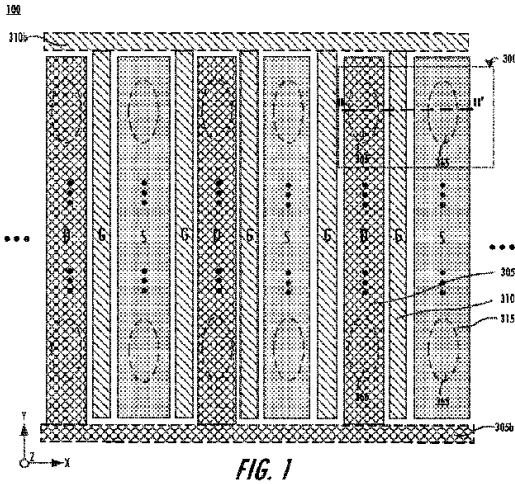
(43)公表日 令和5年7月3日(2023.7.3)

(51)国際特許分類		F I		テーマコード (参考)	
H 0 1 L	21/822 (2006.01)	H 0 1 L	27/04	A	5 F 0 3 3
H 0 1 L	23/12 (2006.01)	H 0 1 L	23/12	3 0 1 L	5 F 0 3 8
H 0 1 L	21/3205(2006.01)	H 0 1 L	21/88	J	5 F 0 4 8
H 0 1 L	21/8234(2006.01)	H 0 1 L	27/04	E	5 F 1 0 2
H 0 1 L	21/8232(2006.01)	H 0 1 L	27/06	1 0 2 A	
審査請求 有 予備審査請求 未請求 (全52頁) 最終頁に続く					
(21)出願番号 特願2022-573672(P2022-573672)			(71)出願人 592054856		
(86)(22)出願日 令和3年5月25日(2021.5.25)			ウルフスピード インコーポレイテッド		
(85)翻訳文提出日 令和5年1月19日(2023.1.19)			W O L F S P E E D , I N C .		
(86)国際出願番号 PCT/US2021/033981			アメリカ合衆国 ノースカロライナ州 2		
(87)国際公開番号 WO2021/247276			7 7 0 3 ダラム シリコン ドライブ 4		
(87)国際公開日 令和3年12月9日(2021.12.9)			6 0 0		
(31)優先権主張番号 16/889,432			(74)代理人 110000855		
(32)優先日 令和2年6月1日(2020.6.1)			弁理士法人浅村特許事務所		
(33)優先権主張国・地域又は機関			(72)発明者 アルコーン、テリー		
米国(US)			アメリカ合衆国、ノースカロライナ、ケ		
(81)指定国・地域 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA			(72)発明者 ナミシア、ダニエル		
,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(			アメリカ合衆国、ノースカロライナ、ウ		
AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A			ェイク フォレスト、パークストーン コ		
T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR			ート 1 2 1 3		
,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,			最終頁に続く		
最終頁に続く					

(54)【発明の名称】 ダイの前面でのピラー接続及び裏面での受動デバイス集積のための方法

(57)【要約】

集積回路デバイスは、第1の表面と、第2の表面と、第1の表面と第2の表面との間にあり、第1の表面に隣接する複数のトランジスタ・セルを含む半導体層構造と、トランジスタ・セルに結合された端子と、を有する高周波トランジスタ増幅器ダイを含む。少なくとも1つの受動電子部品が、ダイの第2の表面上に設けられ、例えば、少なくとも1つの導電性ビアによって、端子のうちの少なくとも1つに電氣的に接続される。1つ又は複数の導電性ピラー構造がダイの第1の表面から突出して、端子のうちの1つ又は複数への電氣的接続を提供することができる。



【特許請求の範囲】

【請求項 1】

第 1 の表面、第 2 の表面、前記第 1 の表面と前記第 2 の表面との間にあり、前記第 1 の表面に隣接する複数のトランジスタ・セルを備える半導体層構造、及び前記トランジスタ・セルに結合された端子を備える高周波（「RF」）トランジスタ増幅器ダイと、

前記ダイの前記第 2 の表面上にあり、前記端子のうちの少なくとも 1 つに電氣的に接続された少なくとも 1 つの受動電子部品と、
を備える、集積回路デバイス。

【請求項 2】

前記端子が、前記トランジスタ・セルによって画定される RF トランジスタ増幅器の入力端子、出力端子、及び / 又は接地端子を含む、請求項 1 に記載の集積回路デバイス。

【請求項 3】

前記少なくとも 1 つの受動電子部品が、前記ダイの前記第 2 の表面上の、前記 RF トランジスタ増幅器のための入力インピーダンス整合回路、出力インピーダンス整合回路、及び / 又は高調波終端回路の少なくとも一部を画定する、請求項 2 に記載の集積回路デバイス。

【請求項 4】

前記少なくとも 1 つの受動電子部品が、前記ダイの前記第 2 の表面上のディスクリット・コンデンサ、インダクタ、及び / 又は抵抗器を含む少なくとも 1 つの集積受動デバイス（IPD）である、請求項 1 から 3 までのいずれか一項に記載の集積回路デバイス。

【請求項 5】

前記ダイの前記第 2 の表面上に延在し、前記少なくとも 1 つの受動電子部品を前記端子のうちの前記少なくとも 1 つに電氣的に接続する金属層、
をさらに備える、請求項 1 から 3 までのいずれか一項に記載の集積回路デバイス。

【請求項 6】

前記金属層が第 1 の金属層であり、
前記第 2 の表面の反対側の前記第 1 の金属層上に絶縁体層をさらに備え、
前記少なくとも 1 つの受動電子部品が、前記第 1 の金属層の反対側の前記絶縁体層上にあり、1 つ又は複数のディスクリット・コンデンサ、インダクタ、及び / 又は抵抗器を画定する第 2 の金属層のパターンを含む、
請求項 5 に記載の集積回路デバイス。

【請求項 7】

前記ダイの前記第 2 の表面及び前記半導体層構造内に延在して、前記ダイの前記第 2 の表面上の前記金属層を前記端子のうちの前記少なくとも 1 つに電氣的に接続する少なくとも 1 つの導電性ビア、
をさらに備える、請求項 5 に記載の集積回路デバイス。

【請求項 8】

前記半導体層構造が III 族窒化物材料を含み、前記ダイが前記 III 族窒化物材料と前記第 2 の表面との間に炭化ケイ素基板を含む、請求項 1 から 7 までのいずれか一項に記載の集積回路デバイス。

【請求項 9】

前記ダイの前記第 1 の表面から突出し、前記端子のうちの 1 つ若しくは複数に電氣的接続を提供する 1 つ又は複数の導電性ピラー構造、
をさらに備える、請求項 1 から 3 までのいずれか一項に記載の集積回路デバイス。

【請求項 10】

1 つ又は複数の導電性接続部を含むパッケージ基板、
をさらに備え、
前記 1 つ又は複数の導電性ピラー構造が、前記ダイを前記ダイの前記第 1 の表面に隣接する前記パッケージ基板に取り付け、前記端子のうちの前記 1 つ若しくは複数に前記 1 つ又は複数の導電性接続部に電氣的に接続する、

10

20

30

40

50

請求項 9 に記載の集積回路デバイス。

【請求項 1 1】

第 1 の表面、第 2 の表面、前記第 1 の表面と前記第 2 の表面との間にあり、前記第 1 の表面に隣接する複数のトランジスタ・セルを備える半導体層構造、及び前記トランジスタ・セルに結合された端子を備える高周波（「RF」）トランジスタ増幅器ダイと、

前記ダイの前記第 1 の表面から突出し、前記端子のうちの 1 つ若しくは複数に電氣的に接続された 1 つ又は複数の導電性ピラー構造と、

前記ダイの前記第 2 の表面及び前記半導体層構造内に延在し、前記端子のうちの少なくとも 1 つに電氣的である、少なくとも 1 つの導電性ビアと、
を備える、集積回路デバイス。

10

【請求項 1 2】

前記端子が、前記トランジスタ・セルによって画定される RF トランジスタ増幅器の入力端子、出力端子、及び / 又は接地端子を含む、請求項 1 1 に記載の集積回路デバイス。

【請求項 1 3】

前記 1 つ又は複数の導電性ピラー構造が前記入力端子及び / 又は前記出力端子への電氣的接続を提供し、前記少なくとも 1 つの導電性ビアが前記接地端子への電氣的接続を提供する、請求項 1 2 に記載の集積回路デバイス。

【請求項 1 4】

前記ダイが前記半導体層構造と前記ダイの前記第 2 の表面との間に基板を含み、前記少なくとも 1 つの導電性ビアが前記基板を貫いて延在し、前記半導体層構造が、前記基板上に 1 つ又は複数のエピタキシャル層を含む、請求項 1 1 から 1 3 までのいずれか一項に記載の集積回路デバイス。

20

【請求項 1 5】

前記半導体層構造が III 族窒化物材料を含み、前記基板が炭化ケイ素基板を含む、請求項 1 4 に記載の集積回路デバイス。

【請求項 1 6】

1 つ又は複数の導電性接続部を含むパッケージ基板、
をさらに備え、

前記 1 つ又は複数の導電性ピラー構造が、前記ダイを前記ダイの前記第 1 の表面に隣接する前記パッケージ基板に取り付け、前記端子のうちの前記 1 つ若しくは複数前記 1 つ又は複数の導電性接続部に電氣的に接続する、

30

請求項 1 1 から 1 3 までのいずれか一項に記載の集積回路デバイス。

【請求項 1 7】

少なくとも 1 つの導電性接続部を含むパッケージ基板をさらに備え、

前記ダイが前記ダイの前記第 2 の表面に隣接する前記パッケージ基板に取り付けられ、前記少なくとも 1 つの導電性ビアが前記端子のうちの前記少なくとも 1 つを前記少なくとも 1 つの導電性接続部に電氣的に接続する、

請求項 1 1 から 1 3 までのいずれか一項に記載の集積回路デバイス。

【請求項 1 8】

前記ダイの前記第 2 の表面上に少なくとも 1 つの受動電子部品をさらに備え、前記少なくとも 1 つの受動電子部品が前記少なくとも 1 つの導電性ビアによって前記端子のうちの前記少なくとも 1 つに電氣的に接続されている、

40

請求項 1 1 から 1 3 までのいずれか一項に記載の集積回路デバイス。

【請求項 1 9】

第 1 の表面、第 2 の表面、前記第 1 の表面と前記第 2 の表面との間にあり、前記第 1 の表面に隣接する複数のトランジスタ・セルを備える半導体層構造、前記半導体層構造と前記第 2 の表面との間の基板、及び前記トランジスタ・セルに結合された端子を備える高周波（「RF」）トランジスタ増幅器構造を形成するステップと、

前記第 1 の表面から突出する 1 つ又は複数の導電性ピラー構造を形成して、前記端子のうちの 1 つ又は複数への電氣的接続を提供するステップと、

50

前記 R F トランジスタ増幅器構造を個片化して、約 50 ~ 約 200 ミクロン以上の厚さを有する前記基板の一部を含む R F トランジスタ増幅器ダイを画定するステップと、を含む、集積回路デバイスを製造する方法。

【請求項 20】

前記第 1 の表面と前記第 2 の表面との間に延在する前記ダイの側壁が、前記第 2 の表面に隣接する第 2 の部分とは異なる表面特性を有する、前記第 1 の表面に隣接する第 1 の部分を含む、請求項 19 に記載の方法。

【請求項 21】

前記第 1 の表面から前記第 2 の表面に向かって前記半導体層構造を貫いて前記基板内に延在するトレンチを前記半導体層構造内に形成して、前記ダイの前記側壁の前記第 1 の部分を画定するステップ、
をさらに含む、請求項 20 に記載の方法。

10

【請求項 22】

前記トレンチを形成するステップが前記 1 つ又は複数の導電性ピラー構造を形成する前に行われる、請求項 21 に記載の方法。

【請求項 23】

個片化するステップが、前記基板の前記トレンチの底部をダイシング又はソーイングして、前記ダイの前記側壁の前記第 2 の部分を画定するステップを含む、請求項 21 又は 22 に記載の方法。

【請求項 24】

前記半導体層構造が I I I 族窒化物材料を含み、前記基板が炭化ケイ素を含む、請求項 19 から 23 までのいずれか一項に記載の方法。

20

【請求項 25】

第 1 の表面、第 2 の表面、前記第 1 の表面と前記第 2 の表面との間にあり、前記第 1 の表面に隣接する複数のトランジスタ・セルを備える半導体層構造、及び前記トランジスタ・セルに結合された端子を備える高周波（「R F」）トランジスタ増幅器構造を形成するステップと、

前記第 1 の表面から突出する 1 つ又は複数の導電性ピラー構造を形成して、前記端子のうちの 1 つ又は複数への電氣的接続を提供するステップと、

前記第 2 の表面内に、且つ前記半導体層構造を貫いて延在する少なくとも 1 つの導電性ビアを形成して、前記端子のうちの少なくとも 1 つへの電氣的接続を提供するステップと、
を含む、集積回路デバイスを製造する方法。

30

【請求項 26】

前記 R F トランジスタ増幅器が前記半導体層構造と前記第 2 の表面との間に基板をさらに含み、前記少なくとも 1 つの導電性ビアを形成するステップが

前記第 1 の表面をウエハ・キャリアに取り付けるステップと、

前記第 2 の表面に対して薄化操作を行って、前記基板の厚さを低減するステップと、

前記薄化操作に応答して、前記第 1 の表面が前記ウエハ・キャリアに取り付けられた状態で、前記第 2 の表面内に延在する前記少なくとも 1 つの導電性ビアを形成するステップと、

40

を含む、請求項 25 に記載の方法。

【請求項 27】

前記 1 つ又は複数の導電性ピラー構造を形成するステップが前記第 1 の表面を前記ウエハ・キャリアに取り付ける前に実行される、請求項 26 に記載の方法。

【請求項 28】

前記ウエハ・キャリアが第 1 のウエハ・キャリアであり、前記 1 つ又は複数の導電性ピラー構造を形成するステップが、

前記第 1 の表面を前記第 1 のウエハ・キャリアから分離するステップと、

前記第 2 の表面を第 2 のウエハ・キャリアに取り付けるステップと、

50

前記第 2 の表面が前記第 2 のウエハ・キャリアに取り付けられた状態で、前記第 1 の表面上に前記 1 つ又は複数の導電性ピラー構造を形成するステップと、
を含む、請求項 26 に記載の方法。

【請求項 29】

前記第 1 の表面が前記ウエハ・キャリアに取り付けられた状態で、前記第 2 の表面上に少なくとも 1 つの受動電子部品を形成するステップをさらに含み、

前記少なくとも 1 つの受動電子部品が前記少なくとも 1 つの導電性ビアによって前記端子のうちの前記少なくとも 1 つに電氣的に接続される、
請求項 26 から 28 までのいずれか一項に記載の方法。

【請求項 30】

前記少なくとも 1 つの受動電子部品を形成するステップが、

前記薄化操作に応答して前記第 2 の表面上に第 1 の金属層を形成するステップと、

前記第 2 の表面の反対側の前記第 1 の金属層上に絶縁体層を形成するステップと、

前記第 1 の金属層の反対側の前記絶縁体層上に第 2 の金属層を形成及びパターンニングするステップであって、前記少なくとも 1 つの受動電子部品が、1 つ又は複数のディスクリート・コンデンサ、インダクタ、及び / 又は抵抗器を画定する前記第 2 の金属層のパターンを含む、ステップと、
を含む、請求項 29 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

優先権主張

本出願は、2020 年 6 月 1 日に米国特許商標庁に出願された米国特許出願第 16 / 889, 432 号の優先権を主張するものであり、その開示は参照により本明細書に組み込まれる。

【0002】

本開示は、集積回路デバイスに関し、より詳細には、電力増幅器デバイス、デバイス・パッケージング、及び関連する製造方法に関する。

【背景技術】

【0003】

R バンド (0.5 ~ 1 GHz)、S バンド (3 GHz)、及び X バンド (10 GHz) などの高周波で動作しながら高い電力処理能力を必要とする電気回路が、近年、ますます普及してきている。特に、無線通信システムの基地局などの様々な用途において、高周波 (マイクロ波を含む) で高周波 (「RF」) 信号を増幅するために使用される RF 電力増幅器に対する高い需要が現在ある。RF 電力増幅器によって増幅された信号は、多くの場合、メガヘルツ (MHz) ~ ギガヘルツ (GHz) の範囲の周波数を有する変調搬送波を有する信号を含む。これらの RF 電力増幅器は、高い信頼性、良好な線形性を示し、且つ高い出力電力レベルを処理する必要がある場合がある。

【0004】

多くの RF 電力増幅器設計は、増幅デバイスとして半導体スイッチング・デバイスを利用する。これらのスイッチング・デバイスの例には、金属酸化膜半導体電界効果トランジスタ (MOSFET: metal - oxide semiconductor field - effect transistor)、二重拡散金属酸化膜半導体 (DMOS: double - diffused metal - oxide semiconductor) トランジスタ、高電子移動度トランジスタ (HEMT: high electron mobility transistor)、金属半導体電界効果トランジスタ (MESFET: metal - semiconductor field - effect transistor)、横方向拡散金属酸化膜半導体 (LDMOS: laterally - diffused metal - oxide semiconductor) トランジスタなどを含む電界効果トランジスタ (FET) などのパワー・トランジスタ・デバイスが挙

10

20

30

40

50

げられる。

【 0 0 0 5 】

R F 増幅器は、典型的には、半導体集積回路チップとして形成される。ほとんどの R F 増幅器は、シリコンで、又は炭化ケイ素（「 S i C 」）及び I I I 族窒化物材料などのワイド・バンドギャップ半導体材料（すなわち、1.40 e V よりも大きいバンドギャップを有する）を使用して実装されている。本明細書で使用される場合、「 I I I 族窒化物」という用語は、窒素と周期表の I I I 族の元素、通常は、アルミニウム（ A l ）、ガリウム（ G a ）、及び / 又はインジウム（ I n ）との間で形成される半導体化合物を指す。この用語は、 A l G a N 及び A l I n G a N などの三元化合物及び四元化合物も指す。これらの化合物は、1モルの窒素が合計1モルの I I I 族元素と結合した実験式を有する。

10

【 0 0 0 6 】

R F トランジスタ増幅器は、各段が、典型的には、トランジスタ増幅器として実装されている1つ又は複数の増幅段を含むことができる。出力電力及び電流処理能力を増加させるために、R F トランジスタ増幅器は、典型的には、多数の個々の「単位セル」トランジスタ構造が電氣的に並列に配置された「単位セル」構成で実装される。R F トランジスタ増幅器は、単一の集積回路チップ若しくは「ダイ」として実装されてもよく、又は複数のダイを含んでもよい。ダイ又はチップとは、電子回路素子が製造される半導体材料又は他の基板の小さなブロックを指すことがある。複数の R F トランジスタ増幅器ダイが使用される場合、それらは、直列及び / 又は並列に接続されることがある。

【 0 0 0 7 】

20

シリコン・ベースの R F 増幅器は、典型的には、横方向拡散金属酸化膜半導体（ L D M O S ）トランジスタを使用して実装され、比較的安価な製造で高レベルの線形性を示すことができる。 I I I 族窒化物ベースの R F 増幅器は、主に、横方向拡散金属酸化膜半導体（ L D M O S ）トランジスタ増幅器が固有の性能限界を有することがある高電力及び / 又は高周波動作を必要とする用途において、典型的には高電子移動度トランジスタ（ H E M T ）を使用して実装される。

【 0 0 0 8 】

高電子移動度トランジスタ（ H E M T ）デバイスの動作では、二次元電子ガス（ 2 D E G : t w o - d i m e n s i o n a l e l e c t r o n g a s ）が、バンドギャップ・エネルギーが異なる2つの半導体材料のヘテロ接合において形成され、バンドギャップが小さい方の材料がより高い電子親和力を有する。二次元電子ガス（ 2 D E G ）は、バンドギャップが小さい方の材料における蓄積層であり、非常に高いシート電子濃度を含むことができる。さらに、バンドギャップが広い方の半導体材料で発生した電子は、イオン化された不純物散乱が減少しているため高い電子移動度を可能にする二次元電子ガス（ 2 D E G ）層に移動する。この高キャリア濃度と高キャリア移動度との組合せは、高電子移動度トランジスタ（ H E M T ）に非常に大きな相互コンダクタンスを与えることができ、高周波用途用の金属酸化膜半導体電界効果トランジスタ（ M O S F E T ）に勝る強力な性能の優位性をもたらすことがある。 I I I 族窒化物ベースの材料系で製造された高電子移動度トランジスタは、前述の高い破壊電界、広いバンドギャップ、大きな伝導帯オフセット、及び / 又は高い飽和電子ドリフト速度を含む材料特性の組合せのために、大量の高周波（ R F ）電力を生成する可能性も有する。

30

40

【 0 0 0 9 】

R F 増幅器は、多くの場合、基本動作周波数における R F 信号のために能動トランジスタ・ダイ（例えば、 M O S F E T 、高電子移動度トランジスタ（ H E M T ）、横方向拡散金属酸化膜半導体（ L D M O S ）などを含む）とそれに接続された伝送線路との間のインピーダンス整合を改善するように設計されたインピーダンス整合回路などの整合回路と、2次及び3次高調波成分などのデバイス動作中に生成され得る高調波成分を少なくとも部分的に終端するように設計された高調波終端回路と、を含む。高調波成分の終端は、相互変調歪み成分の生成にも影響を与える。

【 0 0 1 0 】

50

R F トランジスタ増幅器ダイ、並びにインピーダンス整合回路及び高調波終端回路は、デバイス・パッケージ内に封入されることがある。集積回路のパッケージングとは、ダイを物理的損傷及び／又は腐食から保護し、外部回路への接続のための電氣的コンタクトを支持する支持ケース又はパッケージ内に１つ若しくは複数のダイを封入することを指してもよい。R F 増幅器を入出力 R F 伝送線路及びバイアス電圧源などの外部システム並びに／又は回路素子に電氣的に接続するために、電気リードがパッケージから延在することがある。

【 0 0 1 1 】

集積回路デバイス・パッケージの入力及び出力整合回路は、典型的には、能動トランジスタ・ダイのインピーダンスを固定値に整合させるように構成されたインピーダンス整合回路の少なくとも一部を提供する L C ネットワークを含む。典型的には、入力及び出力 R F 整合回路は、パッケージ・フットプリントを増加させる可能性があるオフダイの構成要素及び実施態様を採用する。また、ダイとオフダイの構成要素との間など、パッケージ内の接続は、ワイヤ・ボンドに依存することがある。このような従来の接続の幾何学的形状は、制御することが困難である場合があり、及び／又はより複雑な R F I C 設計では精度に限界がある場合がある。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 1 2 】

【 特許文献 1 】 米国特許第 R e . 3 4 , 8 6 1 号

20

【 特許文献 2 】 米国特許第 4 , 9 4 6 , 5 4 7 号

【 特許文献 3 】 米国特許第 5 , 2 0 0 , 0 2 2 号

【 特許文献 4 】 米国特許第 6 , 2 1 8 , 6 8 0 号

【 特許文献 5 】 米国特許第 5 , 2 1 0 , 0 5 1 号

【 特許文献 6 】 米国特許第 5 , 3 9 3 , 9 9 3 号

【 特許文献 7 】 米国特許第 5 , 5 2 3 , 5 8 9 号

【 特許文献 8 】 米国特許第 7 , 0 3 0 , 4 2 8 号

【 特許文献 9 】 米国特許第 8 , 5 6 3 , 3 7 2 号

【 特許文献 1 0 】 米国特許第 9 , 2 1 4 , 3 5 2 号

【 特許文献 1 1 】 米国特許第 5 , 1 9 2 , 9 8 7 号

30

【 特許文献 1 2 】 米国特許第 5 , 2 9 6 , 3 9 5 号

【 特許文献 1 3 】 米国特許第 6 , 3 1 6 , 7 9 3 号

【 特許文献 1 4 】 米国特許第 6 , 5 4 8 , 3 3 3 号

【 特許文献 1 5 】 米国特許第 7 , 5 4 4 , 9 6 3 号

【 特許文献 1 6 】 米国特許第 7 , 5 4 8 , 1 1 2 号

【 特許文献 1 7 】 米国特許第 7 , 5 9 2 , 2 1 1 号

【 特許文献 1 8 】 米国特許第 7 , 6 1 5 , 7 7 4 号

【 特許文献 1 9 】 米国特許第 7 , 7 0 9 , 2 6 9 号

【 特許文献 2 0 】 米国特許第 8 , 0 4 9 , 2 5 2 号

【 特許文献 2 1 】 米国特許第 7 , 0 4 5 , 4 0 4 号

40

【 特許文献 2 2 】 米国特許第 8 , 1 2 0 , 0 6 4 号

【 特許文献 2 3 】 米国特許第 7 , 2 9 1 , 5 2 9 号

【 特許文献 2 4 】 米国特許第 7 , 9 3 2 , 1 1 1 号

【 特許文献 2 5 】 米国特許第 7 , 2 5 9 , 4 0 2 号

【 特許文献 2 6 】 米国特許第 8 , 5 1 3 , 6 8 6 号

【 特許文献 2 7 】 米国仮特許出願第 6 3 / 0 0 4 , 7 6 0 号

【 発明の概要 】

【 課題を解決するための手段 】

【 0 0 1 3 】

一部の実施例によると、集積回路デバイスは、第 1 の表面と、第 2 の表面と、第 1 の表

50

面と第 2 の表面との間にあり、第 1 の表面に隣接する複数のトランジスタ・セルを含む半導体層構造と、トランジスタ・セルに結合された端子と、を有する高周波（「RF」）トランジスタ増幅器ダイを含む。少なくとも 1 つの受動電子部品が、ダイの第 2 の表面上にあり、端子のうちの少なくとも 1 つに電氣的に接続されている。

【0014】

一部の実施例において、端子には、トランジスタ・セルによって画定される RF トランジスタ増幅器の入力端子、出力端子、及び / 又は接地端子が含まれてもよい。

【0015】

一部の実施例では、少なくとも 1 つの受動電子部品は、ダイの第 2 の表面上の、RF トランジスタ増幅器のための入力インピーダンス整合回路、出力インピーダンス整合回路、及び / 又は高調波終端回路の少なくとも一部を画定することができる。

10

【0016】

一部の実施例では、少なくとも 1 つの受動電子部品は、ダイの第 2 の表面上のディスクリット・コンデンサ、インダクタ、及び / 又は抵抗器を含む少なくとも 1 つの集積受動デバイス（IPD：integrated passive device）であってもよく、又はそれを含んでもよい。

【0017】

一部の実施例では、金属層が、ダイの第 2 の表面上に延在し、少なくとも 1 つの受動電子部品を端子のうちの少なくとも 1 つに電氣的に接続することができる。

【0018】

20

一部の実施例では、金属層は、第 1 の金属層であってもよく、絶縁体層が、第 2 の表面の反対側の第 1 の金属層上に設けられてもよい。少なくとも 1 つの受動電子部品は、第 1 の金属層の反対側の絶縁体層上にあてもよく、1 つ又は複数のディスクリット・コンデンサ、インダクタ、及び / 又は抵抗器を画定する第 2 の金属層のパターンを含むことができる。

【0019】

一部の実施例では、少なくとも 1 つの導電性ビアが、ダイの第 2 の表面及び半導体層構造内に延在して、ダイの第 2 の表面上の金属層を端子のうちの少なくとも 1 つに電氣的に接続することができる。

【0020】

30

一部の実施例では、半導体層構造は、III 族窒化物材料を含んでもよく、ダイは、III 族窒化物材料と第 2 の表面との間の炭化ケイ素基板であってもよい。

【0021】

一部の実施例では、1 つ又は複数の導電性ピラー構造が、ダイの第 1 の表面から突出し、端子のうちの 1 つ又は複数への電氣的接続を提供することができる。

【0022】

一部の実施例では、1 つ又は複数の導電性接続部を含むパッケージ基板が提供されてもよい。1 つ又は複数の導電性ピラー構造は、ダイをダイの第 1 の表面に隣接するパッケージ基板に取り付けることができ、1 つ又は複数の端子を 1 つ又は複数の導電性接続部に電氣的に接続することができる。

40

【0023】

一部の実施例によると、集積回路デバイスは、第 1 の表面と、第 2 の表面と、第 1 の表面と第 2 の表面との間にあり、第 1 の表面に隣接する複数のトランジスタ・セルを含む半導体層構造と、トランジスタ・セルに結合された端子を有する高周波（「RF」）トランジスタ増幅器ダイと、を含む。1 つ又は複数の導電性ピラー構造が、ダイの第 1 の表面から突出し、端子のうちの 1 つ又は複数に電氣的に接続される。少なくとも 1 つの導電性ビアが、ダイの第 2 の表面及び半導体層構造内に延在し、端子のうちの少なくとも 1 つに電氣的である。

【0024】

一部の実施例では、端子には、トランジスタ・セルによって画定される RF トランジス

50

タ増幅器の入力端子、出力端子、及び／又は接地端子が含まれてもよい。

【0025】

一部の実施例では、１つ又は複数の導電性ピラー構造は、入力端子及び／又は出力端子への電氣的接続を提供することができ、少なくとも１つの導電性ビアは、接地端子への電氣的接続を提供することができる。

【0026】

一部の実施例では、ダイは、半導体層構造とダイの第２の表面との間に基板を含んでもよく、少なくとも１つの導電性ビアは、基板を貫いて延在してもよく、半導体層構造は、基板上に１つ又は複数のエピタキシャル層を含んでもよい。

【0027】

一部の実施例では、半導体層構造は、ⅢⅤ族窒化物材料を含んでもよく、基板は、炭化ケイ素基板であってもよい。

【0028】

一部の実施例では、１つ又は複数の導電性接続部を含むパッケージ基板が提供されてもよい。１つ又は複数の導電性ピラー構造は、ダイをダイの第１の表面に隣接するパッケージ基板に取り付けることができ、１つ又は複数の端子を１つ又は複数の導電性接続部に電氣的に接続することができる。

【0029】

一部の実施例では、少なくとも１つの導電性接続部を含むパッケージ基板が提供されてもよく、ダイは、ダイの第２の表面に隣接するパッケージ基板に取り付けられてもよい。少なくとも１つの導電性ビアが端子の少なくとも１つを少なくとも１つの導電性接続部に電氣的に接続することができる。

【0030】

一部の実施例では、少なくとも１つの受動電子部品が、ダイの第２の表面上に設けられてもよい。少なくとも１つの受動電子部品は、少なくとも１つの導電性ビアによって端子のうちの少なくとも１つに電氣的に接続されてもよい。

【0031】

一部の実施例によると、集積回路デバイスを製造する方法は、第１の表面、第２の表面、第１の表面と第２の表面との間にあり、第１の表面に隣接する複数のトランジスタ・セルを含む半導体層構造、半導体層構造と第２の表面との間の基板、及びトランジスタ・セルに結合された端子を有する高周波（「ＲＦ」）トランジスタ増幅器構造を形成するステップと、第１の表面から突出する１つ又は複数の導電性ピラー構造を形成して、端子うちの１つ又は複数への電氣的接続を提供するステップと、ＲＦトランジスタ増幅器構造を個片化して、ＲＦトランジスタ増幅器ダイを画定するステップと、を含む。ＲＦトランジスタ増幅器ダイは、約５０～約２００ミクロン以上、例えば、約７５～約１７５ミクロン、約１００～約１５０ミクロン、約２００ミクロン～約５００ミクロン、又は約５００～約８００ミクロンの厚さを有する基板の一部を含む。

【0032】

一部の実施例では、第１の表面と第２の表面との間に延在するダイの側壁は、第２の表面に隣接する第２の部分とは異なる表面特性を有する、第１の表面に隣接する第１の部分を含むことができる。

【0033】

一部の実施例では、方法は、第１の表面から第２の表面に向かって半導体層構造を貫いて基板内に延在するトレンチを半導体層構造内に形成して、ダイの側壁の第１の部分を画定するステップを含んでもよい。

【0034】

一部の実施例では、トレンチを形成するステップは、１つ又は複数の導電性ピラー構造を形成する前に行われてもよい。

【0035】

一部の実施例では、個片化するステップは、基板のトレンチの底部をダイシング又はソ

10

20

30

40

50

ーイングして、ダイの側壁の第 2 の部分を画定するステップを含むことができる。

【 0 0 3 6 】

一部の実施例では、半導体層構造は、ⅢⅤ族窒化物材料を含むことができ、基板は、炭化ケイ素を含むことができる。

【 0 0 3 7 】

一部の実施例によると、集積回路デバイスを製造する方法は、第 1 の表面、第 2 の表面、第 1 の表面と第 2 の表面との間にあり、第 1 の表面に隣接する複数のトランジスタ・セルを含む半導体層構造、及びトランジスタ・セルに結合された端子を備える高周波（「RF」）トランジスタ増幅器構造を形成するステップと、第 1 の表面から突出する 1 つ又は複数の導電性ピラー構造を形成して、端子のうちの 1 つ又は複数への電氣的接続を提供するステップと、第 2 の表面内に、且つ半導体層構造を貫いて延在する少なくとも 1 つの導電性ビアを形成して、端子のうちの少なくとも 1 つへの電氣的接続を提供するステップと、を含む。

10

【 0 0 3 8 】

一部の実施例では、RF トランジスタ増幅器は、半導体層構造と第 2 の表面との間に基板を含むことができる。少なくとも 1 つの導電性ビアを形成するステップは、第 1 の表面をウエハ・キャリアに取り付けるステップと、第 2 の表面に対して薄化操作を行って基板の厚さを低減するステップと、薄化操作に応答して、第 1 の表面がウエハ・キャリアに取り付けられた状態で、第 2 の表面内に延在する少なくとも 1 つの導電性ビアを形成するステップと、を含むことができる。

20

【 0 0 3 9 】

一部の実施例では、1 つ又は複数の導電性ピラー構造を形成するステップは、第 1 の表面をウエハ・キャリアに取り付ける前に実行されてもよい。

【 0 0 4 0 】

一部の実施例では、ウエハ・キャリアは、第 1 のウエハ・キャリアであってもよい。1 つ又は複数の導電性ピラー構造を形成するステップは、第 1 のウエハ・キャリアから第 1 の表面を分離するステップと、第 2 のウエハ・キャリアに第 2 の表面を取り付けるステップと、第 2 の表面が第 2 のウエハ・キャリアに取り付けられた状態で第 1 の表面上に 1 つ又は複数の導電性ピラー構造を形成するステップと、を含むことができる。

【 0 0 4 1 】

一部の実施例では、方法は、第 1 の表面がウエハ・キャリアに取り付けられた状態で、第 2 の表面上に少なくとも 1 つの受動電子部品を形成するステップをさらに含むことができる。少なくとも 1 つの受動電子部品は、少なくとも 1 つの導電性ビアによって端子のうちの少なくとも 1 つに電氣的に接続されてもよい。

30

【 0 0 4 2 】

一部の実施例では、少なくとも 1 つの受動電子部品を形成するステップは、薄化操作に
応答して、第 2 の表面上に第 1 の金属層を形成するステップと、第 2 の表面の反対側の第
1 の金属層上に絶縁体層を形成するステップと、第 1 の金属層の反対側の絶縁体層上に第
2 の金属層を形成及びパターンニングするステップと、を含むことができる。少なくとも 1
つの受動電子部品は、1 つ又は複数のディスクリット・コンデンサ、インダクタ、及び /
又は抵抗器を画定する第 2 の金属層のパターンを含むことができる。

40

【 0 0 4 3 】

一部の実施例による他のデバイス、装置、及び / 又は方法は、以下の図面及び詳細な説明を検討すると当業者には明らかになるであろう。上記の実施例のいずれか及びすべての組合せに加えて、すべてのそのような追加の実施例は、本明細書内に含まれ、本発明の範囲内にあり、添付の特許請求の範囲によって保護されることが意図されている。

【図面の簡単な説明】

【 0 0 4 4 】

【図 1】本開示の一部の実施例による RF トランジスタ増幅器ダイ又はデバイスの概略平面図である。

50

【図 2】図 1 の線 I I - I I ' に沿って取られた高周波トランジスタ増幅器ダイのトランジスタ構造の概略断面図である。

【図 3 A】本開示の一部の実施例による前面ピラー構造を含むトランジスタ構造を製造する方法を示す断面図である。

【図 3 B】本開示の一部の実施例による前面ピラー構造を含むトランジスタ構造を製造する方法を示す断面図である。

【図 3 C】本開示の一部の実施例による前面ピラー構造を含むトランジスタ構造を製造する方法を示す断面図である。

【図 3 D】本開示の一部の実施例による前面ピラー構造を含むトランジスタ構造を製造する方法を示す断面図である。

【図 4 A】本開示の一部の実施例による、ダイ個片化のための前面ピラー構造及びトレンチを含むトランジスタ構造を製造する方法を示す断面図である。

【図 4 B】本開示の一部の実施例による、ダイ個片化のための前面ピラー構造及びトレンチを含むトランジスタ構造を製造する方法を示す断面図である。

【図 4 C】本開示の一部の実施例による、ダイ個片化のための前面ピラー構造及びトレンチを含むトランジスタ構造を製造する方法を示す断面図である。

【図 5 A】本開示の一部の実施例による、ウエハ・キャリア・ボンディングを用いて、前面ピラー構造及び導電性ビアを含むトランジスタ構造を製造する方法を示す断面図である。

【図 5 B】本開示の一部の実施例による、ウエハ・キャリア・ボンディングを用いて、前面ピラー構造及び導電性ビアを含むトランジスタ構造を製造する方法を示す断面図である。

【図 5 C】本開示の一部の実施例による、ウエハ・キャリア・ボンディングを用いて、前面ピラー構造及び導電性ビアを含むトランジスタ構造を製造する方法を示す断面図である。

【図 5 D】本開示の一部の実施例による、ウエハ・キャリア・ボンディングを用いて、前面ピラー構造及び導電性ビアを含むトランジスタ構造を製造する方法を示す断面図である。

【図 5 E】本開示の一部の実施例による、ウエハ・キャリア・ボンディングを用いて、前面ピラー構造及び導電性ビアを含むトランジスタ構造を製造する方法を示す断面図である。

【図 5 F】本開示の一部の実施例による、ウエハ・キャリア・ボンディングを用いて、前面ピラー構造及び導電性ビアを含むトランジスタ構造を製造する方法を示す断面図である。

【図 6 A】本開示の一部の実施例による、前面ピラー構造及びダイの裏面上の受動デバイスを含むトランジスタ構造を製造する方法を示す断面図である。

【図 6 B】本開示の一部の実施例による、前面ピラー構造及びダイの裏面上の受動デバイスを含むトランジスタ構造を製造する方法を示す断面図である。

【図 7 A】本開示の一部の実施例による、複数のウエハ・キャリア・ボンディングを用いて、前面ピラー構造及び導電性ビアを含むトランジスタ構造を製造する方法を示す断面図である。

【図 7 B】本開示の一部の実施例による、複数のウエハ・キャリア・ボンディングを用いて、前面ピラー構造及び導電性ビアを含むトランジスタ構造を製造する方法を示す断面図である。

【図 7 C】本開示の一部の実施例による、複数のウエハ・キャリア・ボンディングを用いて、前面ピラー構造及び導電性ビアを含むトランジスタ構造を製造する方法を示す断面図である。

【図 7 D】本開示の一部の実施例による、複数のウエハ・キャリア・ボンディングを用いて、前面ピラー構造及び導電性ビアを含むトランジスタ構造を製造する方法を示す断面図である。

10

20

30

40

50

【図 7 E】本開示の一部の実施例による、複数のウエハ・キャリア・ボンディングを用いて、前面ピラー構造及び導電性ピアを含むトランジスタ構造を製造する方法を示す断面図である。

【図 7 F】本開示の一部の実施例による、複数のウエハ・キャリア・ボンディングを用いて、前面ピラー構造及び導電性ピアを含むトランジスタ構造を製造する方法を示す断面図である。

【図 7 G】本開示の一部の実施例による、複数のウエハ・キャリア・ボンディングを用いて、前面ピラー構造及び導電性ピアを含むトランジスタ構造を製造する方法を示す断面図である。

【図 8 A】本開示の一部の実施例による、複数のウエハ・キャリア・ボンディングを用いて、前面ピラー構造及びダイの裏面上の受動デバイスを含むトランジスタ構造を製造する方法を示す断面図である。 10

【図 8 B】本開示の一部の実施例による、複数のウエハ・キャリア・ボンディングを用いて、前面ピラー構造及びダイの裏面上の受動デバイスを含むトランジスタ構造を製造する方法を示す断面図である。

【図 8 C】本開示の一部の実施例による、複数のウエハ・キャリア・ボンディングを用いて、前面ピラー構造及びダイの裏面上の受動デバイスを含むトランジスタ構造を製造する方法を示す断面図である。

【図 8 D】本開示の一部の実施例による、複数のウエハ・キャリア・ボンディングを用いて、前面ピラー構造及びダイの裏面上の受動デバイスを含むトランジスタ構造を製造する方法を示す断面図である。 20

【図 9 A】本開示の一部の実施例による、前面ピラー構造を有するトランジスタ構造を含む R F トランジスタ増幅器ダイの基板取り付けの例を示す断面図である。

【図 9 B】本開示の一部の実施例による、前面ピラー構造を有するトランジスタ構造を含む R F トランジスタ増幅器ダイの基板取り付けの例を示す断面図である。

【図 9 C】本開示の一部の実施例による、前面ピラー構造を有するトランジスタ構造を含む R F トランジスタ増幅器ダイの基板取り付けの例を示す断面図である。

【図 1 0】本開示の一部の実施例による、トランジスタ構造を含む R F トランジスタ増幅器ダイ又はデバイスを含むデバイス・パッケージの例を示す断面図である。

【図 1 1】本開示の一部の実施例による、トランジスタ構造を含む R F トランジスタ増幅器ダイ又はデバイスを含むデバイス・パッケージの例を示す断面図である。 30

【図 1 2】本開示の一部の実施例による、トランジスタ構造を含む R F トランジスタ増幅器ダイ又はデバイスを含むデバイス・パッケージの例を示す断面図である。

【発明を実施するための形態】

【 0 0 4 5 】

本開示の実施例は、集積回路デバイス・パッケージのワイヤ・ボンドを低減又は排除することができるデバイス及び製造方法を対象とする。パッケージのサイズ及び組立てに制限を課すだけでなく、ワイヤ・ボンドは、特に、より高周波の R F 用途において、整合回路（入力／出力インピーダンス整合及び／又は高調波終端回路を含む）の有効性を低減又は無効にする可能性がある望ましくない直列インダクタンスを導入することがある。 40

【 0 0 4 6 】

そのため、本開示の一部の実施例は、R F トランジスタ増幅器ダイ又はデバイスの前面若しくは表面の導電性ピラー（本明細書では前面ピラー構造又は前面ピラーとも呼ばれる）などの電氣的接続構造を使用する集積デバイス及び製造方法を提供する。本明細書で利用される場合、ダイ又はデバイスの「前面」若しくは「表面」は、デバイスの半導体層構造内の能動トランジスタ・セルに隣接していてもよく、一方、ダイ又はデバイスの「裏面」若しくは「背面」は、前面の反対側であってもよい（一部の実施例では、半導体層構造が形成されるか、又は他の方法で提供される基板を含んでもよい）。前面ピラーは、ウエハ上に集積することができる導電性構造（金属めっきされた構造又は他の金属構造を含む）であってもよく、前面ピラーのそれぞれの位置又は配置に関する設計の柔軟性で幾何学 50

的形状に対する制御を改善することができる。前面ピラーは、外部接続（例えば、「オフチップ」接続とも呼ばれる、入力接続、出力接続、及び／又は接地接続）用の、デバイスの１つ又は複数の端子（例えば、トランジスタ・ダイのソース端子、ドレイン端子、及び／又はゲート端子）をプリント回路板（PCB：printed circuit board）、再配線層（RDL：redistribution layer）構造、及び／又は熱強化パッケージ（例えば、TEPAC又はT3PACパッケージ）を含む他のパッケージ基板に接続し、ワイヤ・ボンドを低減又は排除することができる。

【0047】

本開示のさらなる実施例は、ダイの裏面を用いて、受動電子部品又はデバイス（例えば、ディスクリット・コンデンサ、インダクタ、及び抵抗器）を集積し、例えば、整合回路への（例えば、ワイヤ・ボンドを使用する）オフチップ接続に関連付けられた複雑さを低減又は排除する集積デバイス及び製造方法を提供する。ダイの裏面にパターンニングされた金属層及び絶縁体を追加することで、より高い集積レベルが可能になり、多種多様な受動部品を設計するのに必要な構成要素を提供することができる。一部の実施例では、ダイの裏面の受動部品又は回路は、裏面から前面に向かって延在する１つ又は複数の導電性基板貫通ビア（本明細書では裏面ビアとも呼ばれる）によって、前面の能動トランジスタ・デバイスに接続することができる。一部の実施例では、受動デバイスは、ダイの前面の前面ピラーに関連してダイの裏面に設けられてもよい。したがって、本明細書に記載される実施例は、回路精度を改善し、パッケージ・サイズを低減することができる。

【0048】

添付の図面を参照して以下に詳細に説明される本開示の実施例によるデバイス及び製造方法において前面ピラーを集積する際に、いくつかの設計上のトレードオフが考慮された。例えば、３つのFET端子（例えば、ソース／接地、ゲート、及びドレイン）はすべて、一部の実施例では、ダイの同じ側（例えば、前面）に配線されることがあるが、そのような配置は、一部の実施例では、最適ではない場合がある。裏面接地面を必要とすることがあるRF IC設計では、（例えば、FETソース端子への接続のために）導電性基板貫通ビアが使用されてもよい。一部の実施例では、前面ピラー接続は、裏面ビア接続の必要性を排除することができる。一部の実施例では、裏面ビア接続は、必要とされない場合があるが、個片化プロセスは、基板の厚さに制限を課すことがある。

【0049】

図１は、本開示の実施例による半導体ダイ１００の一部の概略平面図である。ダイ１００は、パワー・トランジスタ・デバイス、例えば、RF電力増幅器のトランジスタ・セルを含むことができる。図２は、図１の線II-II'に沿って取られたデバイス又はダイ１００の単位セル・トランジスタ構造（本明細書ではトランジスタ構造又はトランジスタ・セルとも呼ばれる）３００の概略断面図である。

【0050】

図１及び図２に示すように、III族窒化物半導体の高電子移動度トランジスタ（HEMT）又はMOSFET用の半導体構造などの半導体層構造３９０が炭化ケイ素基板又はサファイア基板などの基板３２２上に形成されてもよい。基板３２２は、例えば、４Hポリタイプの炭化ケイ素であってもよい半絶縁性炭化ケイ素基板であってもよい。他の炭化ケイ素候補のポリタイプとしては、３C、６H、及び１５Rポリタイプが挙げられる。基板３２２は、Cree社から入手可能な高純度半絶縁性（HPSI：High Purity Semi-Insulating）基板であってもよい。「半絶縁性」という用語は、絶対的な意味ではなく、本明細書では記述的に使用される。

【0051】

本明細書で使用される場合、「III族窒化物」という用語は、窒素と周期表のIII族の元素、通常はアルミニウム（Al）、ガリウム（Ga）、及び／又はインジウム（In）との間で形成される半導体化合物を指す。この用語は、例えば、AlGaInなどの三元及び四元（又はより高次の）化合物も指す。当業者によってよく理解されているように、III族元素は、窒素と結合して、二元（例えば、GaN）、三元

10

20

30

40

50

(例えば、 AlGaInN 、 AlInN)、及び四元(例えば、 AlInGaInN)化合物を形成することができる。これらの化合物は、1モルの窒素が合計1モルのIII族元素と結合した実験式を有する。

【0052】

本開示の一部の実施例では、基板322の炭化ケイ素バルク結晶は、室温で約 $1 \times 10^5 \Omega \cdot \text{cm}$ 以上の抵抗率を有することができる。本開示の一部の実施例において使用されることがあるSiC基板の例は、例えば、本開示の譲受人であるDurham, N.C.のCree社によって製造されており、このような基板を製造するための方法は、例えば、米国特許第Re. 34, 861号、米国特許第4, 946, 547号、米国特許第5, 200, 022号、及び米国特許第6, 218, 680号に記載されており、これらの開示は、その全体が参照により本明細書に組み込まれる。基板322として炭化ケイ素が採用されてもよいが、本開示の実施例は、サファイア(Al_2O_3)、窒化アルミニウム(AlN)、窒化アルミニウム・ガリウム(AlGaInN)、窒化ガリウム(GaInN)、シリコン(Si)、GaAs、LGO、酸化亜鉛(ZnO)、LAO、リン化インジウム(InP)などの、任意の適切な基板を基板322に利用することができることを理解されたい。

10

【0053】

基板322は、炭化ケイ素ウエハであってもよく、デバイス100は、少なくとも部分的に、ウエハ・レベル処理を介して形成されてもよく、次いで、ウエハは、複数の個々の又は単位セル・トランジスタ(それぞれ、300又は300-nとして本明細書において指定され、nは整数である)を含むデバイス100を提供するようにダイシングされてもよい。一部の実施例では、基板322の厚さ(例えば、図2の垂直Z方向の)は、100 μm 超、200 μm 超、又は400 μm 超であってもよい。

20

【0054】

一部の実施例では、例えば、図3A~図3D、図5A~図5F、及び図7A~図7Gを参照して以下で説明するように、トランジスタ構造300は、薄化された基板322'を含むことができる。一部の実施例では、基板322'の厚さ(例えば、図2の垂直Z方向の)は、100 μm 以下であってもよい。一部の実施例では、基板322'の厚さは、75 μm 以下であってもよい。一部の実施例では、基板322'の厚さは、50 μm 以下であってもよい。

30

【0055】

半導体層構造390は、基板322の表面上(又は本明細書でさらに説明される任意選択の層上)に形成される。図示する例では、半導体層構造390は、エピタキシャル成長によって形成され、したがって、1つ又は複数のエピタキシャル層324を含む。III族窒化物のエピタキシャル成長のための技術は、例えば、米国特許第5, 210, 051号、米国特許第5, 393, 993号、及び米国特許第5, 523, 589号に記載されており、これらの開示も、その全体が参照により本明細書に組み込まれる。

【0056】

炭化ケイ素は、III族窒化物デバイス用の一般的な基板材料である場合があるサファイア(Al_2O_3)よりも、(半導体層構造390に採用することができる)III族窒化物にはるかに近い結晶格子整合を有する。格子整合が近いことで、サファイア上で一般的に入手可能なものよりも高品質のIII族窒化物膜を得ることができる。炭化ケイ素は、熱伝導率も比較的高く、したがって、炭化ケイ素上に形成されたIII族窒化物デバイスの総出力電力は、サファイア及び/又はシリコン上に形成された同様のデバイスほど、基板の熱放散によって制限されない可能性がある。また、半絶縁性炭化ケイ素基板は、デバイスの絶縁及び寄生容量の低減を実現することができる。

40

【0057】

半導体層構造390は、例示の目的で1つ又は複数のエピタキシャル層324を参照して示されているが、半導体層構造390は、基板322上の、或いは基板322と1つ若しくは複数のエピタキシャル層324との間のバッファ層及び/又は核形成層、並びに/

50

或いはエピタキシャル層 3 2 4 の上面 3 2 4 A 上のキャップ層などの、追加の層 / 構造 / 要素を含むことができる。例えば、A 1 N バッファ層を基板 3 2 2 の上面 3 2 2 A に形成して、炭化ケイ素基板 3 2 2 とトランジスタ構造 3 0 0 の残りの層との間に適切な結晶構造遷移を設けることができる。さらに、歪み平衡遷移層もまた、及び / 又は代替として、例えば、同一出願人による米国特許第 7, 0 3 0, 4 2 8 号に記載されるように設けられてもよく、その開示は、本明細書に完全に記載されているかのように、参照により本明細書に組み込まれる。任意選択のバッファ層 / 核形成層 / 遷移層は、有機金属化学気相成長 (MOCVD: metal - organic chemical vapor deposition)、分子線エピタキシ (MBE: molecular beam epitaxy)、及び / 又はハイライド気相エピタキシ (HVPE: hydride vapor or phase epitaxy) によって堆積させることができる。

【0058】

依然として図 1 及び図 2 を参照すると、ダイ 1 0 0 の前面 1 0 0 f において、ソース・コンタクト 3 1 5 及びドレイン・コンタクト 3 0 5 がエピタキシャル層 3 2 4 の表面 3 2 4 A に形成されてもよく、互いに横方向に離間されてもよい。単位セル・トランジスタ 3 0 0 のソース領域は、ソース・コンタクト 3 1 5 の直下にある半導体層構造 3 9 0 の部分であり、単位セル・トランジスタ 3 0 0 のドレイン領域は、ドレイン・コンタクト 3 0 5 の直下にある半導体層構造 3 9 0 の部分である。ゲート・コンタクト 3 1 0 は、ソース・コンタクト 3 1 5 とドレイン・コンタクト 3 0 5 との間のエピタキシャル層 3 2 4 上に形成されてもよい。ゲート・コンタクト 3 1 0 の材料は、エピタキシャル層 3 2 4 の組成に基づいて選択されてもよく、一部の実施例では、ショットキー・コンタクトであってもよい。III 族窒化物ベースの半導体材料にショットキー・コンタクトを行うことができるいくつかの材料、例えば、ニッケル (Ni)、白金 (Pt)、ニッケル・シリサイド (NiSi_x)、銅 (Cu)、パラジウム (Pd)、クロム (Cr)、タングステン (W) 及び / 又は窒化タングステン・シリコン (WSiN) などが使用されてもよい。

【0059】

ソース・コンタクト 3 1 5 及び / 又はドレイン・コンタクト 3 0 5 は、III 族窒化物ベースの半導体材料に対してオーミック・コンタクトを形成することができる金属を含むことができる。適切な金属としては、Ti、W、チタン・タングステン (TiW)、シリコン (Si)、窒化チタン・タングステン (TiWN)、ケイ化タングステン (WSi)、レニウム (Re)、ニオブ (Nb)、Ni、金 (Au)、アルミニウム (Al)、タンタル (Ta)、モリブデン (Mo)、NiSi_x、ケイ化チタン (TiSi)、窒化チタン (TiN)、WSiN、Pt などの高融点金属を挙げることができる。したがって、ソース・コンタクト 3 1 5 及び / 又はドレイン・コンタクト 3 0 5 は、エピタキシャル層 3 2 4 (例えば、高電子移動度トランジスタ (HEMT) デバイスのバリア層) と直接接触するオーミック・コンタクト部分を含むことができる。一部の実施例では、ソース・コンタクト 3 1 5 及び / 又はドレイン・コンタクト 3 0 5 は、例えば、同一出願人による米国特許第 8, 5 6 3, 3 7 2 号及び米国特許第 9, 2 1 4, 3 5 2 号に記載されるように提供され得るオーミック・コンタクトを形成するために、複数の層で形成されてもよく、その開示は、その全体が参照により本明細書に組み込まれる。

【0060】

一部の実施例では、トランジスタ・セル 3 0 0 は、高電子移動度トランジスタ (HEMT) 構造であってもよく、エピタキシャル層構造 3 2 4 は、基板 3 2 2 の表面 3 2 2 A に形成されたチャネル層と、チャネル層の表面に形成されたバリア層とを含んでもよい。チャネル層は、バリア層のバンドギャップよりも小さいバンドギャップを有することができる。チャネル層は、バリア層よりも大きい電子親和力を有することもできる。チャネル層及びバリア層は、III 族窒化物ベースの材料を含むことができる。従来の高電子移動度トランジスタ (HEMT) デバイスに関して上述したように、二次元電子ガス (2DEG) 層は、チャネル層とバリア層との接合部においてチャネル層内に誘起される。二次元電子ガス (2DEG) 層は、ソース・コンタクト 3 1 5 及びドレイン・コンタクト 3 0 5 の下

にそれぞれあるデバイスのソース領域とドレイン領域との間の導通を可能にする高導電性層として機能する。基板、チャネル層、バリア層、及び他の層を含む高電子移動度トランジスタ（HEMT）構造は、一例として、米国特許第5,192,987号、米国特許第5,296,395号、米国特許第6,316,793号、米国特許第6,548,333号、米国特許第7,544,963号、米国特許第7,548,112号、米国特許第7,592,211号、米国特許第7,615,774号、米国特許第7,548,112号、及び米国特許第7,709,269号に記載されており、これらの開示は、その全体が参照により本明細書に組み込まれる。

【0061】

当業者によって理解されるように、トランジスタ・セル300（例えば、高電子移動度トランジスタ（HEMT）、MOSFET、横方向拡散金属酸化膜半導体（LDMOS）など）は、ゲート・コンタクト310の制御下でソース・コンタクト315とドレイン・コンタクト305との間の活性領域によって画定されてもよい。一部の実施例では、ソース・コンタクト315、ドレイン・コンタクト305、及びゲート・コンタクト310は、基板322上に交互に配置された複数のソース・コンタクト315、ドレイン・コンタクト305、及びゲート・コンタクト310として形成されてもよく、ゲート・コンタクト310が、隣接するドレイン・コンタクト305とソース・コンタクト315との間に配置されて、複数のトランジスタ・セル300を形成する。図1に示すように、デバイス100は、ソース・コンタクト315を共有する隣接するトランジスタ・セル300を含むことができる。本明細書の断面図は、説明を容易にするために、ソース・コンタクト315、ドレイン・コンタクト305、及びゲート・コンタクト310のサブセットを示すが、デバイス100は、図示されていない追加のソース・コンタクト315、ドレイン・コンタクト305、及びゲート・コンタクト310を含む追加の構造を有してもよいことが理解されるであろう。

【0062】

典型的には、数百、又はより一般的には数千の単位セル300などの単位セルを半導体基板上に形成し、電氣的に並列に接続して、RFトランジスタ増幅器ダイ又はデバイス100を提供することができる。一部の実施例では、ダイ100は、デバイス端子又は電極（例えば、入力端子、出力端子、及び接地端子）に並列に接続されてもよい複数のトランジスタ・セル300を含むことができる。例えば、ゲート・コンタクト310、ドレイン・コンタクト305、及びソース・コンタクト315のそれぞれは、第1の方向（例えば、Y方向）に延在してゲート「フィンガ」、ドレイン「フィンガ」、及び/又はソース「フィンガ」を画定することができ、これらのフィンガは、半導体層構造390の上面324A上の1つ又は複数のそれぞれのバスによって（例えば、図1ではファントムで示すゲート・バス310b及びドレイン・バス305bによって）接続されてもよい。ゲート・フィンガ310、ドレイン・フィンガ305、及びソース・フィンガ315（及び接続バス）は、頂部側又は前面メタライゼーション構造によって画定されるように、デバイス100のゲート接続電極、ドレイン接続電極、及びソース接続電極の一部をそれぞれ画定することができる。前面メタライゼーション構造の様々な導電性要素を互いに絶縁する誘電体層は、図面を簡略化するために図1には示されていない。ゲート・フィンガ310は共通のゲート・バス310bに電氣的に接続され、ドレイン・フィンガ305は共通のドレイン・バス305bに電氣的に接続され、ソース・フィンガ315は（例えば、本明細書に記載されるそれぞれのピア開口部335及び裏面金属層345を介して）互いに電氣的に接続されているため、単位セル・トランジスタ300はすべて互いに並列に電氣的に接続されていることが分かる。

【0063】

RFトランジスタ増幅器ダイ又はデバイス100の端子のうちの1つ（例えば、ソース・コンタクト315に接続されたソース端子）は、例えば電氣的接地などの基準信号に結合されるように構成されてもよい。一部の実施例では、導電性基板貫通ピア接続又は構造（例えば、本明細書に記載されるような基板貫通ピア開口部335に形成された裏面ピア

10

20

30

40

50

346)は、基板322又は322'及びエピタキシャル層324を貫いて延在して、ソース・コンタクト315を接地に結合することができる。他の実施例では、RFトランジスタ増幅器ダイ又はデバイス100の端子のうちの1つ(例えば、ソース端子)への接地接続は、活性領域の外側に、例えば、ダイ100の周辺領域に設けられてもよい。一部の実施例では、ダイ100の裏面100bのバックメタル層345は、例えば、接地に近接していることが望まれることがある用途において、裏面接地面を提供することができる。

【0064】

図2に示すように、トランジスタ構造300は、前面100fに隣接する、350、355、及び360として示す1つ又は複数の誘電体層又は絶縁層をさらに含むことができる。第1の絶縁層350は、半導体層構造390の上面(例えば、エピタキシャル層324の上面324A)に直接接触してもよい。第1の絶縁層350上には第2の絶縁層355が形成されてもよく、第2の絶縁層355上には第3絶縁層360が形成されてもよい。一部の実施例では、3つよりも少ない又は多い絶縁層が含まれてもよいことも理解されるであろう。絶縁層350、355、及び/又は360のうちの1つ又は複数は、トランジスタ構造300のためのパッシベーション層として機能することができる。絶縁層350、355、360は、窒化ケイ素(Si_xN_y)、窒化アルミニウム(AlN)、二酸化ケイ素(SiO_2)、酸窒化ケイ素、並びに/或いは他の適切な保護材料、例えば、酸化マグネシウム、酸化スカンジウム、酸化アルミニウム及び/又は酸窒化アルミニウムなどの誘電体材料であってもよい。より一般的には、絶縁層350、355、360は、単一の層であってもよく、又は均一及び/若しくは不均一な組成の複数の層を含んでもよく、並びに/又は(例えば、ソース・コンタクト315及び/若しくはドレイン・コンタクト305を提供する)オーミック・コンタクトのその後のアニール中に下にあるエピタキシャル層324を保護するように十分に厚くてもよい。

【0065】

ソース・コンタクト315、ドレイン・コンタクト305、及びゲート・コンタクト310は、ダイ100の前面100fに隣接する第1の絶縁層350内に形成されてもよい。一部の実施例では、ゲート・コンタクト310の少なくとも一部は、第1の絶縁層350の表面上にあってもよい。一部の実施例では、ゲート・コンタクト310は、T字形ゲート及び/又はガンマ・ゲートとして形成されてもよく、その形成については、米国特許第8,049,252号、米国特許第7,045,404号、及び米国特許第8,120,064号に一例として論じられており、これらの開示は、その全体が参照により本明細書に組み込まれる。第2の絶縁層355は、第1の絶縁層350上と、ドレイン・コンタクト305、ゲート・コンタクト310、及びソース・コンタクト315の部分上と、に形成されてもよい。

【0066】

コンタクト305、310、315のうちの1つ又は複数、例えば、ソース・コンタクト315及びドレイン・コンタクト305に接触するように、それぞれの金属コンタクト365が第2の絶縁層355の開口部を通して延在して形成されてもよい。例えば、第2の絶縁層355は、金属コンタクト365を配置するために、ソース・コンタクト315及び/又はドレイン・コンタクト305を露出させる窓を形成するようにパターンニングされてもよい。窓は、ソース・コンタクト315及び/又はドレイン・コンタクト305に対して、パターンニングされたマスクと低損傷のエッチングを利用してエッチングされてもよい。ソース・コンタクト315及び/又はドレイン・コンタクト305の露出部分に導電性金属を形成して、金属コンタクト365を形成することができる。

【0067】

金属コンタクト365は、ダイ100の前面100fにおいてトランジスタ・セル300のコンタクト305、310、315のそれぞれと直接接触してもよい。図1及び図2の例では、金属コンタクト365は、ドレイン・コンタクト305及びソース・コンタクト315上に設けられている。しかしながら、他の実施例では、金属コンタクト365は、ダイ100の前面100fの3つのFET端子(ソース、ゲート、及びドレイン)上す

10

20

30

40

50

べてに設けられてもよい。また、金属コンタクト 365 は、例えば、外部入力 / 出力接続を提供するために（例えば、ゲート 310 に入力信号を提供し、ドレイン 305 から出力信号を提供するために）、ゲート・バス 310b 及びドレイン・バス 305b への接続を提供することができる。特に、一部の実施例では、金属コンタクト 365 は、ゲート・バス 310b 及びドレイン・バス 305b と、入力 / 出力接続を提供するそれぞれのワイヤ・ボンダ用のそれぞれのランディング / コンタクト・パッドとの間の接続を提供することができる。

【0068】

金属コンタクト 365 は、例えば、銅、コバルト、金、及び / 又は複合金属を含む、金属若しくは他の高導電性材料を含んでもよい。説明を容易にするために、図 1 では、第 2 の絶縁層 355、第 3 の絶縁層 360、及び金属コンタクト 365 は示されていない。（絶縁層 350 及び / 又は 355 と同様の又は異なる組成の）第 3 の絶縁層 360 は、最終パッシベーション層として金属コンタクト 365 上に形成されてもよく、この最終パッシベーション層は、電氣的接続のために、例えば、1 つ又は複数の外部デバイスへの「オフチップ」入力及び / 又は出力接続のために、並びに / 或いは接地接続のために金属コンタクト 365 を露出させる開口部 325 を画定するようにパターンニングされてもよい。金属コンタクト 365 は、したがって、入力（例えば、ゲート）、出力（例えば、ドレイン）、及び / 又は接地（例えば、ソース）コンタクト・パッド若しくは端子を画定することができ、これらは、ダイ 100 の 1 つ又は複数のトランジスタ構造 300 の対応する端子（例えば、高電子移動度トランジスタ（HEMT）又は横方向拡散金属酸化膜半導体（LD MOS）トランジスタなどの FET のゲート端子 310、ドレイン端子 305、及びソース端子 315）に直接又は間接的に接続されてもよい。

【0069】

本開示の実施例による前面ピラー、裏面ビア、及び / 又は裏面受動デバイスを製造するためのさらなる操作が、図 2 のトランジスタ構造 300 を参照して本明細書で説明される。

【0070】

図 3A ~ 図 3D は、本開示の一部の実施例による前面ピラー構造を含むトランジスタ構造を製造する方法を示す断面図である。特に、図 3A ~ 図 3D の操作は、デバイスの裏面への導電性基板貫通ビア接続のないトランジスタ・セル 300 を含むデバイス 100 を形成するためのプロセス・シーケンスを示し、ダイ個片化のためにバルク裏面研削プロセスを使用して基板 322 の厚さを低減している。

【0071】

ここで図 3A を参照すると、図 2 のオフチップ接続用の金属コンタクト 365 を露出させた後、ダイ 100 の前面 100f の金属コンタクト 365 上にそれぞれの導電性接続部 366（本明細書では前面接続部又は前面ピラーと呼ばれる）が形成される。前面ピラー 366 は、平面図において（例えば、金属コンタクト 365 を露出させる開口部 325 と同様の又はそれに対応する）楕円形又は円形の形状を有してもよい。前面ピラー 366 は、一部の実施例では、比較的厚い導電性めっき構造であってもよい。例えば、前面ピラー 366 は、Cu めっき構造又は他の金属めっき構造であってもよい。したがって、前面ピラー 366 は、デバイス 100 の 1 つ又は複数の端子（例えば、入力、出力、接地）と 1 つ又は複数の外部デバイスとの間の電氣的接続を、例えば「フリップチップ」（デバイス 100 が、デバイス 100 の前面 100f に隣接するピラー 366 によって基板又は基板上のデバイスに取り付けられ、電氣的に接続される）として、及び / 又は積層マルチチップ・パッケージにおいて提供することができる。図 3A に示すように、電氣的接続及び / 又は取り付けのために、はんだ層 367 が前面ピラー 366 上に設けられてもよい。加えて、パッケージの集積度に応じて、前面ピラー 366 は、チップ間又はチップと基板間のなんらかの分離を提供し、デバイス 100 の前面 100f からの熱放散を増加させ、機械的強度を増加させ、及び / 又は（特に「フリップチップ」パッケージにおいて）ダイ 100 のエッジ若しくは周辺部から離れた接続パッド若しくはピラーの配置を可能にすること

によって設計の柔軟性を向上させることができる。

【 0 0 7 2 】

図 3 B に示すように、前面 1 0 0 f から突出する前面ピラー 3 6 6 を含むデバイス 1 0 0 の前面 1 0 0 f が「裏返されて」、例えば、仮のウエハ接着剤 3 2 8 によって、ウエハ・キャリア 3 2 6 に（前面を下にして）取り付けられる。ウエハ・キャリア 3 2 6 は、剛性を高め、したがって、後続の製造プロセス中に前面ピラー 3 6 6 を支持及び保護するように構成された任意の基板又は構造であってもよい。

【 0 0 7 3 】

特に、デバイス又はダイ 1 0 0 は、共通のウエハ上に形成された複数のダイのうちの 1 つであってもよく、したがって、デバイス 1 0 0 の製造は、例えば、ダイシング又はソー

10

【 0 0 7 4 】

したがって、図 3 C に示すように、基板 3 2 2 の厚さは、個片化のために低減される。一部の実施例では、基板 3 2 2 の厚さは、インフィード又はクリープ・フィード・グライ

20

【 0 0 7 5 】

ウエハ・キャリア 3 2 6 及び / 又は仮接着剤 3 2 8 によるウエハ・キャリアへの取り付けは、デバイス 1 0 0 の前面ピラー 3 6 6 を支持し、基板 3 2 2 の薄化によって引き起こ

30

【 0 0 7 6 】

図 4 A ~ 図 4 C は、本開示の一部の実施例による、ダイ個片化のための前面ピラー構造及びトレンチを含むトランジスタ構造の製造方法を示す断面図である。特に、図 4 A ~ 図

40

【 0 0 7 7 】

ここで図 4 A を参照すると、図 2 のオフチップ接続用の金属コンタクト 3 6 5 を露出させた後、デバイス 1 0 0 の前面 1 0 0 f の領域に前面トレンチ（又は「ストリート」）3 7 3 が選択的に形成されている。トレンチ 3 7 3 は、エピタキシャル層 3 2 4 を貫いて基板 3 2 2 内に部分的に延在し、その結果、トレンチ 3 7 3 を含む基板 3 2 2 の部分は、（トレンチ 3 7 3 の底面又は「フロア」と基板 3 2 2 の裏面との間に画定される）厚さが低減されている。基板 3 2 2 の低減された厚さは、ピラー形成中の安定性を提供すると同時に、その後の個片化を可能にするのに十分であってもよい。例えば、基板 3 2 2 は、約 5

50

00 μm ~ 1000 μmの厚さを有することができるが、トレンチ373は、基板322内に延在して、トレンチ373のフロアにおいて、約40 μm ~ 200 μmの残りの厚さ、例えば、約60 μm ~ 150 μmの厚さを提供することができる。トレンチ373は、選択的パターンング・プロセスによって、例えば、デバイス100の前面100fの露出した金属コンタクト365上に1つ又は複数のマスク・パターンを形成し、1つ又は複数の選択的エッチング・プロセスを行って、マスク・パターンによって露出したエピタキシャル層324の部分（及び下にある基板322の対応する部分）を除去することによって形成されてもよい。マスク・パターンは、その後除去されてもよい。

【0078】

図4Bに示すように、デバイス100の前面100fにトレンチ373を形成した後、図3Aを参照して上述したものと同様又は同一のやり方で、それぞれの導電性前面ピラー366及びはんだ層367を前面100fの金属コンタクト365上に形成する。トレンチ373の形成後に前面ピラー366を形成することによって、トレンチ形成及び/又はマスク除去操作中の前面ピラー366への損傷を回避することができる。

【0079】

図4Cに示すように、ダイ100は、トレンチ373によって画定された低減された厚さを有する基板322の部分において、複数のダイを含むウエハから個片化される。例えば、トレンチ373のフロアと基板322の裏面との間の基板322の厚さが低減されているために、基板322を薄くするための裏面研削プロセスを行うことなく、ダイシング又はソーイング・プロセスを利用して、ダイ100をウエハから分離することができる。個片化後、ダイ100の側壁又はエッジ100eは、裏面100bに隣接する第2の部分372（例えば、ダイシング、ソーイング、又は他の個片化プロセスを受けた基板322の部分）とは異なる表面特性（例えば、傾斜角及び/又は表面粗さ）を有する、前面100fに隣接する第1の部分371（例えば、トレンチ373の側壁を画定した基板322の部分）を含むことができる。例えば、選択的エッチング・プロセスによって形成された側壁又はエッジ100eの第1の部分371は、ダイシング又はソーイング・プロセスによって形成された第2の部分372とは異なる傾斜及び/又は異なる表面粗さを有することができる。ダイシング・ソーの幅は、トレンチ373の幅よりも狭くてもよく、それによって、基板322のエッジ100eにおいて第1の部分371と第2の部分372との間に突出したリップ374を画定する。したがって、高硬度を有する材料（SiCなど）を含むウエハ又は基板322上に形成された場合であっても、基板薄化操作を行うことなく、デバイス100を個片化することができる。それによって、結果として得られるトランジスタ構造300-2は、（トランジスタ構造300-1の基板322'に対して）厚さを増加させた基板322を含み、これは、例えば、その後の処理において、堅牢性を向上させることができる。一部の実施例では、個片化されたダイ100は、約50 ~ 約200 μm、例えば、約75 ~ 約175 μm、又は約100 ~ 約150 μmの厚さを有する基板322を含むことができる。一部の実施例では、個片化されたダイ100は、約200 μmよりも大きい、例えば、約200 ~ 500 μm、又は約500 ~ 約800 μmの厚さを有する基板322を含むことができる。

【0080】

図3A ~ 図3D及び図4A ~ 図4Cの実施例では、トランジスタ構造300-1及び300-2は、ゲート・コンタクト310、ソース・コンタクト315、又はドレイン・コンタクト305への導電性基板貫通ビア接続がない。むしろ、図9Aに示すように、導電性接続部/前面ピラー366は、前面ピラー366が、電気信号配線のために、例えば、はんだ層367によって、対応する導電性トレース911に物理的に取り付けられ、且つ電氣的に接続されるように、例えば、ダイ100を基板920a（例えば、プリント回路板（PCB）又は再配線層（RDL））上に「裏返す」ことによってオフチップ電氣的接続を提供するために使用されてもよい。再配線層（RDL）構造とは、導電層パターン及び/又は導電ビア構造を有する基板又は積層板を指す。再配線層（RDL）構造は、半導体処理技術を使用して、例えば、ベース材料上に導電層及び絶縁層並びに/又はパターン

10

20

30

40

50

を堆積させ、再配線層（RDL）構造を通して信号を送送するためのビア及び銅配線パターンを構造内に形成することによって製造されてもよい。それによって、一部の実施例では、（特により高周波のRF用途において、インピーダンス整合ネットワーク及び／又は高調波終端回路の有効性を低減又は無効にする可能性がある直列インダクタンスを導入することがある）ワイヤ・ボンドの必要性及び／又は使用を低減若しくは排除することができる。

【0081】

本明細書に記載されるさらなる実施例は、ゲート・コンタクト310、ソース・コンタクト315、及び／又はドレイン・コンタクト305への導電性基板貫通ビア接続（又は「導電性ビア」）を提供するデバイス及び製造方法を対象とする。例えば、一部の実施例は、ソース・コンタクト315を電氣的接地に接続するように構成された裏面ビアを含むことができ、裏面接地面を提供するためのバックメタル層をさらに含むことができる。製造可能性は、裏面薄化後のウエハ処理量によって、及び／又は前面ピラー構造の幾何学的形状によって制限されることがあるが、本明細書に記載されるさらなる実施例は、これら及び／又は他の制限に対処することができる。

10

【0082】

図5A～図5Fは、本開示の一部の実施例による、前面ピラー構造と、デバイスの裏面への導電性基板貫通ビア接続とを含むトランジスタ構造を製造する方法を示す断面図である。特に、ウエハ接合操作が前面ピラーの幾何学的形状によって制限されることがあるため、図5A～図5Fの操作は、わずか1つのウエハ・キャリア・ボンディング・ステップ又はプロセスを使用してトランジスタ・セル300を含むデバイス100を形成するためのプロセス・シーケンスを示す。

20

【0083】

ここで図5Aを参照すると、図2のオフチップ接続用の金属コンタクト365を露出させた後、図3Aを参照して上述したものと同様又は同一のやり方で、ダイ100の前面100fの金属コンタクト365上に、それぞれの導電性前面ピラー366及びはんだ層367が形成される。図5Bに示すように、デバイス100から突出する前面ピラー366を含むデバイス100の前面100fが、「裏返されて」、図3Bを参照して上述したものと同様又は同一のやり方で、例えば、仮のウエハ接着剤328によってウエハ・キャリア326に（前面を下にして）取り付けられる。図5Cにおいて、基板322の厚さは、図3Cを参照して上述したものと同様又は同一のやり方で、個片化及びビア形成の両方の目的で（例えば、均一な裏面研削プロセスによって）低減される。ウエハ・キャリア326（及び／又は仮接着剤328によるウエハ・キャリアへの取り付け）は、デバイス100の前面ピラー366を支持し、基板322の薄化によって引き起こされる応力から保護する。それによって、基板322'は、裏面研削又は他の薄化プロセスにより、低減されるが、実質的に均一な厚さを有する。

30

【0084】

図5Dに示すように、基板322'及びエピタキシャル層324を貫いてビア開口部335が形成され、コンタクト305、310、315のうちの1つ（ソース・コンタクト315を参照して示されている）の一部を露出させる。特に、ビア開口部335は、（基板322'の裏面322Bによって画定される）ダイ100の裏面100bから、基板322'及びエピタキシャル層324を貫いてエピタキシャル層324の表面324Aまで延在し、ソース・コンタクト315の下側又は下面がビア開口部335によって露出されるようにする。ビア開口部335は、平面図で楕円形又は多角形の形状を有してもよい。一部の実施例では、ビア開口部335の側壁は、基板322'の裏面322Bに対して傾斜して及び／又は傾いていてもよい。例えば、ビア開口部335の寸法（例えば、直径又は面積）「A」は、基板322'の裏面322Bの開口部では、ソース・コンタクト315に隣接する部分よりも大きくてもよい。

40

【0085】

ビア開口部335は、当業者によって理解されるように、マスキング及びエッチング技

50

術によって形成されてもよい。例えば、ビア開口部 335 は、湿式又は乾式エッチングによって形成されてもよい。一部の実施例では、ソース・コンタクト 315 は、ビア開口部 335 の形成中にエッチ・ストップ材料として機能することができる。一部の実施例では、ビア開口部 335 は、ビア開口部 335 の側壁が基板 322' の裏面 322B に対して傾斜し、及び / 又は傾くようにエッチングされてもよい。一部の実施例では、エッチング・プロセスは、ビア開口部 335 の側壁が傾斜した又は斜めの形状を有するようにエッチング化学物質及び / 又は他のプロセス・パラメータが調整された異方性エッチング・プラットフォーム或いは処理条件に基づいてもよい。すなわち、ビア開口部 335 を画定するために使用されるエッチング・プロセスは、トレンチ又は開口部 335 の側壁に十分な金属被覆を可能にする所望の側壁傾斜を達成するために、異方性と等方性のエッチング態様の組合せを含むことができる。エッチングにより、ビア開口部 335 の最大寸法 A は、基板 322' の裏面 322B に隣接することができる。ビア開口部 335 の寸法 A はまた、より厚い基板 322 のエッチングが結果としてより広いビア開口部 335 をもたらすため、基板 322' の厚さに関連することがある。したがって、基板 322' の厚さを低減することにより、より小さい寸法 A を有するビア開口部 335 を形成することができ、これにより、デバイス 100 の全体的なサイズを低減し、インダクタンスを低減することができる。すなわち、基板 322' を薄くするための操作は、ビア形成に関して追加の利点を提供することができる。

10

【0086】

図 5E に示すように、基板 322' の裏面 322B 上に、またビア開口部 335 の側壁及び底面上にも、金属層 345 を堆積させ又は他の方法で形成して、導電性基板貫通ビア接続又は裏面ビア 346 を画定する。バックメタル層 345 及び裏面ビア 346 は、ソース・コンタクト 315 に接触して電気信号を結合する導電層を含むことができる。例えば、バックメタル層 345 は、チタン、白金、及び / 又は金などの導電性金属を含むことができる。図 5A ~ 図 5F の例では、バックメタル層 345 は、ソース・コンタクト 315 を電気的接地に結合するように構成されてもよい。より一般的には、バックメタル層 345、及びこれに結合された基準信号は、ビア開口部 335 を通って延在する導電性ビア 346 によって、デバイス・コンタクト 305、310、315 のうちの 1 つに電気的に接続されてもよい。

20

【0087】

図 5F に示すように、バックメタル層 345 の形成後、トランジスタ構造 300 - 3 を含むデバイス 100 は、ウエハ・キャリア 326 から取り外されるか、又は他の方法で分離され、後続のプロセスにおける個片化及び（例えば、図 10 - 12 に示すようなパッケージへの）取り付けの準備が整う。そのため、前面ピラー 366 は、デバイス 100 の前面 100f の 1 つ又は複数の端子（例えば、入力、出力、接地）への接続を提供することができ、バックメタル層 345 / 裏面ビア 346 は、デバイス 100 の裏面 100b の端子（例えば、入力、出力、接地）のうちの別の端子への接続を提供することができる。

30

【0088】

一部の実施例では、図 9B に示すように、図 5F のトランジスタ構造 300 - 3 を含むダイ 100 は、前面ピラー 366 が、基板 920b によって提供される、基板を通る電気信号配線用の対応する導電性トレース 911 に物理的に取り付けられ、且つ電気的に接続されるように、パッケージ基板 920b（例えば、プリント回路板（PCB）又は再配線層（RDL）構造）上に裏返されてもよい。他の実施例では、図 9C に示すように、トランジスタ構造 300 - 3 を含むダイ 100 は、バックメタル層 345 が、基板を通る電気信号配線（例えば、電気的接地への結合）及び熱伝達の両方のために、基板 920c によって提供される熱伝導性ヒートシンクに物理的に取り付けられ、且つ電気的に接続されるように、パッケージ基板 920c（例えば、熱強化パッケージの導電性フランジ）に取り付けられてもよい。例えば、SiC 基板 322' は良好な熱伝導体である可能性があるため、ダイ 100 は、裏面を下にして、ヒートシンク（図示するような導電性フランジ 920c として、又はヒートシンクを含むプリント回路板（PCB）若しくは再配線層（RD

40

50

L) 構造として実装されてもよい)に取り付けられてもよい。図9Cに示す向きで、1つ又は複数の追加のダイ又は受動部品(集積受動デバイス(IPD)など)が、例えば、積層構成で、基板920cと反対側のピラー366に電氣的に接続されてもよい。一部の実施例では、ダイ及び/又は受動部品は、例えば、2020年4月3日に出願された共同所有の米国仮特許出願第63/004,760号に記載されるように、ピラー366のうちの1つ又は複数(例えば、ドレイン接続ピラー366)をパッケージ・リードに電氣的に接続するために使用されてもよく、その開示は、参照により本明細書に組み込まれる。

【0089】

図6A及び図6Bは、本開示の一部の実施例による、前面ピラー構造及びダイ100の裏面上の受動デバイスを含むトランジスタ構造を製造する方法を示す断面図である。特に、バックメタル層345の形成は、デバイス100の裏面100bのバックメタル層345上に受動デバイス375(すなわち、抵抗器375rなどの抵抗部品並びに/又はコンデンサ375c及び/若しくはインダクタ375lなどのリアクタンス部品)を設けることによってデバイス集積度を向上させるために使用されてもよい。受動デバイス375は、インピーダンス整合回路、高調波フィルタ、カプラ、バラン、及び電力合成器/分配器などの1つ又は複数の機能ブロックをデバイス100の裏面100b上に実装するために使用されるディスクリット部品であってもよい。例えば、ディスクリット部品375は、RF電力増幅器のための入力若しくは出力のインピーダンス整合回路及び/又は高調波終端回路の少なくとも一部を画定することができる。一部の実施例では、デバイス100の裏面100b上にインピーダンス整合回路及び/又は高調波終端回路を実装することで、そのような整合回路への(例えば、ワイヤ・ボンドを使用する)オフチップ接続に関連付けられた複雑さを低減又は排除することができる。受動回路375は、一部の実施例では、裏面ビア346によってデバイス100の前面100fに隣接する能動トランジスタ・セル300に接続されてもよい。しかしながら、一部の実施例では、裏面ビア346及び/又は前面ピラー366が存在しなくてもよいことが理解されるであろう。

【0090】

一部の実施例では、受動デバイス375は、集積受動デバイス(IPD)を含んでもよい。集積受動デバイス(IPD)は、受動電気部品を含み、薄膜及び/又はフォトリソグラフィ処理などの標準的な半導体処理技術を使用して製造することができる。集積受動デバイス(IPD)は、フリップチップ実装可能又はワイヤ・ボンディング可能な構成要素とすることができ、シリコン、アルミナ、又はガラスなどの薄膜基板を含むことがある。

【0091】

ここで図6Aを参照すると、図5Eで第1のバックメタル層345を形成した後、デバイス100の裏面100bの第1のバックメタル層345上、及びビア開口部335の裏面ビア346上に、絶縁体層370が形成される。絶縁体層370は、窒化ケイ素(Si_xN_y)、窒化アルミニウム(AlN)、二酸化ケイ素(SiO₂)などの1つ又は複数の誘電体材料を含むことができる。受動デバイス375は、例えば、第2のバックメタル層を形成及びパターンニングして、1つ又は複数のディスクリット・コンデンサ375c(例えば、第2のバックメタル層、第1のバックメタル層345、及びそれらの間の絶縁体層370の部分のパターンニングされた部分によって画定される)、1つ又は複数のディスクリット・インダクタ375l(例えば、導電性トレース/コイルを画定するようにパターンニングされた第2のバックメタル層の部分によって画定される)、及び/又は1つ又は複数のディスクリット抵抗器375r(例えば、抵抗セグメントを画定するようにパターンニングされた第2のバックメタル層の部分によって画定される)を画定することによって、絶縁体層370上に形成される。絶縁体層370及び受動デバイス375は、デバイス100の前面100fの導電性ピラー366を応力から保護するように、基板322'及びエピタキシャル層324が(例えば、仮接着剤328によって)ウエハ・キャリア326に取り付けられている間に形成される。

【0092】

図6Bに示すように、受動デバイス375の形成後、トランジスタ構造300-4を含

むデバイス 100 は、ウエハ・キャリア 326 から取り外されるか、又は他の方法で分離され、後続のプロセスにおける個片化及び（例えば、図 10 ~ 図 12 に示されるようなパッケージへの）取り付けの準備が整う。したがって、前面ピラー 366 は、デバイス 100 の前面 100 f の 1 つ又は複数の端子（例えば、入力、出力、接地）への接続を提供することができ、バックメタル層 345 上の受動回路は、デバイス 100 の端子のうちの 1 つ若しくは複数と外部デバイス又は接地接続との間の整合回路（例えば、入力／出力インピーダンス整合回路又は高調波終端回路）をデバイス 100 の裏面 100 b 上に実装することができる。

【0093】

一部の実施例では、図 6 B のトランジスタ構造 300 - 4 を含むデバイス 100 は、図 9 B を参照して説明されるものと同様又は同一のやり方で、前面ピラー 366 によって基板（例えば、プリント回路板（PCB）又は再分配層（RDL）構造）に接続されてもよい。すなわち、ダイ 100 は、前面ピラー 366 が、基板によって提供される、基板を通る電気信号配線用の対応する導電性トレースに物理的に取り付けられ、且つ電氣的に接続されるように、パッケージ基板上に裏返されてもよい。他の実施例では、トランジスタ構造 300 - 4 を含むデバイス 100 は、図 9 C を参照して説明されるものと同様の同一のやり方で、裏面を下にして基板に接続することができ、受動デバイス 375 を保護及び絶縁するために、裏面 100 b と基板との間に 1 つ若しくは複数の追加の金属層及び／又は保護誘電体層が設けられる。

【0094】

図 7 A ~ 図 7 G は、本開示の一部の実施例による、複数のウエハ・キャリア・ボンディングを用いて、導電性貫通ビア構造を有する前面ピラー構造を含むトランジスタ構造を製造する方法を示す断面図である。特に、図 7 A ~ 図 7 G の操作は、前面ピラーが存在する間のウエハ・キャリアの取り付けを回避するために、複数のウエハ・キャリア・ボンディング・ステップ又はプロセスを使用してトランジスタ・セル 300 を含むデバイス 100 を形成するプロセス・シーケンスを示し、これにより、一部の単一のウエハ・キャリア・ボンディング実施態様と比較してよりアグレッシブな、例えば、前面ピラーのアスペクト比（高さ対幅）が 2 ~ 5 倍増加した幾何学的形状を有するより多くの前面ピラーが可能になる場合がある。

【0095】

ここで図 7 A を参照すると、図 2 のオフチップ接続用の金属コンタクト 365 を露出させた後、デバイス 100 は、「裏返され」、例えば、仮ウエハ接着剤 328 によって、第 1 のウエハ・キャリア 326 に（前面を下にして）取り付けられる。図 7 B において、基板 322 の厚さは、図 3 C を参照して上述したものと同様又は同一のやり方で、個片化及びビア形成の両方の目的で（例えば、均一な裏面研削プロセスによって）低減される。それによって、基板 322 ' は、裏面研削又は他の薄化プロセスにより、低減されるが、実質的に均一な厚さを有する。

【0096】

図 7 C に示すように、デバイス 100 が依然として第 1 のウエハ・キャリア 326 に取り付けられた状態で、ビア開口部 335 が、図 5 D を参照して上述したものと同様又は同一のやり方で、基板 322 ' 及びエピタキシャル層 324 を貫いて形成され、コンタクト 305、310、315 のうちの 1 つ（ソース・コンタクト 315 を参照して示されている）の一部を露出させる。図 7 D では、図 5 E を参照して上述したものと同様又は同一のやり方で、バックメタル層 345 を、基板 322 の裏面 322 B 上に、またビア開口部 335 の側壁及び底面上にも堆積させるか、又は他の方法で形成して、裏面ビア 346 を画定する。

【0097】

図 7 E に示すように、バックメタル層 345 を形成した後、デバイス 100 は、再び「裏返され」、例えば、仮のウエハ接着剤 329 によって、第 2 のウエハ・キャリア 327 に（裏面を下にして）取り付けられる。デバイス 100 はまた、ウエハ・キャリア 326

から取り外されるか、又は他の方法で分離される。図 7 F では、それぞれの導電性前面ピラー 3 6 6 及びはんだ層 3 6 7 が、図 3 A を参照して上述したものと同様又は同一のやり方で、前面 1 0 0 f の金属コンタクト 3 6 5 上に形成される。図 7 G に示すように、導電性前面ピラー 3 6 6 の形成後、トランジスタ構造 3 0 0 - 3 を含むデバイス 1 0 0 は、図 5 F を参照して上述したものと同様又は同一のやり方で、第 2 のウエハ・キャリア 3 2 7 から取り外されるか、又は他の方法で分離され、後続のプロセスにおける個片化及び（例えば、図 1 0 ~ 図 1 2 に示すようなパッケージへの）取り付けの準備が整う。

【 0 0 9 8 】

図 8 A ~ 図 8 D は、本開示の一部の実施例による、複数ウエハ・キャリア・ボンディングを用いて、前面ピラー構造及びダイの裏面上の受動デバイスを含むトランジスタ構造を製造する方法を示す断面図である。

10

【 0 0 9 9 】

ここで図 8 A を参照すると、図 7 D においてバックメタル層 3 4 5 を形成した後、デバイス 1 0 0 の裏面 1 0 0 b のバックメタル層 3 4 5 上、及びビア開口部 3 3 5 の裏面ビア 3 4 6 上に絶縁体層 3 7 0 が形成され、（ 1 つ若しくは複数のコンデンサ 3 7 5 c 、 1 つ若しくは複数のインダクタ 3 7 5 l 、 及び / 又は 1 つ若しくは複数の抵抗器 3 7 5 r を含む）受動デバイス 3 7 5 が、例えば図 6 A を参照して上述したものと同様又は同一のやり方で、絶縁体層 3 7 0 上に形成される。絶縁体層 3 7 0 及び受動デバイス 3 7 5 は、基板 3 2 2 ' 及びエピタキシャル層 3 2 4 が第 1 のウエハ・キャリア 3 2 6 に（例えば、仮接着剤 3 2 8 によって）取り付けられている間に形成される。

20

【 0 1 0 0 】

図 8 B に示すように、受動デバイス 3 7 5 を形成した後、デバイス 1 0 0 は、図 7 E を参照して上述されたものと同様又は同一のやり方で、再び「裏返され」、（例えば、仮のウエハ接着剤 3 2 9 によって）第 2 のウエハ・キャリア 3 2 7 に（裏面を下にして）取り付けられ、デバイス 1 0 0 は、第 1 のウエハ・キャリア 3 2 6 から取り外されるか、又は他の方法で分離される。図 8 C では、それぞれの導電性前面ピラー 3 6 6 及びはんだ層 3 6 7 が、図 7 F を参照して上述したものと同様又は同一のやり方で、前面 1 0 0 f の金属コンタクト 3 6 5 上に形成される。図 8 D に示すように、導電性前面ピラー 3 6 6 の形成後、デバイス 1 0 0 は、図 7 G を参照して上述したものと同様又は同一のやり方で、第 2 のウエハ・キャリア 3 2 7 から取り外されるか、又は他の方法で分離される。トランジスタ構造 3 0 0 - 4 を含むデバイス 1 0 0 は、図 6 B を参照して上述したものと同様又は同一のやり方で、後続のプロセスにおける個片化及び（例えば、図 1 0 ~ 図 1 2 に示すようなパッケージへの）取り付けの準備が整う。

30

【 0 1 0 1 】

主に高電子移動度トランジスタ（ H E M T ）トランジスタ構造を参照して説明したが、本開示の実施例による製造プロセス及びトランジスタ構造は、そのように限定されないことが理解されるであろう。例えば、本明細書に記載されるデバイス及び製造方法は、ゲート・コンタクト 3 1 0 が酸化物又は他の絶縁層によってエピタキシャル層 3 2 4 の表面から分離された縦型又は横型 M O S F E T 構造を含むがこれらに限定されない他のトランジスタ構造に適用されてもよい。横型構造を有するデバイスでは、デバイスの端子（例えば、パワー M O S F E T デバイスのドレイン端子、ゲート端子、及びソース端子）は、半導体層構造の同じ主表面（すなわち、頂部又は底部）にある。対照的に、縦型構造を有するデバイスでは、少なくとも 1 つの端子が半導体層構造の各主表面に設けられる（例えば、縦型 M O S F E T デバイスでは、ソースは半導体層構造の頂面にあってもよく、ドレインは半導体層構造の底面にあってもよい）。M O S F E T トランジスタを含む縦型パワー半導体デバイスは、トランジスタのゲート電極が半導体層構造の上に形成される標準的なゲート電極設計を有してもよく、或いは、半導体層構造内のトレンチに埋め込まれたゲート電極を有してもよく、典型的にはゲート・トレンチ M O S F E T と呼ばれる。

40

【 0 1 0 2 】

図 1 0 は、本開示の一部の実施例による、 R F トランジスタ増幅器ダイ 1 0 0 を含むオ

50

ーバ・モールド型集積回路デバイス・パッケージの一例を示す断面図である。図 10 に示すように、パッケージ 1000 は、本明細書に記載される実施例のいずれかと同様の構成要素及び接続部を有するデバイス 100 (トランジスタ構造 300 - 4 を参照して例として示される) を含み、これらは、前面ピラー 366 及びダイ・アタッチ材料層 (例えば、はんだ層 367) によって、プリント回路板 (PCB) 又は再配線層 (RDL) 構造などの基板 1020 上のそれぞれの導電性トレース 1021 に裏返して、取り付けられる。図 10 の例では、オーバ・モールド型パッケージング材料 1013 は、デバイス 100 を実質的に取り囲み又は封入すると同時に、パッケージ 1000 の外部にある回路又はデバイスに接続するためのワイヤ・ボンド接続 1025 を介して、パッケージ・リード (例えば、ゲート・リード及びドレイン・リード) 1011i、1011o (まとめて 1011) へのアクセスを提供する。オーバ・モールド 1013 は、プラスチック又はプラスチック・ポリマー化合物で形成されてもよく、それによって外部環境からの保護を提供する。オーバ・モールド型パッケージング材料 1013 の一部の利点は、パッケージ 1000 の全体の高さ又は厚さの低減、並びにリード 1011 の配置及び / 又はそれらの間の間隔の設計上の柔軟性を含む。

【0103】

特に、図 10 の例では、入力リード 1011i は、ワイヤ・ボンド 1025、ダイ 100 の裏面 100b 上の入力インピーダンス整合ネットワークを画定する受動デバイス 375 のうちの 1 つ又は複数、及びゲート 310 への基板貫通ビア (図示する断面の外側にある) によってゲート 310 に結合され、出力リード 1011o は、ワイヤ・ボンド 1025、導電性トレース 1021、及び対応する前面ピラー 366 によってドレイン 305 に結合され、ソース 315 は、対応する前面ピラー 366 を介して接地されている。図 10 は、入力インピーダンス整合のための裏面受動デバイス 375 の使用を示しているが、裏面受動デバイス 375 のうちの 1 つ又は複数は、(出力リード 1011o を裏面 100b の 1 つ又は複数の受動デバイス 375 に接続するワイヤ・ボンド 1025 との) 出力インピーダンス整合のために、又は図 11 及び図 12 の例に示すように入力インピーダンス整合と出力インピーダンス整合の両方のために同様に使用されてもよいことが理解されよう。同様に、前面ピラー 366 を介してソース 315 への接地接続を提供するものとして示されているが、他の実施例では、ソース 315 への接地接続は、ビア 346 を用いて実装されてもよく、一部の実施例では、受動デバイス 375 のうちの 1 つ又は複数が裏面 100b 上に高調波終端回路を画定する。

【0104】

図 11 及び図 12 は、本開示の一部の実施例による、RF トランジスタ増幅器ダイ 100 を含む熱強化集積回路デバイス・パッケージの例を示す断面図である。図 11 及び図 12 に示すように、オープンキャピティ・パッケージ 1100、1200 は、(トランジスタ構造 300 - 4 を参照して例として示す) 本明細書に記載される実施例のいずれかと同様の構成要素及び接続部を有するが、導電性ベース又はフランジ 1120、1220 上に取り付けられ、熱強化パッケージの蓋部材 1113、1213 によって保護されたデバイス 100 を含む。特に、図 11 は、本開示の実施例による熱強化パッケージの第 1 の実施態様 (TEPAC パッケージ 1100 と呼ばれる) を示し、図 12 は、本開示の実施例による熱強化パッケージの第 2 の実施態様 (T3PAC パッケージ 1200 と呼ばれる) を示す。一部の実施例では、フランジ 1120、1220 は、ダイ 100 (及び / 又はパッケージの他の構成要素) のための取り付け面、並びに構成要素によって生成された熱をパッケージ 1100、1200 の外部に放散又は他の方法で伝達するための熱伝導性 (例えば、ヒートシンク) の両方を提供することができる。フランジ 1120、1220 は、パッケージ 1100、1200 の端子のうちの 1 つを提供することもできる。例えば、フランジ 1120、1220 は、電気的な接地接続を提供するように構成されてもよい。

【0105】

図 11 の TEPAC パッケージ 1100 は、蓋部材 1113 及び (断面では側壁 1110f として示される) フレーム部材によって画定される上部ハウジングを含むセラミック

ベースのパッケージであってもよい。蓋部材 1 1 1 3 及び / 又は側壁 1 1 1 0 f は、セラミック材料（例えば、アルミナ）を含むことができ、導電性ベース又はフランジ 1 1 2 0 上のダイ 1 0 0 を取り囲む開放キャビティを画定することができる。蓋部材 1 1 1 3 は、エポキシ接着剤を用いて側壁 1 1 1 0 f に接着されてもよい。側壁 1 1 1 0 f は、ろう付けを介してベース 1 1 2 0 に取り付けられてもよい。

【 0 1 0 6 】

図 1 2 の T 3 P A C パッケージ 1 2 0 0 も、ベース 1 2 2 0 と、蓋部材 1 2 1 3 及び（断面では側壁 1 2 1 0 f として示される）フレーム部材を有する上部ハウジングとを含むセラミックベースのパッケージであってもよい。蓋部材 1 2 1 3 及び側壁 1 2 1 0 f は、導電性ベース又はフランジ 1 2 2 0 上のダイ 1 0 0 を取り囲む開放キャビティを同様に画定する。パッケージ 1 2 0 0 において、蓋部材 1 2 1 3 は、セラミック材料（例えば、アルミナ）であってもよく、側壁 1 2 1 0 f は、プリント回路板（P C B）であってもよい。

10

【 0 1 0 7 】

図 1 1 及び図 1 2 において、フランジ 1 1 2 0、1 2 2 0 は、導電性材料、例えば、銅層 / 積層体、又はその合金若しくは金属マトリックス複合体であってもよい。一部の実施例では、フランジ 1 1 2 0 は、銅 - モリブデン（C u M o）層、C P C（C u / M o C u / C u）、若しくは銅 - タングステン C u W などの他の銅合金、及び / 又は他の積層 / 多層構造を含むことができる。図 1 1 の例では、フランジ 1 1 2 0 は、側壁 1 1 1 0 f 及び / 又は蓋部材 1 1 1 3 が取り付けられる C P C ベースの構造であってもよい。図 1 2 の例では、フランジ 1 2 2 0 は、側壁 1 2 1 0 f 及び / 又は蓋部材 1 2 1 3 が例えば導電性接着剤によって取り付けられる銅 - モリブデン（R C M 6 0）ベースの構造であってもよい。

20

【 0 1 0 8 】

図 1 1 及び図 1 2 において、ダイ 1 0 0 の端子のうちの 1 つ（例えば、ソース・コンタクト 3 1 5）は、フランジ 1 1 2 0、1 2 2 0 に取り付けられてもよく、したがって、フランジ 1 1 2 0、1 2 2 0 は、パッケージ 1 1 0 0、1 2 0 0 のためのソース・リードを提供することができる。導電性リード 1 1 1 1、1 2 1 1 は、パッケージ 1 1 0 0 のゲート・リード及びドレイン・リードを提供することができ、フランジ 1 1 2 0、1 2 2 0 に取り付けられ、それぞれの側壁 1 1 1 0 f、1 2 1 0 f によって支持されている。図 1 1 及び図 1 2 の例では、したがって、パッケージ 1 1 0 0、1 2 0 0 の外部にある回路又はデバイスに接続するためのパッケージ・リード 1 1 1 1、1 2 1 1 をダイ 1 0 0 に接続するために、それぞれのワイヤ・ボンド 1 1 2 5、1 2 2 5 が使用されている。

30

【 0 1 0 9 】

特に、図 1 1 及び図 1 2 の例では、入力リード 1 1 1 1 i、1 2 1 1 i は、ワイヤ・ボンド 1 1 2 5、1 2 2 5、ダイ 1 0 0 の裏面 1 0 0 b 上の入力インピーダンス整合ネットワークを画定する受動デバイス 3 7 5 のうちの 1 つ又は複数、及びゲート 3 1 0 への基板貫通ビア（図示する断面の外側にある）によってゲート 3 1 0 に結合され、出力リード 1 1 1 1 o、1 2 1 1 o は、ワイヤ・ボンド 1 1 2 5、1 2 2 5、ダイ 1 0 0 の裏面 1 0 0 b 上の出力インピーダンス整合ネットワークを画定する受動デバイス 3 7 5 のうちの 1 つ又は複数、及びドレイン 3 0 5 への基板貫通ビア（図示する断面の外側にある）によってドレイン 3 0 5 に結合され、ソース 3 1 5 は、対応する前面ピラー 3 6 6 を介して接地されている。しかしながら、裏面受動デバイス 3 7 5 は、入力インピーダンス整合のためにのみ、又は出力インピーダンス整合のためにのみ使用されてもよいことが理解されよう。同様に、一部の実施例では、裏面受動デバイス 3 7 5 は、高調波終端を実装するために使用されてもよい。また、ワイヤ・ボンド 1 1 2 5、1 2 2 5 は、他の実施例では省略されてもよく、異なる電氣的接続が使用されてもよい。より一般的には、本明細書に記載されるパッケージ 1 0 0 0、1 1 0 0、1 2 0 0 は、裏面受動デバイス 3 7 5 の使用の有無にかかわらず、端子 3 1 0、3 0 5、3 1 5 をパッケージの入力、出力、及び / 又は接地リードに電氣的に接続するために、導電性ビア、ワイヤ・ボンド、及び / 又は導電性ピラー

40

50

の任意の組合せを含むことができる。

【0110】

図では、導電性ピラー366は、他の非導電性材料によって封入されることなく、自立しているものとして示されている。このような自立したピラー366は、例えば、ピラー間、チップとチップ/基板間、及び/又はピラーとチップ/基板間のRF寄生結合の低減を含むが、これらに限定されない利点を提供することができる。しかしながら、本明細書に記載されるような導電性ピラー366を有する実施例のうちのいずれも、ピラー366のためのさらなる保護（機械的、湿気など）及び/又は支持を提供するように、絶縁層350、355、360と取り付け基板との間のピラー366上に又はこれを覆う、オーバ・モールドなどの封止材料をさらに含んでもよいことを理解されたい。一部の実施例では、ピラー366が自立しているか、又は封止材料によって支持されているかは、設計要素（例えば、電力、周波数、整合回路、パッケージングなど）に基づいて変化することがある。

10

【0111】

本開示の実施例は、基板又は積層体（例えば、再配線層（RDL）積層体）上に組み立てることができる、最新の高度化されたウエハ・レベル・パッケージング技術を使用してパッチで組み立てることができる。受動デバイス375をダイ100の裏面に直接設けることによって、ワイヤボンディング・プロセスを低減又は排除することができ、それによって、製造時間、コスト、及びパッケージ寸法を低減することができる。ダイ100は、例えば、RF電力増幅器を画定するパワー・トランジスタ・デバイスのトランジスタ・セルを含むことができる。一部の実施例では、ダイ100は、ディスクリート・マルチステージ、モノリシック・マイクロ波集積回路（MMIC）、及び/又はマルチパス（例えば、ドハティ）トランジスタ・デバイスを含むことができる。

20

【0112】

本開示の実施例は、様々なセルラ・インフラストラクチャ（CIFR：cellular infrastructure）RF電力製品（5W、10W、20W、40W、60W、80W及び異なる周波数帯を含むが、これらに限定されない）、例えば、5G及び基地局用途に使用することができる。本開示の実施例は、レーダ及びMMICタイプの用途に適用することもできる。より一般的には、本開示の実施例は、GaN高電子移動度トランジスタ（HEMT）ディスクリート及びRF IC技術、並びにパワーMOSFET、ショットキー、或いは外部接続のためにワイヤ・ボンドを使用する可能性があり、及び/又は受動デバイス要素の集積から恩恵を受ける可能性がある任意のデバイスにおいて適用されてもよい。

30

【0113】

本明細書では、例示的な実施例が示される添付の図面を参照して様々な実施例を説明してきた。しかしながら、これらの実施例は、異なる形態で具現化されてもよく、本明細書に記載される実施例に限定されるものとして解釈されるべきではない。むしろ、これらの実施例は、本開示が完璧且つ完全であり、当業者に発明概念を十分に伝えるように提供されている。本明細書に記載される例示的な実施例並びに包括的な原理及び特徴に対する様々な修正は、容易に明らかになるであろう。図面において、層並びに領域のサイズ及び相対的なサイズは、縮尺通りに示されておらず、場合によっては、明確にするために誇張されていることがある。

40

【0114】

「第1」、「第2」などの用語は、本明細書では様々な要素を説明するために使用されることがあるが、これらの要素は、これらの用語によって限定されるべきではない。これらの用語は、ある要素を別の要素と区別するためにのみ使用される。例えば、本開示の範囲から逸脱することなく、第1の要素を第2の要素と呼ぶことができ、同様に、第2の要素を第1の要素と呼ぶことができる。本明細書で使用される場合、「及び/又は」という用語は、関連付けられた列挙された項目の1つ又は複数の任意の及びすべての組合せを含む。

50

【0115】

本明細書で使用される術語は、特定の実施例のみを説明するためのものであり、本発明を限定することは意図されていない。本明細書で使用される場合、単数形「1つの(a)」、「1つの(an)」、及び「その(the)」は、文脈がそうでないと明白に示さない限り、複数形を同様に含むことが意図されている。用語「備える(comprises)」、「備えている(comprising)」、「含む(includes)」及び/又は「含んでいる(including)」は、本明細書で使用される場合、述べられた特徴、整数、ステップ、動作、要素、及び/又は構成要素の存在を指定するが、1つ又は複数の他の特徴、整数、ステップ、動作、要素、構成要素、及び/又はそれらのグループの存在若しくは追加を排除しないことがさらに理解されるであろう。

10

【0116】

その他の方法で定義されない限り、本明細書で使用されるすべての用語(技術用語及び科学用語を含む)は、本発明が属する技術分野の当業者によって一般に理解されるものと同じ意味を有する。本明細書で使用される用語は、本明細書及び関連技術の文脈におけるそれらの意味と一致する意味を有すると解釈されるべきであり、本明細書で明示的に定義されない限り、理想化された又は過度に形式的な意味で解釈されないことがさらに理解されるであろう。

【0117】

層、領域、又は基板などの要素が別の要素の「上に」ある、別の要素に「取り付けられている」、又は別の要素の「上に」延在していると言及される場合、それは他の要素の直接上にあってもよく、又は介在する要素が存在してもよいことが理解されよう。対照的に、要素が別の要素の「直接上に」ある、又は「直接取り付けられている」、又は「直接上に」延在していると言及される場合、介在要素は存在しない。ある要素が別の要素に「接続されている」又は「結合されている」と言及される場合、それは他の要素に直接接続若しくは結合されていてもよく、又は介在する要素が存在してもよいことも理解されるであろう。対照的に、要素が別の要素に「直接接続されている」又は「直接結合されている」と言及される場合、介在する要素は存在しない。

20

【0118】

「下(below)」、「上(above)」、「上部(upper)」、「下部(lower)」、「水平(horizontal)」、「横方向(lateral)」、「垂直(vertical)」などの相対語は、本明細書では、1つの要素、層又は領域と別の要素、層又は領域との関係を図に示すように記述するために使用されることがある。これらの用語は、図に示されている向きに加えて、デバイスの異なる向きを包含することが意図されていることが理解されるであろう。

30

【0119】

本発明の実施例は、本発明の理想化された実施例(及び中間構造)の概略図である断面図を参照して本明細書で説明されている。図面における層及び領域の厚さは、明確にするために誇張されていることがある。さらに、例えば、製造技術及び/又は公差の結果として、図の形状とは異なることが予想される。したがって、本発明の実施例は、本明細書に示される領域の特定の形状に限定されると解釈されるべきではなく、例えば、製造に起因する形状の逸脱を含むべきである。点線で示された要素は、図示された実施例では任意選択である場合がある。

40

【0120】

同様の番号は、全体を通して同様の要素を指す。したがって、同一又は類似の番号は、対応する図面で言及又は説明されていない場合であっても、他の図面を参照して説明することができる。また、参照番号で示されていない要素については、他の図面を参照して説明することができる。

【0121】

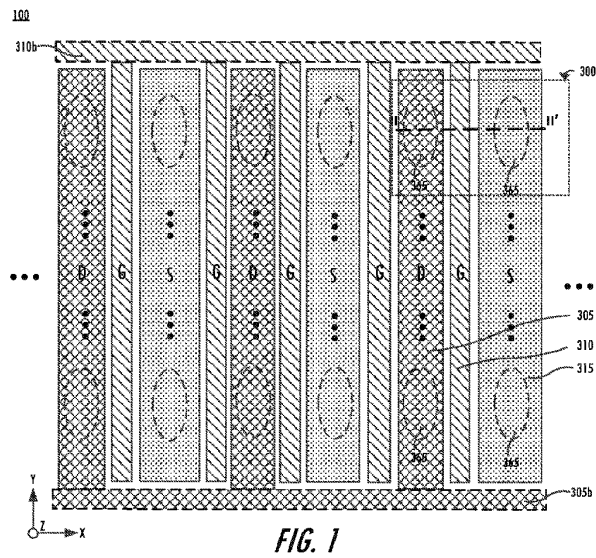
図面及び明細書では、本発明の典型的な実施例が開示されており、特定の用語が用いられているが、それらは、限定を目的としたものではなく、一般的且つ説明的な意味でのみ

50

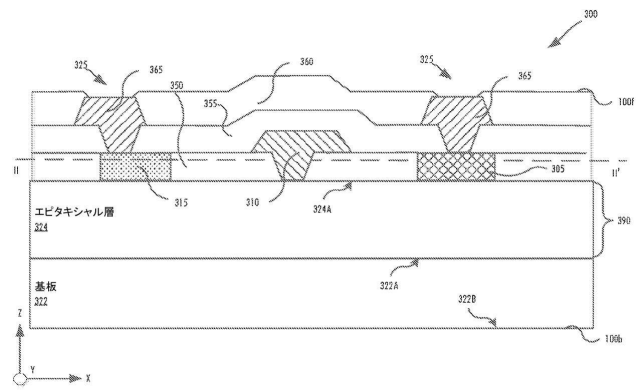
使用されており、本発明の範囲は以下の特許請求の範囲に記載されている。

【図面】

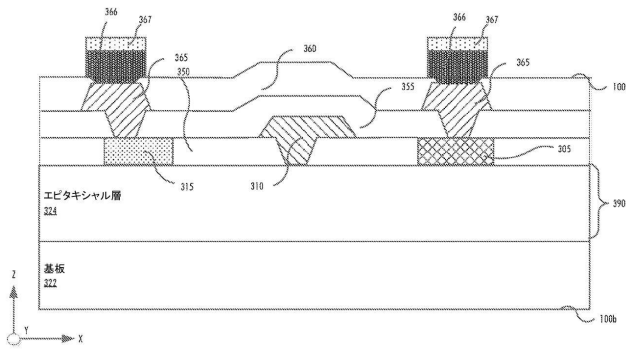
【図 1】



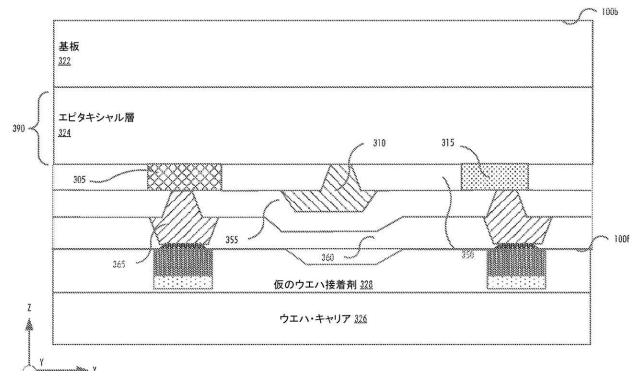
【図 2】



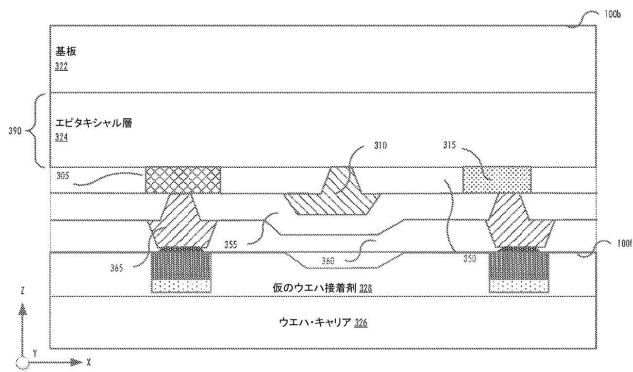
【図 3 A】



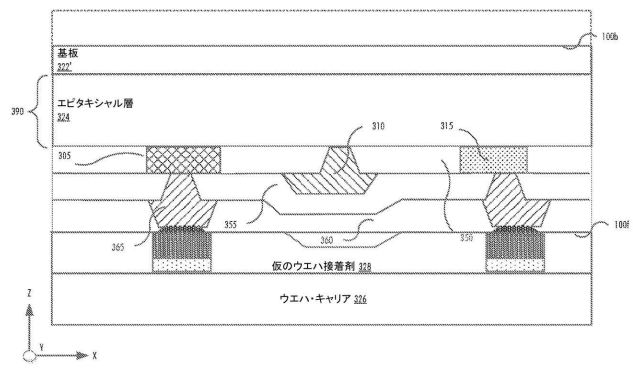
【図 3 B】



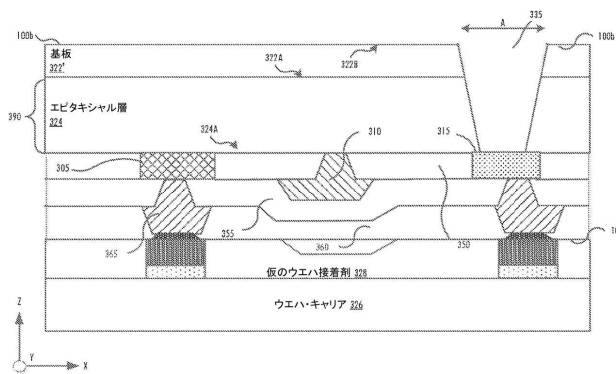
【図 5 B】



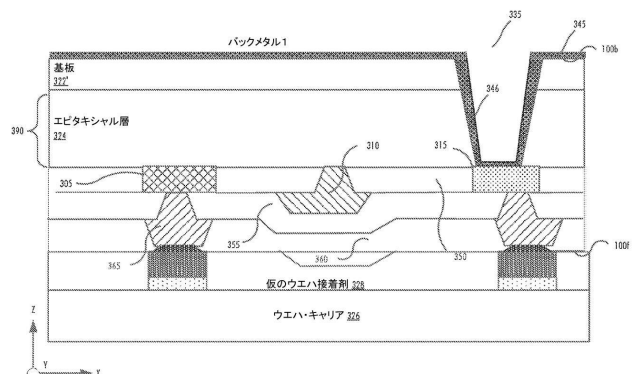
【図 5 C】



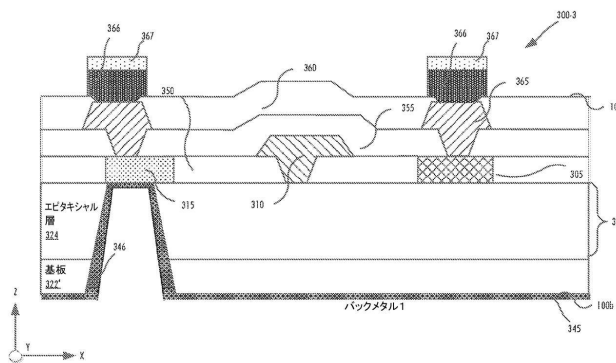
【図 5 D】



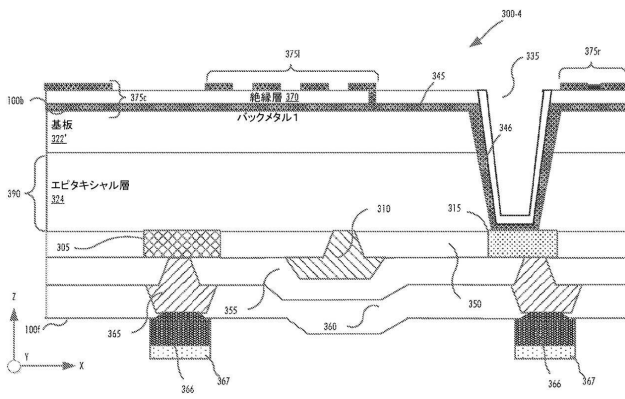
【図 5 E】



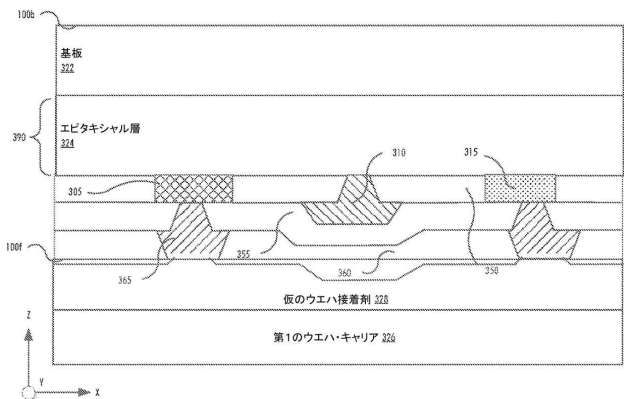
【図 5 F】



【 図 6 B 】

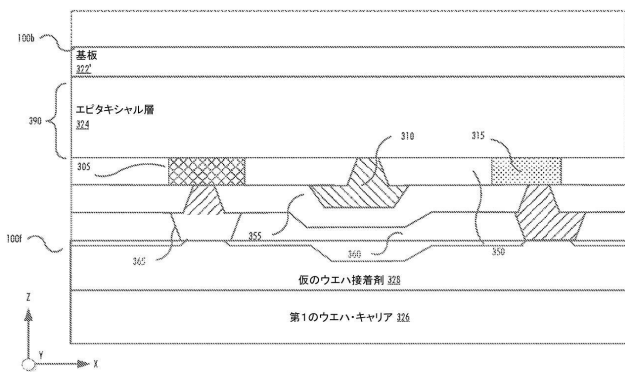


【 図 7 A 】

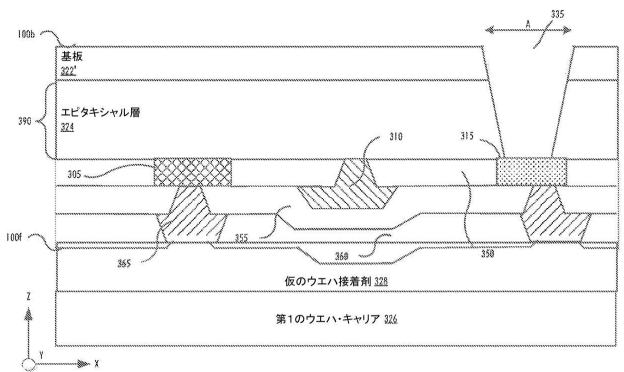


10

【 図 7 B 】

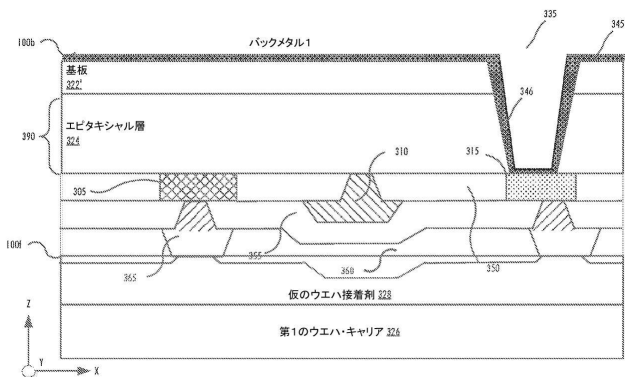


【 図 7 C 】

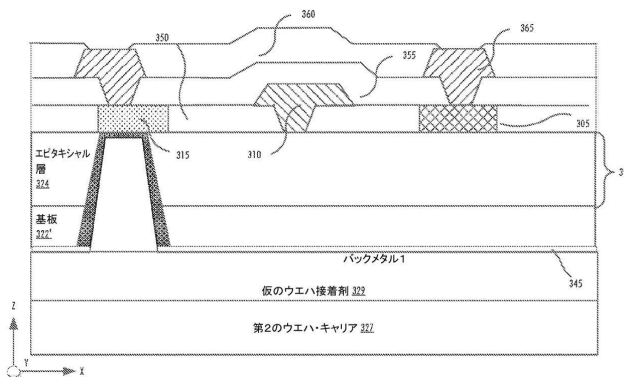


20

【 図 7 D 】



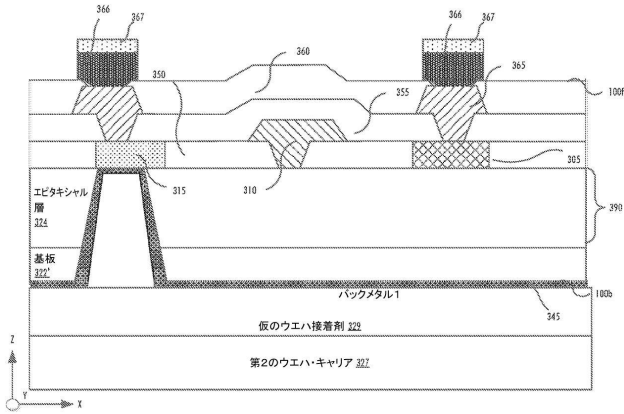
【 図 7 E 】



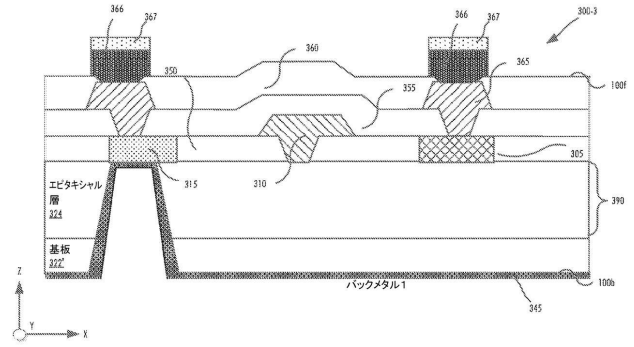
30

40

【 図 7 F 】

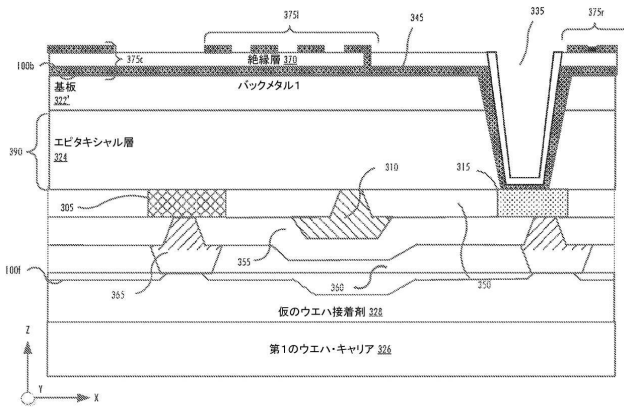


【 図 7 G 】

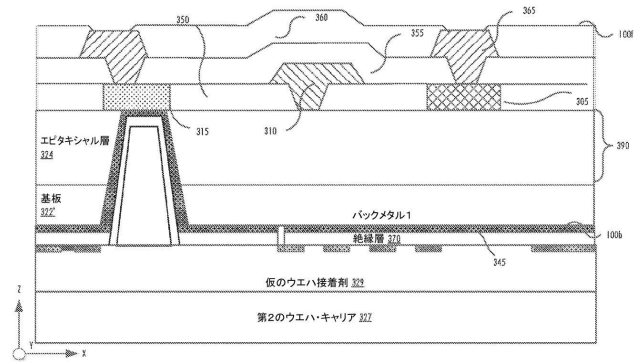


10

【 図 8 A 】

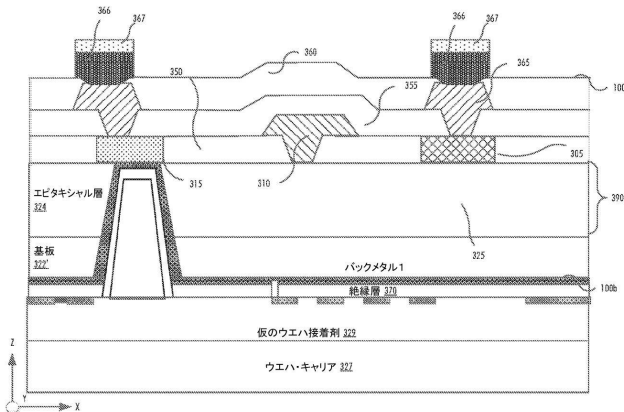


【 図 8 B 】

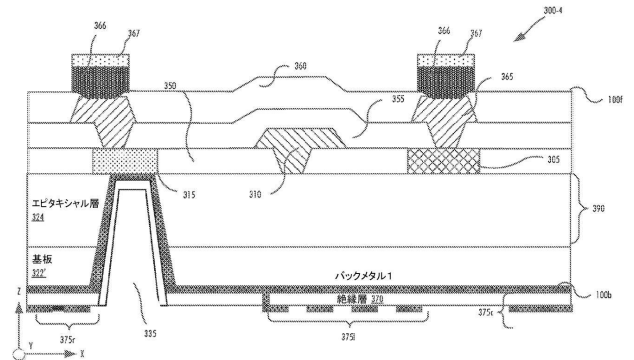


20

【 図 8 C 】



【 図 8 D 】



30

40

【手続補正書】

【提出日】令和5年1月19日(2023.1.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の表面、第2の表面、前記第1の表面と前記第2の表面との間にあり、前記第1の表面に隣接する複数のトランジスタ・セルを備える半導体層構造、及び前記トランジスタ・セルに結合された端子を備える高周波(「RF」)トランジスタ増幅器ダイと、

前記ダイの前記第2の表面上にあり、前記端子のうちの少なくとも1つに電氣的に接続された少なくとも1つの受動電子部品と、
を備える、集積回路デバイス。

【請求項2】

前記端子が、前記トランジスタ・セルによって画定されるRFトランジスタ増幅器の入力端子、出力端子、及び/又は接地端子を含む、請求項1に記載の集積回路デバイス。

【請求項3】

前記少なくとも1つの受動電子部品が、前記ダイの前記第2の表面上の、前記RFトランジスタ増幅器のための入力インピーダンス整合回路、出力インピーダンス整合回路、及び/又は高調波終端回路の少なくとも一部を画定する、請求項2に記載の集積回路デバイス。

【請求項4】

前記少なくとも1つの受動電子部品が、前記ダイの前記第2の表面上のディスクリット・コンデンサ、インダクタ、及び/又は抵抗器を含む少なくとも1つの集積受動デバイス(IPD)である、請求項1から3までのいずれか一項に記載の集積回路デバイス。

【請求項5】

前記ダイの前記第2の表面上に延在し、前記少なくとも1つの受動電子部品を前記端子のうちの前記少なくとも1つに電氣的に接続する金属層、
をさらに備える、請求項1から3までのいずれか一項に記載の集積回路デバイス。

【請求項6】

前記金属層が第1の金属層であり、

前記第2の表面の反対側の前記第1の金属層上に絶縁体層をさらに備え、

前記少なくとも1つの受動電子部品が、前記第1の金属層の反対側の前記絶縁体層上にあり、1つ又は複数のディスクリット・コンデンサ、インダクタ、及び/又は抵抗器を画定する第2の金属層のパターンを含む、
請求項5に記載の集積回路デバイス。

【請求項7】

前記ダイの前記第2の表面及び前記半導体層構造内に延在して、前記ダイの前記第2の表面上の前記金属層を前記端子のうちの前記少なくとも1つに電氣的に接続する少なくとも1つの導電性ビア、
をさらに備える、請求項5に記載の集積回路デバイス。

【請求項8】

前記半導体層構造がIII族窒化物材料を含み、前記ダイが前記III族窒化物材料と前記第2の表面との間に炭化ケイ素基板を含む、請求項1から7までのいずれか一項に記載の集積回路デバイス。

【請求項9】

前記ダイの前記第1の表面から突出し、前記端子のうちの1つ若しくは複数に電氣的接続を提供する1つ又は複数の導電性ピラー構造、

10

20

30

40

50

をさらに備える、請求項 1 から 3 までのいずれか一項に記載の集積回路デバイス。

【請求項 10】

1 つ又は複数の導電性接続部を含むパッケージ基板、
をさらに備え、

前記 1 つ又は複数の導電性ピラー構造が、前記ダイを前記ダイの前記第 1 の表面に隣接する前記パッケージ基板に取り付け、前記端子のうちの前記 1 つ若しくは複数を前記 1 つ又は複数の導電性接続部に電氣的に接続する、

請求項 9 に記載の集積回路デバイス。

【請求項 11】

第 1 の表面、第 2 の表面、前記第 1 の表面と前記第 2 の表面との間にあり、前記第 1 の表面に隣接する複数のトランジスタ・セルを備える半導体層構造、及び前記トランジスタ・セルに結合された端子を備える高周波（「RF」）トランジスタ増幅器ダイと、

前記ダイの前記第 1 の表面から突出し、前記端子のうちの 1 つ若しくは複수에電氣的に接続された 1 つ又は複数の導電性ピラー構造と、

前記ダイの前記第 2 の表面及び前記半導体層構造内に延在し、前記端子のうちの少なくとも 1 つに電氣的である、少なくとも 1 つの導電性ビアと、
を備える、集積回路デバイス。

【請求項 12】

前記端子が、前記トランジスタ・セルによって画定される RF トランジスタ増幅器の入力端子、出力端子、及び / 又は接地端子を含む、請求項 11 に記載の集積回路デバイス。

【請求項 13】

前記 1 つ又は複数の導電性ピラー構造が前記入力端子及び / 又は前記出力端子への電氣的接続を提供し、前記少なくとも 1 つの導電性ビアが前記接地端子への電氣的接続を提供する、請求項 12 に記載の集積回路デバイス。

【請求項 14】

前記ダイが前記半導体層構造と前記ダイの前記第 2 の表面との間に基板を含み、前記少なくとも 1 つの導電性ビアが前記基板を貫いて延在し、前記半導体層構造が、前記基板上に 1 つ又は複数のエピタキシャル層を含む、請求項 11 から 13 までのいずれか一項に記載の集積回路デバイス。

【請求項 15】

前記半導体層構造が III 族窒化物材料を含み、前記基板が炭化ケイ素基板を含む、請求項 14 に記載の集積回路デバイス。

【請求項 16】

1 つ又は複数の導電性接続部を含むパッケージ基板、
をさらに備え、

前記 1 つ又は複数の導電性ピラー構造が、前記ダイを前記ダイの前記第 1 の表面に隣接する前記パッケージ基板に取り付け、前記端子のうちの前記 1 つ若しくは複数を前記 1 つ又は複数の導電性接続部に電氣的に接続する、

請求項 11 から 13 までのいずれか一項に記載の集積回路デバイス。

【請求項 17】

少なくとも 1 つの導電性接続部を含むパッケージ基板をさらに備え、

前記ダイが前記ダイの前記第 2 の表面に隣接する前記パッケージ基板に取り付けられ、前記少なくとも 1 つの導電性ビアが前記端子のうちの前記少なくとも 1 つを前記少なくとも 1 つの導電性接続部に電氣的に接続する、

請求項 11 から 13 までのいずれか一項に記載の集積回路デバイス。

【請求項 18】

前記ダイの前記第 2 の表面上に少なくとも 1 つの受動電子部品をさらに備え、前記少なくとも 1 つの受動電子部品が前記少なくとも 1 つの導電性ビアによって前記端子のうちの前記少なくとも 1 つに電氣的に接続されている、

請求項 11 から 13 までのいずれか一項に記載の集積回路デバイス。

10

20

30

40

50

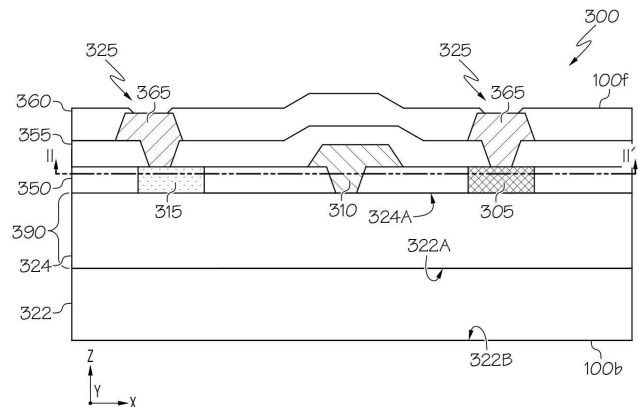
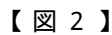
10

20

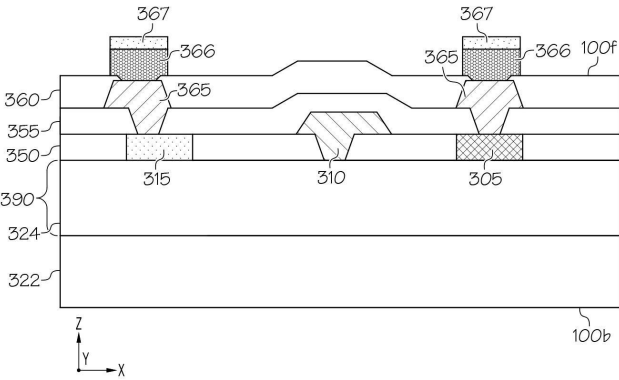
30

40

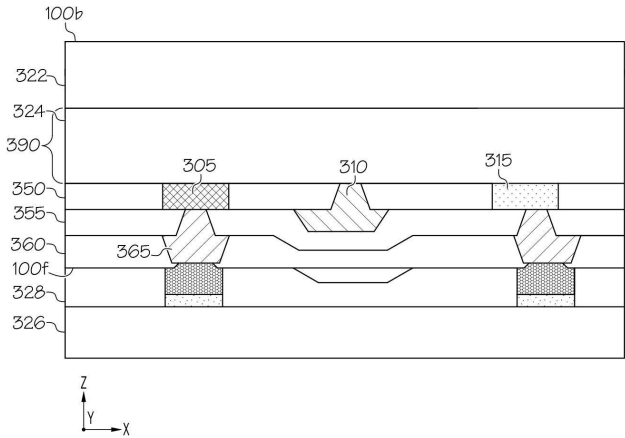
50



【図 3 A】

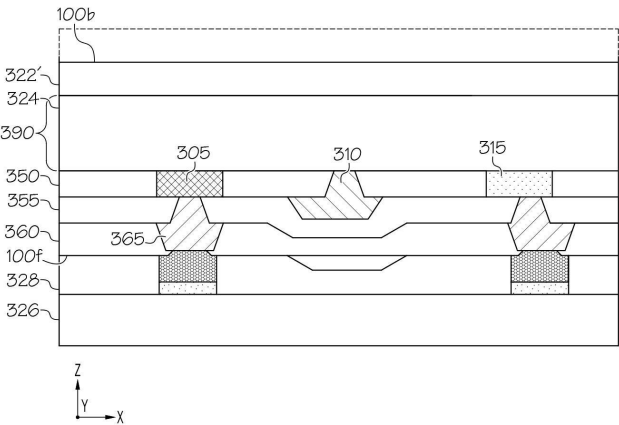


【図 3 B】

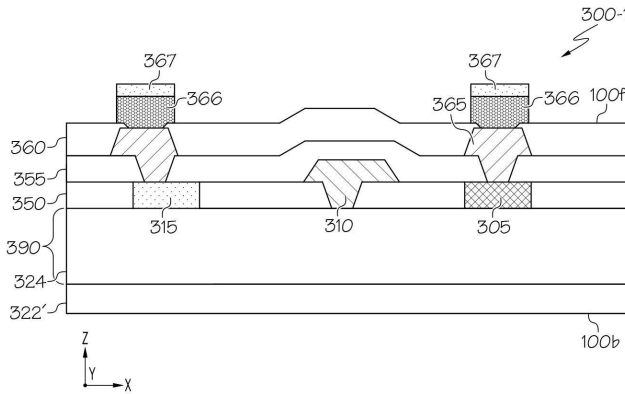


10

【図 3 C】



【図 3 D】



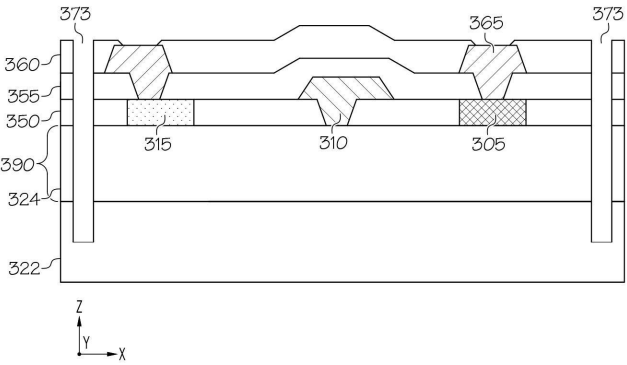
20

30

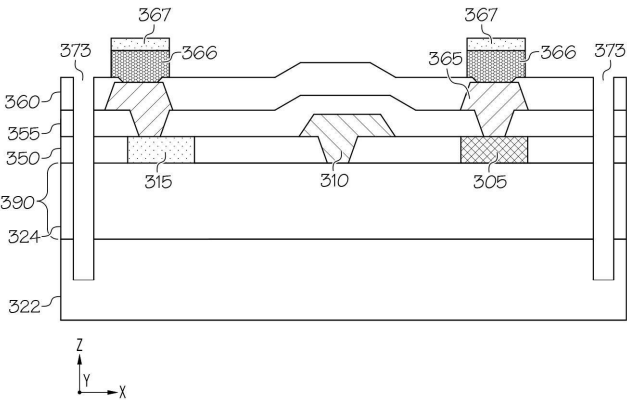
40

50

【図 4 A】

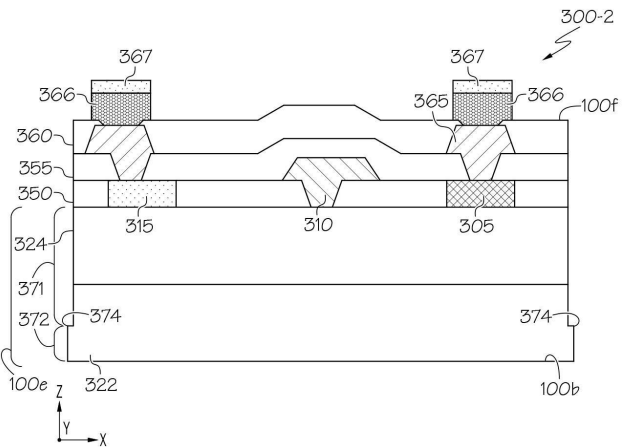


【図 4 B】

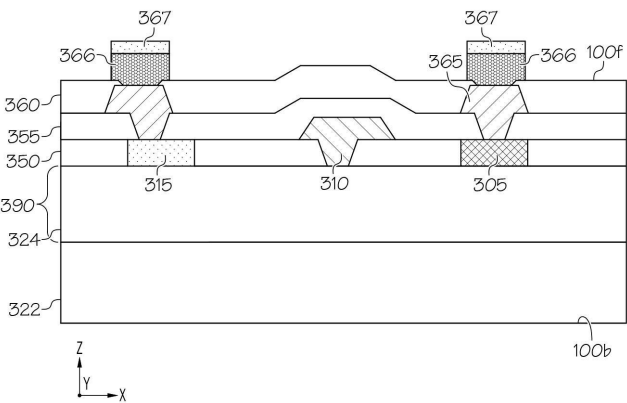


10

【図 4 C】



【図 5 A】



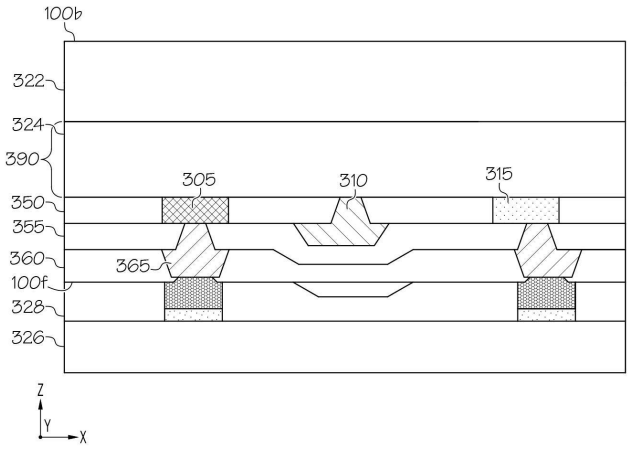
20

30

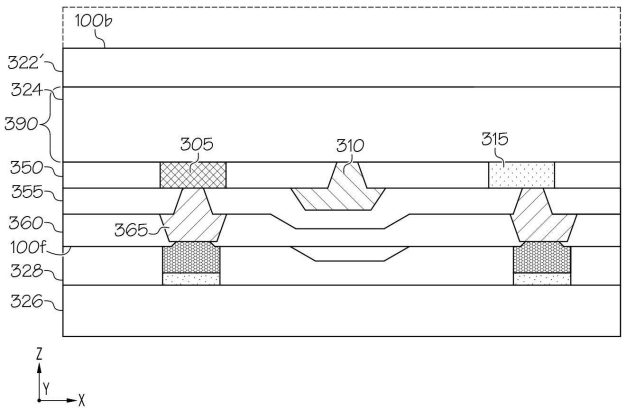
40

50

【図 5 B】

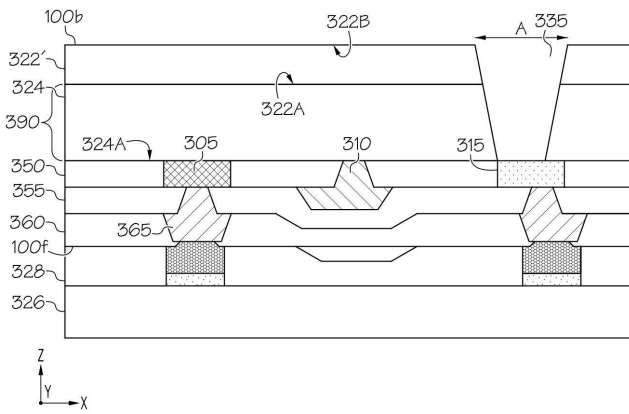


【図 5 C】

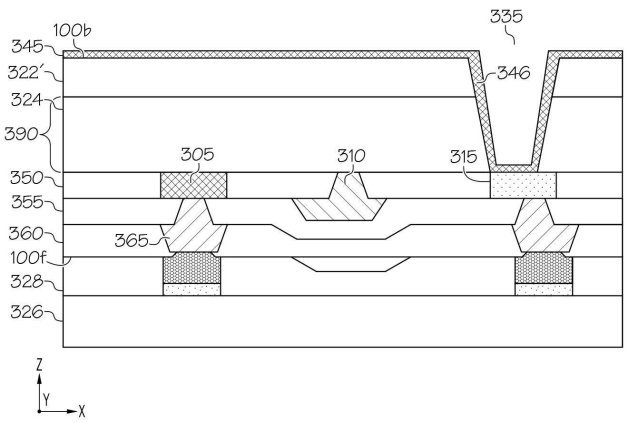


10

【図 5 D】



【図 5 E】



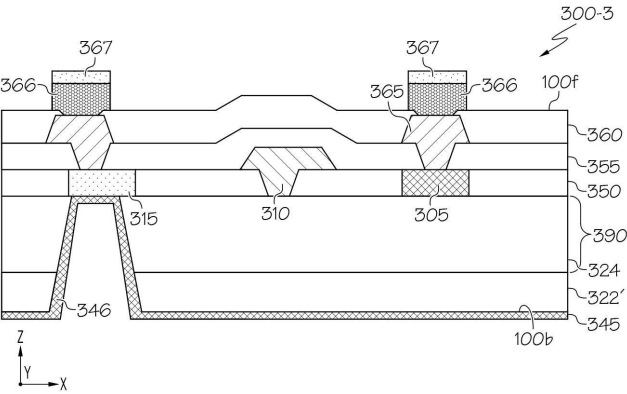
20

30

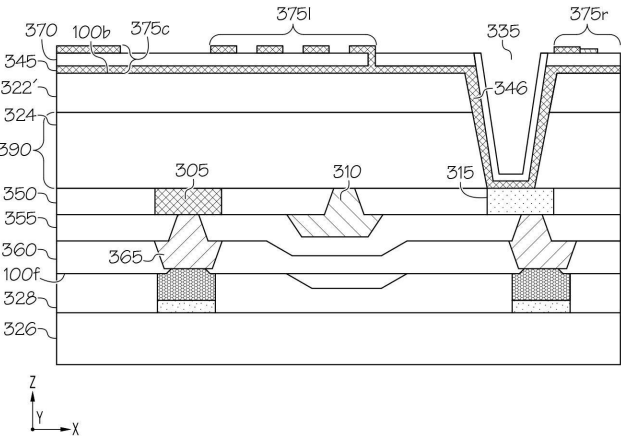
40

50

【図 5 F】

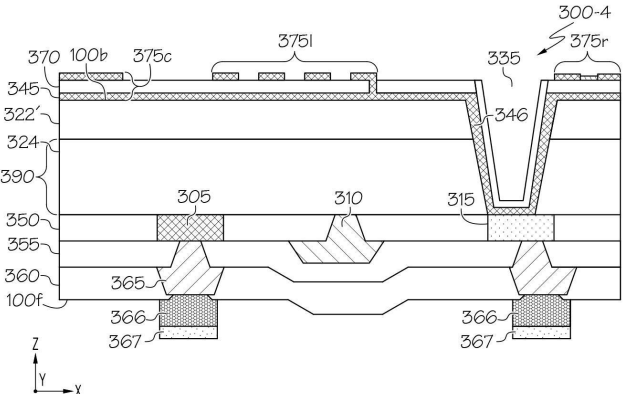


【図 6 A】

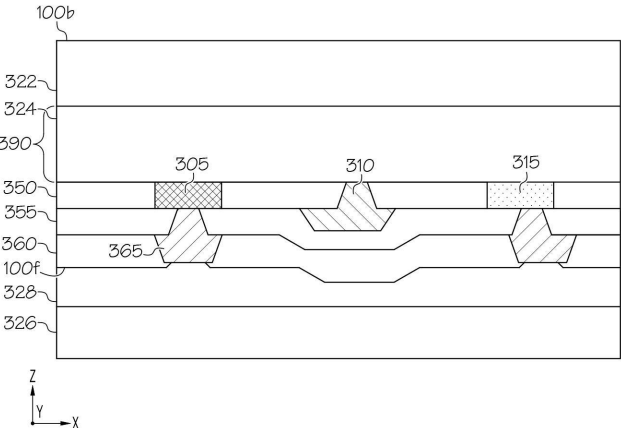


10

【図 6 B】



【図 7 A】



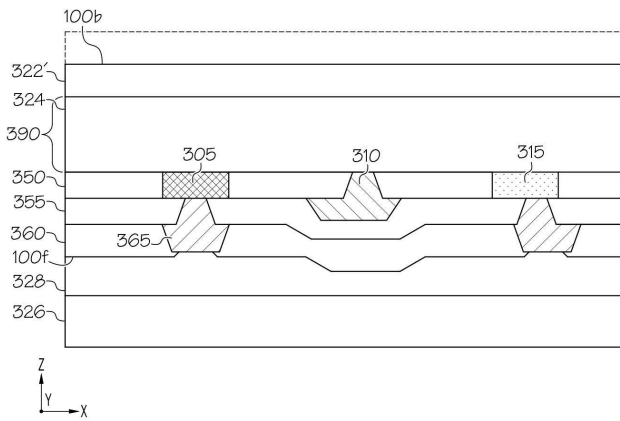
20

30

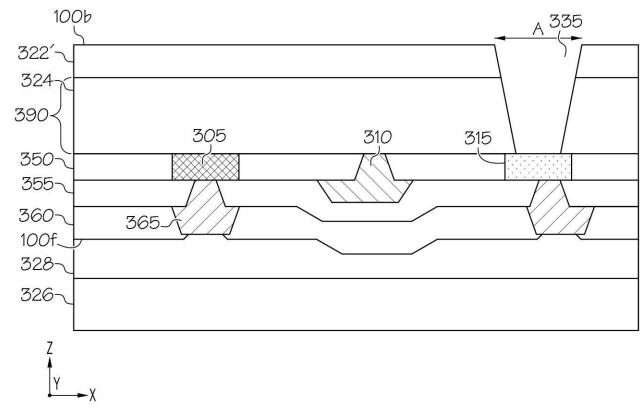
40

50

【 図 7 B 】

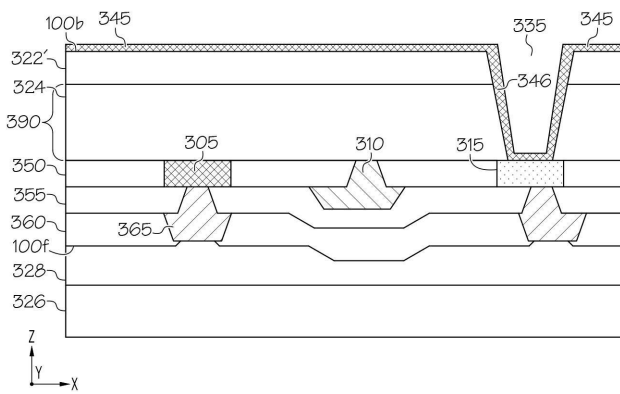


【 図 7 C 】

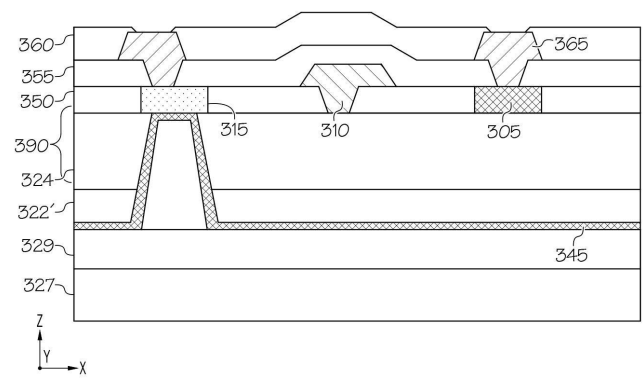


10

【 図 7 D 】

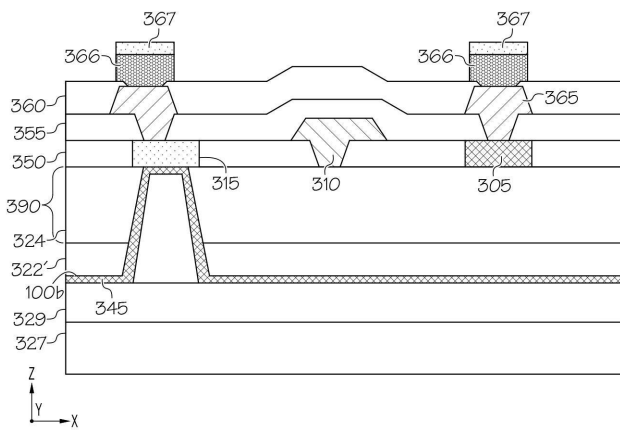


【 図 7 E 】

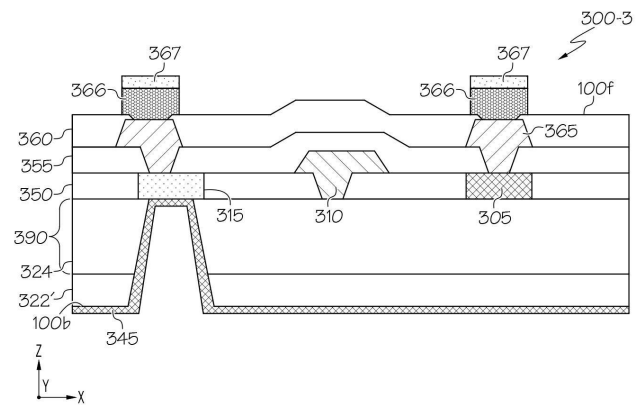


20

【 図 7 F 】

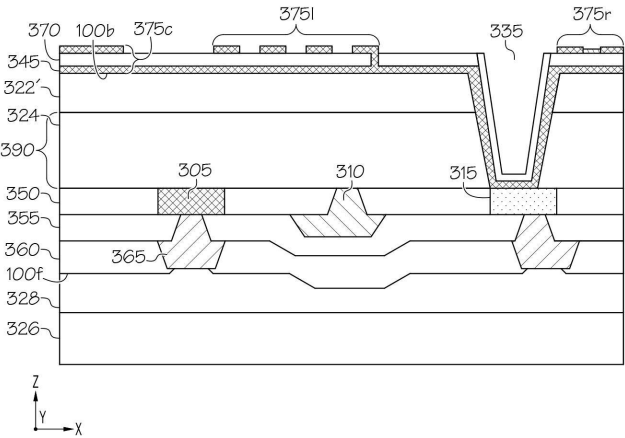


【 図 7 G 】

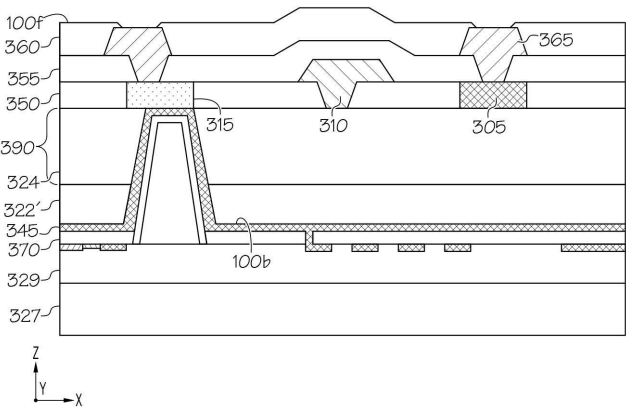


30

【図 8 A】

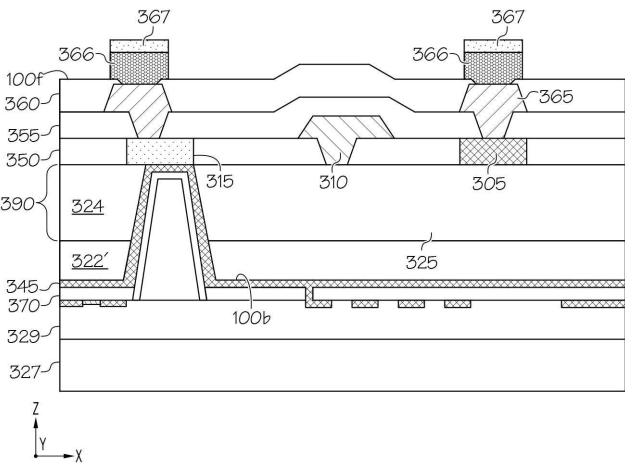


【図 8 B】

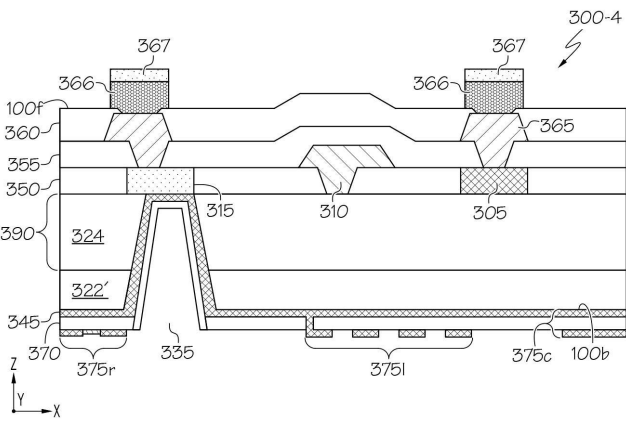


10

【図 8 C】



【図 8 D】



20

30

40

50

10

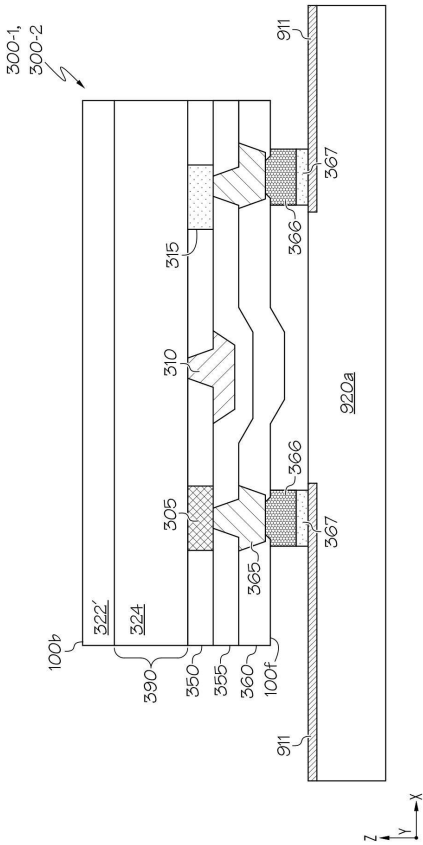
20

30

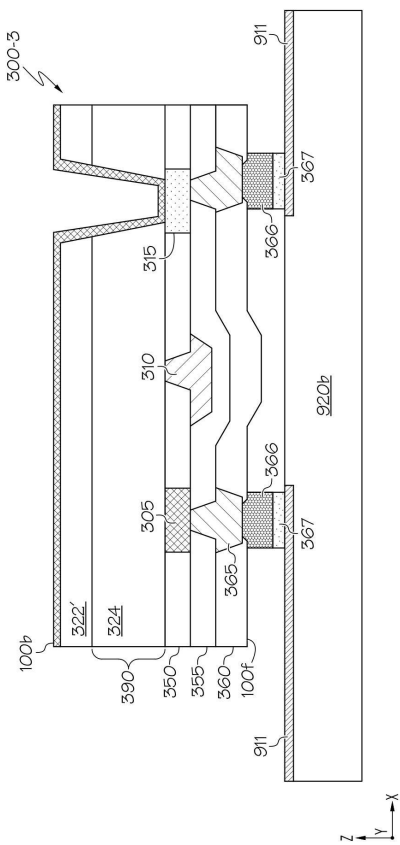
40

50

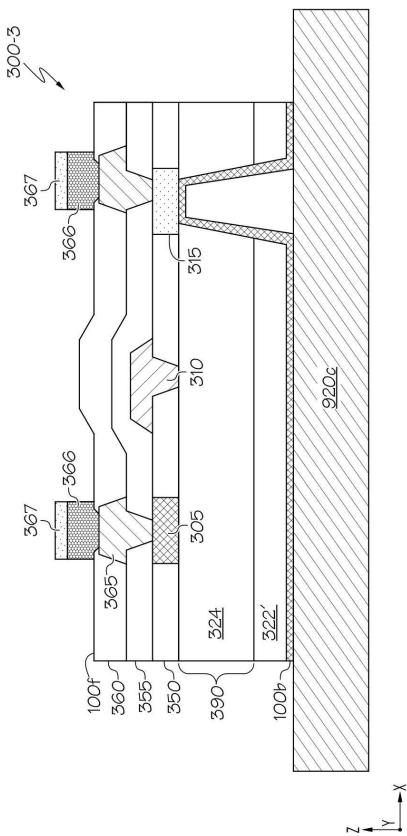
【図 9 A】



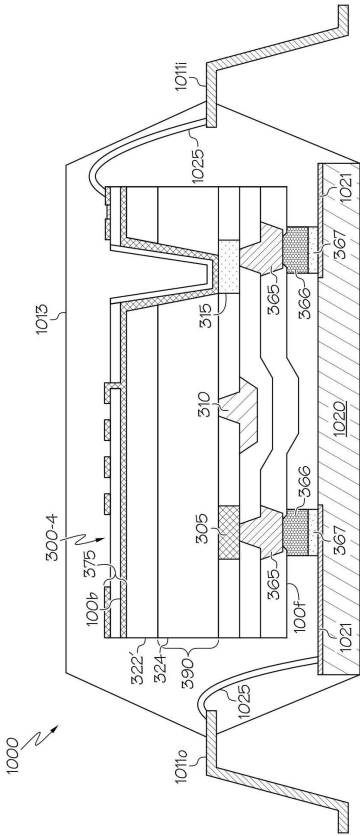
【図 9 B】



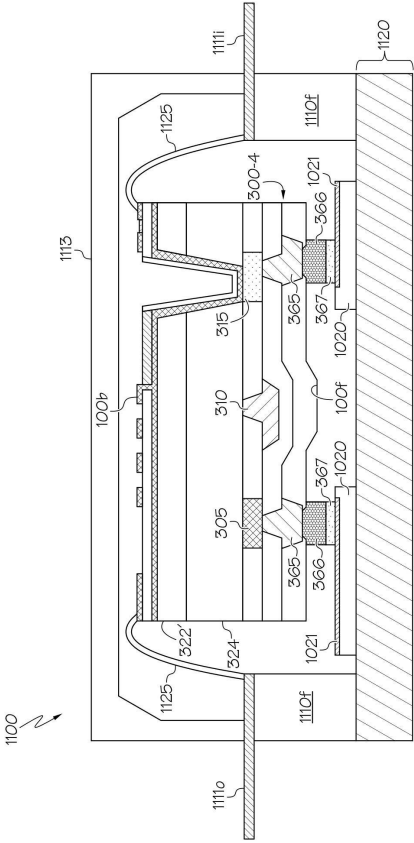
【図 9 C】



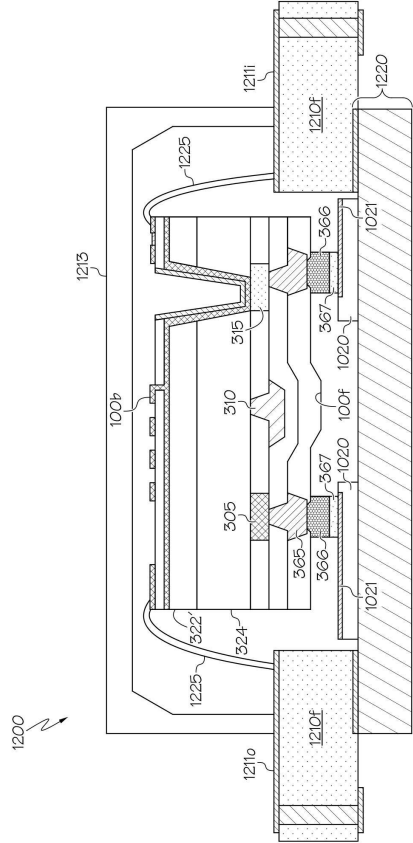
【図 10】



【図 1 1】



【図 1 2】



10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2021/033981

A. CLASSIFICATION OF SUBJECT MATTER		
INV.	H03F3/195	H01L23/66 H01L25/16 H01L29/66 H01L21/70
	H01L23/495	
ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03F H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012/140432 A1 (ANDREI CRISTIAN [FR]) 7 June 2012 (2012-06-07)	1-4
Y	paragraphs [0031] - [0033], [0041] - [0045]; figures 2,3	8
Y	----- WO 2019/066878 A1 (INTEL CORP [US]; THEN HAN WUI [US] ET AL.) 4 April 2019 (2019-04-04) page 1, lines 9-21 page 6, lines 28-31	8, 15, 24, 29
X	----- WO 2019/170045 A1 (WAYTHON INTELLIGENT TECH SUZHOU CO LTD [CN]) 12 September 2019 (2019-09-12)	9, 10
Y	pages 3-5; figures 2,3	11-30
	----- -/-	
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 7 December 2021		Date of mailing of the international search report 21/12/2021
Name and mailing address of the ISA/ European Patent Office, P.B. 6818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Cortes Rosa, João

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2021/033981

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

10

20

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.
3. ☒ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
1-4, 8-30
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims;; it is covered by claims Nos.:

30

40

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

International Application No. PCT/US2021/033981

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-4, 8

IC device comprising RF transistor amplifier die with transistor cells and terminals coupled thereto.
General passive component on a surface of the die.

1.1. claim: 4

IC device comprising RF transistor amplifier die with transistor cells and terminals coupled thereto.
Passive component on a surface of the die is integrated passive device comprising discrete capacitor, inductor and/or resistor.

1.2. claim: 8

IC device comprising RF transistor amplifier die with transistor cells and terminals coupled thereto.
Semiconductor layer structures comprise group-III nitrides; substrate comprises silicon carbide.

2. claims: 5-7

IC device comprising RF transistor amplifier die with transistor cells and terminals coupled thereto.
Metal layer connects general passive component on a surface of the die to the terminals.

3. claims: 9-30

IC device and manufacturing method for IC device comprising RF transistor amplifier die with transistor cells and terminals coupled thereto (and a general passive component on a surface of the die in claims 9, 10, 18, 29 and 30).
Conductive pillars connected to terminals protrude from a surface of the die.

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2021/033981

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 8 138 087 B2 (MOREL STEPHANE [FR]; DEN DEKKER ARNOLDUS [NL] ET AL.) 20 March 2012 (2012-03-20) column 2, line 50 - column 3, line 23; figure 1 column 6, line 54 - column 7, line 49 -----	11-30
Y	EP 1 670 055 A1 (IMEC INTER UNI MICRO ELECTR [BE]) 14 June 2006 (2006-06-14) paragraph [0010] -----	21-23
Y	US 8 252 682 B2 (YANG KU-FENG [TW]; WU WENG-JIN [TW] ET AL.) 28 August 2012 (2012-08-28) column 1, line 39 - column 2, line 8 -----	26-30

10

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2021/033981

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2012140432 A1	07-06-2012	EP 2461479 A1	06-06-2012
		US 2012140432 A1	07-06-2012
WO 2019066878 A1	04-04-2019	US 2020227545 A1	16-07-2020
		WO 2019066878 A1	04-04-2019
WO 2019170045 A1	12-09-2019	CN 108598158 A	28-09-2018
		US 2020219994 A1	09-07-2020
		WO 2019170045 A1	12-09-2019
US 8138087 B2	20-03-2012	CN 101517719 A	26-08-2009
		EP 2067165 A2	10-06-2009
		JP 2010503986 A	04-02-2010
		US 2009267232 A1	29-10-2009
		WO 2008035270 A2	27-03-2008
EP 1670055 A1	14-06-2006	AT 520150 T	15-08-2011
		EP 1670055 A1	14-06-2006
US 8252682 B2	28-08-2012	CN 102157365 A	17-08-2011
		US 2011198721 A1	18-08-2011

10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I	テーマコード (参考)
<i>H 0 1 L 21/338(2006.01)</i>	H 0 1 L 27/06 F	
	H 0 1 L 29/80 H	
	H 0 1 L 29/80 U	
	H 0 1 L 29/80 E	

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JO,JP,K
E,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,N
G,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,
TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

(72)発明者 ラデュレスク、ファビアン
アメリカ合衆国、ノースカロライナ、チャペル ヒル、ハイビュー ドライブ 4 1 4

F ターム (参考) 5F033 GG01 GG02 GG03 HH11 HH13 HH15 HH17 HH18 JJ01 JJ11
JJ13 JJ15 JJ17 JJ18 KK03 KK04 KK07 KK08 KK11 KK13 KK15
KK17 KK18 KK19 KK20 KK21 KK23 KK25 KK27 KK28 KK32 KK33
MM30 NN32 PP27 PP28 QQ07 QQ10 QQ47 RR03 RR04 RR05 RR06
RR08 VV07 VV08 VV09 VV10
5F038 AC00 AR00 AZ01 AZ04 CA10 CA12 CA16 DF02 EZ02 EZ07
EZ14 EZ19
5F048 AB10 AC10 BA02 BA14 BA15 BA16 BC03 BC06 BC12 BF02
BF03 BF06 BF07 BF11 BF15 BF16
5F102 FA07 GA15 GA16 GA17 GB01 GB02 GC01 GD01 GJ02 GJ03
GJ04 GJ05 GJ06 GJ10 GQ01 GS04 GS09 GT01 GT03 GT06 GV05
GV06 GV07 GV08 HC01