

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94/05194

※ 申請日期：94.2.22

※IPC 分類：H03L 7/00 (2006.01)

## 一、發明名稱：(中文/英文)

高效能訊號產生方法與裝置

HIGH PERFORMANCE SIGNAL GENERATION

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

泰瑞達公司

TERADYNE, INC

指定

為應受送達人

代表人：(中文/英文) 愛琳 卡賽爾/EILEEN,CASAL

住居所或營業所地址：(中文/英文)

美國麻薩諸塞州 02118 波士頓哈里森大道 321 號

321 HARRISON AVENUE BOSTON MA 02118 USA

國籍：(中文/英文) 美國/USA

## 三、發明人：(共 1 人)

姓名：(中文/英文) ID :

1. 徐方/XU, FANG

國籍：(中文/英文) 法國/FR

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實產生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2004/4/2 ；US 10/817,780

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種信號產生裝置，特別是有關於一種具有高密度訊號的週期性信號的合成裝置及方法。

### 【先前技術】

自動測試設備（以下簡稱 ATE）和其他高效能的電子系統都依賴於生成精確的週期信號的能力。ATE 需要使用這些信號來測試當前技術水準的電子裝置，如電腦晶片、電信晶片和電子組件。隨著這些裝置和元件不斷地發展，ATE 也必須同步發展，以保持較高的測試標準。

圖 1 繪示習知許多 ATE 系統用來合成精確週期信號的結構 100。此結構 100 包括一頻率產生器 110，如 DDS（直接數位合成器）。頻率產生器 110 接收程式設計值  $F_{REF}$  並生成一類比信號，其具有與  $F_{REF}$  成比例的頻率  $F_{IN}$ 。然後具有頻率  $F_{IN}$  的信號饋送至一個或多個鎖相回路 112—118。每個鎖相回路 112—118 產生相關的輸出信號。每一輸出信號具有與  $F_{IN}$  成比例的頻率  $F_{OUT}$ 。此結構 100 由此提供生成若干個不同頻率的信號的方法，但這些信號都是由一共同頻率  $F_{IN}$  中衍生的。

圖 2 繪示習知一種鎖相回路 200，例如可用於圖 1 所示的結構 100 中。鎖相回路 200 接收具有頻率  $F_{IN}$  的一輸入信號並生成具有頻率  $F_{OUT}$  的一輸出信號。鎖相回路 200 是具有一正向通道（forward path）和一回饋通道（feedback path）的回饋電路。正向通道包括一檢相器 210、一高增益

回路濾波器 212 和一電壓可控振盪器 (VCO) 214。回饋通道一般包括第一分頻器 218，而位於回饋通道中的分頻器具有將輸出頻率倍增的效果。第二分頻器 216 可選擇性地在回饋回路之外提供，以對輸出頻率作分頻。

檢相器 210 接收兩種輸入信號：頻率為  $F_{IN}$  的輸入信號和頻率為  $F_{OUT}/M$  的回饋信號。已經知道檢相器 210 包括用於比較其輸入信號相位的電路，以便產生的輸出信號與該輸出信號和輸入信號的相位差成比例。如果經過適當的穩定，回饋回路的作用就會驅動該相位差到零。回路濾波器 212 使檢相器 210 的輸出平滑並通常使回路的增益下降以便建立穩定性。VCO 214 將回路濾波器的輸出轉化成正弦曲線以便產生  $F_{OUT}$ 。第一分頻器 218 (通常是計數器) 將  $F_{OUT}$  除  $M$  以便產生回饋信號。如果有第二分頻器 216，將  $F_{OUT}$  除  $N$ 。因此鎖相回路 200 的總閉環 (closed loop) 頻率增益為  $M/N$ 。

我們已經認識到習知生成週期信號的結構 100 存在某些缺陷。例如，鎖相回路 200 引入雜訊，造成合成輸出信號上的計時抖動出現。該雜訊有幾個來源。例如，高增益回路濾波器 212 引入雜訊。此濾波器還將內部生成和其他來源的雜訊放大。鎖相回路 200 的檢相器 210、VCO 214、第一分頻器 218 和第二分頻器 216 也使雜訊大量增加。

現有結構 100 的另一問題是鎖相回路 200 的分頻器 218 直接減少鎖相回路的開環 (open loop) 增益。為了提供對輸出頻率的精細控制，通常需要很大的分頻比  $M$

(divider ratio)。但是分頻比  $M$  的值越大，開環增益降低的越多。由於開環增益下降，鎖相回路 200 的精度和速度也相應降低。

因此，有必要克服上述缺陷。

### 【發明內容】

根據本發明，檢相器對應數位合成參考信號和採樣週期信號的相位差生成一數位相位誤差。

根據本發明的一個實施例，檢相器被當作頻率合成器的組成部件(building blocks)使用，並且數位合成參考信號被製成為可變的，以便提供較寬範圍的輸出頻率。

採用了檢相器的頻率感測器可被用於電子系統，例如自動測試設備 (ATE)，用於生成週期波形。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

### 【實施方式】

圖 3 繪示根據本發明的頻率合成器 300 的圖示實施例。合成器 300 具有接收指示頻率和相位( $F_{REF}$ ,  $\phi_{REF}$ )的輸入資料的一輸入。合成器 300 具有一生成輸出信號  $F_{OUT}$  的一輸出。 $F_{OUT}$  的頻率和相位由輸入資料確定。

在圖 3 所示的圖示實施例中，合成器 300 是回饋電路，具有一正向通道和一回饋通道。正向通道包括數位檢相器 312、數位回路濾波器 314、西格馬-德爾塔調變器 316、DAC(數位-類比轉換器)318、類比濾波器 320 和 VCO(電

壓可控振盪器) 322。回饋通道包括 ADC (類比-數位轉換器) 310。

數位檢相器 312 具有接收輸入資料( $F_{REF}$ ,  $\phi_{REF}$ )的第一輸入和接收數位回饋信號的第二輸入。數位檢相器 312 最好生成具有頻率  $F_{REF}$  和相位  $\phi_{REF}$  的參考頻率。數位檢相器將參考信號與回饋信號進行比較，生成數位輸出信號，該數位輸出信號指示出參考信號與回饋信號之間累積相位差。這與現有的檢相器產生與輸入信號之間相差成比例的相位誤差的方式沒有什麼兩樣。

數位回路濾波器 314 最好將來自數位檢相器的數位輸出信號放大。數位回路濾波器 314 最好能提供濾波，以便限制回饋頻寬 (bandwidth) 並降低雜訊。

西格馬-德爾塔調變器 316 是現有的類型。其生成輸出信號，與其輸入信號相比具有較少的位元數，但是為了有效重新獲得失去的精度，系統採用高採樣速率 (elevated sampling rate) 以增加其輸出信號的內容。

DAC 318 在西格馬-德耳塔調變器 316 的輸出將信號轉換為離散的類比信號，並且濾波器 320 使 DAC 318 的輸出平滑。這包括將西格馬-德耳塔調變器 316 增加和高頻內容平均化。濾波器 320 是低通濾波器較好。最好是，該濾波器具有的頻寬遠大於回饋回路的頻寬，使其不影響回饋回路的穩定性。濾波器 320 的輸出被饋送到 VCO 322 的輸入，該 VCO 322 生成  $F_{OUT}$ 。

為了閉合回饋回路，ADC 310 將  $F_{OUT}$  數位化並將該數

位化的信號（即回饋信號）傳回到數位檢相器 312 的第二輸入。

頻率合成器 300 具有若干優點。因為合成器 300 不需要分頻器（如分頻器 218）、類比高增益回路濾波器（如 212）或是類比檢相儀（如 210），因此可以避免源自這些部件的雜訊。此外，合成器 300 對其信號直到 DAC 318 都是以數位形態處理的。

DAC 318 和 ADC 310 對合成器 300 增加了雜訊。但是可以藉由使用精確轉換器和對回饋回路的濾波操作，使這些元件帶來的雜訊保持在較低水準。

數位回路濾波器 314 最好是可編程的，以便有選擇地減弱雜訊元件。例如，如果得知 ADC 在 500KHz 產生雜訊刺，那麼就在合成器的輸出防止 500KHz 雜訊刺（noise spur）的出現。假定數位濾波器，特別是 FIR(Finite Impulse Response) 有限脈衝回應濾波器的設計可具有靈活性，可以按需要對來自任何噪音源的任意數量的雜訊頻率將頻率“零”加入數位回路濾波器 314 的轉移函數。最好是，數位回路濾波器 314 的傳遞函數是現場可編程的，以便適應任何目標應用設備的特定雜訊特性。

合成器 300 最好是在包括有數位和類比元件的線路板元件上實現。在一較佳實施例中，數位檢相儀 312、數位回路濾波器 314 和西格馬-德耳塔調變器 316 是整合在單一數位元件中，如 FPGA（現場可編程閘陣列）或 ASIC（專用積體電路）。但是，這些是沒有被要求的。除此之外，可

以單獨提供或以離散邏輯的形態提供。有些元件可在單獨的 FPGAs、ASIC 或離散邏輯中提供，而另一些是可以一起提供的。數位檢相器、數位回路濾波器 314 和西格馬-德耳塔調變器 316 還可在應用於電腦處理器的軟體中實現。

ADC 310 最好具有至少 14 位元精度和 100 MSa/s 的採樣速率。但是，這些是沒有被要求的。轉換器的類型（例如：西格馬-德耳塔、逐次逼近，等等）對於本發明不是關鍵所在。對於要求僅在狹窄頻率範圍內工作的合成器來說，可以將 ADC 310 以帶通（bandpass）西格馬-德耳塔轉換器實現。DAC 318 最好是具有高精度（例如：16-24 位元）。再次說明，轉換器的類型不是本發明的關鍵。

圖 4 繪示根據本發明一實施例適合於合成器 300 的數位檢相器。如圖 4 所示，數位檢相器的第一輸入被耦合到數位振盪器 414，而數位檢相器的第二輸入被耦合到下變換器 410。數位振盪器 414 基於輸入資料( $F_{REF}, \phi_{REF}$ )合成具有頻率  $F_{OSC}$  和相位  $\phi_{OSC}$  的參考信號。 $F_{OSC}$  最好是等於  $F_{REF}$ ，而  $\phi_{OSC}$  最好是等於  $\phi_{REF}$ 。

數位參考信號最好是一個正交參考信號，其具有兩個部分，分別代表相位差為 90 度的兩條正弦曲線。習知的正交參考信號的第一部分被指定為餘弦、第二部分被指定為正弦。因此，正交參考信號的第一部分具有  $\text{Cos}(2\pi F_{OSC}t + \phi_{OSC})$  的形態，而第二部分具有  $\text{Sin}(2\pi F_{OSC}t + \phi_{OSC})$  的形態。

正交參考信號被提供至下變換器 510，並在此與回饋

信號混合。將數位檢相器脫離於合成器 300，一般來說，可以將回饋信號當作是具有形態  $\text{Cos}(2\pi F_{IN}t + \phi_{IN})$  的採樣週期信號。

下變換器 410 對應採樣週期信號和正交參考信號，以產生一差分信號。差分信號最好是一個正交信號，其具有兩個部分：一部分實際上具有  $\text{Cos}[2\pi(F_{IN} - F_{OSC})t + \phi_{IN} - \phi_{OSC}]$  的形態，另一部分實際上具有  $\text{Sin}[2\pi(F_{IN} - F_{OSC})t + \phi_{IN} - \phi_{OSC}]$  的形態。因此，正交差分信號的頻率等於輸入和振盪頻率之差，即  $F_{IN} - F_{OSC}$ ，並且正交差分信號的相位等於輸入和振盪相位之差，即  $\phi_{IN} - \phi_{OSC}$ 。

請參閱圖 6 和圖 7，繪示下變換器 410 的兩個實施例，希爾伯特濾波器(Hilbert filter) 612 生成採樣週期信號的 90 度移相版本。延遲單元 610 造成 Hilber 濾波器 612 中的任何固定傳播延遲。延遲單元 610 的輸出和 Hilbert 濾波器 612 的輸出共同形成了採樣週期信號的正交版本。解調器 614 利用正交參考信號對採樣週期信號的正交版本進行解調，以產生正交差分信號。

圖 7 繪示一種簡便得多的方案。採樣週期信號分別地提供給第一和第二乘法器 710 和 712。第一乘法器 710 將採樣週期信號乘以正交參考信號的第一部分，第二乘法器 712 將採樣週期信號乘以正交參考信號的第二部分。每個相乘都生成和與差分量(sum and difference component)。第一和第二數位低通濾波器 714 和 716 分別對第一和第二乘法器 710 和 712 的輸出進行濾波，從而除去和分量(sum

component)，並使差分量(difference component)通過。這些差分量形成了正交差分信號。

回到圖 4，正交差分信號提供給一取相器 416。取相器 416 生成由正交差分信號代表的累積相位差。在較佳實施例中，取相器 416 執行 ATAN2 函數。如為人所熟知的，ATAN2 生成兩個輸入的商的 4-象限反切 (inverse tangent)。ATAN2 的兩個輸入是同一角度  $\theta$  的正弦和餘弦，ATAN2  $[\sin(\theta), \cos(\theta)]$  就是角  $\theta$ 。因此，正交差分信號的兩個部分的 ATAN2 的值為  $[2\pi(F_{IN} - F_{OSC})t + \phi_{IN} - \phi_{OSC}]$ 。該值對應數位振盪器 514 的輸出與採樣週期信號的累積相位差。如果  $F_{IN}$ 、 $F_{OSC}$ 、 $\phi_{IN}$  和  $\phi_{OSC}$  為常數，累積相位差所描述的值的形態為沿時間的一條直線。

在合成器 300 的情況下，取相器 416 產生的累積相位差提供一個數位相位誤差，該數位相位誤差與現有技術的類比檢相器 210 生成的類比相位誤差沒有什麼不同。除此之外，相位  $\phi_{ADJ}$  可以通過加法器 420 被加到累積相位差或被累積相位差減去，從而調節傳遞到合成器 300 的其他元件的相位誤差。通過加法器 420 相加或減去相位具有移動合成器的輸出信號  $F_{OUT}$  的相位的效果。

為了使圖 4 所示的數位檢相器正常操作，數位振盪器 414 應該能夠生成具有一定精度的正交差分信號。例如， $F_{OSC}$  應該實際上等於  $F_{REF}$  所定義的頻率 ( $F_{OSC}$  與  $F_{REF}$  名義上相等)，並且  $\phi_{OSC}$  必需實際上等於  $\phi_{REF}$  規定的相位 ( $\phi_{OSC}$  和  $\phi_{REF}$  名稱上相等)。這樣就對數位振盪器 414 存在很高

要求，要求其在飛行式(on the fly)中以必須的採樣速率產生正交參考信號的精確值。

如果  $F_{OSC}$  和  $F_S$  相關，就可以相對而言較容易地實現這一要求，例如  $K/F_{OSC} = L/F_S$ ，其中  $K$  和  $L$  都是整數。在這種情況下，數位振盪器 414 可採用查閱表(look-up table)生成正交參考信號。查閱表將正交參考信號的預存值與採樣時脈的逐次迴圈 (successive cycle) 相關聯。這樣數位振盪可藉由迴圈找尋存儲於其查閱表中的數值就可以生成正交參考信號。

但是，如果  $K/F_{OSC}$  不等於  $L/F_S$  時，這一情況將變得更為複雜。這種情況下，就不能使用簡單的查閱表，因為對於查閱表的一次重複(iteration)所適合的值在另一次重複中就不適合了。這就需要其他解決方案。方案之一是向數位振盪器 414 提供在飛行式中以一定速度計算正交參考信號值的計算引擎。但是，這一方案十分複雜。

另一方案如圖 5 所示，是數位檢相器 312 的另一實施例。圖 5 中的下變換器 510、取相器 516 和加法器 520 與圖 4 中的變換器 410、取相器 416 和加法器 420 實際上是相同的。但是，圖 5 還包括計算單元 512、累加器 518 和第二加法器 522。

計算單元 512 將輸入資料( $F_{REF}$ ,  $\phi_{REF}$ )分成兩個部分：主要部分和次要部分。主要部分( $F_{OSC}$ ,  $\phi_{OSC}$ )代表數位振盪器 514 例如能夠通過查閱表生成的參考信號 ( $F_{OSC}$ ,  $\phi_{OSC}$ ) 的近似值。次要部分( $\phi_{RES}$ )代表殘餘相位值，即上述近似值

中的誤差。主要部分最好是符合  $K/F_{OSC} = L/F_S$  的要求。如果  $F_{OSC}$  不等於  $F_{REF}$ ，那麼習慣上最好是在選擇  $K$  和  $L$  時使  $F_{OSC}$  稍稍大於  $F_{REF}$ 。因此，第二部分  $\phi_{RES}$  代表在每個  $F_S$  的迴圈上產生的  $F_{OSC}$  和  $F_{REF}$  之間的相位差。

累積器 518 將  $F_S$  的每個迴圈上的  $\phi_{RES}$  值進行累加(即與其自身內容相加)。這樣累積器 518 上所保留的資料的形態表現為一條隨時間的直線。

取相器 516 的輸出構成輸入資料的次要部分。加法器 522 通過由取相器 516 減去累加器 518 的輸出來糾正該輸出。這樣累加器 522 的輸出既構成輸入資料的主要部分也構成其次要部分，並產生採樣週期信號和參考值(即： $F_{REF}$ ,  $\phi_{REF}$ )之間的相位誤差的精確表示。

以上結合圖 3 詳細說明了圖 4 和圖 5 所示的數位檢相器的整體實現。某些元件具有可以由市場獲得的邏輯定義，如  $ATAN2$  函數和累加器 518。這些定義可以通過購買、下載和只需要很少的原始設計工作就可以配備於 FPGA 或 ASIC 中。

參考資料( $F_{REF}$ ,  $\phi_{REF}$ ) 最好是可改變的。當圖 4 或圖 5 的數位檢相器被用於合成器中時，參考資料最好是可編程的，以便建立不同的輸出頻率。整數  $K$  和  $L$  的值最好是在每次參考資料的新值被編程時被更新。為了儘量減少殘留的大小，最好是在可行範圍內使  $K$  儘量變大。 $K$  值和  $L$  值可以是人工計算，或是由軟體、防火牆或硬體等基於期望的輸出頻率和採樣率生成。

圖 4 和圖 5 的數位檢相器有很多益處。例如，以高頻率更新相位誤差，例如每個採樣時脈週期進行一次。此外，還以極高的精度提供相位誤差。因為相位殘留的緣故， $\phi_{RES}$  的管理獨立於參考頻率的主要部分，可對  $\phi_{RES}$  施加大數量的數位精度的位元。還有，可以通過增加存儲在用於實現數位振盪器 514 的查閱表中  $F_{OSC}$  的迴圈次數(即  $K$  值)使  $\phi_{RES}$  對整體相位誤差的貢獻變得極小。

圖 8 繪示根據本發明另一實施例測量週期採樣信號和數位振盪參考信號之間累積相位差的方法。例如，圖 4 和圖 5 所示數位檢相器可被用來執行這一方法。

圖 9 繪示根據本發明另一實施例測量週期採樣信號和數位振盪參考信號之間累積相位差的方法。例如，圖 5 所示數位檢相器可被用來執行這一方法。

圖 10 繪示圖 3 所示的頻率合成器的一個應用實例。自動測試系統 1012 被主電腦 1010 控制，用來測試 DUT (被測物) 1040。自動測試系統 1012 包括儀器，如類比器 1020、數位器 (digitizer) 1022 和任意波形產生器(AWG) 1024。自動測試系統 1012 還可包括多個數位電子通道，大體上如數位插腳 1026、1028 和 1030。數位電子通道用於整理數位信號的來源和感測數位訊號。

顯著地，自動測試系統 1012 包括多個頻率合成器 1016a~g。這些合成器大體上與圖 3 所示的合成器屬於同一類型。每個合成器 1016a~g 都接收來自系統時脈 1014 的時脈信號  $F_S$ 。每個合成器還分別接收輸入資料( $F_{REF}$ ,  $\phi_{REF}$ )，

用來規定期望的輸出頻率和相位。每個合成器 1016a~g 都對應其時脈和輸入資料生成對應的週期輸出信號。這些輸出信號能夠被提供給儀器 1020、1022 和 1024，這些儀器的正常操作可要求頻率參考或時脈。這些輸出信號還能夠被用作控制數位插腳 1026、1028 和 1030 的時脈。一個頻率合成器能夠被用作模式生成器 1018 的輸入。模式生成器 1018 能夠與頻率合成聯合工作，使數位插腳以規定格式和精確控制的暫態時間指出數位信號的來源和/或感測。

可在本發明的範圍內對本說明書中所揭示的實施例進行變化。例如，圖 4 和圖 5 所示的數位檢相器按照圖示和說明是與頻率合成器結合使用的，例如圖 3 所示。但是，另一方面，這些數位檢相器可在任何應用設備中使用，用來測量輸入信號和參考信號之間的相位差。

正如附圖所示和本說明書所說明的，圖 3 所示的合成器包括數位回路濾波器 314。另一可選方案是在 DAC 318 的輸出加入類似於濾波器 212 的類比回路濾波器，並且數位回路濾波器 314 可以被省略。

正如附圖所示和本說明書所說明的，合成器 300 包括西格馬-德耳塔調變器 316。但是另一可選方案，也可省略該西格馬-德耳塔調變器。

此處所使用的詞語“由...構成”、“具有”和“包括”以及這些詞語的語法變化，並不意味著對構成部件的封閉式限定，而是開放的，還可以包含附加的部件。此外，不要求此處使用的“耦合”一詞及其各種語法變化僅指部件之間的

間接連接，而是即可指直接的連接，也可指間接的連接。因此，部件可被連接在相互“耦合”的部件之間。

此處揭示的實施例有關執行數學函數的數位電子設備。由於數學的靈活性，為了實現與本發明所實現的結果實質上相同的結果可能會以等效的方式 (equivalent way) 採用不同的數學運算或組合。這些變化均屬於本發明的範圍之內。

因此，不應認為此處揭示的實施例是一種限定。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

圖 1 是根據習知技術利用鎖相回路生成不同頻率信號的電路的方塊圖。

圖 2 是根據例如圖 1 所示電路的現有技術的鎖相回路的方塊圖。

圖 3 是根據本發明一實施例的頻率合成器的方塊圖。

圖 4 是根據本發明一實施例的數位檢相器的方塊圖，例如可用於圖 3 所示的頻率合成器的數位檢相器。

圖 5 是根據本發明另一實施例的數位檢相器的方塊圖。

圖 6 是可用於圖 4 和圖 5 所示數位檢相器的下變換器 (down-converter) 的一實施例的方塊圖。

圖 7 是可用於圖 4 和圖 5 所示數位檢相器的下變換器 (down-converter) 的另一實施例的方塊圖。

圖 8 是根據本發的一實施例生成數位化輸入信號和參考頻率之間累積相位誤差的方法的流程圖。

圖 9 是根據本發的另一實施例生成數位化輸入信號和參考頻率之間累積相位誤差的方法的流程圖。

圖 10 是根據本發明的一實施例的自動測試系統的簡化方塊圖，其中可採用圖 3 所示的頻率合成器提高信號完整性。

#### 【主要元件符號說明】

100：合成精確週期信號的結構

110：頻率產生器

112—118：鎖相回路

200：鎖相回路

210：檢相器

212：高增益回路濾波器

214：電壓可控振盪器 (VCO)

216、218：分頻器

300：頻率合成器

310：類比-數位轉換器

312：數位檢相器

314：數位回路濾波器

316：西格馬-德爾塔調變器

318：數位-類比轉換器

- 320：類比濾波器
- 322：電壓可控振盪器
- 410：下變換器
- 414：數位振盪器
- 416：取相器
- 514：數位振盪器
- 420：加法器
- 510：下變換器
- 512：計算單元
- 516：取相器
- 520、522：加法器
- 518：累加器
- 612：希爾伯特濾波器
- 610：延遲單元
- 614：解調器
- 710、712：乘法器
- 714、716：數位低通濾波器
- 1012：自動測試系統
- 1010：主電腦
- 1040：被測物
- 1020：類比器
- 1022：數位器
- 1024：任意波形產生器
- 1026、1028、1030：數位插腳

1016a~g：頻率合成器

1014：時脈

1018：模式生成器

## 五、中文發明摘要：

一種高效能檢相器，包括一本地數位振盪器，用以生成可編程頻率和相位的一數位參考信號。該檢相器累積該數位參考信號和一採樣輸入信號的相位差，產生一定量的相位誤差。該檢相器可被方便地用於頻率合成器，以產生具有低相位雜訊和精確相位控制的信號。此類合成器還可在 ATE 系統和其他電子系統中被用作生成低抖動時脈和波形的組成部件。

## 六、英文發明摘要：

A high performance phase detector includes a local digital oscillator for generating a digital reference signal of programmable frequency and phase. The phase detector accumulates a difference in phase between the digital reference signal and a sampled input signal to produce a measure of phase error. The phase detector can be advantageously used in a frequency synthesizer to produce signals with low phase noise and accurate phase control. Synthesizers of this type can further be used to as building blocks in ATE systems and other electronic systems for generating low jitter clocks and waveforms.

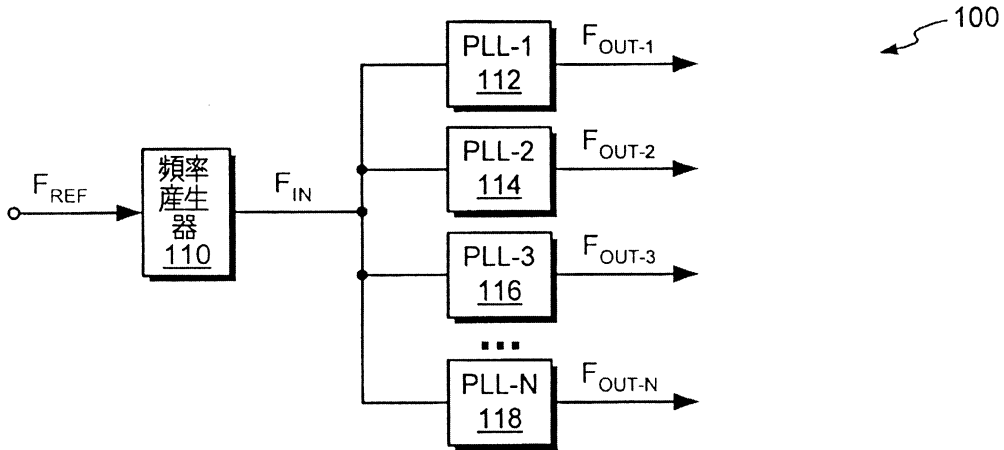


圖 1

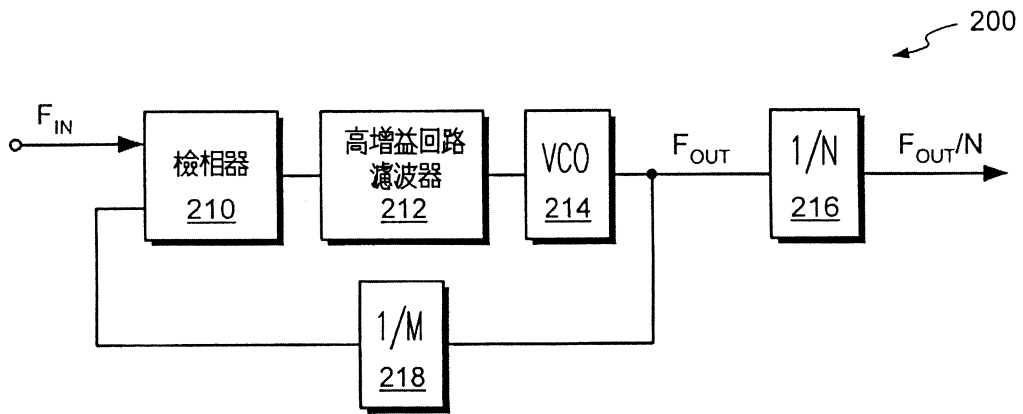


圖 2

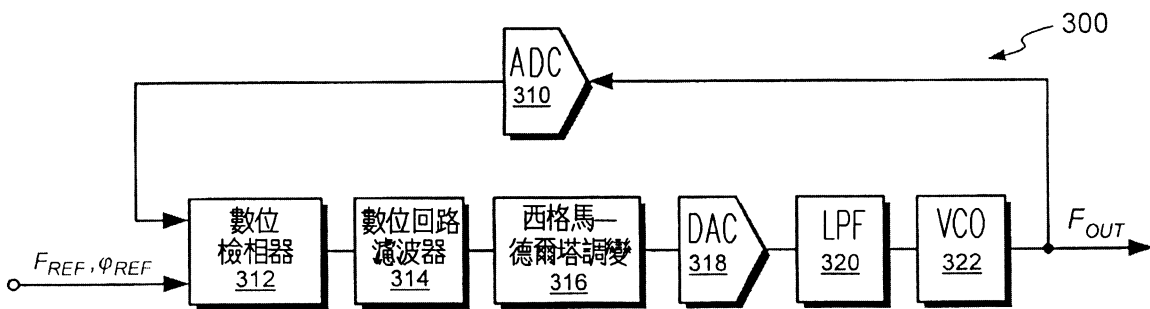


圖 3

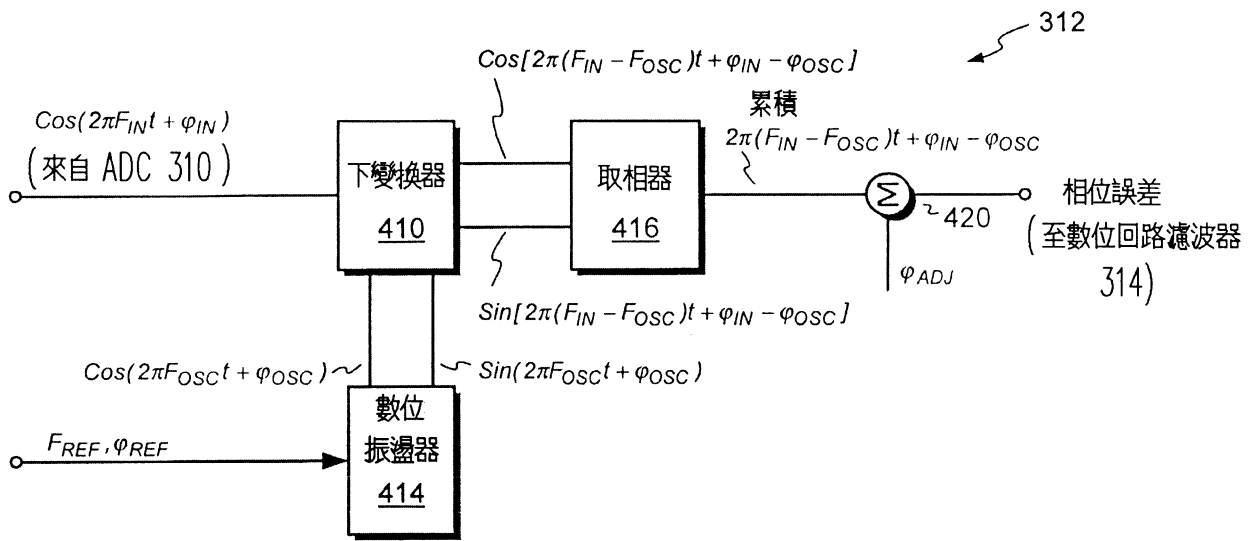


圖 4

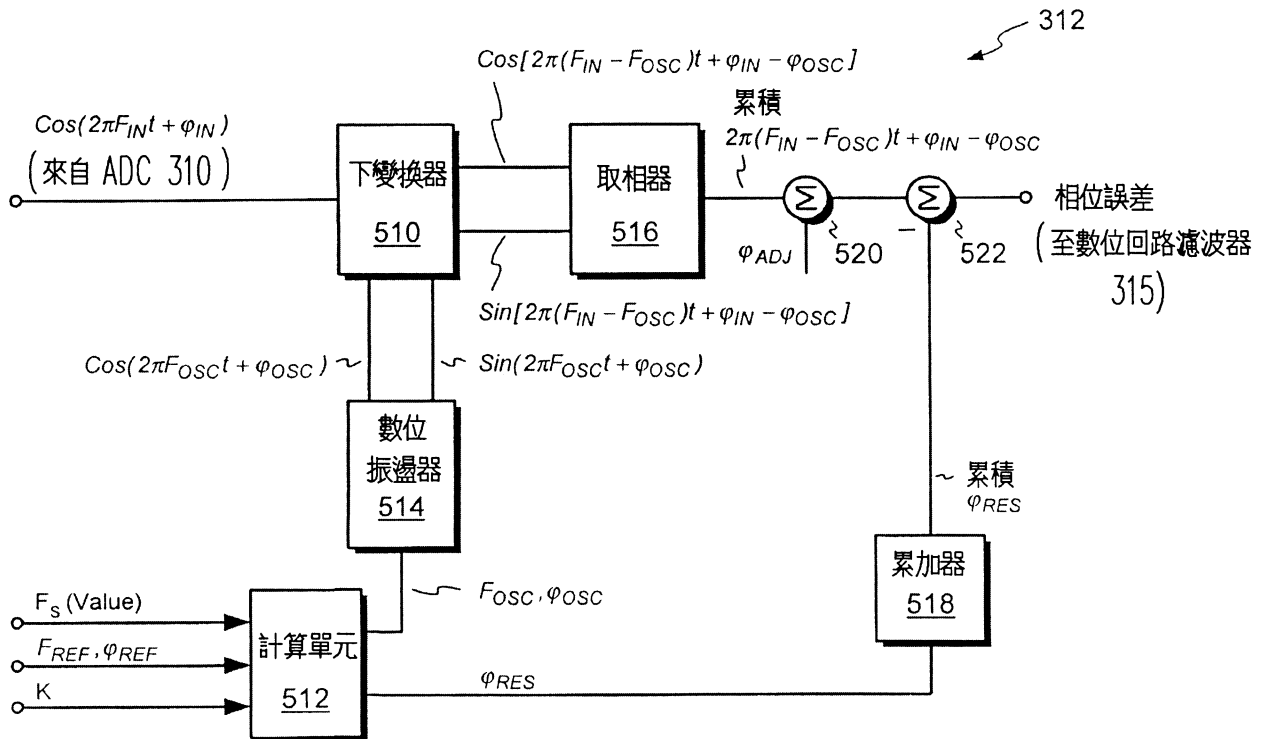


圖 5

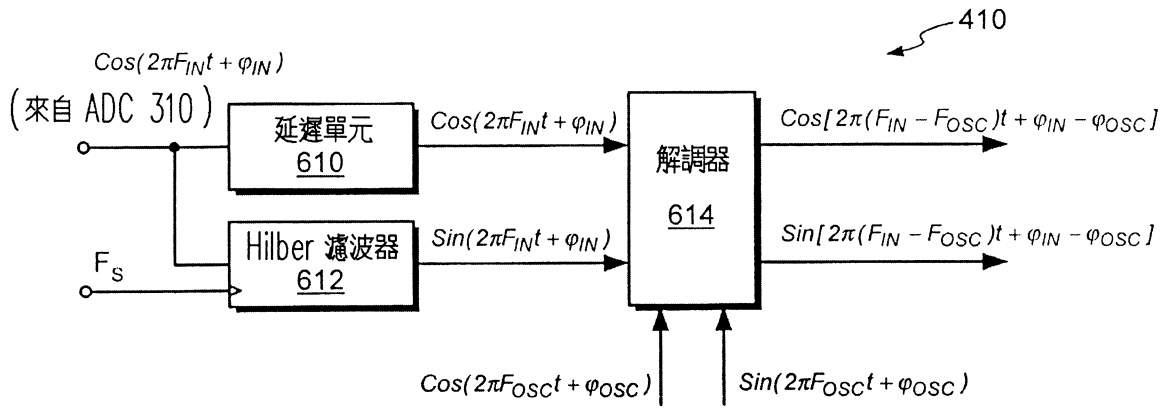


圖 6

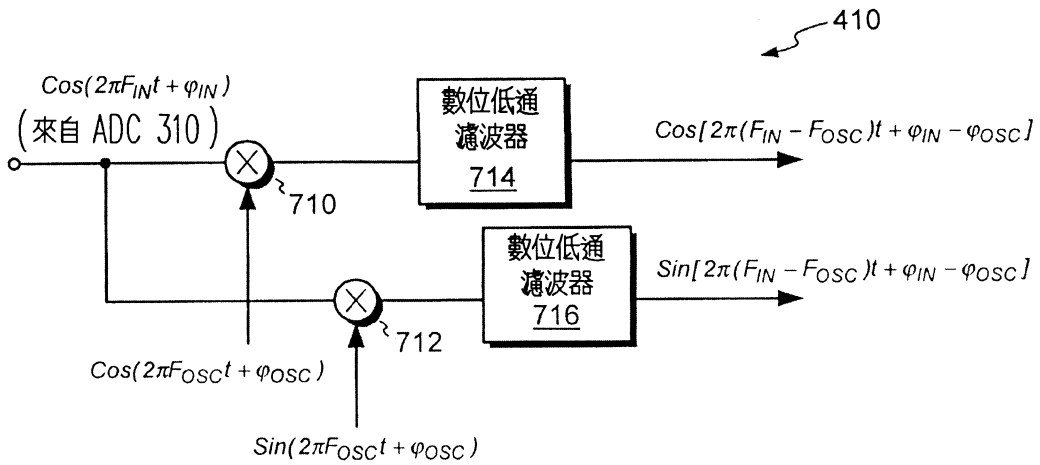


圖 7

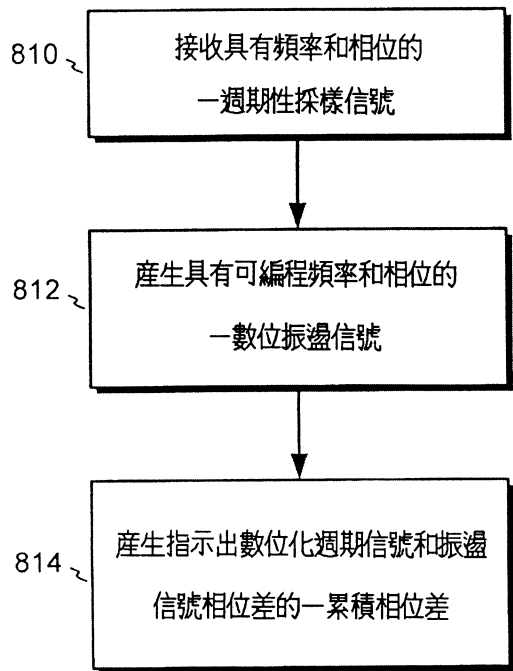


圖 8

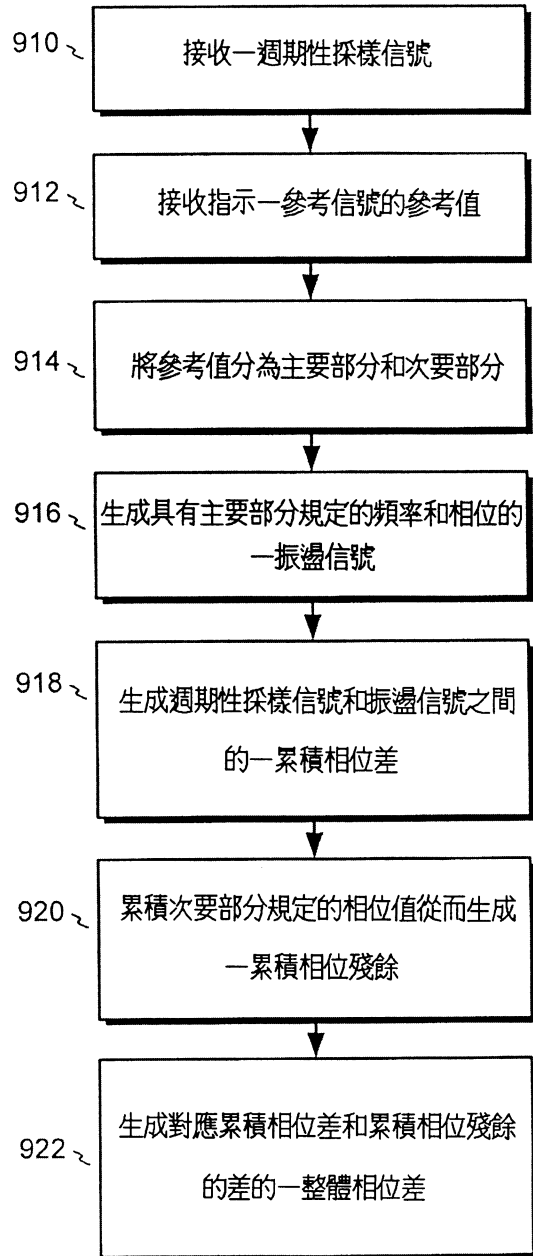


圖 9

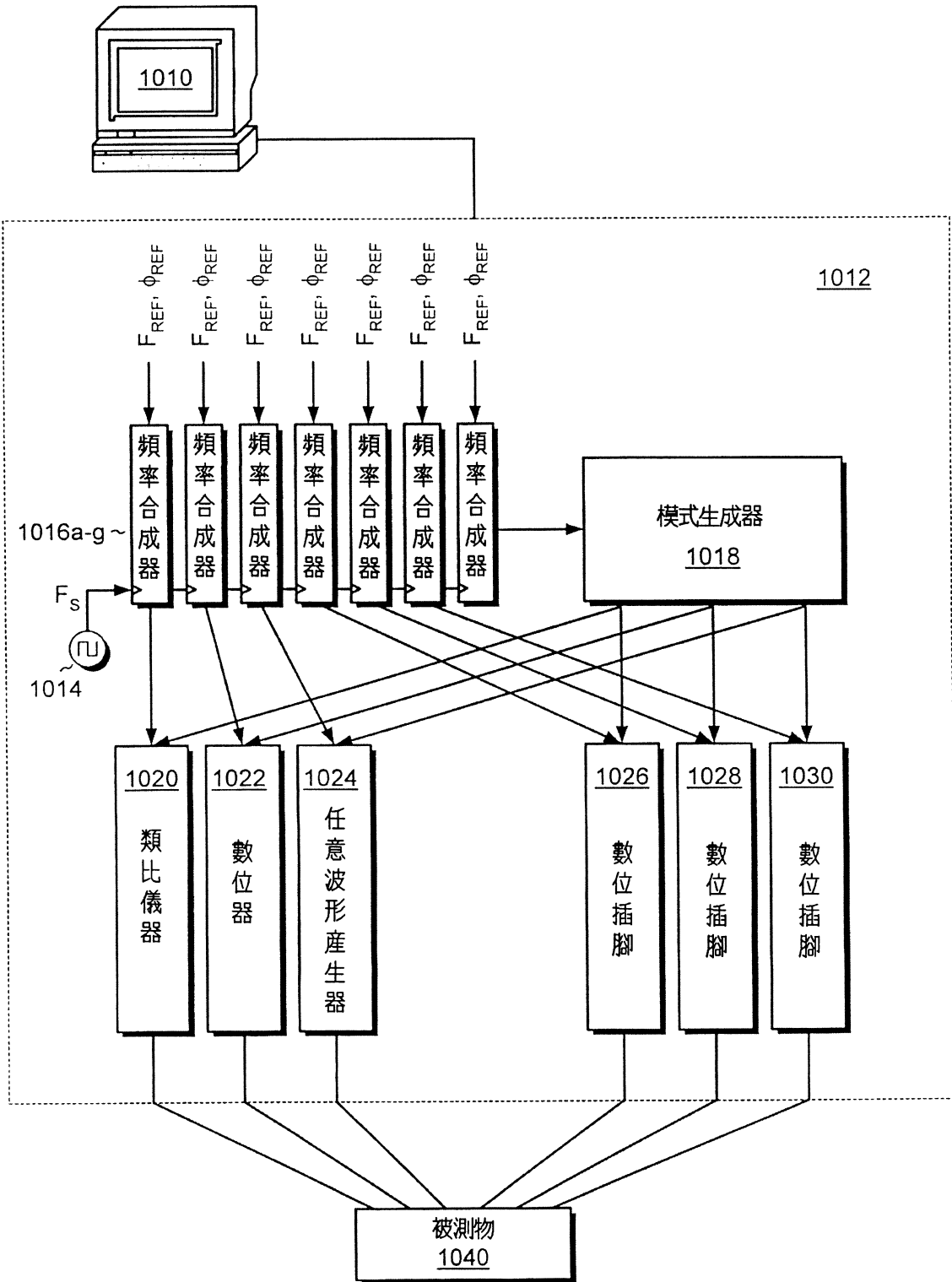


圖 10

## 七、指定代表圖：

(一)本案指定代表圖為：圖(3)。

(二)本代表圖之元件符號簡單說明：

300：頻率合成器

310：類比-數位轉換器

312：數位檢相器

314：數位回路濾波器

316：西格馬-德爾塔調變器

318：數位-類比轉換器

320：類比濾波器

322：電壓可控振盪器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

96 年 6 月 28 日修(更)正本

## 十、申請專利範圍：

### 1. 一種檢相器，包括：

一輸入端，接收具有一頻率和一相位的一個採樣信號；

一數位振盪器，用以生成一個參考信號，該參考信號對應至指示一預定頻率和相位的值；

一下變換器，耦合到該輸入端和該數位振盪器，用以生成一正交差分信號，該正交差分信號具有指示該採樣信號的頻率和該參考信號之差的一頻率，還具有指示該採樣信號的相位和該參考信號的相位之差的一相位；以及

一取相器，具有耦合到該下變換器的第一和第二輸入端，用以接收該正交差分信號，還具有用於生成指示該正交差分信號的累積相位的一輸出值；

一計算單元，將該指示預定頻率和相位的值分為一主要部分和一次要部分；

一累加器，具有耦合到該計算單元用於接收該次要部分的一輸入端和用於累加被該次要部分指示的相位值的一輸出端；以及

一加法器，具有耦合到該取相器輸出端的一第一輸入端、耦合到該累加器輸出端的一第二輸入端、以及產生該取相器輸出端與該累加器輸出端之差的一輸出端，

其中該數位振盪器被耦合到該計算單元，用以接收該主要部分。

2. 如申請專利範圍第 1 項所述之檢相器，其中該參考信號是一正交參考信號，其包括具有實際上形態為

$\text{Cos}(2\pi F_{\text{osct}} + \varphi_{\text{osc}})$  的第一部分和實際上形態為  $\text{Sin}(2\pi F_{\text{osct}} + \varphi_{\text{osc}})$  的第二部分。

3. 如申請專利範圍第 2 項所述之檢相器，其中該採樣信號實際上具有的形態為  $\text{Cos}(2\pi F_{\text{int}} + \varphi_{\text{in}})$  並且該下變換器包括：

一希耳伯特濾波器(Hilbert filter)，具有連接到該檢相器輸入端的一輸入端和產生具有實際上形態為  $\text{Sin}(2\pi F_{\text{int}} + \varphi_{\text{in}})$  的該採樣信號的移相版本的一輸出端；以及

一解調器，具有耦合到該檢相器輸入端的一第一輸入端、耦合到該希耳伯特濾波器輸出端的一第二輸入端、分別耦合到該正交參考信號的該第一部分和該第二部分的一第三輸入端和一第四輸入端、以及提供該正交差分信號的一第一輸出端和一第二輸出端。

4. 如申請專利範圍第 2 項所述之檢相器，其中該正交差分信號包括第一部分和第二部分，並且該下變換器包括：

一第一乘法器，生成該採樣信號和該正交參考信號的第一部分的乘積；

一第二乘法器，生成該採樣信號和該正交參考信號的第二部分的乘積；

一第一數位濾波器，過濾該第一乘法器的乘積以生成該正交差分信號的第一部分；以及

一第二數位濾波器，過濾該第二乘法器的乘積以生成該正交差分信號的第二部分。

5. 如申請專利範圍第 1 項所述之檢相器，其中該取相

器執行 ATAN2 函數。

6.如申請專利範圍第 1 項所述之檢相器，還包括一加法器，耦合到該取相器的輸出端，用於在該取相器的輸出端加上一個可調相位值。

7.如申請專利範圍第 1 項所述之檢相器，其中該數位振盪器被加以頻率為  $F_S$  的時脈；和

其中該主要部分規定的一數位波形以  $F_S$  完成  $L$  次迴圈，相同的時間量中完成  $K$  次迴圈，其  $K$  和  $L$  均為整數。

8.如申請專利範圍第 7 項所述之檢相器，其中該數位振盪器包括一查閱表，可將  $F_S$  的連續迴圈與該正交參考信號的值關聯起來。

9.如申請專利範圍第 1 項所述之檢相器，其中該數位振盪器的頻率是可調節的。

10.如申請專利範圍第 9 項所述之檢相器，其中該數位振盪器的相位是可調節的。

11.如申請專利範圍第 1 項所述之檢相器，其中該數位振盪器的頻率和相位是可編程的。

12.一種頻率合成器，包括：

一數位檢相器，具有用於接收指示一期望信號頻率的值的一第一輸入端、用於接收一回饋信號的一第二輸入端和用於提供指示該期望信號和該回饋信號之間相位累積差的一數位信號的一輸出端；

一數位-類比轉換器 (DAC)，具有耦合到該數位檢相器輸出端的一輸入端和用於提供一類比輸出信號的一輸出

端；

一電壓可控振盪器（VCO），具有耦合到該數位-類比轉換器輸出端的一輸入端和用於生成一週期輸出信號的一輸出端；以及

一類比-數位轉換器（ADC），具有耦合到該電壓可控振盪器輸出端的一輸入端和耦合到該數位檢相器第二輸入端的一輸出端，該輸出端用於提供該回饋信號。

13.如申請專利範圍第 12 項所述之頻率合成器，更包括一數位回路濾波器，串列耦合到該數位檢相器和該數位-類比轉換器之間。

14.如申請專利範圍第 13 項所述之頻率合成器，其中該數位回路濾波器被設計和安排為拒絕寄生頻率元件。

15.如申請專利範圍第 13 項所述之頻率合成器，更包括一西格馬-德耳塔調變器，串列耦合到該數位回路濾波器和該數位-類比轉換器之間。

16.如申請專利範圍第 12 項所述之頻率合成器，更包括一類比濾波器，串列耦合到該數位-類比轉換器和該電壓可控振盪器之間，用於平滑該數位-類比轉換器的輸出。

17.如申請專利範圍第 12 項所述之頻率合成器，其與自動化檢測設備結合使用，以生成週期波形。

18.一種生成週期信號的方法，包括：

生成具有已知頻率的一個數位參考信號；

生成具有指示該數位參考信號的頻率與一個數位回饋信號的頻率之差的一數位差分信號；

96. 6. 28  
年 月 日修正本

從該數位差分信號中提取一個累積相位信號；  
將該累積相位信號轉變為一週期性類比信號；以及  
將該類比週期信號數位化，以產生該數位回饋信號。