

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/146 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510126047.3

[45] 授权公告日 2009 年 5 月 27 日

[11] 授权公告号 CN 100492649C

[22] 申请日 2005.11.24

[21] 申请号 200510126047.3

[30] 优先权

[32] 2005.6.15 [33] KR [31] 10-2005-0051555

[73] 专利权人 美格纳半导体有限会社

地址 韩国忠清北道

[72] 发明人 雅罗斯拉夫·希内切克

[56] 参考文献

US6657665B1 2003.12.2

US6352869B1 2002.3.5

CN1507743A 2004.6.23

CN1437263A 2003.8.20

EP0926738A2 1999.6.30

审查员 刘深亮

[74] 专利代理机构 北京集佳知识产权代理有限公司

代理人 徐 谦 杨红梅

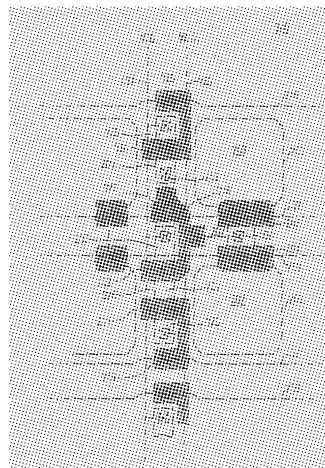
权利要求书 4 页 说明书 7 页 附图 3 页

[54] 发明名称

具有紧凑像素布局的图像传感器

[57] 摘要

提供了固态图像传感器，具体地是具有三个或四个晶体管、高灵敏度、低噪声及低暗电流的图像传感器像素。所述像素具有用于有源部件、行共享光电二极管的分离的有源区并还可包含调整灵敏度、信噪比以及动态范围的电容器。所述低暗电流通过使用钉扎光电二极管而获得。



1. 一种包括以行及列排列成阵列的多个像素的图像传感器，包括：
第一有源区，其包括每个分配给不同行的两个光电二极管以及由所述两个光电二极管所共享的共用浮动扩散节点；
第二有源区，其与所述第一有源区在空间上分离并且包括用于复位对应像素的复位晶体管；及
第三有源区，其与所述第一有源区及所述第二有源区在空间上分离并且包括响应于所述共用浮动扩散节点上的电压而输出像素信号的驱动晶体管。
2. 如权利要求 1 所述的图像传感器，其中所述第三有源区进一步包括用于行寻址的选择晶体管。
3. 如权利要求 1 所述的图像传感器，其中在所述像素阵列的一所选行的所述驱动晶体管包括漏极区，所述漏极区为所述第三有源区的部分并且脉冲被供应至该漏极区以用于行寻址。
4. 如权利要求 1 所述的图像传感器，其中所述驱动晶体管包括源极区，该源极区为所述第三有源区的部分并且连接至像素输出信号线。
5. 如权利要求 2 所述的图像传感器，其中所述驱动晶体管的所述源极区以及所述选择晶体管的漏极区形成于所述第三有源区的共用区内。
6. 如权利要求 2 所述的图像传感器，其中为所述第三有源区的部分的所述选择晶体管的源极区连接至像素输出信号线。
7. 如权利要求 4 所述的图像传感器，其中所述驱动晶体管的栅极与所述共用浮动扩散节点电连接。
8. 如权利要求 6 所述的图像传感器，其中所述驱动晶体管的栅极与所述共用浮动扩散节点电连接。
9. 如权利要求 7 所述的图像传感器，其中所述复位晶体管包括源极区，该源极区为所述第二有源区的部分并且与所述驱动晶体管的所述栅极电连接。
10. 如权利要求 8 所述的图像传感器，其中所述复位晶体管包括源

极区，该源极区为所述第二有源区的部分并且与所述驱动晶体管的所述栅极电连接。

11. 如权利要求 9 所述的图像传感器，其中所述驱动晶体管的所述漏极区以及作为所述第二有源区的另一部分的所述复位晶体管的漏极区与 VDD 供电线进行单独连接。

12. 如权利要求 10 所述的图像传感器，其中所述驱动晶体管的所述漏极区及作为所述第二有源区的另一部分的所述复位晶体管的漏极区与 VDD 供电线进行单独连接。

13. 如权利要求 1 所述的图像传感器，其中所述光电二极管为钉扎光电二极管。

14. 如权利要求 1 所述的图像传感器，其中所述驱动晶体管为 N 沟道金属氧化物半导体晶体管及耗尽型 P 沟道金属氧化物半导体晶体管之一。

15. 一种包括以行及列排列成阵列的多个像素的图像传感器，包含：

第一有源区，其包括每个分配给不同行的两个光电二极管以及由所述两个光电二极管所共享的共用浮动扩散节点；

第二有源区，其与所述第一有源区在空间上分离并且包括响应于来自所述共用浮动扩散节点上的电压而输出像素信号的驱动晶体管；

多晶硅总线，其自所述驱动晶体管的栅极延伸；

电容器，其由于所述多晶硅总线与作为所述第二有源区的部分的所述驱动晶体管的漏极区重叠而形成；以及

第三有源区，该第三有源区与所述第一有源区及所述第二有源区在空间上分离并且被提供有用于复位对应像素的复位晶体管。

16. 如权利要求 15 所述的图像传感器，其中所述第二有源区进一步包括用于行寻址的选择晶体管。

17. 如权利要求 15 所述的图像传感器，其中在所述像素阵列所选

行的所述驱动晶体管的所述漏极区被供应有用于行寻址的脉冲。

18. 如权利要求 15 所述的图像传感器，其中所述驱动晶体管包括源极区，该源极区为所述第二有源区的另一部分并且连接至像素输出信号线。

19. 如权利要求 16 所述的图像传感器，其中所述驱动晶体管的所述源极区以及所述选择晶体管的漏极区形成于所述第二有源区的共用区内。

20. 如权利要求 16 所述的图像传感器，其中所述选择晶体管包括源极区，该源极区为所述第二有源区的部分并且连接至像素输出信号线。

21. 如权利要求 18 所述的图像传感器，所述多晶硅总线与所述共用浮动扩散节点电连接并且与作为所述第三有源区的部分的所述复位晶体管的源极区电连接。

22. 如权利要求 20 所述的图像传感器，所述多晶硅总线与所述共用浮动扩散节点电连接并且与作为所述第三有源区的部分的所述复位晶体管的源极区电连接。

23. 如权利要求 21 所述的图像传感器，其中所述多晶硅总线通过第一金属互连与所述共用浮动扩散节点连接并且通过第二金属互连与所述复位晶体管的所述源极区连接。

24. 如权利要求 22 所述的图像传感器，其中所述多晶硅总线通过第一金属互连与所述共用浮动扩散节点连接并且通过第二金属互连与所述复位晶体管的所述源极区连接。

25. 如权利要求 21 所述的图像传感器，其中所述驱动晶体管的所述漏极区以及作为所述第三有源区的另一部分的所述复位晶体管的漏极区与 VDD 供电线进行单独连接。

26. 如权利要求 22 所述的图像传感器，其中所述驱动晶体管的所述漏极区以及作为所述第三有源区的另一部分的所述复位晶体管的漏极区与 VDD 供电线进行单独连接。

27. 如权利要求 15 所述的图像传感器，其中所述光电二极管为钉扎光电二极管。

28. 如权利要求 15 所述的图像传感器，其中所述驱动晶体管为 N 沟道金属氧化物半导体晶体管及耗尽型 P 沟道金属氧化物半导体晶体管之一。

具有紧凑像素布局的图像传感器

技术领域

本发明涉及一种固态图像传感器，并且，更具体地涉及一种互补金属氧化物半导体（CMOS）图像传感器，所述图像传感器具有四个或三个晶体管像素（4T,3T）、紧凑布局、高灵敏度以及低暗电流。所述低暗电流通过在硅-二氧化硅界面附近放置 P+植入来淬灭（quench）界面态而获得。

背景技术

典型的图像传感器通过将入射光子（impinging photon）转换成集成（收集）于传感器像素中的电子来感测光。在完成集成周期后，电荷转换成供应至传感器输出端子的电压。在 CMOS 图像传感器中，电荷至电压的转换在像素自身中直接完成并且模拟像素电压通过各种像素寻址及扫描机制而传递至输出端子。该模拟信号亦可在到达芯片输出之前在芯片上转换成数字等价。所述像素在其中合并缓冲放大器，典型为源跟随器，其通过合适的寻址晶体管来驱动连接至所述像素的感测线。

在电荷至电压的转换完成并且结果的信号从所述像素传递出来之后，所述像素被复位以便准备积累新电荷。在将浮动扩散（FD）节点用作电荷检测节点的像素中，所述复位通过接通瞬时地将所述 FD 节点传导性连接至电压参考的复位晶体管来完成。此步骤去除了所收集的电荷，然而，其产生了众所周知的 KTC-复位噪声。为实现所需的低噪声性能，该 KTC 噪声必须通过相关双采样（CDS）信号处理技术从信号中去除。利用 CDS 概念的典型 CMOS 传感器在像素中需要具有 4 个晶体管（4T）。

该 4T 像素电路的实例可在发布于 Guidash 的美国专利 No. 6,107,655、No. 6,352,869 及 No. 6,657,665 中找到。通过将切换脉冲引入至 Vdd 偏置线中，可从该像素消除选择晶体管并且在像素中实现仅用 3T

进行 CDS 操作，如下述文章中所述：Masahiro Kasano，标题“A 2.0 μm Pixel Pitch MOS Image sensor with an Amorphous Si Film Color Filter”，*Digest of Technical Papers ISCC*，vol. 48，pp. 348-349，2005 年 2 月。

图 1 为具有共用有源区的传统 4T 图像传感器像素的简化布局，该共用有源区具有钉扎光电二极管（pinned photodiode）及晶体管。

在图 1 中，参考数字 100 表示典型 CMOS 图像传感器中所使用的传统 4T 像素的简化布局图。在实际图像传感器中，许多这样的像素排列成行及列的阵列，但为了图的简化，仅较为详细地示出了一个。有源区 101 包含像素的有源元件；它们是钉扎光电二极管 102、转移栅极（transfer gate）103、浮动扩散（FD）节点 104、复位栅极（reset gate）106、漏极偏置节点 118、用作源跟随器（SF）的驱动晶体管栅极 113、源-漏区 119、地址选择晶体管栅极 114 以及地址选择晶体管源极 120。

封闭的有源区 101 之外的区域为填充厚的隔离二氧化硅的浅沟槽隔离（STI）区。为图的清晰起见，图 1 中亦已省略了存在于像素中的多级金属互连并且示意性地用线来替代。第一水平线 117 为连接至地址选择晶体管栅极 114 的第一接触 116 的行地址线，第二水平线 111 为连接至转移栅极 103 的第二接触 112 的行转移线，并且多晶硅总线 105 将行复位信号提供至该像素的复位栅极 106。第一列线 108 经由第三接触 109 将 Vdd 偏置提供至漏极偏置节点 118，而第二列线 107 经由第四接触 115 将来自地址选择晶体管源极 120 的输出信号运载至位于阵列周边的列信号处理电路。FD 节点 104 经由互连 110 连接至驱动晶体管栅极 113。寻址及复位信号通过第一水平线 117、第四接触 115 及多晶硅总线 105 被提供至也来自于阵列周边的像素。

虽然此像素功能良好，但是此类型的像素仍具有两个主要缺点：过多的晶体管占用大的像素面积，并且由于有源区 101 的邻接（contiguous）形状，其位置及互连不能得到有效设置。当需减小像素大小以构建低成本及高分辨率的图像传感器时，每个像素中较大数目的晶体管即可成为

缺点。

因此，上面提及的美国专利 No. 6,107,655、No. 6,352,869 及 No. 6,657,665 教导了如下技术：用 4T 进行读取操作的电路通常共享位于不同行的相邻像素的光电二极管。

然而，可能仍难以为传统的 4T 图像传感器像素提供紧凑布局，并且因为用于配置光电二极管的有源区具有用于读取像素信号的晶体管的邻接形状。特别是复位晶体管的有源区，所以可能难以高效地排列相关像素元件的位置及互连。

发明内容

因此，本发明的一目的为提供具有高性能、简单结构及紧凑大小的实用的 CMOS 图像传感器。

在具有 4T 或 3T 像素的实施例中，可形成电连接于共用 FD₁ 节点与驱动晶体管的漏极之间的电容器。此电连接可通过将延伸至驱动晶体管的栅极的多晶硅总线与驱动晶体管的漏极重迭而获得。调整重迭量可改变此电容器的电容值。此特征对于调整转换增益以及因此传感器的灵敏度是重要的。该电容的校正值还确定传感器的动态范围（DR）及信噪比（SNR）。

所述实施例利用具有钉扎光电二极管的像素，所述钉扎光电二极管在硅-二氧化硅界面处将 P⁺硼（Boron）杂质植入至钉扎光电二极管区中。此植入引起界面态的淬灭及低暗电流的产生。

此外，本发明实施例中的驱动晶体管可制造为 N 沟道金属氧化物半导体（NMOS）晶体管或制造为 P 沟道 MOS（PMOS）晶体管。特别地，将驱动晶体管制造为耗尽型 PMOS 晶体管有助于改进噪声。

根据本发明的一方面，提供有包括以行及列排列的多个像素的图像传感器，包括：第一有源区，包括每个分配给不同行的两个光电二极管以及由所述两个光电二极管所共享的共用浮动扩散节点；第二有源区，

其与第一有源区在空间上分离并且包括用于复位对应像素的复位晶体管；及第三有源区，其与第一有源区及第二有源区在空间上分离并且包括响应于共用浮动扩散节点上的电压而输出像素信号的驱动晶体管。

根据本发明的另一方面，提供有包括以行及列排列的多个像素的图像传感器，包括：第一有源区，其包括每个分配给不同行的两个光电二极管以及由所述两个光电二极管所共享的共用浮动扩散节点；第二有源区，其与第一有源区在空间上分离并且包括响应于来自共用浮动扩散节点的电压而输出像素信号的驱动晶体管；多晶硅总线，其从驱动晶体管的栅极延伸；以及电容器，其由于多晶硅总线与为第二有源区的部分的驱动晶体管的漏极区重迭而形成。

根据本发明的另一方面，提供了一种包括以行及列排列成阵列的多个像素的图像传感器。该图像传感器包括：第一有源区，该第一有源区包括每个分配给不同行的两个光电二极管以及由所述两个光电二极管所共享的共用浮动扩散节点；第二有源区，该第二有源区与所述第一有源区在空间上分离并且包括响应于来自所述共用浮动扩散节点上的电压而输出像素信号的驱动晶体管；多晶硅总线，该多晶硅总线自所述驱动晶体管的栅极延伸；电容器，该电容器由于所述多晶硅总线与作为所述第二有源区的部分的所述驱动晶体管的漏极区重迭而形成；以及第三有源区，该第三有源区与所述第一有源区及所述第二有源区在空间上分离并且被提供有用于复位对应像素的复位晶体管。

附图说明

从结合附图给出的对优选实施例的以下描述，本发明的以上和其它目标和特征将变得更好理解：

图 1 示出具有共用有源区的传统 4T 图像传感器像素的简化布局，该共用有源区具有钉扎光电二极管及晶体管；

图 2 示出行共享的像素的简化布局，根据本发明的一个实施例该像

素包括用于复位晶体管、转移晶体管、选择晶体管、驱动晶体管及钉扎光电二极管的分离的有源区；以及

图3示出根据本发明的另一实施例的其中消除了选择晶体管的行共享的像素的简化布局。

具体实施方式

根据本发明的特定实施例的具有紧凑像素布局的CMOS图像传感器将参考附图详细加以描述。

图2表示行共享的像素的简化布局，根据本发明的一个实施例所述像素包括用于复位晶体管、转移晶体管、选择晶体管、驱动晶体管及钉扎光电二极管的分离的有源区。

如图2所示，像素阵列200示出共享共用电路的行像素钉扎光电二极管对202及203。为简单起见金属层已省略并用示意性绘制的互连线来替代。所述像素也排列成形成许多行及许多列的阵列。

行共享的像素的特定特征为，像素内的有源区被分成三个不同块。具体地，第一有源块201包含钉扎光电二极管对202及203。第二有源块209包含复位晶体管，并且第三有源块226包含驱动晶体管及地址选择晶体管。第一块201还包含转移栅极204及205以及用于检测电荷的共用FD节点206。金属互连207将共用FD节点206连接至与驱动晶体管的栅极212邻接的多晶硅总线208。互连211还将多晶硅总线208连接至复位晶体管的由栅极210形成的源极。

复位信号经由第一接触215从第一水平总线线216提供至复位栅极210。复位晶体管的漏极225连接至漏极列总线线224。类似地，驱动晶体管的漏极220连接至相同的漏极列总线线224。特别地，漏极列总线线224为VDD信号线。驱动晶体管的源极221与地址选择晶体管的漏极共用，该地址选择晶体管的栅极213经由第二接触214从第二水平总线线219接收寻址信号。

在连接至另一列总线线 223 的地址选择晶体管的源极 222 处, 输出信号被感测。特别地, 所述另一列总线线 223 为像素输出信号线。

转移栅极总线线 217 及 218 将位于像素阵列 200 周边的电路中所产生的适当的电荷转移信号提供至转移栅极 205 及 204。尽管未示出, 但是漏极列总线线 224 及所述另一列总线线 223 也连接至位于像素阵列 200 周边的电路以提供所需的偏置并处理来自经寻址像素的输出信号。

如从图 2 可以看到的, 将传统 4T 图像传感器像素的有源区分成 3 个不同块以及将两行中的光电二极管与相同的像素信号感测电路共享导致了极为有效的布局。上述布局具有较高的孔径效率从而导致较高性能的传感器。如虚线 227 所指示的, 通过延伸多晶硅总线 208 下面的第三有源区 226, 有可能形成电连接于共用 FD 节点 206 与驱动晶体管的漏极 220 之间的电容器。调整第三有源区 226 与多晶硅总线 208 之间的重叠量可改变此电容的电容值。此特征对于调整转换增益以及因此传感器的灵敏度是重要的。电容的校正值还确定传感器的动态范围 (DR) 及信噪比 (SNR)。

图 3 示出了本发明的另一实施例。具体地, 图 3 示出其中消除了选择晶体管的另一类型的行共享像素的简化布局。

像素阵列 300 表示与以上图 2 中所述的像素阵列 200 中所示布局类似的布局。有源区也被分成若干不同区。第一有源区 301 包括钉扎光电二极管 302 及 303、转移栅极 304 及 305 以及共用 FD 节点 306。两个其它的有源区, 即第二有源区 309 及第三有源区 318, 包含具有栅极 310 及漏极 319 的复位晶体管以及具有栅极 312、漏极 321 及源极 320 的驱动晶体管 D_x 。在此概念中, 地址选择晶体管已被消除并且由外部电路来替代, 如 Kasano 所述, 该外部电路向供电线 322 传送脉冲。第一总线 307 将共用 FD 节点 306 连接至多晶硅总线 308。第二总线 311 将多晶硅总线 308 连接至复位晶体管的源极。复位晶体管的栅极 310 经由接触 313 从复位线 323 接收栅极 310 的复位脉冲。像素由供电线 322 寻址, 该供

电线 322 连接至驱动晶体管的漏极 321 并且因此接通驱动晶体管。在连接至列总线线 316 的驱动晶体管的源极 320 处，输出信号被检测。另一列总线线 317 将偏置提供至复位晶体管的漏极 319。还可类似于前述实施例来延伸第三有源区 318 使得第三有源区 318 与多晶硅总线 308 重迭并且形成电容器。为了维持清晰性及简单性，该经延伸的电容器未显于此图中。水平总线线 314 及 315 将转移脉冲提供至转移栅极 304 及 305。该脉冲产生于此图中未显示的外围电路中。如本领域的技术人员所公知的，输出信号也在外围电路中进行处理。这些电路在图 3 中也未示出。

该实施例的一个优点为每一像素仅具有两个晶体管，并且该优点使得仅使用适度的设计规则就能设计具有极小像素大小的高性能图像传感器。两个实施例均利用在硅-二氧化硅界面处将 P+硼杂质植入钉扎光电二极管区中的钉扎光电二极管。该植入引起界面态的淬灭及低暗电流的产生。所述布局的另一优点为，像素晶体管所占用的较小面积所导致的高孔径效率（aperture efficiency）。

在上述实施例中，驱动晶体管也可制造为 N 沟道金属氧化物半导体（NMOS）晶体管或制造为 P 沟道 MOS（PMOS）晶体管。特别地，将驱动晶体管制造为耗尽型 PMOS 晶体管有助于噪声的改进。

本专利申请包含与在 2005 年 6 月 15 日于韩国专利局提交的韩国专利申请 No. KR 2005-0051555 相关的主题，其全部内容在此引入作为参考。

紧凑、具有高灵敏度及低暗电流的新颖 3T 及 4T 像素布局的优选实施例已得以描述，其意图为说明性的而非限制性的，应注意，本领域的技术人员可根据上述教示进行修改和变化。因此，应理解可在已公开的本发明的特定实施例中进行改变，所述改变在由所附权利要求所限定的本发明的范围和精神内。

图1
(现有技术)

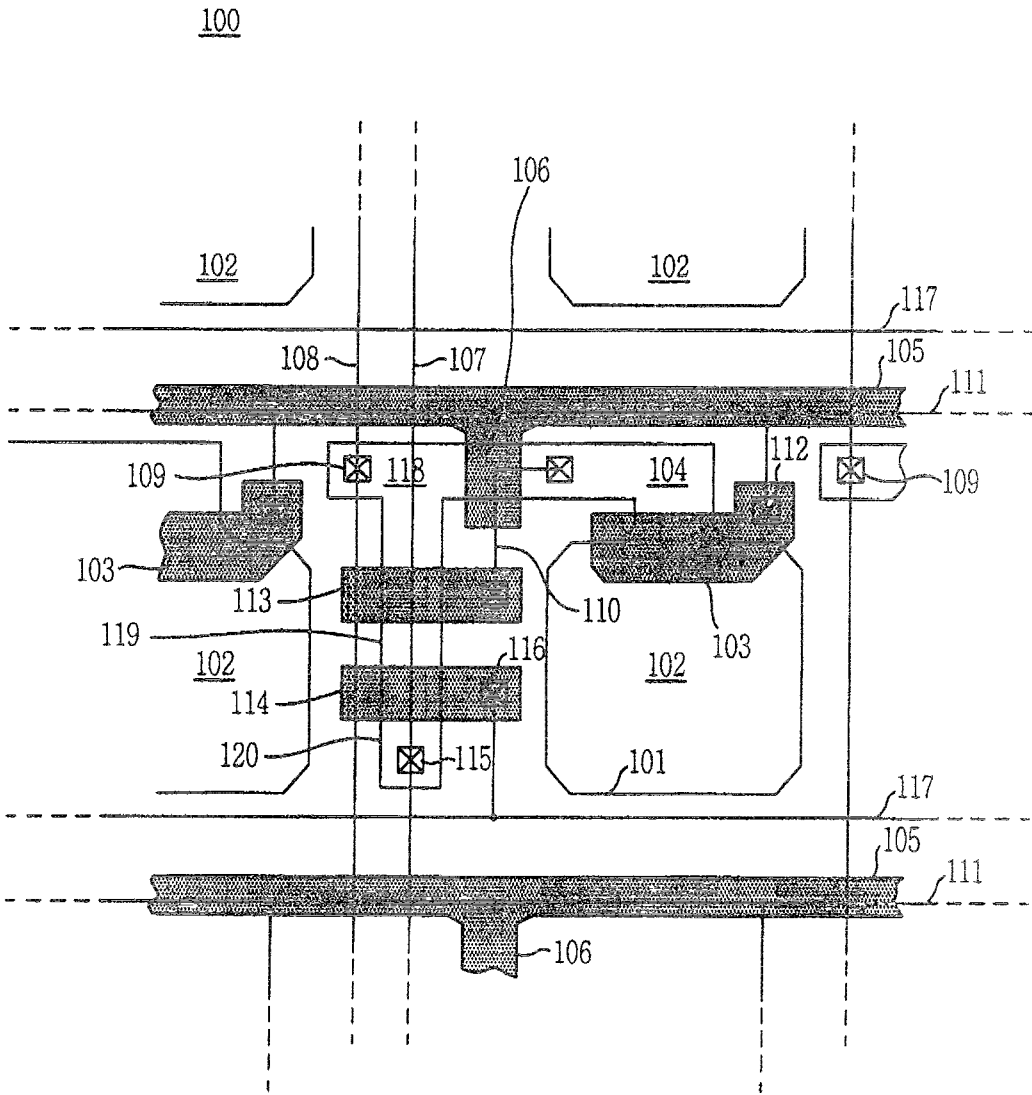


图2

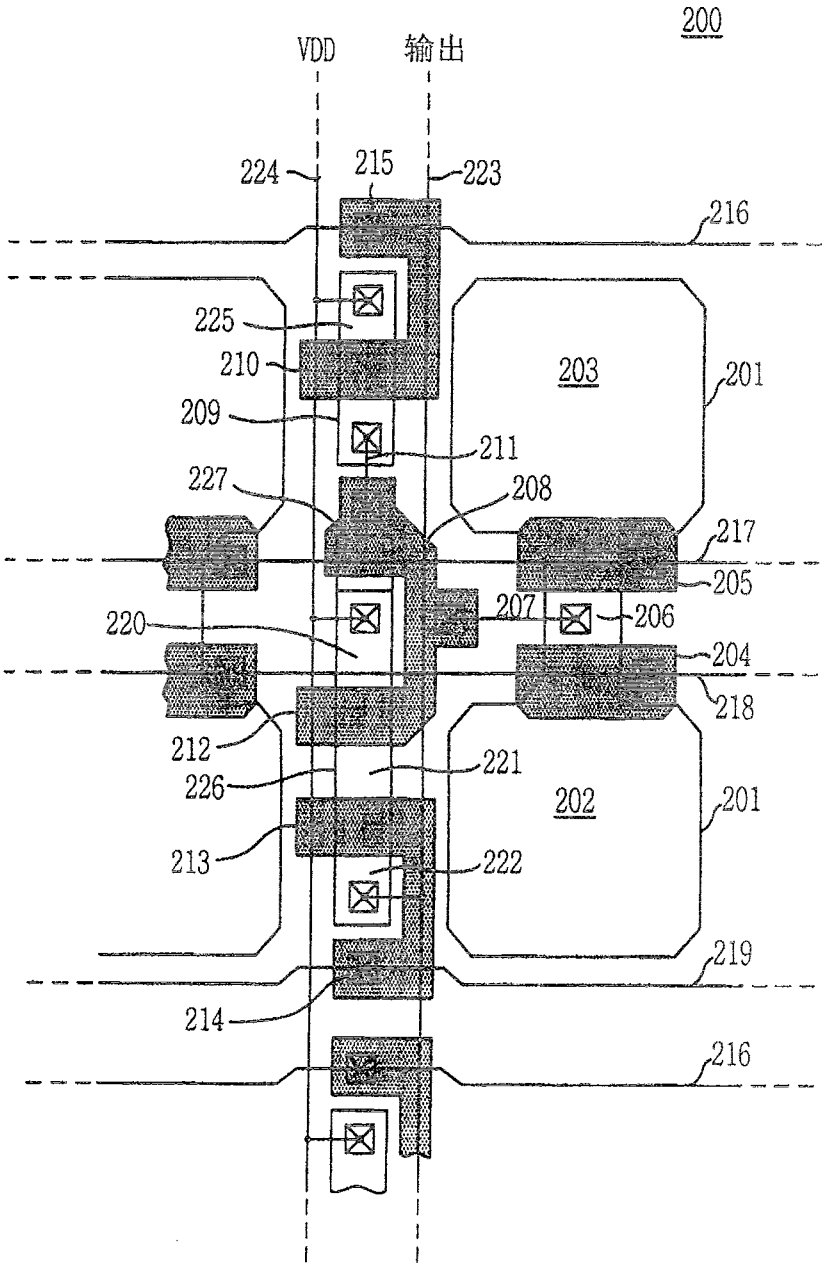


图 3

