

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5073749号

(P5073749)

(45) 発行日 平成24年11月14日(2012.11.14)

(24) 登録日 平成24年8月31日(2012.8.31)

(51) Int.Cl. F I
H03L 7/081 (2006.01) H03L 7/08 J
H03L 7/08 (2006.01) H03L 7/08 K

請求項の数 17 (全 16 頁)

(21) 出願番号	特願2009-529327 (P2009-529327)	(73) 特許権者	591013469
(86) (22) 出願日	平成19年9月18日(2007.9.18)		ナショナル セミコンダクタ コーポレイ ション
(65) 公表番号	特表2010-504068 (P2010-504068A)		NATIONAL SEMICONDUCTOR CORPORATION
(43) 公表日	平成22年2月4日(2010.2.4)		アメリカ合衆国, カリフォルニア 95 051, サンタ クララ, セミコンダ クタ ドライブ 2900
(86) 国際出願番号	PCT/US2007/078688		
(87) 国際公開番号	W02008/036613	(74) 代理人	100076185
(87) 国際公開日	平成20年3月27日(2008.3.27)		弁理士 小橋 正明
審査請求日	平成22年9月9日(2010.9.9)	(72) 発明者	クーンズ, マーク ディー.
(31) 優先権主張番号	11/523, 123		アメリカ合衆国, アリゾナ 85381 , ペオリア, ウェスト レッドフィー ルド ロード 6953
(32) 優先日	平成18年9月18日(2006.9.18)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 数値制御型オシレータ (NCO) 出力クロック位相平滑化

(57) 【特許請求の範囲】

【請求項 1】

位相平滑化システムであって、

入力クロックに基づく選択可能周波数において複数個のNCOクロックパルスを生成するように構成されており、前記複数個のNCOクロックパルスのエッジが前記入力クロックのエッジに整合されている、数値制御型オシレータ(NCO)と、

前記NCOへ結合されており、前記複数個のNCOクロックパルスの各々に対して対応する位相エラーを生成するように構成されている、位相エラー計算モジュールと、

前記位相エラー計算モジュールへ結合されており、前記選択可能周波数において出力クロックを発生するために前記対応する位相エラーに従って前記複数個のNCOクロックパルスの各々を調節するように構成されているクロック位相選択可能遅延であって、前記出力クロックのエッジが、理想的な出力位相を一層近接して近似するべく位相調節されており且つ前記入力クロックの前記エッジと必ずしも整合する必要がない、クロック位相選択可能遅延と、

を含み、

前記クロック位相選択可能遅延が、

L個のバッファの第1のストリングを有し、前記入力クロックを受け取り且つ前記入力クロックをL個の等しい位相へロックするように構成されている遅延ロックループ(DLL)と、

L個のバッファの第2のストリングを有し、前記複数個のNCOクロックパルスを受け

10

20

取り且つ前記入力クロックの前記 L 個の等しい位相を発生するように構成されている電圧制御型遅延線 (VCDL) と、

前記対応する位相エラーを受け取り且つ前記複数個の NCO クロックパルスの内の対応する NCO クロックパルスへ適用される前記対応する位相エラーに基づいて適宜の位相遅延を選択するように構成されているマルチプレクサと、

を含み、

L 個のバッファの前記第 2 のストリングに印加される制御電圧が L 個のバッファの前記第 1 のストリングに印加される制御電圧と等しい、
位相平滑化システム。

【請求項 2】

請求項 1 に記載の位相平滑化システムであって、
前記 NCO が、
前記入力クロックを受け取り且つ前記入力クロックのエッジにおいて蓄積された値を与えるように構成されているアキュムレータを含む、
位相平滑化システム。

【請求項 3】

請求項 2 に記載の位相平滑化システムであって、
前記 NCO が、更に、
前記アキュムレータへ結合されており、前記アキュムレータ内の値を周波数制御入力に継続的に加算するように構成されている加算ブロックを含む、
位相平滑化システム。

【請求項 4】

請求項 3 に記載の位相平滑化システムであって、
前記加算ブロックが、前記入力クロックの前記エッジにおいて前記周波数制御入力を前記蓄積された値に加算し且つ前記アキュムレータ内に格納するために次の前に蓄積された値を発生するように構成されている、位相平滑化システム。

【請求項 5】

請求項 2 に記載の位相平滑化システムであって、
前記アキュムレータが、前記複数個の NCO クロックパルスの内の 1 個の NCO クロックパルスを出力するように構成されている、位相平滑化システム。

【請求項 6】

請求項 2 に記載の位相平滑化システムであって、
前記位相エラー計算モジュールが、前記選択可能周波数において理想的な NCO クロックと比較される前記アキュムレータによって発生される NCO クロックパルスの位相エラーを決定するように構成されており、前記位相エラーが前記アキュムレータ内の前記蓄積された値のフラクショナルビットに基づいている、位相平滑化システム。

【請求項 7】

請求項 1 に記載の位相平滑化システムであって、
前記 DLL が、
前記第 1 のストリングに結合されており、前記 L に等しい位相が入力クロック周期に等しく無い場合に差エラーを計算するように構成されている位相周波数検知器 (PFD) と、

前記ストリングを前記入力クロックへロックするために前記差エラーを補正するために前記 PFD に結合されているチャージポンプと、
を含む、位相平滑化システム。

【請求項 8】

位相平滑化システムであって、
入力クロックを受け取り且つ前記入力クロックのエッジにおいて蓄積された値を供給するように構成されており、選択可能周波数において NCO クロックの NCO クロックパルスを生成する、アキュムレータと、

10

20

30

40

50

前記アキュムレータへ結合されており、前記アキュムレータ内に格納するために次の蓄積された値を発生するために前記蓄積された値を周波数制御入力に加算するように攻勢されている、加算ブロックと、

前記アキュムレータへ結合されており、前記NCOクロックパルスに対する位相エラーを発生するように構成されている、位相エラー計算モジュールと、

前記位相エラー計算モジュールへ結合されており、前記選択可能周波数において出力クロックの出力クロックパルスを発生するために前記位相エラーに従って前記NCOクロックパルスを調節するように構成されているクロック位相選択可能遅延であって、前記出力クロックのエッジが理想的な出力位相を一層近接して近似するように位相調節されており且つ前記入力クロックの前記エッジに必ずしも整合する必要がない、クロック位相選択可能遅延と、

10

を含み、

前記クロック位相選択可能遅延が、

L個のバッファの第1のストリングを有し、前記入力クロックを受け取り且つ前記入力クロックをL個の等しい位相へロックするように構成されている遅延ロックループ(DLL)と、

L個のバッファの第2のストリングを有し、前記NCOクロックパルスを受け取り且つ前記入力クロックの前記L個の等しい位相を発生するように構成されている電圧制御型遅延線(VCDL)と、

前記位相エラーを受け取り且つ前記出力クロックとして前記NCOクロックパルスへ印加される前記位相エラーに基づいて適宜の位相遅延を選択するように構成されているマルチプレクサと、

20

を含み、

L個のバッファの前記第2のストリングに印加される制御電圧がL個のバッファの前記第1のストリングに印加される制御電圧と等しい、

位相平滑化システム。

【請求項9】

請求項8に記載の位相平滑化システムであって、

前記位相エラー計算モジュールが前記蓄積された値のフラクショナルビットに基づいて前記位相エラーを決定するように構成されている、位相平滑化システム。

30

【請求項10】

請求項8に記載の位相平滑化システムであって、

前記アキュムレータが前記蓄積された値の1個のビットに基づいて前記NCOクロックパルスを生成する、位相平滑化システム。

【請求項11】

位相平滑化を提供する方法であって、

入力クロックに基づく選択可能周波数において複数個のNCOクロックパルスを生成し、前記複数個のNCOクロックパルスの前端が前記入力クロックの前端に整合しており、

前記選択可能周波数の理想的なNCOクロックと比較された場合に前記複数個のNCOクロックパルスの各々に対する対応する位相エラーを決定し、

40

前記選択可能周波数において出力クロックを発生するために前記対応する位相エラーを前記複数個のNCOクロックパルスの各々へ適用し、前記出力クロックの前記前端が前記理想的なNCOクロックの理想的な位相に一層近接して近似するように位相調節されており且つ前記入力クロックの前記前端と必ずしも整合する必要がない、

ことを含み、

前記対応する位相エラーを適用することが、

前記入力クロックのL個の等しい位相に対応するL個のタップ点を含む第1の遅延線を形成し、

前記NCOクロックパルスのL個の等しい位相に対応するL個のタップ点を含む第2の遅延線を形成し、

50

前記 N C O クロックパルスへ適宜の位相遅延を適用するために前記対応する位相エラーに基づいて前記第 2 の遅延線の適宜のタップ点を選択する、

ことを含む、

前記第 1 及び第 2 の遅延線が同じ制御電圧で制御される、
方法。

【請求項 1 2】

請求項 1 1 に記載の方法であって、

前記複数個の N C O クロックパルスを生成することが、

前記入力クロックの前端において、蓄積された値を周波数制御入力に加算して次の蓄積された値を発生し、

前記次の蓄積された値を格納する、

ことを含む、方法。

【請求項 1 3】

請求項 1 2 に記載の方法であって、更に、

前記複数個の N C O クロックパルスの内の 1 個の N C O クロックパルスを発生する、

ことを含む、方法。

【請求項 1 4】

請求項 1 2 に記載の方法であって、

前記対応する位相エラーを決定することが、

前記蓄積された値のフラクショナルビットに基づいて N C O クロックパルスの正規化された位相エラーを決定し、

1 から前記正規化された位相エラーを減算することにより前記対応する位相エラーを発生するために前記正規化された位相エラーを補償する、

ことを含む、方法。

【請求項 1 5】

請求項 1 1 に記載の方法であって、更に、

前記入力クロックを受け取り、

前記入力クロックを L 個の等しい位相へロックする、

ことを含む、方法。

【請求項 1 6】

請求項 1 1 に記載の方法であって、更に、

前記出力クロックとして前記適宜の位相遅延を具備する前記 N C O クロックパルスを出
力する、

ことを含む、方法。

【請求項 1 7】

請求項 1 1 に記載の方法であって、

前記適宜のタップ点を選択することが、

前記 L 個のタップ点を提供する電圧制御型遅延線 (V C D L) の全てのバッファが同一
の値である場合に前記適宜のタップ点を選択する、

ことを含む、方法。

【発明の詳細な説明】

【技術分野】

【0001】

ここに記載する実施例は、数値制御型オシレータの分野に関するものである。更に詳細には、一般的に、数値制御型オシレータによって発生されるクロックにおけるジッタを最小とすることに関するものである。

【背景技術】

【0002】

数値制御型オシレータ (N C O) は、アキュムレータ及び制御レジスタに基づくクロック周波数合成及び制御のために通常使用されるデジタル回路である。 N C O の出力クロッ

10

20

30

40

50

ク平均周波数は、多数の出力クロックサイクルを包含する或る期間にわたり任意的に正確であるようにさせることが可能である。周波数精度は、入力クロック周波数及びNCOアキュムレータ幅によって決定される。特に、NCOは、しばしば、デジタルPLL実現例において使用され且つ機能においてアナログPLLにおける電圧制御型オシレータ(VCO)に類似している。NCOは、周波数出力を正確に制御することが可能であり且つVCOの場合に存在するようなノイズ、ドリフト等の本質的な問題が存在しないという点において、アナログVCOよりも有益性を有している。

【0003】

然しながら、NCOは性質上デジタルであるために、クロック位相の時間離散化によって誘起されるジッタの問題を抱えている。即ち、NCOクロック信号のクロックパルスのどの前端も入力クロックエッジの発生と整合することに拘束されている。従って、1個のNCOクロックエッジから次のものへの時間は、一つの入力クロック周期だけ変化する場合がある。NCOクロックの平均周波数は所望通りの精度とさせることが可能であるが、入力クロックの周期と等しいジッタが常にクロック上に存在している。

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

特に、1実施例においては、位相平滑化システムについて記載し、それは、入力クロックに基づいて選択可能な周波数において複数個のNCOクロックパルスを発生する形態とされている数値制御型オシレータ(NCO)を包含している。

20

【課題を解決するための手段】

【0005】

該複数個のNCOクロックパルスのエッジは、入力クロックのエッジに整合されている。位相エラー計算モジュールが該NCOへ結合されており、且つ該複数個のNCOクロックパルスの各々に対して対応する位相エラーを発生する形態とされている。クロック位相選択可能遅延が該位相エラー計算モジュールへ結合されており、且つ選択可能な周波数において出力クロックを発生するために該対応する位相エラーに従って該複数個のNCOクロックパルスの各々の位相を調節する形態とされている。該出力クロックのエッジは、理想的な位相をより良く近似するために該位相エラーに従って調節され且つ入力クロックのエッジに対して必ずしも整合することを必要とするものではない。

30

【図面の簡単な説明】

【0006】

【図1】本特許請求の範囲に記載されている発明の1実施例に基づくNCOの出力クロックにおけるジッタを最小とさせることが可能なシステムのブロック図。

【図2】本発明の1実施例に基づく図1のクロック位相選択可能遅延モジュールのブロック図。

【図3】本発明の1実施例に基づく図1のNCOの出力クロックの位相遅延補償を例示しているタイミング線図。

【図4】本発明の1実施例に基づくNCOの出力クロックにおけるジッタを最小とさせる方法を例示したフローチャート400。

40

【発明を実施するための形態】

【0007】

NCOによって発生されるクロックにおけるジッタを最小とさせる本発明の好適実施例、システム及び方法について詳細に説明するが、それらの例は添付の図面に例示されている。

【0008】

従って、本発明の種々の実施例は、NCO出力クロック位相平滑化を実施するシステム及び方法を開示するものである。本発明の実施例は、上述したことを達成し、且つ更にNCOによって発生される出力クロック信号におけるジッタを最小化させる。

【0009】

50

以下の詳細な説明は、添付の図面を参照して現在特許請求の範囲に記載されている発明の例示的实施例についてのものである。この様な説明は、本発明の範囲に関しては、制限的なものではなく例示的なものであることが意図されている。この様な実施例は、当業者が本発明を実施することが可能であるのに十分であるように記載され、且つ本発明の精神又は範囲を逸脱すること無しに幾らかの変形を伴ってその他の実施例として実施することが可能であることが理解される。

【 0 0 1 0 】

表記法及び用語法

本発明の実施例は、LCDディスプレイ（例えば、テレビジョンディスプレイ）などのイメージングシステムと関連するハードウェア又はコンピュータ上で稼動するソフトウェア上で実現させることが可能である。該コンピュータシステムは、パソコン、ノートブックコンピュータ、サーバコンピュータ、メインフレーム、ネットワーク型コンピュータ、ワークステーション等とすることが可能である。このソフトウェアプログラムは、NCOクロック位相平滑化を与えるべく動作可能である。1実施例においては、該コンピュータシステムは、バスに結合されているプロセッサ、及び該バスに結合されているメモリ格納部を包含している。該メモリ格納部は、揮発性又は非揮発性とすることが可能であり、且つ着脱自在な格納媒体を包含することが可能である。該コンピュータは、又、ディスプレイ、データ入力及び出力用設備等を包含することが可能である。

【 0 0 1 1 】

以下の詳細な説明の内の幾つかの部分は、手順、ステップ、論理ブロック、処理、及びコンピュータメモリ上で実施することが可能なデータビットに関する演算のその他の記号的表現により示される。これらの説明及び表現は、当該技術における他の当業者に対して作業実体を最も効果的に伝達するためにデータ処理技術における当業者によって使用されている手段である。手順、コンピュータにより実行されるステップ、論理ブロック、プロセッサ等は、ここでは且つ一般的に、所望の結果に通じる演算又は命令の首尾一貫したシーケンスであると考えられる。該演算は、物理的量の物理的操作を必要とするようなものである。通常、といっても必ずしもというわけではないが、これらの量は、コンピュータシステム内において格納され、転送され、結合され、比較され、且つその他の態様で操作されることが可能な電氣的又は磁氣的信号の形式を取る。これらの信号のことをビット、値、要素、記号、文字、項目、数等として参照することが、主に一般的な使用態様の理由から、時折便利であることが証明されている。

【 0 0 1 2 】

然しながら、これらの及び同様の項目は全て適宜の物理的量と関連すべきものであり、これらの量に対して適用される単なる便利なラベルであることを銘記すべきことである。以下の説明から明らかなようにそうでないことが特筆されない限り、本発明全体を通じて、「決定する」、「発生する」、「適用する」等の用語を使用する説明は、コンピュータシステムのレジスタ及びメモリ内の物理的（電子的）量として表されているデータを操作し且つ該コンピュータシステムのメモリ又はレジスタ又はその他のそのような情報格納部、伝送又はディスプレイ装置内の物理的量として同様に表されるその他のデータへ変換するコンピュータシステム、又は埋込型システムを包含する同様の電子的コンピューティング装置の動作及び処理のことを意味するものである。

【 0 0 1 3 】

NCOクロック位相平滑化

本発明の実施例は、最小のジッタを示す一次クロックから二次クロックを派生する目的のためのNCOクロックを実現する。特に、本発明の実施例は、従来のNCOクロック出力によって発生される離散化によって発生されるジッタと比較した場合にNCOクロックの出力上のジッタを減少させることが可能である。

【 0 0 1 4 】

図1は、本発明の1実施例に従って、NCOにより発生されるクロックのジッタを最小化させることが可能な位相平滑化システム100のブロック図である。NCOクロックジ

10

20

30

40

50

ットは、NCO110に続くクロック位相選択可能遅延モジュールの付加によって減少される。NCOクロックジッタは、以下により詳細に説明する選択可能係数Lによって従来のNCOシステムにおける入力クロックの1クロック周期から減少される。

【0015】

位相平滑化システム100は、選択可能な周波数における複数のNCOクロックパルスを含むNCOクロック180を発生する形態とされているNCO110を有している。該NCOクロックは、入力クロック160及び基準入力、即ち周波数制御入力150、に基づいている。NCOクロック180は非常に精密な平均クロック周波数を発生するが、NCOクロック180はこの点においてクロックのサイクル毎のジッタを示している。即ち、NCOクロック180の複数のNCOクロックパルスのエッジ（例えば、前端）は入力クロック160のエッジに整合されている。そうであるから、結果的に発生するジッタは入力クロック160の周期、例えばT_{ckin}、と等しい。

10

【0016】

1実施例においては、NCO110は、入力クロック160を受け取り且つ入力クロックの前端において前の蓄積した値（例えば、N-1）を与える形態とされているアキュムレータ140を有している。該アキュムレータの出力は加算ブロック及び位相エラー計算モジュール130へ送られる。例示目的のために、本発明の実施例は入力クロック160のリーディングエッジ即ち前端でトリガーされるものとして説明する。然しながら、その他の実施例は、入力クロック160のフォールディングエッジ即ち後端でトリガーされる場合にも適している。

20

【0017】

加算ブロック120はアキュムレータ140へ結合されており且つ入力クロックのエッジにおいて前の蓄積した値（例えば、N-1）を周波数制御入力150と加算する形態とされている。加算ブロック120はアキュムレータ140内に格納するために次の前に蓄積した値（例えば、N）を発生する。

【0018】

その結果、アキュムレータ140は、入力クロックの各前端において格納されている値と周波数制御入力150とを断続的に加算する。その結果、アキュムレータ140は、NCOクロック180の複数のNCOクロックパルスを発生することが可能である。特に、1実施例においては、アキュムレータ140は、該アキュムレータ内の蓄積された値に基づいてNCOクロックパルス（例えば、N-1）を発生する。1実施例においては、アキュムレータ140は1ビットの蓄積された値に基づいてNCOクロックパルスを発生する。別の実施例においては、アキュムレータ140はアキュムレータ140によって出力される蓄積された値の最大桁ビット（MSB）に基づいてNCOクロックパルスを発生する。更に別の実施例においては、アキュムレータ140は、MSBが1である場合にNCOクロックパルスを発生する。

30

【0019】

特に、NCO110の平均出力周波数は以下のように式1で与えられる。

【0020】

【数1】

40

$$\overline{f}_{NCO} = f_{CLKIN} \frac{\Delta}{2^N} \quad (1)$$

【0021】

式1において、以下の項、

【0022】

【数1a】

$$\overline{f}_{NCO} \in \mathbb{R}$$

【0023】

はHzでのNCO出力180平均周波数を意味している。又、以下の項、

50

【 0 0 2 4 】

【 数 1 b 】

$$f_{CLKIN} \in \mathfrak{R}$$

【 0 0 2 5 】

は H z での入力クロック 1 6 0 周波数を意味している。以下の項、

【 0 0 2 6 】

【 数 1 c 】

$$M_{NCO} \in \mathfrak{I}$$

10

【 0 0 2 7 】

はアキュムレータ 1 4 0 の大きさを意味しており、それは、1 実施例においては、2 の冪である（例えば、 $M_{NCO} = 2^N$ ）。又、以下の項、

【 0 0 2 8 】

【 数 1 d 】

$$N \in \mathfrak{I}$$

【 0 0 2 9 】

はアキュムレータ 1 4 0 内のビット数を意味している。以下の項、

【 0 0 3 0 】

20

【 数 1 e 】

$$\Delta \in \mathfrak{I}$$

【 0 0 3 1 】

は NCO 周波数制御入力 1 5 0 を意味している。

【 0 0 3 2 】

NCO 1 1 0 は、又、位相エラー計算モジュール 1 3 0 を有している。1 実施例においては、位相エラー計算モジュールはアキュムレータ 1 4 0 へ結合されており且つアキュムレータ 1 4 0 の出力（例えば、 $N - 1$ ）を受け取る形態とされている。NCO クロック 1 8 0 の各パルスに対して、該位相エラー計算モジュールは対応する位相エラーを発生する形態とされている。

30

【 0 0 3 3 】

特に、位相エラー計算モジュール 1 3 0 はセレクト入力 S_{COMP} 1 3 5 を発生し、それは NCO クロックパルス（例えば、 $N - 1$ ）の対応する位相エラーを表している。このセレクト入力は、NCO クロック 1 8 0 のジッタを減少させるために NCO クロックパルスへ適用される位相遅延を発生するために使用される。

【 0 0 3 4 】

1 実施例において、位相エラー計算モジュール 1 3 0 は、アキュムレータ 1 4 0 によって発生される NCO クロックパルス（例えば、 $N - 1$ ）の位相エラーを決定する形態とされている。該位相エラーは、以下に更に詳細に説明するように、NCO クロックパルスの実際の位相を選択可能な周波数においての理想的な NCO クロックの位相と比較することによって決定される。付加的に、該位相エラーは、1 実施例においては、アキュムレータ 1 4 0 内の蓄積された値のフラクショナルビット（fractional bits）に基づいており、又は、別の実施例によれば、アキュムレータ 1 4 0 内の蓄積された値と周波数制御入力 1 5 0 との結合に基づいている。

40

【 0 0 3 5 】

1 実施例においては、遅延パイプラインが位相エラー計算モジュールの後に導入される。該遅延パイプラインは、クロック入力の少なくとも一つの位相を有しており且つ出力クロック 1 9 0 に様に適用される。該遅延パイプラインは、1 実施例においては、位相エラー計算モジュール 1 3 0 がその計算を実行することを可能とするために導入される。

50

【 0 0 3 6 】

位相平滑化システム 1 0 0 は、又、クロック位相選択可能遅延 1 7 0 を有しており、それは位相エラー計算モジュール 1 3 0 へ結合されている。クロック位相選択可能遅延 1 7 0 は、選択可能周波数においてジッタを減少させた出力クロックを発生するために、それに対応する位相エラー（例えば、位相エラー計算モジュール 1 3 0 によって発生されるセレクト入力）に従って N C O クロック 1 8 0 の複数の N C O クロックパルスの各々を調節する形態とされている。特に、該出力クロックの前端は入力クロックの前端と必ずしも整合するものではない。より特定的には、出力クロックのエッジは理想的な出力位相に一層近く近似すべく位相調節されており、入力クロックのエッジと必ずしも整合することは必要ではない。

10

【 0 0 3 7 】

特に、N C O 1 1 0 によって発生される N C O クロックパルスの位相エラーは以下の如くに決定される。任意の与えられた時間において、アキュムレータ 1 4 0 の値は、以下の式 2 によって表されるように、デジタル形式における N C O クロックパルス（例えば、N - 1）の位相を表すものと考えることが可能である。

【 0 0 3 8 】

【 数 2 】

$$\phi_{NCO}(t) = \frac{A(t)}{2^N} \quad (2)$$

20

【 0 0 3 9 】

式 2 において、A (t) はアキュムレータ 1 4 0 の瞬間的な値である。1 実施例においては、N C O クロック 1 8 0 はアキュムレータ 1 4 0 の M S B であるから、このことは真の位相の大雑把な近似と考えることが可能であり、それは 1 8 0 度の分解能での正確度である。

【 0 0 4 0 】

式 1 から、該アキュムレータの増分的正規化された位相変化は以下の式 3 によって与えられる。

【 0 0 4 1 】

【 数 3 】

$$\partial \phi_{NCO} = \frac{\overline{f}_{NCO}}{f_{CLK}} = \frac{\Delta}{2^N} \quad (3)$$

30

【 0 0 4 2 】

これは、又、N C O クロックエッジが発生する位相エラーの上限である。N C O クロック 1 8 0 の全てのエッジにおいて、対応する N C O クロックパルスの正規化された位相エラーは以下の式 4 によって与えられる。

【 0 0 4 3 】

【 数 4 】

$$0 \leq \phi_{ERRNCO} < \partial \phi_{NCO} \quad (4)$$

40

【 0 0 4 4 】

付加的に、対応する N C O クロックパルスの実際の位相は、1 実施例においては、アキュムレータ 1 4 0 のフラクショナルビットから決定することが可能である。フラクショナルビット (A _ F R A C) は、アキュムレータ 1 4 0 内の M S B 未満の値全てである。実際の位相は以下の式 5 によって与えられる。

【 0 0 4 5 】

【数 5】

$$\phi_{ERRNCO} = \frac{A_{FRAC}}{2^N} \quad (5)$$

【0046】

該実際の位相は、1実施例においては、NCOクロック180のエッジの離散化によって発生される位相エラーを取除くために使用される。特に、式5は正規化された位相エラーを表しており、それは理想的なクロックエッジ（例えば、0度）とNCO110によって発生されたNCOクロック180のNCOクロックパルスの実際の位相との間の差である。これはNCOクロック周波数に対して正規化される。然しながら、この位相エラーは式4によって拘束されるので、該位相エラーの補償はこの境界内において必要であるに過ぎない。そうであるから、該位相エラーは以下の式6における入力クロック周期に関しての正規化されたエラーとして表される。

10

【0047】

【数 6】

$$\phi_{ERRCLK} = \frac{\phi_{ERRNCO}}{\partial \phi_{NCO}} = \frac{A_{FRAC}}{\Delta} \quad (0 \leq \phi_{ERRCLK} < 1) \quad (6)$$

【0048】

図3は、本発明の1実施例に従うシステム100によって発生される信号のタイミングを例示したタイミング線図300である。例えば、図3はクロック入力信号（CLKIN）310のタイミングを例示している。又、実際のNCOクロック（NCO CLK）320が示されている。1実施例においては、実際のNCO CLKは図1のNCOクロック180に類似している。更に、図3は、又、NCO110によって発生された位相エラーを補償する補償されたNCOクロック（NCO CLK）340を例示している。

20

【0049】

特に、式6において計算される位相エラーは、理想的なNCO CLK320とNCO CLK330の実際のクロック位相との間の位相差を例示している。例えば、該差異はERRCLK350で示されている。

【0050】

式6において計算された正規化されたエラー（例えば、ERRCLK350）は、実際のNCO CLK330の実際の位相における「遅れ」を表している。この遅れが発生する理由は、ゼロのエラーは、実際のNCO CLK330のNCOクロックエッジはそれが理想的なNCO CLK320において理想的であるべき箇所に正確に発生することを暗示しているからである。そうであるから、正のエラーは、実際のNCO CLK330からの実際のNCOクロックエッジは式6において計算される位相エラーに等しい量だけ理想的なものより遅れて発生することを示している。1実施例においては、式6において計算されるこの位相エラーを補償するために、以下の式7において計算されるように、1 - 位相エラーである位相遅延を付加することが必要である。

30

【0051】

【数 7】

$$\phi_{COMP} = 1 - \phi_{ERRCLK} \quad (7)$$

【0052】

式7において計算される補償された位相エラーは図3においてCOMP360として示してある。

【0053】

更に、図3に示されているように、NCO位相補償の位相遅延は、以下の式8に示されるように、一定とさせることが可能である。

【0054】

40

50

【数 8】

$$\phi_{TOTAL} = \phi_{EERCLK} + \phi_{COMP} = 1 \quad (= T_{CLKIN}) \quad (8)$$

【0055】

全位相 ϕ_{COMP} 370 も一定のものとして図3に示してある。式8に示されるように、NCO110の離散化によって導入される位相エラーに拘わらずに、この位相エラーは、最小のジッタ又はジッタ無しでの固定した位相遅延を発生させるための補償スキームによって取除くことが可能である。

【0056】

次に図2を参照すると、本発明の1実施例に基づくクロック位相選択可能遅延(CPSD)モジュール170のブロック線図が一層詳細に例示されている。CPSDモジュール170は、位相エラー計算モジュールによって出力されるセレクト入力 S_{COMP} 135に基づくNCOクロック180のNCOクロックパルス(例えば、N-1)の位相遅延させたバージョンを発生する。

【0057】

CPSDモジュール170は、式7における位相補償を発生する。CPSDモジュール170は、入力クロック160を受け取る形態とされている遅延ロックループ(DLL)240を有している。特に、DLL240は、1実施例においては、入力クロック160をL個の等しい位相へロックする。即ち、該DLLは、入力クロック160の周期 T_{CLKIN} のL個の等しい位相がバッファLによって示されているようにバッファストリング245内の遅延ステージによって表されるように、入力クロック160をロックする。

【0058】

特に、入力クロック160は、位相周波数検知器(PFD)247及びチャージポンプ249によって断続的にロックされる。即ち、PFD247はバッファのストリング245へ結合されており且つL個の等しい位相が入力クロック周期 T_{CLKIN} と等しく無い場合の位相エラーを計算する形態とされている。更に、チャージポンプ249はPFD147へ結合されており且つバッファのストリング245を入力クロックへロックさせるためにその差を補正する形態とされており、そのことは、入力クロック周期 T_{CLKIN} にわたりL個の等しく離隔された位相を発生する。

【0059】

更に、CPSDモジュール170は、アキュムレータ140へ結合されている電圧制御型遅延線(VCDL)230を有している。VCDL230は、NCOクロック180の複数個のNCOクロックパルスを受け取る形態とされている。更に、VCDL230は、入力クロック周期 T_{CLKIN} のL個の等しい位相を発生する形態とされている。即ち、DLL240は、VCDL230におけるバッファLによって表されるバッファストリング235の遅延ステージを横断しての電圧を制御する制御型電圧245を発生する。

【0060】

VCDL235は、DLL240におけるバッファストリング235と同一であり且つマッチングする遅延ステージをバッファストリング235内に有している。そうであるから、VCDL230は、その遅延が1個の入力クロック周期 T_{CLKIN} と正確に等しく且つその位相が各々 T_{CLKIN} / L によって表される遅延線を形成している。

【0061】

CPSDモジュール170は、又、位相エラー計算モジュール130へ結合されているマルチプレクサ190を有している。該マルチプレクサは、入力NCOクロックパルス(例えば、N-1)の対応する位相エラーを受け取り且つ該対応する位相エラーに基づいて適宜の位相遅延を選択する形態とされている。該適宜の位相遅延は、出力クロック190を発生するために、前記複数個のNCOクロックパルスの内の対応するNCOクロックパルス(例えば、N-1)へ適用される。

【0062】

特に、該NCOクロックパルス(例えば、N-1)は、前述したように、セレクト信号

10

20

30

40

50

S_{COMP} 135 から選択される適宜の位相遅延で VCDL 235 を介して通過される。即ち、1 実施例においては、該マルチプレクサは、該バッファストリング 235 内の適宜のタップ点を選択して、適宜の位相遅延を NCO クロックパルス（例えば、N - 1）へ付加してジッタを減少させる。

【0063】

1 実施例においては、使用可能な位相選択の数は離散的であるので、式 7 の位相補償は、S_{COMP} 135 を発生させるために式 9 において修正される。

【0064】

【数 9】

$$S_{COMP} = \phi_{ERRCLK} L = \frac{A_{FRAC}}{\Delta} L \quad (9)$$

10

【0065】

式 9 において、1 実施例においては、S_{COMP} は最も近い整数値へ切り捨てられる。図 2 に示されているように、S_{COMP} のより低い値は一層大きな位相遅延を選択して式 7 の逆の関係を実現する。本発明の実施例においては、全体的なシステムのジッタ要件を満足させるためにバッファストリング 235 の遅延線内に位相タップの数を増加させるために L を変化させることが可能である。

【0066】

別の実施例においては、出力クロック 190 はグリッチが無いものであるように構成されている。特に、セレクト入力 S_{COMP} は、VCDL バッファストリング 235 の要素の全てが同一の値（例えば、全て低）にある場合にのみ変化される。1 実施例において、マルチプレクサ 220 がこれらの条件下においてグリッチの無いものである場合には、出力クロック 190 におけるジッタは最小化されており且つグリッチの無いものである。

20

【0067】

図 4 は、本発明の 1 実施例に従って NCO クロックに対して位相平滑化を与える方法における段階を例示しているフローチャート 400 である。即ち、本実施例は、NCO によって発生される出力クロックにおけるジッタを最小化させる。

【0068】

410 において、本実施例は入力クロックに基づく選択可能周波数において複数の NCO クロックパルスを発生する。特に、NCO 110 は選択可能周波数において複数の NCO クロックパルスを発生する。該複数の NCO クロックパルスの前端は入力クロックの前端と整合されている。

30

【0069】

更に詳細には、入力クロックの前端において、本実施例は、前の蓄積した値を周波数制御入力と加算して現在の蓄積された値を発生する。この現在の蓄積された値は、入力クロックの次の前端によって導入される次のサイクルに対する次の前に蓄積された値を有している。

【0070】

又、本実施例は、該前の蓄積された値の MSB が 1 である場合に該複数の NCO クロックパルスの内の 1 個の NCO クロックパルスを発生する。即ち、図 1 のアキュムレータ 140 内の蓄積された値の MSB が 1 の値をアサートする場合にはいつでも、該アキュムレータは NCO クロックパルス（例えば、N - 1）を発生する。

40

【0071】

420 において、本実施例は、該複数の NCO クロックパルスの各々に対しての対応する位相エラーを決定する。特に、位相エラー計算モジュール 130 は位相エラーを決定する。該位相エラーは、対応する NCO クロックパルスの実際の位相を選択可能周波数の理想的な NCO クロックの理想的な位相と比較することにより計算される。

【0072】

特に、本実施例は、周波数制御入力及び前の蓄積した値のフラクショナルビットに基づ

50

いてNCOクロックパルスの正規化された位相エラーを決定する。該正規化された位相エラーは、1から該正規化された位相エラーを減算して対応するNCOクロックパルスの対応する位相エラーを発生させることにより補償される。

【0073】

430において、本実施例は、該対応する位相エラーを該複数個のNCOクロックパルスの各々へ適用する。特に、CPSDモジュール170は、該対応する位相エラーを適用して選択可能周波数における出力クロックを発生し、そのことはジッタを最小化させる。特に、出力クロックの前端は入力クロックの前端に必ずしも整合していることは必要ではない。

【0074】

10

特に、本実施例は、入力クロックのL個の等しい位相に対応するL個のタップ点、又はVCDLにおける例を有している遅延線を形成している。即ち、入力クロックは、例えば、VCDLを制御するDLLにおいて、L個の等しい位相へロックされる。NCOクロックパルスを受け取った後に、本実施例は、対応するNCOクロックパルスに対して適宜の位相遅延を適用するために対応する位相エラーに基づいて該遅延線内の適宜のタップ点を選択することが可能である。その後、本実施例は、出力クロックの一部として適宜の位相遅延を具備する対応するNCOクロックパルスを出力することが可能である。

【0075】

要するに、フローチャート400の方法は、VCDL230を制御するDLL240から構成されているCPSDモジュール170を使用する。CPSDモジュール170は、CPSDモジュール170に対するセレクト入力によって選択される入力クロック周期 T_{ckin} のL個の等しく離隔された遅延を発生する。該適宜の遅延は、全てのNCOクロック出力に関するNCOフラクショナルビットに基づいて選択される。CPSD機能の出力は、 $i \times T_{ckin}$ だけ遅延された出力クロックであり、尚 $i = 0, 1, \dots, L-1$ である。そうであるから、このことは、1実施例においては、NCOクロックジッタを T_{ckin} から T_{ckin}/L へ減少させる所望の効果を具備している。

20

【0076】

広義には、本記載は出力クロック位相平滑化を実施するシステム及び方法を開示している。位相平滑化回路を記載しており、それは入力クロックに基づいている選択可能周波数において複数個のNCOクロックパルスを発生する形態とされている数値制御型オシレータ(NCO)を包含している。該複数個のNCOクロックパルスのエッジは入力クロックのエッジに対して整合される。位相エラー計算モジュールがNCOへ結合されており且つ該複数個のNCOクロックパルスの各々に対して対応する位相エラーを発生する形態とされている。クロック位相選択可能遅延が該位相エラー計算モジュールへ結合されており且つ一層近接して理想的な出力クロック位相と整合するように位相調節された選択可能周波数における出力パルスを発生するために、対応する位相エラーに従って該複数個のNCOクロックパルスの各々を調節する形態とされている。出力クロックのエッジは入力クロックのエッジに対して必ずしも整合していることは必要ではない。

30

【0077】

従って、本発明の種々の実施例はNCO出力クロック位相平滑化を実施するためのシステム及び方法を開示している。本発明の実施例は、上の成果を与え且つ更にNCOによって発生される出力クロック信号におけるジッタを最小化させることを与える。

40

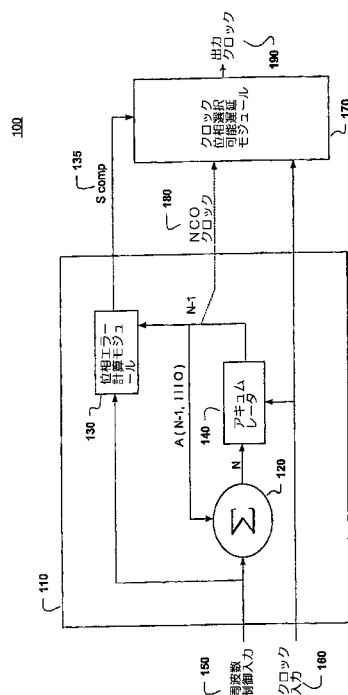
【0078】

本発明の実施例、NCOによって発生されるクロックにおけるジッタを最小化させるためのシステム及び方法を記載している。本発明は好適実施例に関連して記載してあるが、本発明をこれらの実施例に制限することを意図したものでないことが理解される。それとは反対に、本発明は特許請求の範囲によって定義されるように、本発明の精神及び範囲内に包含される場合のある変形例、修正例、及び均等物をカバーするものであることが意図されている。更に、本発明の詳細な説明においては、本発明の完全なる理解を与えるために多数の特定の詳細について記載されている。然しながら、当業者によって認識される

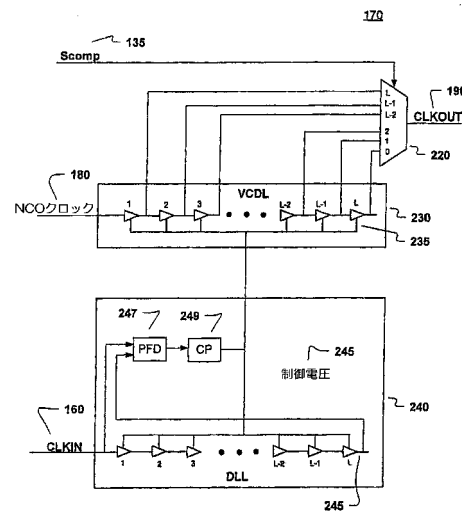
50

ように、本発明はこれらの特定のな詳細無しで実施することも可能である。その他の場合において、周知の方法、手順、コンポーネント、及び回路については詳細に記載していないが、本発明の側面を不必要にぼかすことがないためである。

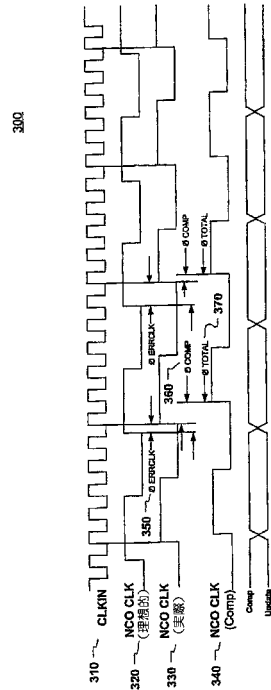
【図 1】



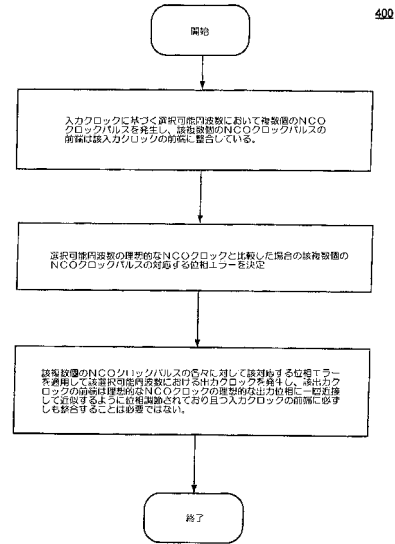
【図 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 シモン, ダニエル エル.
アメリカ合衆国, アリゾナ 85308, グレンデイル, ウェスト トント ドライブ 6
431

審査官 佐藤 聡史

(56)参考文献 特開2002-100965(JP,A)
特開2005-191831(JP,A)
米国特許出願公開第2006/0170470(US,A1)

(58)調査した分野(Int.Cl., DB名)
H03L 1/00 - 7/26
H03B 28/00