

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4151662号
(P4151662)

(45) 発行日 平成20年9月17日(2008.9.17)

(24) 登録日 平成20年7月11日(2008.7.11)

(51) Int.Cl. F I
 HO 2 J 7/02 (2006.01) HO 2 J 7/02 H
 HO 1 M 10/44 (2006.01) HO 1 M 10/44 P

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2005-64351 (P2005-64351)	(73) 特許権者	000004260
(22) 出願日	平成17年3月8日(2005.3.8)		株式会社デンソー
(65) 公開番号	特開2006-254535 (P2006-254535A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成18年9月21日(2006.9.21)	(74) 代理人	100081776
審査請求日	平成19年4月25日(2007.4.25)		弁理士 大川 宏
		(72) 発明者	谷川 圭介
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72) 発明者	小林 徹也
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72) 発明者	清水 工
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内

最終頁に続く

(54) 【発明の名称】 組電池の充電電圧均等化回路の制御方法及び制御装置

(57) 【特許請求の範囲】

【請求項1】

充放電可能なセルを複数個直列接続してブロックとし、該ブロックを複数個直列接続して組電池を構成し、各該ブロックごとに該セル単位で充電電圧をそろえるために放電するセル均等化回路を有し、該ブロック単位で充電電圧をそろえるために放電するブロック均等化回路を有する組電池の充電電圧均等化回路の制御方法において、

前記各ブロックの充電電圧のばらつきが所定値以内であるときは、前記セル均等化回路の放電電流を前記ブロック均等化回路の放電電流より大きく設定し、該充電電圧のばらつきが所定値以上であるときは、前記セル均等化回路の放電電流を前記ブロック均等化回路の放電電流以下に設定することを特徴とする組電池の充電電圧均等化回路の制御方法。

【請求項2】

前記セルは、リチウム電池であることを特徴とする請求項1に記載の組電池の充電電圧均等化回路の制御方法。

【請求項3】

充放電可能なセルを複数個直列接続してブロックとし、該ブロックを複数個直列接続して組電池を構成し、各該ブロックごとに該セル単位で充電電圧をそろえるために放電するセル均等化回路を有し、該ブロック単位で充電電圧をそろえるために放電するブロック均等化回路を有する組電池の充電電圧均等化回路の制御装置において、

前記各ブロックの充電電圧のばらつきが所定値以内であるときは、前記セル均等化回路の放電電流を前記ブロック均等化回路の放電電流より大きく設定し、該充電電圧のばらつ

きが所定値以上であるときは、前記セル均等化回路の放電電流を前記ブロック均等化回路の放電電流以下に設定する放電電流切替え手段を備えたことを特徴とする組電池の充電電圧均等化回路の制御装置。

【請求項 4】

前記セルは、リチウム電池であることを特徴とする請求項 3 に記載の組電池の充電電圧均等化回路の制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、組電池の充電電圧均等化回路の制御方法及び制御装置に関する。

10

【背景技術】

【0002】

近来、ハイブリッド自動車や電気自動車に使用される二次電池として、リチウム電池がエネルギー密度が高く小型軽量化が可能で、さらに発熱が少ないということから注目されている。しかし、ハイブリッド自動車や電気自動車では走行用のモータを電力で駆動する必要があるため電池を高電圧（300V程度）としなければならず、低い電圧のセル単体を多数直列接続して組電池として高電圧を作り出している。

電池の寿命向上と取り出す電力の効率的な使用のためには電池の充電電圧を一定の範囲内に維持することが必要である。特に、有機系の電解液を用いているリチウム電池で組電池を構成した場合は、水溶性の電解液を用いているニッカド電池やニッケル水素電池などのように密閉化現象により単位セル間の充電電圧が均等化される均等化作用がないため、単に多数のセルが直列接続された組電池両端の充電電圧を制御しても、個々のセル単体の充電電圧はその特性のバラツキや周囲温度の違いから等しい値に収束せずばらついてしまい過充電や過放電のセルがでてくる。そのため、リチウム電池で組電池を構成する場合には、組電池の充電電圧を制御するとともに、セル単体の充電電圧も同時に制御する方法がとられている。

20

【0003】

例えば、特許文献 1 では、複数のセルを直列接続してブロックを構成し、さらに複数のブロックを接続して 1 組の組電池モジュールを構成している。そして、ブロックごとにセル単体の充電電圧の均等化を行うとともに、ブロックに対しても各ブロックの電圧が等しくなるように均等化を行っている。

30

均等化の方法として、図 8 に示すように電圧の高いセルを放電させることで電圧の低いセルの電圧に揃える方法がとられている。図 8 は、1 ブロック内のセル単体の均等化の例で 7 個のセルのばらついている充電電圧が一番低い充電電圧のセルに均等化されていることがわかる。なお、各セルグループの均等化も一番低い電圧のブロックに均等化することは、セル単体の均等化の場合と同様である。

ここで、特許文献 1 に開示されている発明では、セル電圧を均等化するためのセル放電電流をブロックを均等化させるためのブロック放電電流より大きくすることを特徴としている。セル放電電流をブロック放電電流より大きくすることでセル電圧はブロック電圧より早く所定の電圧に調整され、効率的であり、セルの不必要な放電を抑えることができるためである。

40

【特許文献 1】特願 2004 - 225827 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上記従来例の場合は、セル均等化放電回路が異常を起こして（接触不良、断線、オン固着など）ブロック内の特定のセルの電圧が低下した場合、ブロック内のセルの均等化は充電電圧が一番低い電圧のセルに揃えるようにその他のセルを放電させる構成となっているので、図 9 に示すようにブロック内の全部のセルが放電を続け、ひいてはブロックの電圧も低下することとなる。さらに、各ブロックに対しても均等化を行って

50

るので、電圧が低下する異常ブロックの電圧に揃えるように放電を繰り返し、組電池モジュールの電圧が収束せず異常に低下し続けることとなる。

さらに各ブロックにおける均等化では、異常セルを含んだブロックに合わせブロック均等化を行うが、図6(b)に示すように放電では正常ブロックと異常ブロックの電圧差は徐々に広がり、最終的にはSOCの制御範囲の上下限に至り、電池への充電・放電ができない状態に至る。

【0005】

本発明は、上記問題点を解決するためになされたもので、セル均等化放電回路の接触不良、断線、固着、その他の異常が原因でブロック内のセル電圧が過剰に低下するような場合にも、ブロック間の電圧のバラツキを抑え、正常な均等化動作に近づけ、組電池としての性能を維持する組電池の均等化充放電回路の制御方法及び制御装置を提供することをその目的としている。

10

【課題を解決するための手段】

【0008】

上記目的を達成するために請求項1の発明は、充放電可能なセルを複数個直列接続してブロックとし、該ブロックを複数個直列接続して組電池を構成し、各該ブロックごとに該セル単位で充電電圧をそろえるために放電するセル均等化回路を有し、該ブロック単位で充電電圧をそろえるために放電するブロック均等化回路を有する組電池の充電電圧均等化回路の制御方法において、前記各ブロックの充電電圧のばらつきが所定値以内であるときは、前記セル均等化回路の放電電流を前記ブロック均等化回路の放電電流より大きく設定し、該充電電圧のばらつきが所定値以上であるときは、前記セル均等化回路の放電電流を前記ブロック均等化回路の放電電流以下に設定することを特徴とする。

20

【0009】

請求項1の組電池の均等化充放電回路の制御方法によれば、各ブロックの充電電圧を比較し、充電電圧のばらつきが一定の範囲内にあるときは、全てのセルは正常な状態にあると判断されるのでセル均等化放電電流をブロック均等化放電電流より大きく設定することで、セル電圧の均等化がブロック間の均等化より早く行われ先に終了するので、ブロック均等化電流によるセルの不要な電圧低下を防止することができる。

さらに、監視している各ブロックの充電電圧のばらつきが一定の範囲以上となったときは、電圧低下の著しいブロックのセル均等化放電回路に異常があると判断されるので、セル均等化放電回路の放電電流をブロック均等化放電回路の放電電流以下に設定することで異常な状態にあるセル均等化放電回路を持つブロックの過剰な放電を防止し、ひいては組電池全体の充電電圧の異常な低下を抑え、組電池としての正常動作を可能としたものである。

30

【0010】

請求項3の発明は、充放電可能なセルを複数個直列接続してブロックとし、該ブロックを複数個直列接続して組電池を構成し、各該ブロックごとに該セル単位で充電電圧をそろえるために放電するセル均等化回路を有し、該ブロック単位で充電電圧をそろえるために放電するブロック均等化回路を有する組電池の充電電圧均等化回路の制御装置において、前記各ブロックの充電電圧のばらつきが所定値以内であるときは、前記セル均等化回路の放電電流を前記ブロック均等化回路の放電電流より大きく設定し、該充電電圧のばらつきが所定値以上であるときは、前記セル均等化回路の放電電流を前記ブロック均等化回路の放電電流以下に設定する放電電流切替え手段を備えたことを特徴とする。

40

【0011】

請求項3の組電池の均等化充放電回路の制御装置は、各ブロックの充電電圧のばらつきの程度によってセル均等化放電回路の異常を検知してセル均等化放電回路とブロック均等化回路の放電電流の大小関係を切替え制御するスイッチ等の手段を設けたので、正常時には、セル電圧の均等化を優先してセルの不要な放電を抑制し効率的に運用し、セル均等化回路に異常が発生した場合は、スイッチにより放電電流の大小関係を切り替えて該当するブロックの異常な電圧低下を防止し、組電池として正常動作を可能とすることができる構

50

成となっている。

【 0 0 1 2 】

請求項 2 の発明は、請求項 1 に記載の組電池の充電電圧均等化回路の制御方法において、前記セルは、リチウム電池であることを特徴とする。また、請求項 4 の発明は、請求項 3 に記載の組電池の充電電圧均等化回路の制御装置において、前記セルは、リチウム電池であることを特徴とする。

【 0 0 1 3 】

リチウム電池は、前述したようにハイブリッド自動車や電気自動車用として注目されているが、一定の充電電圧の範囲内で使用しないと十分に能力を発揮できず、場合によってはセルの故障の原因ともなる。

本発明によれば、リチウム電池の充電電圧を正確にコントロールして電池の効率的な運用と長寿命化を図ることができる。

【発明の効果】

【 0 0 1 4 】

以上説明したように本発明の組電池の充電電圧均等化回路の制御方法及び制御装置によれば、組電池のセルの充電電圧を所定の範囲内に制御して組電池を効率的に運用するとともに、万一、セル均等化回路の異常によりセルが放電をつづける場合でも組電池の電圧が異常に低下することを防止し、正常な均等化動作にちがづけ、異常時でも組電池として正常動作を継続することができる。

【発明を実施するための最良の形態】

【 0 0 1 5 】

以下に、本発明による組電池の充電電圧均等化回路の制御方法及び制御装置の実施形態についてハイブリッド自動車の組電池の充電電圧均等化回路を引用した実施例 1 及び実施例 2 に基づいて説明する。

(実施例 1)

図 1 は、本発明の組電池の均等化充放電回路の制御方法が適用される装置の概略の構成を示す一例であって、1 は充電電圧均等化回路、2 はセル均等化回路、3 はブロック均等化回路である。ブロック均等化回路 3 にはブロック均等化回路制御部 4 が接続されている。5 はインバータ、6 は電動発電機、10 は組電池である。

組電池 10 はブロック 1、ブロック 2、...、ブロック n を直列接続して構成されている。

各ブロックは、セル単体を複数個直列接続したものである。また、組電池 10 の正極端子 A 及び負極端子 A' は、インバータ 5 を介して電動発電機 6 に接続されている。

セル均等化回路 2 は、セル均等化回路 (1)、セル均等化回路 (2)、...、セル均等化回路 (n) からなり、ブロック均等化回路 3 は、ブロック均等化回路 (1)、ブロック均等化回路 (2)、...、ブロック均等化回路 (n) から構成されている。

【 0 0 1 6 】

この構成において、セル均等化回路 (1) ~ セル均等化回路 (n) は、それぞれ対応するブロック 1 ~ ブロック n に接続されており、各ブロックにおいてセル単位の充電電圧を揃えるように高い電圧のセルを放電させて均等化する回路である。

また、ブロック均等化回路 (1) ~ ブロック均等化回路 (n) は、それぞれ対応するブロック 1 ~ ブロック n に接続されており、ブロック 1 ~ ブロック n の電圧をそれぞれ検出し、ブロック均等化回路制御部 4 の指令に基づいてブロック 1 ~ ブロック n の電圧を揃えるように高い電圧のブロックを放電させて均等化する回路である。

【 0 0 1 7 】

次に、セル均等化回路 2 の具体的構成について述べる。セル均等化回路 (1) ~ セル均等化回路 (n) は、すべて同じ構成であるのでセル均等化回路 (2) について説明する。

図 2 は、組電池 1 を構成しているブロック 2 に接続されたセル均等化回路 (2) を示している。

セル均等化回路 (2) は、ブロック電圧分圧回路 20 と、比較回路 21 ~ 23 と、論理

10

20

30

40

50

回路 24、25 と、トランジスタ 21 ~ 24 と、抵抗 R21 ~ 24 と、セル放電禁止回路 26 とから構成されている。

なお、本実施例では、セル均等化回路 (2) が接続されるブロック 2 は 4 個の単位セル (C21 ~ C24) が直列接続されたものである。

【0018】

ブロック電圧分圧回路 20 は、同じ抵抗値の抵抗 20a ~ 20d を直列接続して構成され、抵抗 20a の一端はブロック 2 の正極端子に、抵抗 20d の一端は負極端子に接続されている。この構成でブロック 2 の電圧をセルの数に応じて均等に分圧して比較回路 21 ~ 23 にブロック 2 の平均セル電圧として出力する。

【0019】

比較回路 21 ~ 23 及び論理回路 24、25 は、セル C21 ~ C24 のセル電圧をブロック電圧分圧回路 20 の出力する平均セル電圧と比較し、トランジスタ TR21 ~ TR24 を ON/OFF 制御して平均セル電圧より高い電圧のセルを放電させる回路である。

比較回路 21 の二つの入力端子 (Er1、Ec1) は、抵抗 20a と抵抗 20b の接続点と、セル C21 の負極端子にそれぞれ接続されていて、比較回路 21 は二つの入力データに基づいてトランジスタ TR21 を ON/OFF 制御してセル C21 の電圧を放電して調整する。

同様に、比較回路 23 は、セル C24 のセル電圧と、ブロック電圧分圧回路 20 の出力する平均セル電圧を入力して比較し、その結果に基づいてトランジスタ TR24 を ON/OFF 制御してセル C24 の電圧を放電して調整する。

【0020】

論理回路 24 は、比較回路 21 及び 22 の出力に基づいてトランジスタ TR22 を ON/OFF 制御してセル C22 の電圧を放電して調整する。論理回路 24 の入力端子 S1L、S1H は比較回路 21 の出力端子 S1L、S1H に、入力端子 S2L、S2H は比較回路 22 の出力端子 S2L、S2H にそれぞれ接続されている。また、出力端子 SD2 はトランジスタ TR22 に接続されている。

同様に、論理回路 25 は、比較回路 22 及び 23 の出力に基づいてトランジスタ TR23 を ON/OFF 制御してセル C23 の電圧を放電して調整する。

【0021】

トランジスタ TR21 ~ TR24 は、比較回路 21 ~ 23 及び論理回路 24、25 の出力に基づいて、セル C21 ~ C24 を短絡させて放電させるためのスイッチング素子である。抵抗 R21 ~ R24 は、トランジスタ TR21 ~ TR24 がセル C21 ~ C24 を短絡して放電させるとき放電電流を制限するための電流制限素子である。

トランジスタ TR21 のベースは比較回路 21 の出力端子 S1L に、TR22 のベースは論理回路 24 の出力端子 SD2 に、TR23 のベースは論理回路 25 の出力端子 SD3 に、TR24 のベースは比較回路 23 の出力端子 S3H に、それぞれ接続されており、比較回路または論理回路の出力に基づいてスイッチング動作を行う。

【0022】

セル放電禁止回路 26 は、ブロック均等化回路制御部 4 からの指令に基づいてトランジスタ TR21 ~ TR24 を OFF 状態にしてセル C21 ~ C24 の放電を禁止する回路である。セル放電禁止回路 26 は、ダイオード 26a ~ 26d と、抵抗 26e ~ 26h と、フォトカプラ 26i とから構成されている。ダイオード 26a のアノードは比較回路 21 の出力端子 S1L とトランジスタ TR21 の接続点に接続されている。ダイオード 26b のアノードは論理回路 24 の出力端子 SD2 とトランジスタ TR22 の接続点に、ダイオード 26c のアノードは論理回路 25 の出力端子 SD3 とトランジスタ TR23 の接続点にそれぞれ接続されている。ダイオード 26d のアノードは論理回路 25 の出力端子 SD3 とトランジスタ TR23 の接続点に接続されている。各ダイオードのカソードは抵抗 26e ~ 26h を介してフォトカプラ 26i にそれぞれ接続されている。フォトカプラ 26i の入力端子はブロック均等化回路制御部 4 に接続され、出力端子の一端は抵抗 26e ~ 26h に、他端はブロック 2 の負極端子に接続されている。

10

20

30

40

50

【0023】

次に、ブロック均等化回路3の具体的構成について述べる。図3は、組電池10を構成しているブロック1～nに接続されたブロック均等化回路3を示している。

図3に示すようにブロック均等化回路3は、ブロック電圧検出回路VSG1～VSGnと、トランジスタTR1～TRnと、抵抗R1～Rnと、フォトカプラPC1～PCnとから構成されている。

【0024】

ブロック電圧検出回路VSG1～VSGnは、それぞれ対応するブロック1～nに設けられ、各ブロックの電圧を検出してブロック均等化回路制御部4に送出する回路である。ブロック電圧検出回路VSG1～VSGnの二つの入力端は、それぞれブロック1～nの正極及び負極端子に接続されている。また、ブロック電圧検出回路VSG1～VSGnの出力は、出力端子OUT1～OUTnを介してブロック均等化回路制御部4に接続される。

10

【0025】

トランジスタTR1～TRnは、ブロック1～nをそれぞれ短絡して放電させるためのスイッチング素子であり、抵抗R1～Rnは、トランジスタTR1～TRnがブロック1～nを短絡して放電させたとき、それぞれのブロックを流れる放電電流を制限するための電流制限素子である。トランジスタTR1～TRnのベースは、フォトカプラPC1～PCnの出力端子に、コレクタは抵抗R1～Rnを介してブロック1～nの正極端子に、エミッタはブロック1～nの負極端子にそれぞれ接続されている。

20

フォトカプラPC1～PCnは、入力端子はブロック均等化回路制御部4のデコーダ出力に接続され、ブロック均等化回路制御部4の出力に基づいてトランジスタTR1～TRnをON/OFF制御する素子で入力端と出力端とは電氣的に切り離されている。

【0026】

ブロック均等化回路制御部4の具体的構成は、図4に示すように、マルチプレクサ41と、ADコンバータ42と、マイクロコンピュータ43と、デコーダ44とから構成されている。

【0027】

マルチプレクサ41は、ブロック1～nのそれぞれの検出電圧を入力してそのいずれか1つを選択し、ADコンバータ42に送出する回路である。マルチプレクサ41の入力端子VSIN1～VSINnは、ブロック電圧検出回路VSG1～VSGnの出力端子VSOOUT1～VSOOUTnにそれぞれ接続されている。

30

ADコンバータ42は、マルチプレクサ41で選択されたブロック1～nの検出電圧をAD変換してマイクロコンピュータ43に出力する。

【0028】

マイクロコンピュータ43は、入力されたブロック電圧検出回路VSG1～VSGnの検出電圧に基づいて放電させるべきブロックを決定して、スイッチング素子であるトランジスタTR1～TRnをON/OFF制御するためにデコーダ44に出力する。デコーダ44の出力端子POUT1～POUTnはブロック均等化回路3のフォトカプラPC1～PCnの入力端子であるPIN1～PINnにそれぞれ接続されている。

40

また、マイクロコンピュータ43は、イグニッションスイッチの操作状況、組電池を流れる電流値に基づいてセル均等化回路2の動作の制御も行う。さらに、マイクロコンピュータ43は、各ブロックの検出電圧、セル均等化回路の出力及び電流値に基づいて組電池10に関するデータの送出手も行う。

マイクロコンピュータ43には、上記ブロック電圧検出回路VSG1～VSGnの検出電圧の他にイグニッションスイッチの操作状況のデータ、組電池の電流値がIG端子、IB端子から取り込まれている。組電池に関するデータは、CMD端子から出力されている。

【0029】

次に、本願請求項1及び3に係る発明の動作について、実施例1に基づいて説明する。

50

ハイブリッド自動車では、エンジンの運転効率のよい定速走行時には、エンジンの駆動力により走行する。このとき、組電池の充電量が不足していると判断された場合、図1の組電池の充電電圧均等化回路の構成において、車両の制御部は電動発電機6を発電機としてエンジンにより駆動し、インバータ5を介して組電池10を充電するように制御する。

一方、エンジンの運転効率のよくない始動時やフル加速時には自動車走行は、組電池10を電力の供給源として電動発電機6を電動機として駆動して行われる。

従って、組電池の充電は、エンジンによる定速走行時に行われ、組電池の充電電圧均等化は停車中に主として行われている。

【0030】

図5は、セル均等化回路とブロック均等化回路の請求項1及び3の発明に係わる主要部分を抜き出して図示したもので、ブロック1に接続されたセル均等化回路とブロック均等化回路の放電の形態を示している。ブロック1はn個の単体セルが直列接続されて構成されている。

10

セル均等化回路は、ブロック内のセル平均電圧と各セル電圧を比較し、セル電圧がセル平均電圧より高い場合、各セルごとに設けられた放電回路を動作させて（例えば、セル1であればR11とTR11）最終的にブロック内のすべてのセルをセル平均電圧に均等化する。

ブロック均等化回路は、図1及び図3に示すように複数あるブロックの各ブロックごとに電圧検出回路と放電回路が設けられたもので、ブロック均等化回路制御部は、電圧検出回路で検出した各ブロックの電圧に基づいて、最も低い電圧のブロックに電圧を揃えるように各ブロックを放電させてブロック電圧を均等化させる。

20

【0031】

このとき、セル均等化放電電流（aとする）がブロック均等化放電電流（bとする）以下となるように設定されている場合次のような効果がある。

図6は、セル均等化回路に異常が起きた場合の本願発明と従来例との組電池システムの充放電特性を比較したもので、図6(a)は、本願発明による組電池システムの充放電特性を示し、図6(b)は、従来の組電池システムの充放電特性を示したものである。図6のグラフは、説明を解り易くするために複数のブロックの中で代表的な正常なブロックと異常なブロックの充放電の動作を示している。グラフの縦軸はブロックのSOC（充電率）を表し、横軸は時間を表している。

30

図6(a)では、最初の停車中（時間：0 t1）に均等化が行われるが、正常ブロックはSOCが高い（電圧が高い）ためブロック均等化回路による放電が行われる。一方、異常ブロックは、SOCが低い（電圧が低い）ためブロック均等化回路による放電は行われず、セル均等化による放電が行われる。しかし、セル均等化放電電流がブロック均等化放電電流以下となるように設定されているので、正常ブロックのSOCの低下率に対して異常ブロックのSOCの低下率の方が小さく、時間0 t1の間に両ブロックのSOCの差は小さくなる。次に、時間t1 t2の間は走行中で充電されるが、正常ブロック及び異常ブロックに流れる充電電流は同じなので図のようにSOCの増加率は同一となる。次の、時間t2 t3の均等化動作では、両ブロックのSOCの差はさらに小さくなる。このように均等化と充電を繰り返して両ブロックのSOCは収束する方向で動作する。

40

従って、正常ブロックが異常ブロックの電圧低下に合わせて過剰に放電することもなく、異常ブロックの電圧を正常ブロックの電圧に近づけるよう動作するので組電池システムとしては正常な機能を維持することができる。

【0032】

図6(b)に示す従来例では、セル均等化放電電流がブロック均等化放電電流より大きな値となるよう設定されているので、最初の停車中（時間：0 t1）の均等化で正常ブロックと異常ブロックのSOCの差は広がり、次の停車時（時間：t1 t2）の均等化でさらにSOCの差は広がる。この場合、両ブロックが正常であれば、セル均等化回路による均等化は最低電圧のセルに均等化された時点で終了し、それ以上の電圧低下は起こらないが、セル均等化回路に異常が起きたときは、図のように、さらにセル均等化放電が行

50

われ、異常ブロックのSOCは低下を続けることとなる。最終的にはSOCの制御範囲の上下限に至り、電池への充電・放電ができない状態に至る。

【0033】

(実施例2)

次に、請求項1及び3の発明に係わる実施例2について、図7に基づいて説明する。実施例2が実施される組電池システムの機器の構成は、実施例1と同一で図1に示す構成である。

実施例2が実施例1と異なる点は、図7に示すようにブロック均等化回路3に放電電流切替え手段31～3nが設けられていることである。実施例1と共通する回路あるいは素子については同一の符号を使用している。また、構成と動作については実施例1と共通する部分は、実施例2の説明に必要とされる部分以外は説明を省略している。

10

【0034】

図7は、組電池に接続されたブロック均等化回路3を示すもので、組電池を構成するブロック1～nに対して、ブロック均等化回路(1)～(n)がそれぞれ設けられ、各ブロック均等化回路は、均等化放電回路とブロック電圧検出から構成されている。

均等化放電回路は、例えば、ブロック均等化回路(1)であれば、抵抗R1と、放電電流切替え手段31と、トランジスタTR1とが直列接続されている。トランジスタTR1のベースにはフォトカプラPC1の出力端が接続され、ブロック均等化回路制御部4からの制御信号に基づいてON/OFF駆動されるようになってい

20

る。放電電流切替え手段31は、抵抗R1aとスイッチSW1が並列に接続され、一端は抵抗R1に、他端はトランジスタTR1のコレクタに接続されている。スイッチSW1は入力端子SIN1に接続され、入力端子SIN1はブロック均等化回路制御部4の図示しない出力端子に接続されている。

なお、スイッチSW1はスイッチング用トランジスタTR1と同様の素子を使用することができる。

【0035】

次に、実施例2の動作について説明する。

図1及び図7の構成において、セル均等化回路に異常がなく、組電池の充電電圧均等化回路が正常動作をしているときは、スイッチSW1～SWnは、開かれている(OFF)いるので、例えば、ブロック1に接続されたブロック均等化回路(1)では、抵抗R1と抵抗R1aとトランジスタTR1とが直列接続された状態にある。ここで、抵抗R1と抵抗R1aとの合成抵抗によって決定されるブロック1のブロック放電電流は、セル放電電流より小さな値となるように抵抗R1と抵抗R1aとは設定されている。

30

しかし、ブロック電圧検出回路VSG1～VSGnの検出電圧をブロック均等化回路制御部4で比較監視していて、各ブロックの検出電圧のばらつきが、あらかじめ定められた所定値以上となったとき、放電電流切替え手段のスイッチSW1～SWnをブロック均等化回路制御部4からの指令に基づき閉じて(ONとする)導通させることで各ブロックの放電電流は、それぞれ抵抗R1～Rnで定められるので、このとき、各ブロックの放電電流がセル放電電流より小さな値となるように抵抗R1～Rnが設定されている。

40

【0036】

すなわち、充電電圧均等化回路が正常な状態にあるときは、セル均等化放電電流をブロック均等化放電電流より大きな値とすることで、セル均等化をブロック均等化より早く行わせ不要なセルの放電を防止してセルの保護と組電池の効率的な運用を行っている。

しかしながら、セル均等化回路の異常などでセル電圧が過剰に低下をつづけ、ひいては該当するブロックの電圧も低下するときは、ブロック均等化回路制御部がブロック電圧の異常低下を察知して、セル均等化放電電流とブロック均等化放電電流の大小関係を切替え、組電池の充電電圧均等化回路の制御を正常な動作に近づけ、組電池システムとして正常動作を継続することができるようにしたものである。

【0037】

なお、実施例2では放電電流切替え手段をブロック均等化回路3に設けたが、セル均等

50

化回路 2 に設け、セル均等化放電電流を変えることでセル均等化放電電流とブロック均等化放電電流との大小関係を切替えてもよい。さらに、放電電流切替え手段をブロック均等化回路 3 及びセル均等化回路 2 の両方に設けたものでもよい。

【 0 0 3 8 】

また、実施例 1 及び 2 では、セル均等化回路のセル均等化の単位として、セル単体を対象としてしているが、単体のセルを複数個直列接続してセルの小ブロックを構成し、小ブロックに対して 1 つの均等化放電回路を接続してもよい。

【図面の簡単な説明】

【 0 0 3 9 】

【図 1】本発明の実施の形態における概略の全体構成を示す説明図である。

10

【図 2】実施例 1 のセル均等化回路の回路図である。

【図 3】実施例 1 のブロック均等化回路の回路図である。

【図 4】実施例 1 のブロック均等化回路制御部のブロック図である。

【図 5】実施例 1 のセル均等化放電電流とブロック均等化放電電流の説明図である。

【図 6】本発明と従来例の組電池の充放電均等化動作の説明図である。

【図 7】実施例 2 のブロック均等化回路の回路図である。

【図 8】従来例の正常なセル均等化動作の説明図である。

【図 9】従来例の異常なセル均等化動作の説明図である。

【符号の説明】

【 0 0 4 0 】

20

1 : 充電電圧均等化回路

2 : セル均等化回路

3 : ブロック均等化回路

4 : ブロック均等化回路制御部

5 : インバータ

6 : 電動発電機

10 : 組電池

20 : ブロック電圧分圧回路

21 ~ 23 : 比較回路

24 , 25 : 論理回路

26 : 放電禁止回路

31 ~ 3n : 放電電流切替え手段

41 : マルチプレクサ

42 : A/Dコンバータ

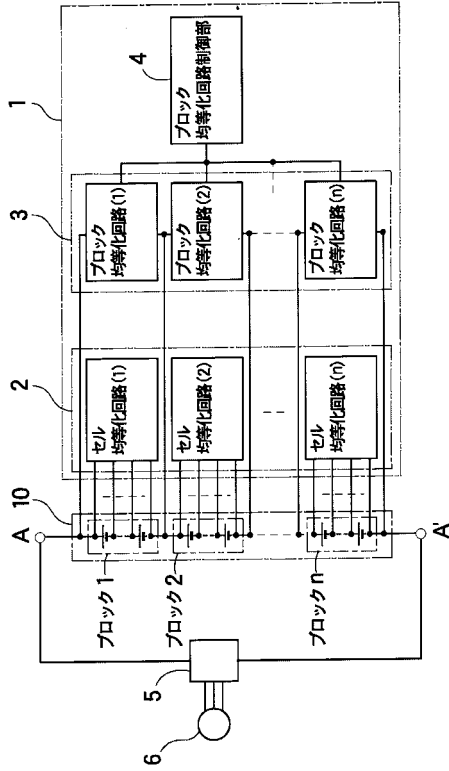
43 : マイクロコンピュータ

44 : デコーダ

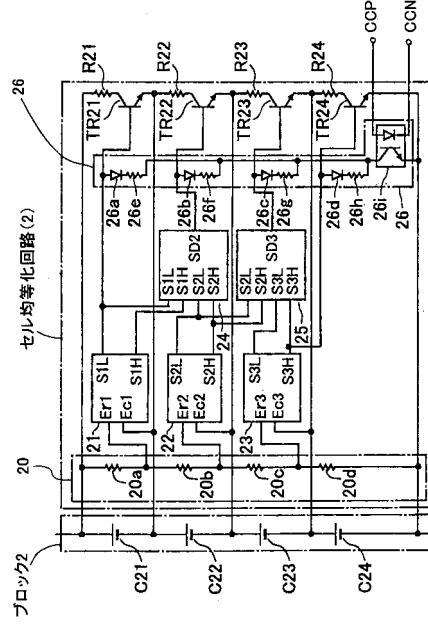
VSG1 ~ VSGn : ブロック電圧検出回路

30

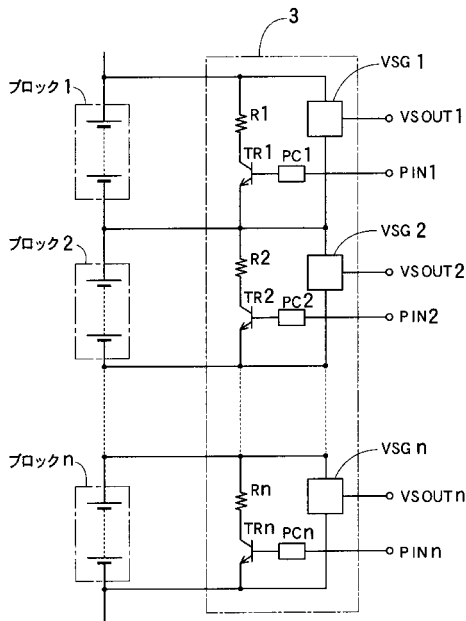
【図1】



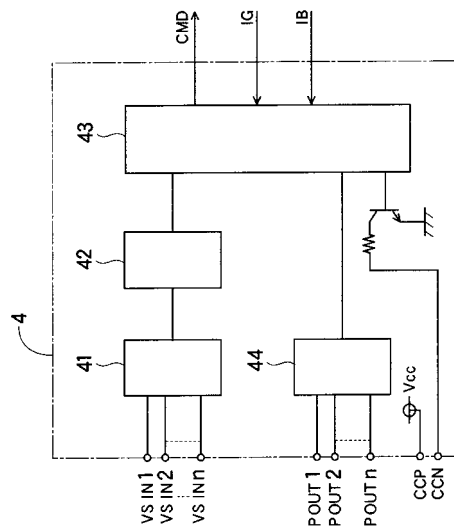
【図2】



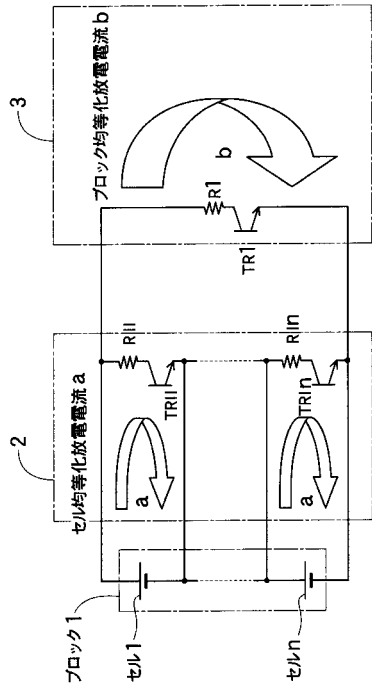
【図3】



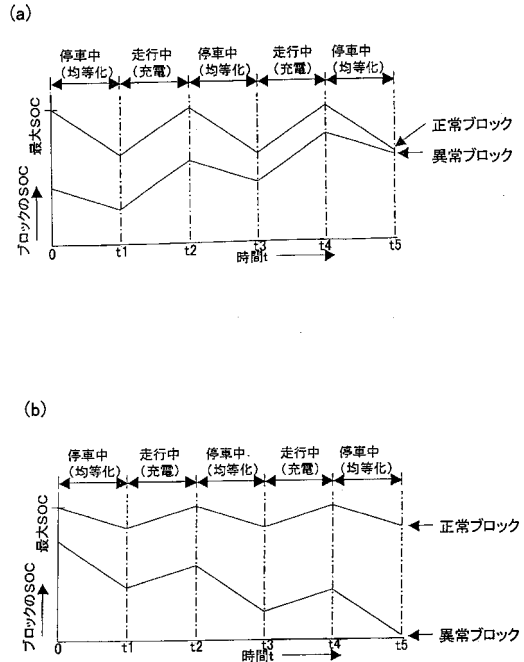
【図4】



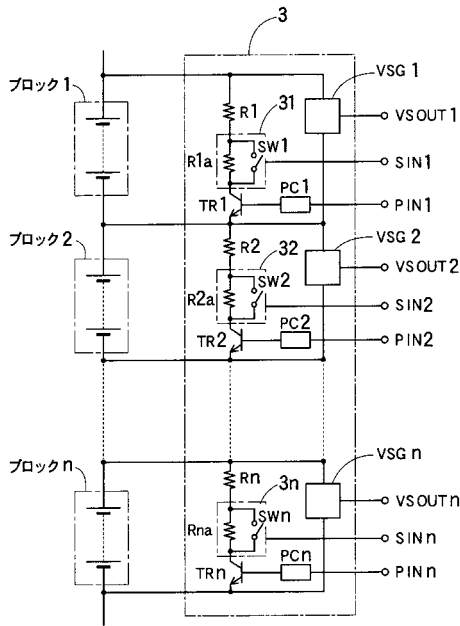
【図5】



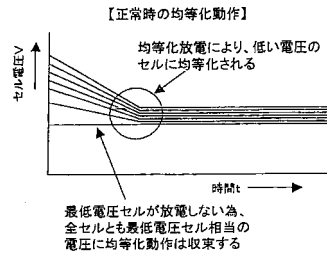
【図6】



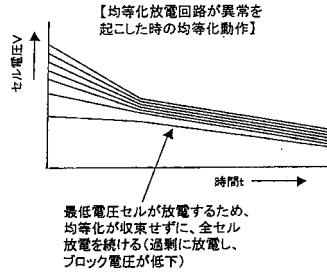
【図7】



【図8】



【図9】



フロントページの続き

審査官 宮本 秀一

- (56)参考文献 特開平11-196537(JP,A)
特開2002-354684(JP,A)
特開2002-354692(JP,A)
特開2002-325370(JP,A)
特開2006-050716(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01M 10/42 - 10/48、

H02J 7/00 - 7/12、 7/34 - 7/36