

申請日期	91. 5. 2
案 號	91109148
類 別	H01L 27102

A4
C4

538530

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	半導體裝置
	英 文	SEMICONDUCTOR DEVICE
二、發明人	姓 名	古用和人 Kazuto FURUMOCHI
	國 籍	日 本 Japan
	住、居所	日本國神奈川縣川崎市中原區上小田中4丁目1番1號 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi Kanagawa 211-8588, Japan
三、申請人	姓 名 (名稱)	日商・富士通股份有限公司 FUJITSU LIMITED
	國 籍	日 本 Japan
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi Kanagawa 211-8588, Japan
	代 表 人 姓 名	秋草直之 Naoyuki Akikusa

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 2001,11,14 案號： 特願2001-348723
 ， 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（1）

本發明係以在2001年11月14日提出申請之日本專利申請案第2001-348723號案為基礎並且主張其之優先權，該案的內容係被併合於此作為參考。

本發明係有關於一種半導體裝置，且本發明係特別適於一種包括數個半導體記憶體電路且具有解救由於在該半導體記憶體電路上之缺陷所引起之故障之缺陷解救功能的半導體裝置。

近來，就半導體製程技術及其類似上的改進，半導體裝置的大比例集積度、高密度設計、及高性能係顯著的，而且，例如，能夠被設置於一個半導體裝置（作用如一個功能的半導體晶片）中之半導體記憶體電路的總記憶體尺寸係愈益增加。在半導體裝置中之半導體記憶體電路之總記憶體尺寸上的增加增加要被形成於該半導體晶片上之元件的數目及增加每一個半導體裝置之缺陷發生的機率，而因此這是半導體裝置之良率上之降低的其中一個原因。

作為其中一種用於改進包括該等半導體記憶體電路之半導體裝置之良率的方法，把缺陷解救功能加到該半導體記憶體電路係通常被執行。由於缺陷解救功能到該半導體記憶體電路的加入，由一冗餘記憶體細胞（用於解救缺陷的記憶體細胞）與其之週邊電路（例如，解碼電路、感應放大器電路、及用於選擇該冗餘記憶體細胞是否被使用的開關）所組成的一冗餘電路係被加入到每一半導體記憶體電路。由於缺陷或其類似而起的故障係被偵測在該半導體記憶體電路，存在有該故障的電路部份係被切換成該冗餘電

五、發明說明（2）

路，而該冗餘電路（該冗餘記憶體細胞及其之週邊電路）係被使用代替存在有該故障的電路部份。結果，即使故障係存在於該半導體記憶體電路，如同原來之半導體記憶體電路的功能係被滿足且正常地被運作。

具有如上所述之缺陷解救功能的半導體記憶體電路藉著使用該冗餘電路（利用該缺陷解救功能）代替該存在有故障的電路部份而能夠維持如原來之半導體記憶體電路的功能，即使因該缺陷及其類似而起的故障係存在於該半導體記憶體電路到某程度。因此，藉著把該缺陷解救功能（冗餘電路）加入到該半導體記憶體電路，包括該等半導體記憶體電路之半導體裝置的良率能夠被改進。

然而，關於具有缺陷解救功能的習知半導體記憶體電路，由冗餘記憶體細胞及附帶於該冗餘記憶體細胞之週邊電路所組成的冗餘電路係被加入到每一半導體記憶體電路。據此，係有一個問題為由於該冗餘電路的加入，具有缺陷解救功能的半導體記憶體電路在電路面積上變得比沒有缺陷解救功能的半導體記憶體電路大。

在這情況中，該冗餘電路係僅在解救因該缺陷而起的故障時被使用，而因此當該半導體記憶體電路不需要缺陷解救時，即，該半導體記憶體電路是為沒有因缺陷而起之故障存在的非缺陷，該冗餘電路浪費電路面積。

此外，該半導體記憶體電路的記憶體細胞部份係群聚有大量的電晶體，藉此導線（導線圖型）係以高密度形成，且此外，與在原來邏輯電路中之訊號不同的弱訊號係經常

五、發明說明 (3)

被使用。結果，該半導體記憶體電路的記憶體細胞部份趨向於變成有錯誤的(故障)，即使在輕微缺陷的情況中。因此，在該半導體記憶體電路中，由缺陷所致使的故障係趨向於集中在該記憶體細胞部份。

據此，該冗餘記憶體細胞實際上解救因該缺陷而起的故障並且對於在具有半導體記憶體電路之半導體裝置之良率上的改進具有高效果。另一方面，附帶於該冗餘記憶體細胞的週邊電路扮演實現該缺陷解救功能的角色，並且實際上對於因該缺陷而起之故障的解救和在該半導體裝置之良率上的改進具有微小的效果。

特別地，當具有缺陷解救功能之各有小記憶體尺寸之大量的半導體記憶體電路係安裝於一個半導體裝置上時，每一半導體記憶體尺寸的記憶體尺寸是為小(記憶體細胞部份是為小)，而因此在每一半導體記憶體電路中之因缺陷而起之故障之存在的可能性是為低，藉此該等冗餘電路經常變成浪費。此外，由於把該等冗餘電路對應地加入到該等具有小記憶體尺寸的半導體記憶體電路，附帶於該等冗餘記憶體細胞且對缺陷解救具有微小之實際效果之週邊電路的電路面積增加，藉此附帶於該等記憶體細胞之週邊電路之電路面積的比例係對應於因缺陷而起之故障易於發生之記憶體細胞部份的電路面積來增加。

當一個半導體裝置包括大量如上所述之各具有缺陷解救功能的半導體記憶體電路時，該半導體裝置的良率係由於冗餘電路(缺陷解救功能)的加入而改進，但該在其上係

五、發明說明（4）

形成有該半導體裝置之半導體晶片的晶片面積(電路面積)增加。因此，半導體裝置的產量(每單位材料能夠產製之半導體裝置的數目)減少，而因此在每單位材料之非缺陷之獲得率上的改進係被妨礙。

即，即使包括該等半導體記憶體電路之半導體裝置的良率係藉著加入該等冗餘電路來改進，每單位材料之非缺陷半導體裝置的獲得率經常係由於因冗餘電路之加入而起之電路面積上的增加而降低。

本發明之目的是為於抑制在電路面積上之增加的同時在沒有缺陷解救功能的減損下把缺陷解救功能加入到數個半導體記憶體電路中之每一者。

本發明的半導體裝置包含數個半導體記憶體電路和—由該數個半導體記憶體電路共享的冗餘電路，該數個半導體記憶體電路係根據不同的位址訊號來個別地運作。該冗餘電路係根據在該等半導體記憶體電路上之冗餘解救資訊來被允許運作作為在該等半導體記憶體電路中之任一者的部份。

根據具有如上所述之結構的本發明，藉著由該數個半導體記憶體電路共享該冗餘電路，缺陷解救功能一方面能夠被加入到該數個半導體記憶體電路中之每一者而另一方面縮減每一個半導體記憶體電路之冗餘電路之加入所需的電路面積。

第1圖是為顯示本發明之一實施之半導體裝置之結構之例子的方塊圖；

五、發明說明（5）

第2圖是為顯示一資料儲存部份（一記憶體細胞陣列及其之週邊電路）之結構之例子的方塊圖；

第3圖是為顯示一三端開關電路之結構的圖示；

第4圖是為顯示一冗餘電路之詳細結構之例子的方塊圖；

第5圖是為顯示一二端開關電路之結構之例子的圖示；

第6A至6C圖是為顯示在一字線中之上拉電路與下拉電路之結構之其他例子的圖示；

第7圖是為用於說明在本發明之實施例之半導體裝置中之缺陷之解救之時之運作的圖示；及

第8圖是為顯示一冗餘轉換開關之另一例子的圖示。

本發明的較佳實施例將會以該等圖式為基礎來在下面作說明。

第1圖是為顯示本發明之實施例之半導體裝置之結構之例子的方塊圖。應要說明的是，第1圖僅顯示這實施例之半導體裝置中之是為本發明之原理部份的半導體記憶體電路及冗餘電路，而且顯示該半導體記憶體電路是為SRAM（靜態隨機存取記憶體）的情況作為例子。

在第1圖中，標號10標示一第一半導體記憶體電路，該第一半導體記憶體電路10係根據一A-系統位址訊號及其類似來運作，該A-系統位址訊號及其類似係經由一A-系統訊號線群組（一A-系統位址訊號線ADA、一A-系統寫入致能訊號線WEA、及一A-系統時鐘訊號線CLKA）來從外部供應。標號20標示一第二半導體記憶體電路，該第二半導體

五、發明說明 (6)

記憶體電路係根據一B-系統位址訊號及其類似來運作，該B-系統位址訊號及其類似係與該A-系統位址訊號及其類似不同且係經由一B-系統訊號線群組(一B-系統位址訊號線ADB、一B-系統寫入致能訊號線WEB、及一B-系統時鐘訊號線CLKB)來從外部供應。

標號30標示一冗餘電路，該冗餘電路30解救在該第一和第二半導體記憶體電路10和20中之因缺陷而起的故障。該冗餘電路30與該第一和第二半導體記憶體電路10和20可以由設置於該冗餘電路30內部的冗餘轉換開關群組SWRA和SWRB來連接。即，這冗餘電路30係由該第一和第二半導體記憶體電路10和20共享，並且把一缺陷解救功能加入到該第一和第二半導體記憶體電路10和20中之每一者。

在該第一半導體記憶體電路10中，標號11標示一控制電路，該控制電路11根據經由該A-系統訊號線群組ADA, WEA, 和CLKA分別從外部供應之位址訊號、寫入致能訊號、及時鐘訊號來把一控制訊號及其類似供應到在該第一半導體記憶體電路10中之個別的功能部份。標號12標示一列解碼器，該列解碼器12把從該控制電路11供應之位址訊號的一部份(列位址部份)解碼。該列解碼器12根據解碼的結果來選擇地作動字線WLA_i。在這裡，"i"是為寫在下面的符號(subscript)且i的整數 = 0到m。

標號和符號13-j標示一記憶體細胞陣列，14-j標示一輸入/輸出電路，15-j標示一放大電路，16-j標示一行開

五、發明說明 (7)

關， SWA_j 標示一資料路徑轉換開關，而一個資料儲存部份係由一個記憶體細胞陣列 $13-j$ 、一個輸入/輸出電路 $14-j$ 、一個放大電路 $15-j$ 、一個行開關 $16-j$ 、及一個資料路徑轉換開關 SWA_j 所組成。在這裡，“ j ”是為寫在下面的符號且 j 的整數 = 0到 n 。

應要說明的是，每一資料儲存部份具有相同的結構，而因此該資料儲存部份將會就由第1圖中之虛線所圍繞的資料儲存部份50作為例子來詳細地作說明。

第2圖是為顯示該資料儲存部份50之詳細結構的圖示。

應要說明的是，在第2圖中，相同的標號和符號係給予具有與在第1圖中所示之方塊及其類似相同之功能的方塊及其類似。

在第2圖中，記憶體細胞陣列 $13-1$ 係由數個分別儲存資料的記憶體細胞 MC_{ik} 組成(其中，“ i ”和“ k ”是為寫在下面的符號且 i 的整數 = 0到 m 而 k = 0到7)，而且該等記憶體細胞係，例如，以一矩陣形式排列。此外，字線 WLA_i 和位元線 BLk 和 $/BLk$ 係連接到每一記憶體細胞 MC_{ik} 。順便一提，“ $/$ ”表示一反相訊號。

一行開關 $16-1$ 係由開關(電晶體)組成，該等開關各根據一經由行選擇線 $COLA$ 來從該控制電路11供應的行選擇訊號來把一對位元線 BLk 和 $/BLk$ 與資料匯流排 DB 和 $/DB$ 電氣連接。在這情況中，該行選擇線 $COLA$ 係由八條對應於個別之位元線 BLk 和 $/BLk$ 對的訊號線組成。

一放大電路 $15-1$ 係被設計來調整輸入/輸出資料的訊

五、發明說明（8）

號位準，而且係由一感應放大器51與一寫入放大器52組成。該感應放大器51與該寫入放大器52係由放大器致能訊號線AEA（一感應放大器致能訊號線SAEA和一寫入放大器致能訊號線WAEA）來連接到該控制電路11，而一放大器致能訊號係被供應到該感應放大器51與該寫入放大器52中之每一者。此外，該等資料匯流排DB和/DB係分別連接到該感應放大器51和該寫入放大器52。再者，一感應資料訊號線SD1係連接到該感應放大器51，而一寫入資料訊號WD1係連接到該寫入放大器52。

一輸入/輸出電路14-1係被設計俾根據一經由一輸入/輸出致能訊號線IOEA來從該控制電路11供應的輸入/輸出致能訊號來經由資料訊號線DA1把資料從外部輸入或把資料輸出到外部。如在第2圖中所示，當資料係經由一條資料訊號線DA1來從外部輸入與輸出到外部時，該輸入/輸出電路14-1係由，例如，一三態緩衝器組成。

順便一提，雖然資料係藉由在第2圖中的一條資料訊號線來從外部輸入及輸出到外部，用於輸入/輸出資料的兩條資料訊號線係可以被設置來從外部輸入資料及把資料輸出到外部。

資料路徑轉換開關SWA1-1和SWA1-2是為用於切換輸出資料與輸入資料之運送路徑的三端開關。一感應資料訊號線SD1係連接到該資料路徑轉換開關SWA1-1的K-端，一連接到在下一相鄰級之資料儲存部份中之感應放大器（在第2圖中所示之資料儲存部份50的情況中在一放大電路

五、發明說明（9）

15-2中的感應放大器)的感應資料訊號線SD2係連接到該資料路徑轉換開關SWA1-1的L-端，而該資料路徑轉換開關SWA1-1的M-端係連接到該輸入/輸出電路14-1。

類似地，一寫入資料訊號線WD1係連接到該資料路徑轉換開關SWA1-2的K-端，一連接到在下一個相鄰級之資料儲存部份中之寫入放大器(在第2圖中所示之資料儲存部份50的情況中在該放大電路15-2中的寫入放大器)的寫入資料訊號線WD2係連接到該資料路徑轉換開關SWA1-2的L-端，而該資料路徑轉換開關SWA1-2的M-端係連接到該輸入/輸出電路14-1。順便一提，該等資料路徑轉換開關SWA1-1和SWA1-2係被同步地切換。

如在第3圖中所示，該三端開關係由兩個轉移閘60和61組成，該等轉移閘60和61各由一對P-通道MOS電晶體(於此後稱為“Pch-Tr”)和N-通道MOS電晶體(於此後稱為“Nch-Tr”)，及一反相器62組成。在該轉移閘60中之訊號傳播路徑的一端係對應於該K-端，而在該轉移閘61中之訊號傳播路徑的一端係對應於該L-端。此外，該等轉移閘60和61的另一端係對應於該M-端。

一資料路徑控制訊號係經由一資料路徑控制線DP-CTL來從一冗餘控制電路31供應到該轉移閘60之Nch-Tr的閘極和該轉移閘61之Pch-Tr的閘極。此外，該資料路徑控制訊號的反相訊號係經由該反相器62來供應到該轉移閘60之Pch-Tr的閘極和該轉移閘61之Nch-Tr的閘極。藉由提供如此之一種結構，該等轉移閘60和61

五、發明說明（10）

中之一者係響應於該資料路徑控制訊號來被使成ON-狀態，其提供作為三端開關的功能。

請再次參閱第1圖所示，與第一半導體記憶體電路10同樣，該第二半導體記憶體電路20係由一控制電路21、一列解碼器22、記憶體細胞陣列23-j、輸入/輸出電路24-j、放大電路25-j、行開關26-j、及資料路徑轉換開關SWBj組成。該第二半導體記憶體電路20具有與該第一半導體記憶體電路10相同的結構，除了訊號係經由該B-系統訊號線群組來從外部供應之外，而因此其之說明係被省略。

在該冗餘電路30中，一冗餘控制電路31係根據儲存於一冗餘資料儲存電路37中之冗餘資料來控制該第一和第二半導體記憶體電路10和20（更特別地，該等資料路徑轉換開關SWAj和SWBj）及該等冗餘轉換開關群組SWRA和SWRB。

該冗餘資料儲存電路37儲存指出一個由於因缺陷而起之故障之存在而需要解救之電路部份的資料作為冗餘資料。在這裡假設該第一和第二半導體記憶體電路10和20各具有八個（八個區塊的）記憶體細胞陣列，且該冗餘電路30具有一個（一個區塊的）冗餘記憶體細胞陣列。在這時候，該冗餘資料儲存電路37儲存各指出該第一和第二半導體記憶體電路10和20中之在其內存在有故障之一個區塊之記憶體細胞陣列及執行該等資料路徑轉換開關SWAj和SWBj之ON/OFF控制之三個位元的資料，和各指出該冗餘

五、發明說明 (11)

電路是否被使用及執行該等冗餘轉換開關群組 SWRA 和 SWRB 之 ON/OFF 控制之一個位元的資料作為該冗餘資料。這冗餘資料儲存電路 37 係由，例如，一 ROM (EPROM 或其類似) 或一能夠由雷射或其類似所燒斷的金屬熔絲組成。

第 4 圖是為顯示在第 1 圖中所示之冗餘電路 30 之詳細結構的圖示。在第 4 圖中應要注意的是，相同的標號和符號係給予具有與在第 1 圖中所示之區塊及其類似相同之功能的區塊及其類似。雖然該冗餘控制電路 31 和冗餘資料儲存電路 37 未被顯示於第 4 圖中，該冗餘電路 30 係由一冗餘記憶體細胞陣列 33、其之週邊電路 (一放大電路 35 和一行開關 36)、該等冗餘轉換開關群組 SWRA 和 SWRB、及該冗餘控制電路 31 組成。

在第 4 圖中，該記憶體細胞陣列 33 係由數個分別儲存資料的記憶體細胞 MC_{ik} 組成 (其中，"i" 和 "k" 是為寫在下面的符號且 i 的整數 = 0 到 m 而 k = 0 到 7)，且該等記憶體細胞係以，例如，矩陣的形式排列。此外，一字線 WLA_i 和位元線 BL_k 和 $/BL_k$ 係連接到每一 MC_{ik} 。該行開關 36 係由各根據一經由一行選擇線 COLR 來被供應之行選擇訊號來電氣地連接一對位元線 BL_k 和 $/BL_k$ 與資料匯流排 DB 和 $/DB$ 的開關 (電晶體) 組成。

該放大電路 35 係被設計來調整輸入/輸出資料的訊號位準，而且係由一感應放大器 71 和一寫入放大器 72 組成。放大器致能訊號線 AER (一感應放大器致能訊號線 SAER 和一寫入放大器致能訊號線 WAER) 係分別連接到該感應放大

五、發明說明（12）

器 71 和該寫入放大器 72。此外，資料匯流排 DB 和 /DB 係分別連接到該感應放大器 71 和該寫入放大器 72。再者，一感應資料訊號線 SDR 係連接到該感應放大器 71，而一寫入資料訊號線 WDR 係連接到該寫入放大器 72。

該冗餘轉換開關群組 SWRA 係由數個兩端開關組成，該數個兩端開關係用於分別地把該冗餘電路 30 中的控制訊號線和資料訊號線 (WLR_i, COLR, AER (SAER, WAER), SDR, WDR) 與該第一半導體記憶體電路 10 中的控制訊號線和資料訊號線 (WLA_i, COLA, AEA (SAEA, WAEA), SDAn, WDA_n) 電氣連接。與該冗餘轉換開關群組 SWRA 類似，該冗餘轉換開關群組 SWRB 係由數個兩端開關組成，該數個兩端開關係用於分別地把該冗餘電路 30 中的控制訊號線和資料訊號線與該第二半導體記憶體電路 20 中的控制訊號線和資料訊號線電氣連接。

即，該等冗餘轉換開關群組 SWRA 和 SWRB 是為分別選擇該第一和第二半導體記憶體電路 10 和 20 是否使用該冗餘電路 30 的開關群組。組成該等冗餘轉換開關群組 SWRA 和 SWRB 的該數個兩端開關係同步地遭遇於每一開關群組中的 ON/OFF (閉合/開放) 控制。順便一提，該等冗餘轉換開關群組 SWRA 和 SWRB 永不同時地改變到該 ON-狀態，而是僅它們其中之一者改變到該 ON-狀態。

如在第 5 圖中所示，該兩端開關係由一轉移開 81 和一反相器 82 組成，該轉移開 81 係由一對 Pch-Tr 和 Nch-Tr 組成。雖然在第 5 圖中，電氣連接該冗餘轉換開關群組 SWRA

五、發明說明（13）

中之字線WLA0和字線WLRO的一兩端開關係被顯示作為例子，構成該等冗餘轉換開關群組SWRA和SWRB的其他兩端開關係具有相同的結構。

一電路選擇控制訊號係經由一電路選擇控制線CS-CTL來從該冗餘控制電路31供應到該轉移開81之Nch-Tr的閘極，而該電路選擇控制訊號的一反相訊號係經由該反相器82來供應到該轉移開81之Pch-Tr的閘極。據此，藉著根據該電路選擇控制訊號來使該轉移開遭遇ON/OFF控制，在第5圖中所示的該兩端開關能夠選擇是否電氣連接該字線WLA0和該字線WLRO。

在這情況中，當該等冗餘轉換開關群組SWRA和SWRB係在該冗餘電路30中處於OFF-狀態（開啟）時，該字線WLRi變成懸浮狀態。因此，如果該字線WLRi在被作動時變成高位準（高有源）的話，如在第4圖中所示，該字線WLRi係經由一電阻性元件Ri來連接（下拉）到一地線（GND），藉此防止該字線WLRi被帶至懸浮狀態。

此外，如果該字線WLRi在被作動時變成低位準（低有源）的話，如在第6A圖中所示，該字線WLRi係經由該電阻性元件Ri來連接（上拉）到一電力源電壓Vcc，藉此防止該字線WLRi被帶至懸浮狀態。

順便一提，當冗餘電路30被使用時，為了迅速地改變及驅動該字線WLRi，該電阻性元件Ri的電阻值必須足夠地比被使用於冗餘轉換開關群組SWRA和SWRB之兩端開關的開態電阻值大。據此，該電阻性元件Ri的電阻值最好是

五、發明說明（14）

為該兩端開關之開態電阻值的大約10倍到大約100倍，而為了足夠地下拉或上拉該字線WLR_i，該兩端開關之開態電阻值的10倍係最好。

此外，代替使用該線性電阻性元件R_i，如在第6B圖中所示，藉由使用汲極係連接到該字線WLR_i、源極係連接到地線(GND)、而閘極係連接到一高電位電力源(高位準)的Nch-Tr，該字線WLR_i可以被下拉，而如在第6C圖中所示，藉由使用汲極係連接到該字線WLR_i、源極係連接到電力源(V_{cc})、而閘極係連接到一低電位電力源(低位準)的Pch-Tr，該字線WLR_i可以被上拉。

接著，運作將會作說明。

首先，是為基本運作之記憶體細胞的資料寫入運作和讀取運作將會以在第1圖中所示之半導體記憶體電路10作為例子根據第2圖作說明。應要說明的是，該等基本運作的後面說明係在假設沒有缺陷係存在於該第一半導體記憶體電路10且在該等資料路徑轉換開關SWA1-1和SWA1-2中之每一者內的該K-端和該M-端係被連接下被提供。

- 寫入運作 -

首先，指出要被寫入資料之位址的一位址訊號係經由該位址訊號線ADA來從外部供應到在第1圖中所示之第一半導體記憶體電路10的控制電路11。此外，指出該寫入運作之處於有源狀態的一寫入致能訊號係經由該寫入致能訊號線WEA來供應到該控制電路11。

根據處於有源狀態的該寫入致能訊號，該控制電路11

五、發明說明 (15)

經由該輸入/輸出致能訊號線 IOEA 來把指出一輸入運作之輸入/輸出致能訊號 (處於有源狀態的一輸入/輸出致能訊號, 例如) 輸出到該輸入/輸出電路 14-1。該控制電路 11 進一步經由該放大器致能訊號線 AEA (寫入放大器致能訊號線 WAEA) 來把一寫入放大器致能訊號輸出到該寫入放大器 52。藉此, 該輸入/輸出電路 14-1 變成一輸入電路般的功能, 而該寫入放大器 52 變成被致能。

因此, 根據該位址訊號和該寫入致能訊號來經由該資料訊號線 DA1 供應的寫入資料係經由該輸入電路 14-1 和該資料路徑轉換開關 SWA1-2 來供應到該寫入放大器 52。該寫入放大器 52 調整被供應之寫入資料的訊號位準並且把它輸出到該等資料匯流排 DB 和 /DB。

該控制電路 11 把經由該位址訊號線 ADA 供應之位址訊號的一部份 (一系列位址部份: 例如, 當該等字線 WLA0 至 WLA15 係存在時一對應於該位址訊號之至少四個位元的部份) 供應到該列解碼器 12。再者, 該控制電路 11 把該位址訊號的一部份 (一行位址部份: 例如, 當該行選擇線 COLA 係由八條訊號線組成時一對應於與該位址訊號之列位址部份不同之至少三個位元的部份) 解碼。

該控制電路 11 根據該解碼的結果來作動, 例如, 由八條訊號線組成之行選擇線 COLA 的任一訊號線。因此, 於該記憶體細胞陣列 13-1 中之行方向上的一選擇係被作成, 而任一對位元線 BLk 和 /BLk, 與資料匯流排 DB 和 /DB 係分別被電氣連接。

五、發明說明 (16)

該列解碼器 12 把被供應的位址訊號 (列位址部份) 解碼並且根據該解碼的結果來作動任一字線 WLA_i 。藉此，在該記憶體細胞陣列 13-1 中之列方向上的一選擇係被作成。

因此，對應於被供應之位址之記憶體細胞陣列 13-1 中的一個記憶體細胞 MC_{ik} 係被選擇，而對應於寫入資料的一訊號係經由該等位元線 BLk 和 $/BLk$ 來供應到被選擇的記憶體細胞 MC_{ik} ，且資料係被寫入 (儲存) 於其內。

然後，該運作係藉由把所有在如上所述之寫入運作中被帶到有源狀態的控制訊號轉變成非有源狀態來被完成。

- 讀取運作 -

首先，指出儲存有要被讀取之資料之位址的一位址訊號係經由該位址訊號線 ADA 來供應到該第一半導體記憶體電路 10 的控制電路 11。在這時候，經由該寫入致能訊號線 WEA 來供應到該控制電路 11 的寫入致能訊號係處於非有源狀態。

該控制電路 11 把該位址訊號的一部份 (列位址部份) 供應到該列解碼器 12，而且亦解碼一部份 (一行位址部份)。然後，該控制電路 11 根據該解碼的結果來作動該行選擇線 $COLA$ 中之任一訊號線。

該列解碼器 12 把被供應的位址訊號 (列位址部份) 解碼並且根據該解碼的結果來作動該等字線 WLA_i 中之任一者。

因此，在該記憶體細胞陣列 13-1 中之行方向與列方向上的選擇係被作成。據此，對應於被供應之位址之記憶體細胞陣列 13-1 中的一個記憶體細胞 MC_{ik} 係被選擇，且一對

五、發明說明 (17)

應於被儲存在所選擇之記憶體細胞 MC_{ik} 中之資料的訊號係經由被電氣地連接的位元線 BLk 和 $/BLk$ 與資料匯流排 DB 和 $/DB$ 來供應到該感應放大器52。

此外，該控制電路11根據被供應的控制訊號(位址訊號，寫入致能訊號)來經由該輸入/輸出致能訊號線 $IOEA$ 把指出一輸出運作的一輸入/輸出致能訊號(例如，處於非有源狀態的一輸入/輸出致能訊號)輸出到該輸入/輸出電路14-1。該控制電路11經由該放大器致能訊號線 AEA (感應放大器致能訊號線 $SAEA$)把一感應放大器致能訊號輸出到該感應放大器52。藉此，該輸入/輸出電路14-1變成一輸出電路般的功能，且該感應放大器52變成被致能。

因此，一對應於被供應到該感應放大器51之資料的訊號係由該感應放大器51放大並且經由該資料路徑轉換開關 $SWA1-1$ 來供應到該輸入/輸出電路14-1。藉此，該讀取資料係經由該資料訊號線 $DA1$ 來從該輸入/輸出電路14-1輸出。

其後，該運作係藉由把所有被帶到有源狀態的控制訊號轉變成非有源狀態來被完成。

- 在缺陷解救中的運作 -

接著，在缺陷係於其內被解救之狀態中的運作將會根據第7圖來作說明。應要說明的是，後面的說明係在假設於該第一半導體記憶體電路10內部之記憶體細胞陣列13-4中係有一由於缺陷而起的故障且該第二半導體記憶體電路20(未在第7圖中顯示)係正常地運作下被提供。

五、發明說明（18）

首先，當因缺陷而起的故障係存在於該記憶體細胞陣列13-4時顯示該記憶體細胞13-4係有缺點及該第一半導體記憶體電路10使用該冗餘電路30的冗餘資料係被儲存於該冗餘資料儲存電路37。類似地，顯示該第二半導體記憶體電路20不使用該冗餘電路30的冗餘資料係被儲存於該冗餘資料儲存電路37。

根據儲存於該冗餘資料儲存電路37內的冗餘資料，該冗餘控制電路31把資料路徑控制訊號輸出到該等資料路徑轉換開關SWA0到SWA7以致於在該等資料路徑轉換開關SWA0到SWA3中之每一者內的K-端和M-端係被連接及在該等資料路徑轉換開關SWA4到SWA7中之每一者內的L-端和M-端係被連接。此外，根據該冗餘資料，該冗餘控制電路31把一電路選擇控制訊號輸出到該冗餘轉換開關群組SWRA以致於在該冗餘轉換開關群組SWRA內的所有開關係處於ON狀態（關閉）。

類似地，根據該冗餘資料，該冗餘控制電路31把資料路徑控制訊號輸出到資料路徑轉換開關SWB0到SWB7以致於在該等資料路徑轉換開關SWB0到SWB7中之每一者內的K-端和M-端係被連接，及把一電路選擇控制訊號輸出到該冗餘轉換開關群組SWRB以致於在該冗餘轉換開關群組SWRB內的所有開關係處於OFF狀態（開啟）。

因此，如由第7圖中之虛線所示，經由資料訊號線DA0到DA3輸入/輸出的資料係被傳送俾可分別被輸入到記憶體細胞陣列13-0至13-3或從記憶體細胞陣列13-0至

五、發明說明（19）

13-3輸出，而經由資料訊號線DA4至DA6輸入/輸出的資料係被傳送俾可分別被輸入到記憶體細胞陣列13-5至13-7或從記憶體細胞陣列13-5至13-7輸出。經由一資料訊號線DA7輸入/輸出的資料係被傳送俾可被輸入到該冗餘電路30內的記憶體細胞陣列33或從該冗餘電路30內的記憶體細胞陣列33輸出。

此外，連接到該控制電路11和該列解碼器12的字線WLA_i、行選擇線COLA、放大器致能訊號線AEA，和在該冗餘電路30內之字線WLR_i與行選擇線COLR、及放大器致能訊號線AER係分別由該冗餘轉換開關群組SWRA內的該等開關電氣連接。因此，在該冗餘電路30內之該冗餘記憶體細胞陣列33及其之週邊電路（放大電路35和行開關36）作用如該第一半導體記憶體電路10的一部份。

因此，除非因缺陷而起之故障出現，否則應被儲存於該記憶體細胞陣列13-4的資料係被儲存於與該記憶體細胞陣列13-4相鄰的下一級記憶體細胞陣列13-5，而應被儲存於該記憶體細胞陣列13-5的資料係被儲存於記憶體細胞陣列13-6。類似地，應被儲存於記憶體細胞陣列13-6的資料係被儲存於記憶體細胞陣列13-7，而應被儲存於記憶體細胞陣列13-7的資料係被儲存於該冗餘記憶體細胞陣列33。即，在於其內係存在有因缺陷而起之故障之該記憶體細胞陣列13-4之後之級處之原本被儲存於被連接到該列解碼器12之該等記憶體細胞陣列中之每一者的資料係被儲存於下一個相鄰級的記憶體細胞陣列。

五、發明說明（20）

順便一提，該第二半導體記憶體電路20係與該冗餘電路30電氣地斷接，而因此該第二半導體記憶體電路20係獨立地運作。

雖然，被輸入或輸出八位元之資料的半導體記憶體電路係被顯示作為該第一半導體記憶體電路10，本發明並不受限於該被輸入或輸出八位元之資料的半導體記憶體電路，而係能夠被應用於被輸入/輸出任何位元數之資料的半導體記憶體電路，而且在於其內係存在有因缺陷而起之故障之該記憶體細胞陣列之後之級被連接到該列解碼器之該等記憶體細胞陣列中的每一者內，資料係被建議儲存於下一個相鄰之級的記憶體細胞陣列。

如上詳細說明，根據這實施例，根據經由該A-系統訊號線群組來供應之訊號來運作的該第一半導體記憶體電路10和根據經由該B-系統訊號線群組來供應之訊號來運作的該第二半導體記憶體電路20，及實現該缺陷解救功能的該冗餘電路30係能夠分別由該等冗餘轉換開關群組SWRA和SWRB連接，藉此該冗餘電路30係由該第一與第二半導體記憶體電路10和20共享。再者，如果故障係出現於該等半導體記憶體電路10或20中之任一者的話，其中一個冗餘轉換開關群組SWRA或SWRB係端視該在其內有故障出現的半導體記憶體電路10或20來被帶到ON狀態（關閉），藉此該冗餘電路30係運作如該在其內有故障出現之半導體記憶體電路10或20的一部份。

因此，藉由僅加入一個由兩半導體記憶體電路10和20

五、發明說明（21）

共享的冗餘電路30，該缺陷解救功能能夠被加入到該兩半導體記憶體電路10和20中之每一者。即，僅需要把一個冗餘電路30和用於把該冗餘電路30連接到該等半導體記憶體電路10和20的冗餘轉換開關群組SWRA和SWRB加入到該兩半導體記憶體電路10和20，而因此與兩個冗餘電路係被加入到兩半導體記憶體電路的習知方法比較起來，該缺陷解救功能能夠在幾乎縮減一半的電路面積下被加入到該兩半導體記憶體電路10和20中之每一者。

據此，藉著把缺陷解救功能加入到設置於半導體裝置中之該等半導體記憶體電路10和20中之每一者，要改進良率和抑制由於該冗餘電路30之加入所引致之每一個半導體記憶體電路之電路面積上的增加是有可能的，藉此與習知方法比較起來，每單位材料之非缺陷半導體裝置的獲得率能夠被改進。特別是當該等半導體記憶體電路10和20係各具有小記憶體尺寸時，由於缺陷解救功能到該等半導體記憶體電路10和20之加入所導致之在附帶於該冗餘記憶體細胞之週邊電路對記憶體細胞之電路面積之比例上的增加能夠被有效抑制。

如在第1圖中所示，該第一和第二半導體記憶體電路10和20及該冗餘電路30係被構築以致於它們之置放有電路元件之個別區域的輪廓是為矩形，而該第一半導體記憶體電路10、該冗餘電路30、及該第二半導體記憶體電路20係依這順序彼此相鄰地置放，藉此該半導體裝置能夠以一佈局來構築，在該佈局中，訊號線能夠輕易地被連接在該

五、發明說明 (22)

第一半導體記憶體電路10與該冗餘電路30及在該第二半導體記憶體電路20與該冗餘電路30之間。

雖然，在以上所述的這實施例中，冗餘電路30係由該兩半導體記憶體電路10和20共享的結構係被顯示作為例子，共享一冗餘電路之半導體記憶體電路的數目係不被受限為兩個。藉著設置一用於把一半導體記憶體電路與一冗餘電路電氣連接之冗餘轉換開關群組於每一半導體記憶體電路並且藉著執行控制以致於兩個或更多個冗餘轉換開關在同一時間不變成ON狀態，一個冗餘電路由任何數目的半導體記憶體電路共享是有可能的。

此外，共享一冗餘電路的所有半導體記憶體電路不必具有被輸入到該等半導體記憶體電路中之每一者或從該等半導體記憶體電路中之每一者輸出之相同數目之位元的資料(資料寬度)，而在該冗餘電路中之一冗餘記憶體細胞陣列在列方向與行方向上係比在該半導體記憶體電路中之一記憶體細胞陣列大或相等之如此的結構係被建議。

此外，半導體記憶體電路10和20是為SDRAM的情況係被顯示作為這實施例中的例子，但本發明並不限於SDRAM，其係能夠被應用於像DRAM(動態隨機存取記憶體)、快閃記憶體、或其類似般之能夠被寫入或重寫任何資料的半導體記憶體電路。

此外，在這實施例中，雖然該等冗餘轉換開關群組SWRA和SWRB係分別由數個使用轉移閘的兩端開關組成，與該等冗餘轉換開關群組SWRA和SWRB之功能相同的功能係可以

五、發明說明 (23)

藉著使用如在第8圖中所示的三個邏輯電路來被實現。在如此之結構的情況中，即使沒有可與一冗餘電路連接的半導體記憶體電路使用該冗餘電路，該等字線WLR_i、該行選擇線COLR、及該放大器致能訊號線AER永不變成懸浮，而因此上拉或下拉的必要性係被消除。

在第8圖中，標號90, 91, 和92標示NAND電路，而根據經由該A-系統訊號線群組供應之訊號來運作之第一半導體記憶體電路10的放大器致能訊號AEA(感應放大器致能訊號SAEA)與一冗餘電路控制訊號RA係被輸入到該NAND電路90。類似地，根據經由該B-系統訊號線群組供應之訊號來運作之第二半導體記憶體電路20的放大器致能訊號AEB(感應放大器致能訊號SAEB)與一冗餘電路選擇訊號RB係被輸入到該NAND電路91。

在這裡，該等感應放大器致能訊號SAEA和SAEB是為當它們係處於高位準時使得該等感應放大器被致能的訊號。該等冗餘電路選擇訊號RA和RB是為指出該第一和第二半導體記憶體電路10和20是否使用該冗餘電路30(缺陷解救功能)及當它們係處於高位準時指出該冗餘電路30係被使用的訊號。

該等NAND電路90和91的輸出係被輸入到該NAND電路92而一運算結果係被輸出作為該冗餘電路30的放大器致能訊號AER(感應放大器致能訊號SAER)。該感應放大器致能訊號SAER使該冗餘電路30內的感應放大器進入一致能狀態。

五、發明說明（24）

例如，當該第一半導體記憶體電路10與該第二半導體記憶體電路20皆不使用該冗餘電路30時，該等冗餘電路選擇訊號RA和RB係被設定為低位準，而該等NAND電路90和91的輸出係經常處於高位準。據此，被輸出作為該感應放大器致能訊號SAER之NAND電路92的輸出係處於低位準，而在該冗餘電路30內的感應放大器係經常處於一禁能狀態。

此外，當該第一半導體記憶體電路10使用該冗餘電路30時，該冗餘電路選擇訊號RA係處於高位準，而該NAND電路90的輸出是為該感應放大器致能訊號SAEA的反相訊號。另一方面，該冗餘電路選擇訊號RB係處於低位準，而該NAND電路91的輸出係經常處於高位準。因此，被輸出作為該感應放大器致能訊號SAER之NAND電路92的輸出是為一藉由把該感應放大器致能訊號SAEA反相及把這訊號再次反相來獲得的訊號，即，一具有與該感應放大器致能訊號SAEA同相之波形的訊號。因此，在該冗餘電路30內的感應放大器係在與該第一半導體記憶體電路10內之感應放大器相同的時序變成被致能。

例如，當該第二半導體記憶體電路20使用該冗餘電路30時，該冗餘電路選擇訊號RA係處於低位準，而該NAND電路90的輸出係經常處於高位準。另一方面，該冗餘電路選擇訊號RB係處於高位準，而該NAND91的輸出是為該感應放大器致能訊號SAEB的反相訊號。因此，被輸出作為該感應放大器致能訊號SAER之該NAND電路92的輸出是為一

五、發明說明（25）

個具有與該感應放大器致能訊號SAEB同相之波形的訊號。因此，在該冗餘電路30內的感應放大器係在與該第二半導體記憶體電路20內之感應放大器相同的時序下變成被致能。

應要說明的是，作為例證之本發明應在各方面被考量而非限制，而在申請專利範圍之等效之範圍與意義之內的所有改變係因此傾向於被包含於其內。在沒有離開本發明之精神或本質特性之下，本發明係能夠以其他特定的形式來被實現。

如上所說明，數個半導體記憶體電路係分別根據不同之位址訊號來運作，用於解救在該等半導體記憶體電路內之故障的一冗餘電路係被設置，該數個半導體記憶體電路共享該冗餘電路，且該冗餘電路係能夠根據在該等半導體記憶體電路上之冗餘資料來運作作為任一半導體記憶體電路內的一部份。

藉此，藉由該數個半導體記憶體電路共享該冗餘電路，一缺陷解救功能能夠在縮減每一個半導體記憶體電路之冗餘電路之加入所需的電路面積的同時在沒有缺陷解救功能的減損下被加入到該數個半導體記憶體電路中之每一者。

據此，藉由抑制由於冗餘電路之加入所引致之每一個半導體記憶體電路之電路面積上的增加及藉由把缺陷解救功能加入到設置於該半導體裝置中之該等半導體記憶體電路中之每一者，良率係能夠被改進，藉此，與習知技術比

五、發明說明（26）

較起來，每單位材料之非缺陷半導體裝置的獲得率係能夠被增加。特別地，當各具有小記憶體尺寸之大量的半導體記憶體電路係安裝於一個半導體裝置上時，附帶於冗餘記憶體細胞之週邊電路之電路面積對該等記憶體細胞之比例上之增加的有效抑制及感謝於缺陷解救功能之加入之良率上的改進係能夠被達成，藉此，與習知技術比較起來，每單位材料之非缺陷半導體裝置的獲得率能夠被大大地改進。

元件標號對照表

10	第一半導體記憶體電路		
ADA	A-系統位址訊號線		
WEA	A-系統寫入致能訊號線		
CLKA	A-系統時鐘訊號線		
20	第二半導體記憶體電路		
ADB	B-系統位址訊號線		
WEA	B-系統寫入致能訊號線		
CLKB	B-系統時鐘訊號線		
30	冗餘電路		
SWRA	冗餘轉換開關群組		
SWRB	冗餘轉換開關群組		
11	控制電路	12	列解碼器
WLA _i	字線	13-j	記憶體細胞陣列
14-j	輸入/輸出電路	15-j	放大電路
16-j	行開關	50	資料儲存部份

五、發明說明 (27)

SWA _j	資料路徑轉換開關	MC _{ik}	記憶體細胞
BLk	位元線	/BLk	位元線
DB	資料匯流排	/DB	資料匯流排
COLA	行選擇線	51	感應放大器
52	感應放大器		
AEA	放大器致能訊號線		
SAEA	感應放大器致能訊號線		
WAEA	寫入放大器致能訊號線		
SD1	感應資料訊號線	WD1	寫入資料訊號線
DA1	資料訊號線		
IOEA	輸入/輸出致能訊號線	SD2	感應資料訊號線
WD	寫入資料訊號線	60	轉移閘
61	轉移閘	62	反相器
31	冗餘控制電路	21	控制電路
DP-CTL	資料路徑控制線	22	列解碼器
23-j	記憶體細胞陣列	24-j	輸入/輸出電路
25-j	放大電路	26-j	行開關
SWB _j	資料路徑轉換開關	35	放大電路
37	冗餘資料儲存電路	36	行開關
33	冗餘記憶體細胞陣列	COLR	行選擇線
71	感應放大器	72	寫入放大器
AER	放大器致能訊號線	SDR	感應資料訊號線
SAER	感應放大器致能訊號線	WDR	寫入資料訊號線
WAER	寫入放大器致能訊號線	81	轉移閘

五、發明說明 (28)

82 反相器

WLA0 字線

WLRO 字線

90 NAND 電路

91 NAND 電路

92 NAND 電路

四、中文發明摘要(發明之名稱:半導體裝置)

第一和第二半導體記憶體電路與一用於實現缺陷解救功能的冗餘電路係被使成可連接，藉此，該冗餘電路係由該兩個半導體記憶體電路共享，而且當故障出現於該等半導體記憶體電路中之任一者時，該冗餘電路運作作為該半導體記憶體電路中之一部份。因此，該缺陷解救功能能夠藉由僅加入一個冗餘電路與冗餘轉換開關群組來被加入到該兩個半導體記憶體電路中之每一者。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:SEMICONDUCTOR DEVICE)

A first and second semiconductor memory circuits and a redundant circuit for realizing a defect relief function are made connectable, whereby the redundant circuit is shared between the two semiconductor memory circuits, and when a failure occurs in either of the semiconductor memory circuits, the redundant circuit operates as a portion in the semiconductor memory circuit. Consequently, the defect relief function can be added to each of the two semiconductor memory circuits by only adding one redundant circuit and redundant changeover switch groups.

訂

線

六、申請專利範圍

1. 一種半導體裝置，包含：

數個半導體記憶體電路，其係分別根據不同的位址訊號來運作並且能夠儲存資料；及

一由該數個半導體記憶體電路共享的冗餘電路，其係用於解救在該等半導體記憶體電路中的故障，

其中，該冗餘電路係被允許根據在該數個半導體記憶體電路上的冗餘資料來運作作為任一半導體記憶體電路內的一部份。

2. 如申請專利範圍第1項所述之半導體裝置，其中，該冗餘電路包含：

一冗餘記憶體細胞陣列，其具有數個記憶體細胞；
及

一附帶於該冗餘記憶體細胞陣列的週邊電路。

3. 如申請專利範圍第1項所述之半導體裝置，其中，該數個半導體記憶體電路的控制訊號，其係藉由把該數個不同之位址訊號解碼來被分別獲得，係根據該冗餘資料來被選擇地供應到該冗餘電路。

4. 如申請專利範圍第1項所述之半導體裝置，其中，該數個半導體記憶體電路與該冗餘電路係經由數個切換電路來互相連接，該數個切換電路係用於發送和接收藉由把該數個不同之位址訊號解碼來分別被獲得的控制訊號及輸入/輸出資料。

5. 如申請專利範圍第4項所述之半導體裝置，其中，該數個切換電路係由電晶體組成。

六、申請專利範圍

- 6.如申請專利範圍第5項所述之半導體裝置，其中，該數個切換電路是為由電晶體組成的轉移閘。
- 7.如申請專利範圍第4項所述之半導體裝置，其中，該數個切換電路中之至少一者是為一邏輯電路，其係用於選擇地輸出至少該數個半導體記憶體電路的控制訊號或在該冗餘電路與該數個半導體記憶體電路之間的資料。
- 8.如申請專利範圍第4項所述之半導體裝置，更包含：
 - 一冗餘控制電路，其係用於根據該冗餘資料來控制該等切換電路。
- 9.如申請專利範圍第8項所述之半導體裝置，其中，該冗餘資料是為用於顯示該半導體記憶體電路是否使用該冗餘電路，及用於顯示在該等半導體記憶體電路中之每一者中之出現有故障之半導體記憶體電路之一部份的資料。
- 10.如申請專利範圍第8項所述之半導體裝置，其中，該冗餘控制電路包括一用於儲存該冗餘資料的冗餘資料儲存電路。
- 11.如申請專利範圍第10項所述之半導體裝置，其中，該冗餘資料儲存電路是為一ROM。
- 12.如申請專利範圍第10項所述之半導體裝置，其中，該冗餘資料儲存電路係由數個雷射熔絲組成。
- 13.如申請專利範圍第8項所述之半導體裝置，其中，該冗餘控制電路同時地切換該數個切換電路以致於該等控制訊號和輸入/輸出訊號係根據該冗餘資料來在該等半導體記憶體電路中之任一者與該冗餘電路之間發送

六、申請專利範圍

和接收。

14.如申請專利範圍第4項所述之半導體裝置，其中，該半導體記憶體電路包含：

數個記憶體細胞陣列；及

數個資料路徑轉換切換電路，其係用於選擇地切換用於把資料輸入到該數個記憶體細胞陣列的輸入路徑或從該數個記憶體細胞陣列輸出資料的輸出路徑。

15.如申請專利範圍第14項所述之半導體裝置，更包含：

一冗餘控制電路，其係用於根據該冗餘資料來控制該等切換電路與該等資料路徑轉換切換電路。

16.如申請專利範圍第14項所述之半導體裝置，其中，該數個資料路徑轉換切換電路是為致能在一第一輸入/輸出端與一第二輸入/輸出端之間，及在該第一輸入/輸出端與一第三輸入/輸出端之間之連續性的切換電路，

該等第二輸入/輸出端係各連接到該數個半導體細胞陣列中之一者；

該等資料路徑切換電路中之一者的第三輸入/輸出端係連接到該冗餘電路，及

其他之資料路徑轉換切換電路之第三輸入/輸出端中之每一者係連接到與該等第二輸入/輸出端所連接之記憶體細胞陣列不同的記憶體細胞陣列中之一者。

17.如申請專利範圍第16項所述之半導體裝置，其中，該數個資料路徑轉換切換電路各是為兩個排他地成連續性的轉移閘。

六、申請專利範圍

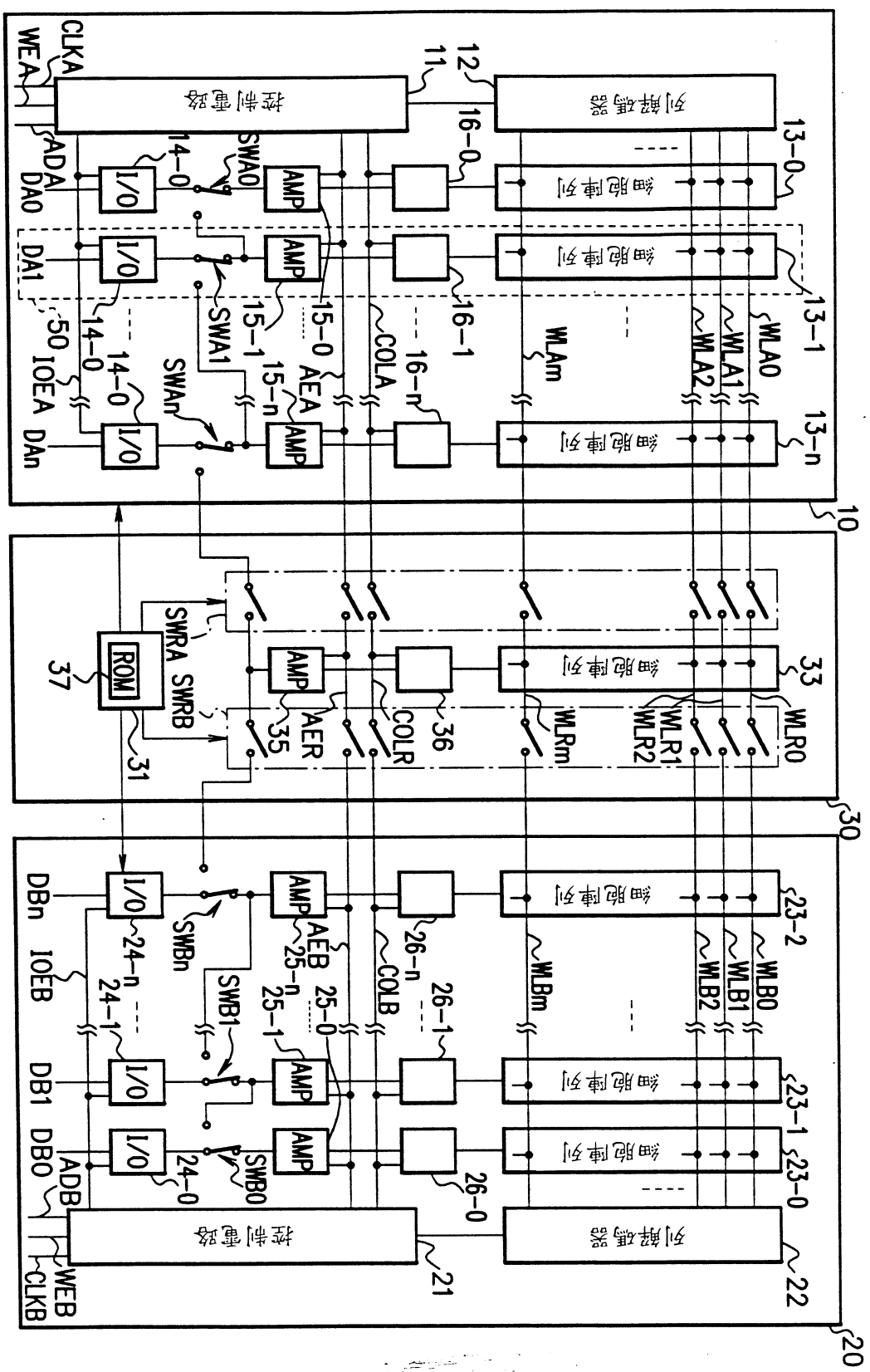
- 18.如申請專利範圍第1項所述之半導體裝置，其中，該半導體記憶體電路在沒有故障出現於該半導體記憶體電路時係可獨立地運作。
- 19.如申請專利範圍第1項所述之半導體裝置，其中，在該數個半導體記憶體電路與該冗餘電路中，配置有電路元件之個別之區域的輪廓具有一矩形形狀，及
該數個半導體記憶體電路和該冗餘電路係互相相鄰地配置以致於用於供應藉由把該數個不同之位址訊號解碼來獲得之控制訊號和輸入/輸出資料的訊號線係可連接在該數個半導體記憶體電路與該冗餘電路之間。
- 20.如申請專利範圍第19項所述之半導體裝置，其中，該冗餘電路係被置放於在該數個半導體記憶體電路當中之任何相鄰的兩個半導體記憶體電路之間。
- 21.如申請專利範圍第19項所述之半導體裝置，其中，該等半導體記憶體電路的數目是為二，而且該等半導體記憶體電路中之每一者係被置放於該冗餘電路的任一側上。
- 22.如申請專利範圍第1項所述之半導體裝置，其中，當在該冗餘電路中之一訊號線係處於一非有源狀態時，一約定的電位係被供應到該訊號線。
- 23.如申請專利範圍第22項所述之半導體裝置，其中，該訊號線係經由一電阻性元件來連接到一電力源或一接地線。

六、申請專利範圍

24.如申請專利範圍第4項所述之半導體裝置，其中，該數個半導體記憶體電路是為靜態隨機存取記憶體。

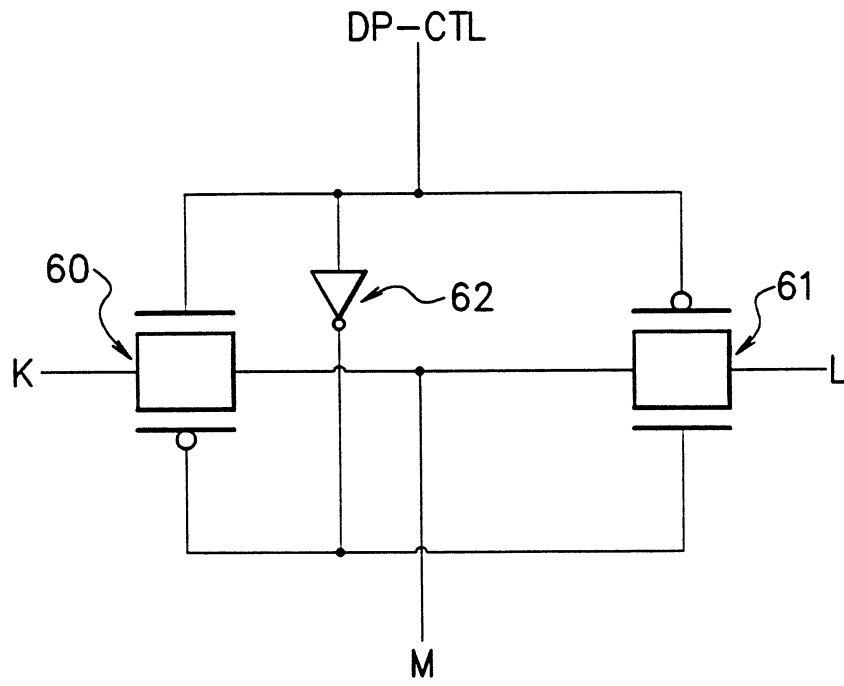
25.如申請專利範圍第24項所述之半導體裝置，其中，當被設置於該冗餘電路中之一冗餘記憶體細胞陣列的字線係處於一非有源狀態時，一約定的電位係被供應到該字線。

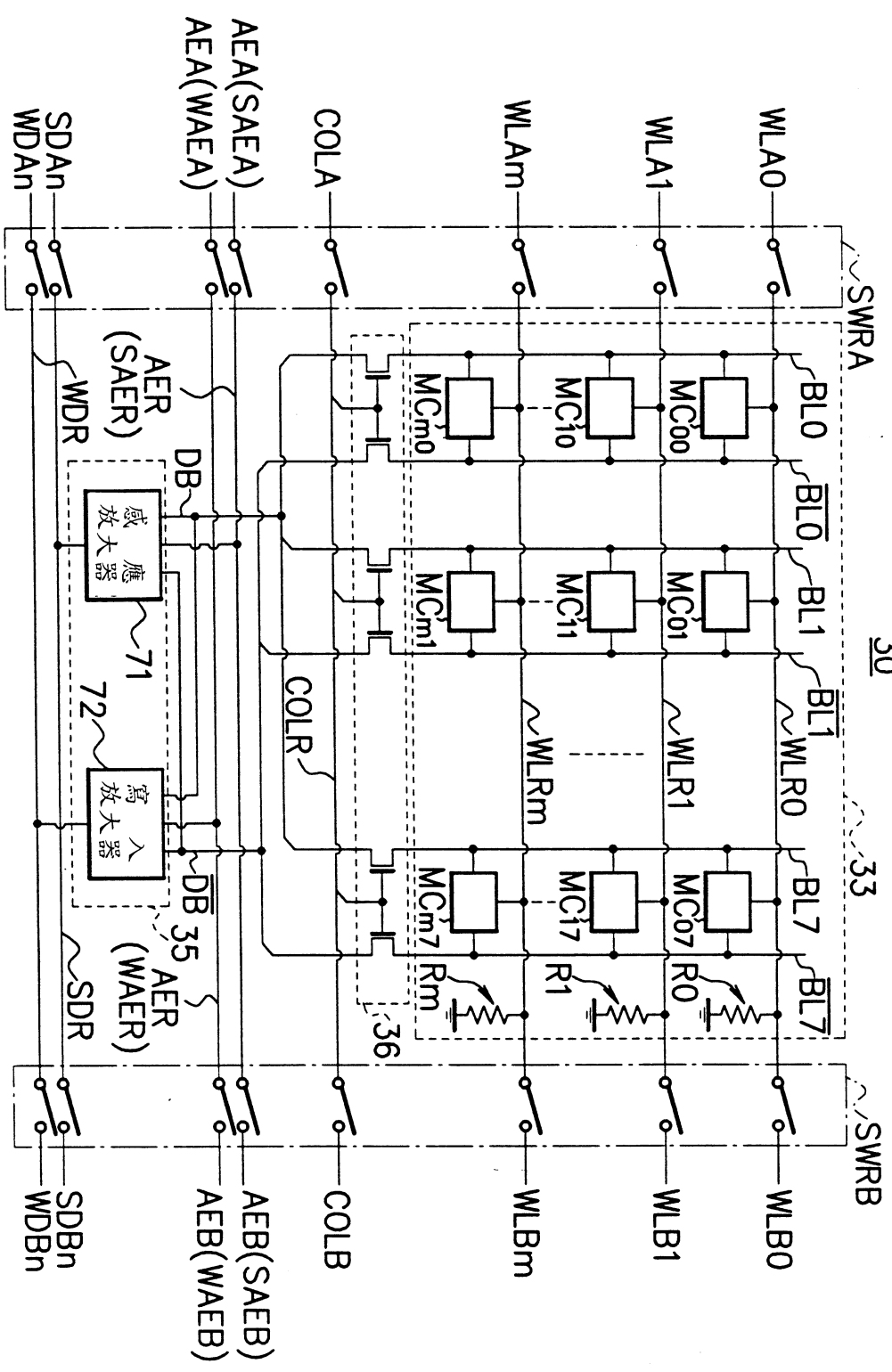
91109148



第 1 圖

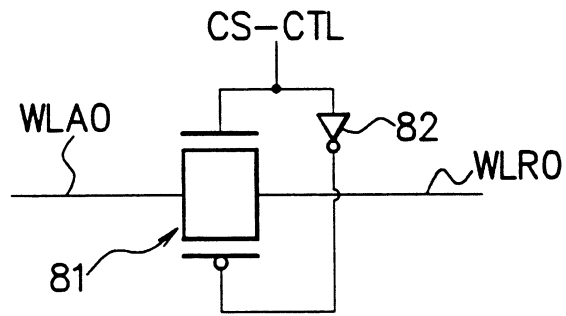
第 3 圖



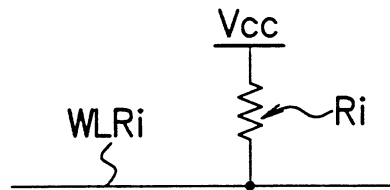


第 4 圖

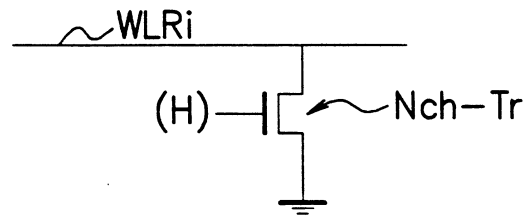
第 5 圖



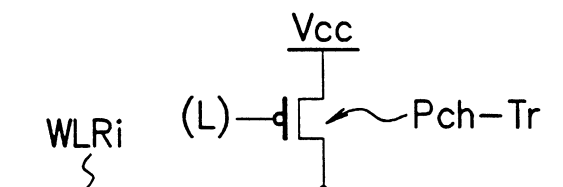
第6A圖



第6B圖



第6C圖



第 8 圖

