



등록특허 10-2560009



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월26일  
(11) 등록번호 10-2560009  
(24) 등록일자 2023년07월21일

(51) 국제특허분류(Int. Cl.)  
*H03H 7/24* (2006.01) *H01P 1/22* (2006.01)

(52) CPC특허분류  
*H03H 7/24* (2013.01)  
*H01P 1/22* (2013.01)

(21) 출원번호 10-2019-7008829

(22) 출원일자(국제) 2017년08월28일  
심사청구일자 2020년08월28일

(85) 번역문제출일자 2019년03월27일

(65) 공개번호 10-2019-0052011

(43) 공개일자 2019년05월15일

(86) 국제출원번호 PCT/US2017/048916

(87) 국제공개번호 WO 2018/044798  
국제공개일자 2018년03월08일

(30) 우선권주장  
62/381,367 2016년08월30일 미국(US)

(56) 선행기술조사문현  
EP00260782 A1  
US20150326204 A1  
US20060244548 A1

(73) 특허권자  
**스카이워크스 솔루션즈, 인코포레이티드**  
미국 92617 캘리포니아주 얼바인 캘리포니아 애비뉴 5260

(72) 발명자  
**양, 양**  
미국 92617 캘리포니아주 어바인 캘리포니아 애비뉴 5221 스카이워크스 솔루션즈, 인코포레이티드  
내  
**이, 준형**  
미국 92617 캘리포니아주 어바인 캘리포니아 애비뉴 5221 스카이워크스 솔루션즈, 인코포레이티드  
내

(74) 대리인  
**양영준, 백만기**

(74) 대리인  
양영준, 백만기

전체 청구항 수 : 총 17 항

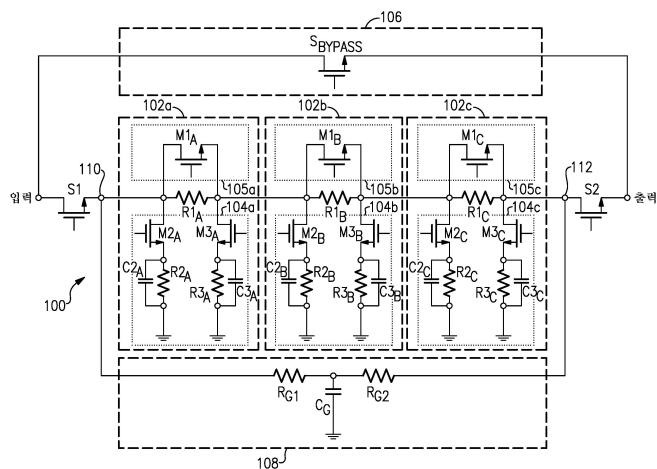
심사관 : 조성찬

(54) 발명의 명칭 위상 시프트 및 개인 보상 회로들을 갖는 감쇠기들

### (57) 요약

위상 시프트 및 개인 보상 회로들을 갖는 감쇠기들. 일부 실시예에서, 무선 주파수(RF) 감쇠기 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 감쇠 블록을 포함할 수 있고, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. RF 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함할 수 있다. RF 감쇠기 회로는 글로벌 바이패스 경로 및 하나 이상의 로컬 바이패스 경로 중 적어도 하나와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된 위상 보상 회로를 더 포함할 수 있다.

## 대 표 도



## 명세서

### 청구범위

#### 청구항 1

무선 주파수 감쇠기 회로로서,

입력 노드와 출력 노드;

제1 스위치, 제1 노드, 직렬로 배열된 복수의 감쇠 블록, 제2 노드, 및 상기 입력 노드와 상기 출력 노드 사이의 제2 스위치를 포함하는 감쇠 경로 - 각각의 감쇠 블록은 감쇠를 제공할 때 단일 저항을 제공하도록 구성되고, 상기 감쇠 블록은 온 또는 오프되어 상기 단일 저항의 스위칭 가능 바이패스를 허용하도록 구성되는 로컬 바이패스 스위치를 포함하고, 상기 로컬 바이패스 스위치는 오프일 때 단일 로컬 오프-캐패시턴스(single local off-capacitance)를 제공하고, 상기 감쇠 블록들 중 적어도 일부의 감쇠 블록들 각각은 상기 각각의 로컬 바이패스 스위치의 상기 단일 로컬 오프-캐패시턴스를 보상하도록 구성되는 로컬 위상 보상 회로를 포함함 -;

상기 감쇠 경로와 병렬이 되도록 상기 입력 노드와 상기 출력 노드 사이에 구현된 글로벌 바이패스 경로 - 상기 글로벌 바이패스 경로는 온 또는 오프되어 상기 감쇠 경로의 스위칭 가능 바이패스를 허용하도록 구성된 글로벌 바이패스 스위치를 포함하고, 상기 글로벌 바이패스 스위치는 오프일 때 글로벌 오프-캐패시턴스를 제공하고, 상기 감쇠 경로의 상기 제1 및 제2 스위치들 각각은 상기 글로벌 바이패스 스위치가 온일 때 오프되고 상기 글로벌 바이패스 스위치가 오프일 때 온되도록 구성됨 -; 및

상기 제1 노드와 상기 제2 노드 사이에 구현되고, 상기 글로벌 오프-캐패시턴스를 보상하도록 구성된 글로벌 위상 보상 회로

를 포함하는 무선 주파수 감쇠기 회로.

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

제1항에 있어서,

상기 글로벌 위상 보상 회로는 직렬로 배열된 제1 글로벌 보상 저항 및 제2 글로벌 보상 저항, 및 접지와 상기 제1 및 제2 글로벌 보상 저항들 사이의 노드 사이에 구현된 글로벌 보상 캐패시턴스를 포함하는 무선 주파수 감쇠기 회로.

#### 청구항 5

제4항에 있어서,

상기 글로벌 바이패스 스위치의 상기 글로벌 오프-캐패시턴스는 위상 진상(phase lead) 변화를 초래하고, 상기 글로벌 위상 보상 회로는 위상 지연(phase lag) 변화를 제공하여 상기 위상 진상 변화를 보상하도록 구성되는 무선 주파수 감쇠기 회로.

#### 청구항 6

삭제

#### 청구항 7

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

제4항에 있어서,

상기 글로벌 보상 캐패시턴스는 하나 이상의 프로세스 변동에 의해 상기 글로벌 바이패스 스위치와 실질적으로 동일하게 영향을 받도록 구성되는 무선 주파수 감쇠기 회로.

**청구항 11**

제10항에 있어서,

상기 글로벌 보상 캐패시턴스는 트랜지스터-유형 디바이스로서 구성되는 무선 주파수 감쇠기 회로.

**청구항 12**

제11항에 있어서,

상기 글로벌 보상 캐패시턴스의 상기 트랜지스터-유형 디바이스 및 상기 글로벌 바이패스 스위치 각각은 MOSFET 디바이스로서 구현되는 무선 주파수 감쇠기 회로.

**청구항 13**

제1항에 있어서,

각각의 감쇠 블록의 상기 로컬 바이패스 스위치는 대응하는 감쇠 블록에 대해 로컬 바이패스 모드에 있을 때 온되고 로컬 감쇠 모드에 있을 때 오프되도록 구성되는 무선 주파수 감쇠기 회로.

**청구항 14**

삭제

**청구항 15**

제1항에 있어서,

각각의 감쇠 블록은 저항을 갖는 파이(pi)-감쇠기, 상기 저항의 일 단부와 접지 사이에 구현된 제1 션트 경로, 상기 저항의 다른 단부와 상기 접지 사이에 구현된 제2 션트 경로로서 구성되고, 상기 제1 및 제2 션트 경로들 각각은 션트 저항을 포함하는 무선 주파수 감쇠기 회로.

**청구항 16**

제15항에 있어서,

상기 로컬 위상 보상 회로는 제1 션트 저항과 전기적으로 병렬로 배열된 제1 로컬 보상 캐패시턴스 및 제2 션트 저항과 전기적으로 병렬로 배열된 제2 로컬 보상 캐패시턴스를 포함하는 무선 주파수 감쇠기 회로.

**청구항 17**

제16항에 있어서,

상기 로컬 바이패스 스위치의 상기 로컬 오프-캐패시턴스는 위상 진상 변화를 초래하고, 상기 로컬 위상 보상 회로는 위상 지연 변화를 제공하여 상기 위상 진상 변화를 보상하도록 구성되는 무선 주파수 감쇠기 회로.

**청구항 18**

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

제16항에 있어서,

상기 제1 및 제2 로컬 보상 캐패시턴스들 각각은 하나 이상의 프로세스 변동에 의해 상기 로컬 바이패스 스위치 와 실질적으로 동일하게 영향을 받도록 구성되는 무선 주파수 감쇠기 회로.

청구항 23

제22항에 있어서,

상기 제1 및 제2 로컬 보상 캐패시턴스들 각각은 트랜지스터-유형 디바이스로서 구성되는 무선 주파수 감쇠기 회로.

청구항 24

제23항에 있어서,

상기 제1 및 제2 로컬 보상 캐패시턴스들의 상기 트랜지스터-유형 디바이스 및 상기 로컬 바이패스 스위치 각각은 MOSFET 디바이스로서 구현되는 무선 주파수 감쇠기 회로.

청구항 25

제1항에 있어서,

상기 복수의 감쇠 블록 중 적어도 일부는 이진 가중 감쇠 값들을 제공하도록 구성되는 무선 주파수 감쇠기 회로.

청구항 26

삭제

청구항 27

무선 주파수 모듈로서,

복수의 컴포넌트를 수용하도록 구성된 패키징 기판; 및

상기 패키징 기판 상에 구현된 무선 주파수 감쇠기 회로

를 포함하고,

상기 무선 주파수 감쇠기 회로는 입력 노드와 출력 노드, 및 제1 스위치, 제1 노드, 직렬로 배열된 복수의 감쇠 블록, 제2 노드, 및 상기 입력 노드와 상기 출력 노드 사이의 제2 스위치를 포함하는 감쇠 경로를 포함하고, 각각의 감쇠 블록은 감쇠를 제공할 때 단일 저항을 제공하도록 구성되고, 상기 감쇠 블록은 온 또는 오프되어 상기 단일 저항의 스위칭 가능 바이패스를 허용하도록 구성된 로컬 바이패스 스위치를 포함하고, 상기 로컬 바이패스 스위치는 오프일 때 단일 로컬 오프-캐패시턴스를 제공하고, 상기 감쇠 블록들 중 적어도 일부 감쇠 블록들 각각은 각각의 로컬 바이패스 스위치의 상기 단일 로컬 오프-캐패시턴스를 보상하도록 구성된 로컬 위상 보상 회로를 포함하고, 상기 무선 주파수 감쇠기 회로는 상기 감쇠 경로와 병렬이 되도록 상기 입력 노드와 상기

출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함하고, 상기 글로벌 바이패스 경로는 온 또는 오프되어 상기 감쇠 경로의 스위칭 가능 바이패스를 허용하도록 구성된 글로벌 바이패스 스위치를 포함하고, 상기 글로벌 바이패스 스위치는 오프일 때 글로벌 오프-캐패시턴스를 제공하고, 상기 감쇠 경로의 상기 제1 및 제2 스위치들 각각은 상기 글로벌 바이패스 스위치가 온일 때 오프되고, 상기 글로벌 바이패스 스위치가 오프일 때 온되도록 구성되고, 상기 무선 주파수 감쇠기 회로는 상기 제1 노드와 상기 제2 노드 사이에 구현되고 상기 글로벌 오프-캐패시턴스를 보상하도록 구성된 글로벌 위상 보상 회로를 더 포함하는 무선 주파수 모듈.

#### 청구항 28

삭제

#### 청구항 29

삭제

#### 청구항 30

제27항에 있어서,

상기 무선 주파수 모듈은 수신된 무선 주파수 신호를 처리하도록 구성되는 무선 주파수 모듈.

#### 청구항 31

삭제

#### 청구항 32

삭제

#### 청구항 33

삭제

#### 청구항 34

무선 디바이스로서,

무선 주파수 신호를 수신하도록 구성된 안테나;

상기 안테나와 통신하는 송수신기;

상기 안테나와 상기 송수신기 사이의 신호 경로; 및

상기 신호 경로를 따라 구현된 무선 주파수 감쇠기 회로

를 포함하고,

상기 무선 주파수 감쇠기 회로는 입력 노드와 출력 노드, 및 제1 스위치, 제1 노드, 직렬로 배열된 복수의 감쇠 블록, 제2 노드, 및 상기 입력 노드와 상기 출력 노드 사이의 제2 스위치를 포함하는 감쇠 경로를 포함하고, 각각의 감쇠 블록은 감쇠를 제공할 때 단일 저항을 제공하도록 구성되고, 상기 감쇠 블록은 온 또는 오프되어 상기 단일 저항의 스위칭 가능 바이패스를 허용하도록 구성된 로컬 바이패스 스위치를 포함하고, 상기 로컬 바이패스 스위치는 오프일 때 단일 로컬 오프-캐패시턴스를 제공하고, 상기 감쇠 블록들 중 적어도 일부 감쇠 블록들 각각은 각각의 로컬 바이패스 스위치의 상기 단일 로컬 오프-캐패시턴스를 보상하도록 구성된 로컬 위상 보상 회로를 포함하고, 상기 무선 주파수 감쇠기 회로는 상기 감쇠 경로와 병렬이 되도록 상기 입력 노드와 상기 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함하고, 상기 글로벌 바이패스 경로는 온 또는 오프되어 상기 감쇠 경로의 스위칭 가능 바이패스를 허용하도록 구성된 글로벌 바이패스 스위치를 포함하고, 상기 글로벌 바이패스 스위치는 오프일 때 글로벌 오프-캐패시턴스를 제공하고, 상기 감쇠 경로의 상기 제1 및 제2 스위치들 각각은 상기 글로벌 바이패스 스위치가 온일 때 오프되고, 상기 글로벌 바이패스 스위치가 오프일 때 온되도록 구성되고, 상기 무선 주파수 감쇠기 회로는 상기 제1 노드와 상기 제2 노드 사이에 구현되고 상기 글로벌 오프-캐패시턴스를 보상하도록 구성된 글로벌 위상 보상 회로를 더 포함하는 무선 디바이스.

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

### 발명의 설명

### 기술 분야

관련 출원(들)에 대한 상호참조

[0001] 본 출원은 2016년 8월 30일자로 출원된 ATTENUATORS HAVING PHASE SHIFT AND GAIN COMPENSATION CIRCUITS(위상 시프트 및 게인 보상 회로들을 갖는 감쇠기)라는 명칭의 U.S. 가출원 No. 62/381,367에 대한 우선권을

주장하며, 그 개시내용은 명시적으로 그 각각의 전체가 본 명세서에서 참조로서 포함된다.

#### [0003] 배경

본 개시내용은 전자 애플리케이션들의 감쇠기들에 관한 것이다.

### 배경 기술

[0005] 무선 주파수(radio frequency)(RF) 애플리케이션들과 같은 전자 애플리케이션들에서, 때로는 신호를 증폭하거나 감쇠하는 것이 바람직하다. 예를 들어, 송신될 신호는 전력 증폭기에 의해 증폭될 수 있고, 수신된 신호는 저잡음 증폭기에 의해 증폭될 수 있다. 다른 예로, 하나 이상의 감쇠기는 각각의 신호(들)를 감쇠시키기 위해 필요에 따라 또는 원하는 대로 전술한 송신 및 수신 경로들 중 하나 또는 둘 모두를 따라 구현될 수 있다.

### 발명의 내용

[0006] 다수의 구현예에 따르면, 본 개시내용은 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 감쇠 블록을 포함하는 무선 주파수(RF) 감쇠기 회로에 관한 것으로, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. RF 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함한다. RF 감쇠기 회로는 글로벌 바이패스 경로 및 하나 이상의 로컬 바이패스 경로 중 적어도 하나와 연관된 오프-캐패시턴스(off-capacitance) 영향을 보상하도록 구성된 위상 보상 회로를 더 포함한다.

[0007] 일부 실시예에서, 글로벌 바이패스 경로는 글로벌 바이패스 모드에 있을 때 온(on)되고, 글로벌 감쇠 모드에 있을 때 오프(off)되도록 구성된 글로벌 바이패스 스위칭 트랜지스터를 포함하여, 글로벌 감쇠 모드에 있을 때 글로벌 바이패스 스위칭 트랜지스터가 글로벌 오프-캐패시턴스를 제공하도록 할 수 있다. 위상 보상 회로는 무선 주파수 감쇠기 회로가 글로벌 감쇠 모드에 있을 때 글로벌 오프-캐패시턴스를 보상하도록 구성된 글로벌 위상 보상 회로를 포함할 수 있다.

[0008] 일부 실시예에서, 글로벌 위상 보상 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 제1 글로벌 보상 저항 및 제2 글로벌 보상 저항 및 접지와 제 1 및 제 2 글로벌 보상 저항들 사이의 노드 사이에 구현된 글로벌 보상 캐패시턴스를 포함할 수 있다. 글로벌 바이패스 스위칭 트랜지스터의 글로벌 오프-캐패시턴스는 위상 진상(phase lead) 변화를 초래할 수 있고, 글로벌 위상 보상 회로는 위상 지연(phase lag) 변화를 제공하여 위상 진상 변화를 보상하도록 구성될 수 있다. 제1 및 제2 글로벌 보상 저항들은 실질적으로 동일한 값을 가질 수 있

$$\phi = \tan^{-1}(2\omega R_{G1}C_{off}) - \tan^{-1}\left(\frac{2}{3}\omega R_{G1}C_{off}\right)$$

다. 위상 진상 변화는

으로서 계산된 양만큼일 수 있

$$\phi = -\tan^{-1}\left(\frac{2}{3}\omega R_{G1}C_G\right)$$

고 위상 지연 변화는

으로서 계산된 양만큼일 수 있으며,  $\omega$ 는  $2\pi$  체배 주파수이

고,  $R_L$ 은 부하 임피던스이고,  $R_{G1}$ 는 제1 글로벌 보상 저항이며,  $C_G$ 는 글로벌 보상 캐패시턴스이다. 제1 글로벌 보상 저항 및 글로벌 보상 캐패시턴스의 값들은 위상 지연 변화의 크기가 위상 진상 변화의 크기와 실질적으로 동일하도록 선택될 수 있다. 글로벌 보상 캐패시턴스의 값은 감쇠기 회로의 글로벌 게인이 선택된 주파수 범위에 걸쳐 대략 평탄해지도록 선택될 수 있다.

[0009] 일부 실시예에서, 글로벌 보상 캐패시턴스는 하나 이상의 프로세스 변동에 의해 글로벌 바이패스 스위칭 트랜지스터와 실질적으로 동일하게 영향을 받도록 구성될 수 있다. 글로벌 보상 캐패시턴스는 트랜지스터-유형 디바이스로 구성될 수 있다. 글로벌 보상 캐패시턴스의 트랜지스터-유형 디바이스 및 글로벌 바이패스 스위칭 트랜지스터 각각은 MOSFET 디바이스로서 구현될 수 있다.

[0010] 일부 실시예에서, 로컬 바이패스 경로는 로컬 바이패스 모드에 있을 때 온되고 로컬 감쇠 모드에 있을 때 오프되도록 구성된 로컬 바이패스 스위칭 트랜지스터를 포함할 수 있고, 이에 따라 로컬바이패스 스위칭 트랜지스터는 로컬감쇠 모드에 있을 때 로컬 오프-캐패시턴스를 제공한다. 위상 보상 회로는 무선 주파수 감쇠기 회로가 로컬 감쇠 모드에 있을 때 로컬 오프-캐패시턴스를 보상하도록 구성된 로컬 위상 보상 회로를 포함할 수 있다.

[0011] 일부 실시예에서, 감쇠 블록은 로컬 저항을 갖는 파이(pi)-감쇠기, 로컬 저항의 일 단부와 접지 사이에 구현된 제1 션트 경로, 및 로컬 저항의 단부와 접지 사이에 구현된 제2 션트 경로로서 구성될 수 있고, 제1 및 제2 션트 경로들 각각은 션트 저항을 포함한다. 로컬 위상 보상 회로는 제1 션트 저항과 전기적으로 병렬로 배열된 제1 로컬 보상 캐패시턴스 및 제2 션트 저항과 전기적으로 병렬로 배열된 제2 로컬 보상 캐패시턴스를 포함할

수 있다.

- [0012] 일부 실시예에서, 로컬 바이패스 스위칭 트랜지스터의 로컬 오프-캐패시턴스는 위상 진상 변화를 초래할 수 있고, 로컬 위상 보상 회로는 위상 지연 변화를 제공하여 위상 진상 변화를 보상하도록 구성될 수 있다. 제1 및 제2 션트 저항들은 실질적으로 동일한 값을 가질 수 있고, 제1 및 제2 로컬 보상 캐패시턴스들은 실질적으로 동

$$\phi = \tan^{-1}(\omega R_1 C_{off}) - \tan^{-1}\left(\omega \left(\frac{R_1 R_L}{R_1 + R_L}\right) C_{off}\right)$$

일한 값을 가질 수 있다. 위상 진상 변화는 으로

$$\phi = -\tan^{-1}\left(\frac{\omega R_1 R'_2 C_c}{R_1 + R'_2}\right)$$

서 계산된 양만큼일 수 있고 위상 지연 변화는 으로서 계산된 양만큼일 수 있으며,  $\omega$ 는  $2\pi$  체배 주파수이고,  $R_L$ 은 부하 임피던스이고,  $R_1$ 은 로컬 저항이고,  $C_c$ 는 제1 로컬 보상 캐패시턴스이며,  $R'_2$ 는 제1 션트 저항과 부하 임피던스의 병렬 배열의 등가 저항이다. 제1 로컬 보상 캐패시턴스의 값은 위상 지연 변화의 크기가 위상 진상 변화의 크기와 실질적으로 동일하도록 선택될 수 있다. 로컬 보상 캐패시턴스의 값은 감쇠 블록의 로컬 게인이 선택된 주파수 범위에 걸쳐 대략 평탄해지도록 선택될 수 있다.

- [0013] 일부 실시예에서, 제1 및 제2 로컬 보상 캐패시턴스들 각각은 하나 이상의 프로세스 변동에 의해 로컬 바이패스 스위칭 트랜지스터와 실질적으로 동일하게 영향을 받도록 구성될 수 있다. 제1 및 제2 로컬 보상 캐패시턴스들 각각은 트랜지스터-유형 디바이스로서 구성될 수 있다. 제1 및 제2 로컬 보상 캐패시턴스들의 트랜지스터-유형 디바이스 및 로컬 바이패스 스위칭 트랜지스터 각각은 MOSFET 디바이스로서 구현될 수 있다.

- [0014] 일부 실시예에서, 하나 이상의 감쇠 블록은 이진 가중 감쇠 값(binary-weighted attenuation value)들을 갖는 복수의 감쇠 블록을 포함할 수 있다.

- [0015] 일부 교시들에서, 본 개시내용은 무선 주파수 회로를 갖는 반도체 다이에 관한 것이다. 반도체 다이는 반도체 기판 및 반도체 기판 상에 구현된 감쇠기 회로를 포함한다. 감쇠기 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 감쇠 블록을 포함하고, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함한다. 감쇠기 회로는 글로벌 바이패스 경로 및 하나 이상의 로컬 바이패스 경로 중 적어도 하나와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된 위상 보상 회로를 더 포함한다.

- [0016] 다수의 구현예에서, 본 개시내용은 복수의 컴포넌트를 수용하도록 구성된 패키징 기판 및 패키징 기판 상에 구현된 무선 주파수 감쇠기 회로를 포함하는 무선 주파수 모듈에 관한 것이다. 감쇠기 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 감쇠 블록을 포함하고, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함한다. 감쇠기 회로는 글로벌 바이패스 경로 및 하나 이상의 로컬 바이패스 경로 중 적어도 하나와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된 위상 보상 회로를 더 포함한다.

- [0017] 일부 실시예에서, 무선 주파수 감쇠기 회로의 일부 또는 전부는 반도체 다이 상에서 구현될 수 있다. 일부 실시예에서, 실질적으로 모든 무선 주파수 감쇠기 회로는 반도체 다이 상에서 구현될 수 있다.

- [0018] 일부 실시예에서, 무선 주파수 모듈은 수신된 무선 주파수 신호를 처리하도록 구성될 수 있다. 무선 주파수 모듈은 다이버시티 수신 모듈일 수 있다.

- [0019] 일부 실시예에서, 무선 주파수 모듈은 무선 주파수 감쇠기 회로와 통신하고 무선 주파수 감쇠기 회로의 동작을 위한 제어 신호를 제공하도록 구성된 제어기를 더 포함할 수 있다. 제어기는 예를 들어, 모바일 산업 프로세서 인터페이스(Mobile Industry Processor Interface) 제어 신호를 제공하도록 구성될 수 있다.

- [0020] 일부 구현예에 따르면, 본 개시내용은 무선 주파수 신호를 수신하도록 구성된 안테나, 안테나와 통신하는 송수신기 및 안테나와 송수신기 사이의 신호 경로를 포함하는 무선 디바이스에 관한 것이다. 무선 디바이스는 신호 경로를 따라 구현된 무선 주파수 감쇠기 회로를 더 포함한다. 감쇠기 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 감쇠 블록을 포함하고, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함한다. 감쇠기 회로는 글로벌 바이패스 경로 및 하나 이상의 로컬 바이패스 경로 중 적어도 하나와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된 위상 보상 회로를 더 포함한다.

- [0021] 일부 실시예에서, 무선 디바이스는 무선 주파수 감쇠기 회로와 통신하고 무선 주파수 감쇠기 회로의 동작을 위한 제어 신호를 제공하도록 구성된 제어기를 더 포함할 수 있다. 제어기는 예를 들어, 모바일 산업 프로세서 인터페이스 제어 신호를 제공하도록 구성될 수 있다.
- [0022] 일부 구현예에 따르면, 본 개시내용은 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 로컬 감쇠 블록을 포함하는 신호 감쇠기 회로에 관한 것으로, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 신호 감쇠 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함한다. 신호 감쇠 회로는 글로벌 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된 글로벌 위상 보상 회로를 더 포함한다.
- [0023] 일부 구현예에 따르면, 본 개시내용은 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 로컬 감쇠 블록을 포함하는 신호 감쇠기 회로에 관한 것으로, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함한다. 신호 감쇠기 회로는 하나 이상의 로컬 감쇠 블록 중 적어도 하나와 연관된 로컬 위상 보상 회로를 더 포함한다. 로컬 위상 보상 회로는 각각의 로컬 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된다.
- [0024] 일부 구현예에 따르면, 본 개시내용은 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 로컬 감쇠 블록을 포함하는 신호 감쇠기 회로에 관한 것으로, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함한다. 신호 감쇠기 회로는 글로벌 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된 글로벌 위상 보상 회로를 더 포함한다. 신호 감쇠기 회로는 하나 이상의 로컬 감쇠 블록 중 적어도 하나와 연관된 로컬 위상 보상 회로를 더 포함한다. 로컬 위상 보상 회로는 각각의 로컬 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된다.
- [0025] 다수의 구현예에 따르면, 본 개시내용은 반도체 기판 및 반도체 기판 상에 구현된 신호 감쇠기 회로를 포함하는 반도체 다이에 관한 것이다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 로컬 감쇠 블록을 포함하고, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함한다. 신호 감쇠기 회로는 글로벌 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된 글로벌 위상 보상 회로를 더 포함한다.
- [0026] 다수의 구현예에 따르면, 본 개시내용은 반도체 기판 및 반도체 기판 상에 구현된 신호 감쇠기 회로를 포함하는 반도체 다이에 관한 것이다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 로컬 감쇠 블록을 포함하고, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함한다. 신호 감쇠기 회로는 하나 이상의 로컬 감쇠 블록 중 적어도 하나와 연관된 로컬 위상 보상 회로를 더 포함한다. 로컬 위상 보상 회로는 각각의 로컬 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된다.
- [0027] 다수의 구현예에 따르면, 본 개시내용은 반도체 기판 및 반도체 기판 상에 구현된 신호 감쇠기 회로를 포함하는 반도체 다이에 관한 것이다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 로컬 감쇠 블록을 포함하고, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로 및 글로벌 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된 글로벌 위상 보상 회로를 더 포함한다. 신호 감쇠기 회로는 하나 이상의 로컬 감쇠 블록 중 적어도 하나와 연관된 로컬 위상 보상 회로를 더 포함한다. 로컬 위상 보상 회로는 각각의 로컬 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된다.
- [0028] 일부 구현예에서, 본 개시내용은 복수의 컴포넌트를 수용하도록 구성된 패키징 기판 및 패키징 기판 상에 구현된 신호 감쇠기 회로를 포함하는 무선 주파수 모듈에 관한 것이다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 로컬 감쇠 블록을 포함하고, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된 글로벌 위상 보상 회로를 더 포함한다. 신호 감쇠기는 글로벌 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된 글로벌 위상 보상 회로를 더 포함한다.
- [0029] 일부 구현예에서, 본 개시내용은 복수의 컴포넌트를 수용하도록 구성된 패키징 기판 및 패키징 기판 상에 구현된 신호 감쇠기 회로를 포함하는 무선 주파수 모듈에 관한 것이다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 로컬 감쇠 블록을 포함하고, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함한다. 신호

감쇠기 회로는 하나 이상의 로컬 감쇠 블록 중 적어도 하나와 연관된 로컬 위상 보상 회로를 더 포함한다. 로컬 위상 보상 회로는 각각의 로컬 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된다.

[0030] 일부 구현예에서, 본 개시내용은 복수의 컴포넌트를 수용하도록 구성된 패키징 기판 및 패키징 기판 상에 구현된 신호 감쇠기 회로를 포함하는 무선 주파수 모듈에 관한 것이다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 로컬 감쇠 블록을 포함하고, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로 및 글로벌 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된 글로벌 위상 보상 회로를 더 포함한다. 신호 감쇠기 회로는 하나 이상의 로컬 감쇠 블록 중 적어도 하나와 연관된 로컬 위상 보상 회로를 더 포함한다. 로컬 위상 보상 회로는 각각의 로컬 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된다.

[0031] 일부 구현예에 따르면, 본 개시내용은 무선 주파수 신호를 수신하도록 구성된 안테나, 안테나와 통신하는 송수신기 및 안테나와 송수신기 사이의 신호 경로를 포함하는 무선 디바이스에 관한 것이다. 무선 디바이스는 신호 경로를 따라 구현된 신호 감쇠기 회로를 더 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 로컬 감쇠 블록을 포함하고, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함한다. 신호 감쇠기는 글로벌 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된 글로벌 위상 보상 회로를 더 포함한다.

[0032] 일부 구현예에 따르면, 본 개시내용은 무선 주파수 신호를 수신하도록 구성된 안테나, 안테나와 통신하는 송수신기 및 안테나와 송수신기 사이의 신호 경로를 포함하는 무선 디바이스에 관한 것이다. 무선 디바이스는 신호 경로를 따라 구현된 신호 감쇠기 회로를 더 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 로컬 감쇠 블록을 포함하고, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로를 더 포함한다. 신호 감쇠기는 하나 이상의 로컬 감쇠 블록 중 적어도 하나와 연관된 로컬 위상 보상 회로를 더 포함한다. 로컬 위상 보상 회로는 각각의 로컬 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된다.

[0033] 일부 구현예에 따르면, 본 개시내용은 무선 주파수 신호를 수신하도록 구성된 안테나, 안테나와 통신하는 송수신기 및 안테나와 송수신기 사이의 신호 경로를 포함하는 무선 디바이스에 관한 것이다. 무선 디바이스는 신호 경로를 따라 구현된 신호 감쇠기 회로를 더 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 직렬로 배열된 하나 이상의 로컬 감쇠 블록을 포함하고, 각각의 감쇠 블록은 로컬 바이패스 경로를 포함한다. 신호 감쇠기 회로는 입력 노드와 출력 노드 사이에 구현된 글로벌 바이패스 경로 및 글로벌 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된 글로벌 위상 보상 회로를 더 포함한다. 신호 감쇠기 회로는 하나 이상의 로컬 감쇠 블록 중 적어도 하나와 연관된 로컬 위상 보상 회로를 더 포함한다. 로컬 위상 보상 회로는 각각의 로컬 바이패스 경로와 연관된 오프-캐패시턴스 영향을 보상하도록 구성된다.

[0034] 본 개시내용을 요약하기 위해, 본 발명의 특정 양태들, 이점들 및 신규한 특징들이 본 명세서에 설명되었다. 그러한 모든 이점이 본 발명의 임의의 특정 실시예에 따라 반드시 달성될 수 있는 것은 아니라는 것을 이해하여야 한다. 따라서, 본 발명은 본 명세서에서 교시되거나 제안된 바와 같은 다른 이점들을 반드시 달성하지 않고도 본 명세서에서 교시된 하나의 이점 또는 한 그룹의 이점들을 달성하거나 최적화하는 방식으로 구현되거나 수행될 수 있다.

### 도면의 간단한 설명

[0035] 도 1은 입력 노드에서 신호를 수신하고 출력 노드에서 감쇠 신호를 생성하도록 구성된 감쇠기 회로를 도시한다.

도 2는 바이패스 경로, 글로벌 위상 보상 회로 및 로컬 위상 보상 회로를 갖는 감쇠 회로의 블록도를 도시한다.

도 3은 도 2의 감쇠 회로의 보다 구체적인 예일 수 있는 감쇠 회로를 도시한다.

도 4는 도 3의 세 개의 감쇠 블록의 각각을 나타낼 수 있는 개개의 로컬 감쇠 블록을 도시한다.

도 5는 다양한 스위칭 트랜지스터가 오프-캐패시턴스(들) 또는 온-저항(on-resistance)(들)로서 표현되는, 도 4의 예시적인 감쇠 블록의 회로 표현을 도시한다.

도 6은 도 3의 예와 유사하지만, 로컬 감쇠 블록들이 집합적으로 함께 도시되어 있는 감쇠 회로를 도시한다.

도 7은 도 6의 글로벌 바이패스 경로 및 글로벌 위상 보상 회로의 회로 표현을 도시한다.

도 8은 도 5의 회로 표현과 유사한 회로 표현을 도시한다.

도 9는 프로세스 변동이 감쇠기 회로의 위상 변화들에 어떻게 영향을 미칠 수 있는지, 그리고 그러한 위상 변화들이 어떻게 보상될 수 있는지에 관한 예를 도시한다.

도 10은 도 3의 감쇠 회로에 대한 글로벌 바이패스 동작 모드의 예를 도시한다.

도 11은 제1 감쇠 블록에 의해 감쇠가 제공되고, 제2 및 제3 감쇠 블록들 각각이 바이패스되는, 도 3의 감쇠 회로에 대한 감쇠 동작 모드의 예를 도시한다.

도 12는 제2 및 제3 감쇠 블록들에 의해 감쇠가 제공되고, 제1 감쇠 블록이 바이패스되는, 도 3의 감쇠 회로에 대한 감쇠 동작 모드의 다른 예를 도시한다.

도 13은 일부 실시예에서, 글로벌 바이패스 스위치 트랜지스터가 너비 및 길이 치수들을 가질 수 있고, 길이가 주어진 경우, 너비의 양이 증가할 때 글로벌 바이패스 스위치 트랜지스터에서의 삽입 손실이(온일 때) 일반적으로 감소하는 것을 도시한다.

도 14는 글로벌 바이패스 스위치 트랜지스터의 크기가 증가할 때 감쇠 회로의 미스매치 레벨이 어떤 균일한 레벨과 크게 다를 수 있는 것을 도시한다.

도 15는 트랜지스터 크기가 증가함에 따라, 원하는 레벨에서부터 감소하는 감쇠 레벨의 도표 구성(plot)을 도시한다.

도 16은 일부 실시예에서, 주파수가 더 높은 경우에, 트랜지스터 크기가 증가됨에 따라 감쇠 레벨이 원하는 레벨에서부터 더 빨리 감소할 수 있는 것을 도시한다.

도 17a는 로컬 보상 캐패시턴스를 포함하는 로컬 보상 경로를 도시한다.

도 17b는 일부 실시예에서, 도 17a의 캐패시턴스가 원하는 캐패시턴스 값을 제공하도록 구성된 트랜지스터 디바이스로서 구현될 수 있는 것을 도시한다.

도 18은 일부 실시예에서, 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 감쇠 회로가 제어기에 의해 제어될 수 있는 것을 도시한다.

도 19는 일부 실시예에서, 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 감쇠 회로의 일부 또는 전부가 반도체 다이 상에 구현될 수 있는 것을 도시한다.

도 20은 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 감쇠 회로의 일부 또는 전부가 패키지 모듈(packaged module) 상에 구현될 수 있고, 그러한 패키지 모듈이 도 19의 예와 유사한 반도체 다이를 포함할 수 있는 예를 도시한다.

도 21은 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 감쇠 회로의 일부 또는 전부가 패키지 모듈 상에 구현될 수 있고, 그러한 패키지 모듈이 복수의 반도체 다이를 포함할 수 있는 다른 예를 도시한다.

도 22는 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 감쇠기가 무선 주파수 시스템에서 어떻게 구현될 수 있는지에 관한 비 제한적인 예를 도시한다.

도 23은 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 감쇠기를 포함하는 다이버시티 수신 모듈의 예를 도시한다.

도 24는 본 명세서에 설명된 하나 이상의 유리한 특징을 갖는 예시적인 무선 디바이스를 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0036]

본 명세서에 제공된 주제들은 설사 제공되어 있더라도, 단지 편의를 위해 제공된 것이고 청구된 발명의 범위 또는 의미에 필연적으로 영향을 미치는 것은 아니다.

[0037]

본 명세서에서는 예를 들어, 무선 주파수(RF) 애플리케이션들에서 이용될 수 있는 감쇠기들에 관련된 회로들, 디바이스들 및 방법들의 다양한 예가 개시된다. 다양한 예가 본 명세서에서 RF 애플리케이션들의 맥락에서 설명되지만, 감쇠기들과 관련된 이러한 회로들, 디바이스들 및 방법들이 다른 전자 애플리케이션들에 이용될 수 있는 것을 이해할 수 있을 것이다.

- [0038] 도 1은 입력 노드(IN)에서 RF 신호를 수신하고 출력 노드(OUT)에서 감쇠된 RF 신호를 생성하도록 구성된 감쇠기 회로(100)를 도시한다. 이러한 감쇠기 회로는 위상 시프트 보상, 개인 보상 및 저순설 바이패스 능력과 같은 바람직한 기능성들을 제공하는 본 명세서에서 설명된 바와 같은 하나 이상의 특징을 포함할 수 있다. 본 명세서에서 설명되는 바와 같이, 이러한 위상 보상은 예를 들어, 감쇠 블록 및/또는 감쇠기 회로 자체로부터 말미암은 대략 제로 위상 시프트를 제공할 수 있다. 또한 본 명세서에서 설명되는 바와 같이, 이러한 개인 보상을 예를 들어 주파수 범위에 걸쳐 대략 평탄한 개인을 제공할 수 있다.
- [0039] 이러한 영향들은 통신 링크에서 성능 열화를 유발할 수 있기 때문에, 위상 변동 및 개인 기울기(gain slope)는 일반적으로 입력 신호가 감쇠기를 통과할 때는 일반적으로 바람직하지 않다는 점에 유의하여야 한다. 일부 실시예에서, 도 1의 감쇠 회로(100)는 위상 변동 문제를 해결하기 위해 글로벌 보상 방식 및/또는 로컬 보상 방식을 포함할 수 있다. 본 명세서에서 설명되는 바와 같이, 이러한 보상 방식들은 이러한 위상 변동들의 원인을 해결하도록 구성될 수 있다. 본 명세서에서 또한 설명되는 바와 같이, 이러한 보상 방식들은 비교적 얕은 주파수 범위에 걸쳐 대략 평탄한 개인을 또한 제공할 수 있다. 본 명세서에서 또한 설명되는 바와 같이, 이러한 보상 방식들은 또한 몇몇 상황들 하에서(예를 들어, 감쇠 경로가 사용되고 있지 않을 때) 신호 감쇠를 최소한으로 유지하기 위해 바람직한 상대적으로 낮은 손실을 갖는 바이패스 경로를 제공할 수 있다.
- [0040] 설명 목적으로, 감쇠 회로는 감쇠기 어셈블리 또는 단순히 감쇠기라고도 지칭될 수 있다. 이러한 감쇠 회로, 감쇠기 어셈블리, 감쇠기 등의 설명은 하나 이상의 감쇠 블록(본 명세서에서 로컬 감쇠라고도 지칭됨), 전체 감쇠 회로(본 명세서에서 글로벌 감쇠라고도 지칭됨), 또는 이들의 임의의 조합에 적용될 수 있다.
- [0041] 도 2는 그 입력 노드(IN)에서 RF 신호를 수신하고 그 출력 노드(OUT)에서 출력 RF 신호를 제공하도록 구성된 감쇠 회로(100)의 블록도를 도시한다. 이러한 출력 RF 신호는 감쇠가 바람직하지 않을 때 하나 이상의 감쇠 값에 의해 감쇠될 수 있거나, 또는(예를 들어 바이패스 기능성을 통해) 입력 RF 신호와 실질적으로 동일해지도록 감쇠될 수 있다. 이러한 감쇠 값들 및 바이패스 기능성이 어떻게 구현될 수 있는지에 관한 예들이 본 명세서에서 보다 상세하게 설명된다. 또한 본 명세서에서는 위상 보상이 로컬 감쇠 레벨, 글로벌 레벨 또는 이들의 임의의 조합에서 어떻게 구현될 수 있는지에 관한 예들이 설명된다.
- [0042] 도 2의 예에서, 감쇠 회로(100)의 입력(IN) 및 출력(OUT) 노드들은 하나 이상의 감쇠 블록(102a, 102b, 102c)을 통해 또는 바이패스 경로(106)를 통해 결합될 수 있다. 전자를 달성하기 위해, 두 개의 스위치(S1, S2) 각각이 폐쇄될 수 있고, 바이패스 경로(106)가 적절하게 구성될 수 있다. 후자를 달성하기 위해, 각각의 스위치(S1, S2)가 개방될 수 있고, 바이패스 경로(106)가 적절하게 구성될 수 있다. 이러한 감쇠 블록들 및 바이패스 경로가 어떻게 구현될 수 있는지에 관한 예들이 본 명세서에서 보다 상세하게 설명된다.
- [0043] 도 2의 예 및 다른 도면들에서, 감쇠 경로는 세 개의 예시적인 감쇠 블록(A, B 및 C)을 갖는 것으로 도시된다. 그러나, 더 많거나 더 적은 수의 감쇠 블록들을 갖는 감쇠 회로들에서도 본 개시내용의 하나 이상의 특징이 구현될 수 있는 것이 이해될 것이다. 본 명세서에서 설명되는 바와 같은 하나 이상의 특징을 갖는 감쇠 회로는 역으로도 동작할 수 있는 것 또한 이해될 것이다.
- [0044] 도 2를 참조하면, 제1 예시적인 감쇠 블록(102a)은 A dB 감쇠를 제공하는 것으로 도시된다. 유사하게, 제2 및 제3 감쇠 블록(102b, 102c)은 각각 B dB 및 C dB 감쇠를 제공하는 것으로 도시된다. 따라서 이러한 감쇠 블록들을 이용하여 다수의 총 감쇠 값들(예를 들면, A dB, B dB, C dB, A+B dB, A+C dB, B+C dB, A+B+C dB)이 획득될 수 있다.
- [0045] 도 2의 예에서, 각각의 감쇠 블록(102a, 102b, 102c)은 각각의 로컬 위상 보상 회로(104a, 104b 또는 104c)를 포함하는 것으로 도시된다. 이러한 로컬 위상 보상 회로들과 관련된 예들이 본 명세서에서 보다 상세하게 설명된다. 도 2의 예에서, 모든 감쇠 블록은 각각의 로컬 위상 보상 회로들을 갖는 것으로 도시된다. 그러나 일부 실시예에서, 하나 이상의 감쇠 블록은 이러한 로컬 위상 보상 회로(들)를 가질 수도 있고 갖지 않을 수도 있는 것이 이해될 것이다.
- [0046] 도 2의 예에서, 감쇠 회로(100)는 또한 글로벌 위상 보상 회로(108)를 포함하는 것으로 도시된다. 이러한 글로벌 위상 보상 회로는 감쇠 블록들(102a, 102b, 102c)의 앞(110) 및 뒤(112)에 있는 노드들 사이에서 구현될 수 있다. 이러한 글로벌 위상 보상 회로들과 관련된 예들이 본 명세서에서 보다 상세하게 설명된다.
- [0047] 일부 실시예에서, 본 명세서에서 설명되는 바와 같은 하나 이상의 특징을 갖는 감쇠 블록들(예를 들어, 도 2의 (102a, 102b, 102c)은 이진 각종 구성으로 구현될 수 있다. 이러한 이진 각종 구성과 관련된 예들은 본 출원과 동일자로 출원되고 그 전체가 본 출원에 참고로 포함되고 본 출원의 명세서의 부분으로 간주되는 BINARY-

WEIGHTED ATTENUATOR HAVING COMPENSATION CIRCUIT(보상 회로를 갖는 이진 가중 감쇠기)라는 명칭의 U.S. 특허 출원 No. 15/687,476에 기재되어 있다.

[0048] 도 3은 도 2의 감쇠 회로(100)의 보다 구체적인 예일 수 있는 감쇠 회로(100)를 도시한다. 도 3의 예에서, 스위치들(S1 및 S2)은 예를 들어, 전계 효과 트랜지스터(field-effect transistor)(FET)들로서 구현될 수 있다. 따라서, S1은 입력 노드(IN)와 제1 노드(110) 사이에서 구현될 수 있고, S2는 출력 노드(OUT)와 제2 노드(112) 사이에서 구현될 수 있다.

[0049] 도 3의 예에서, 세 개의 감쇠 블록(102a, 102b, 102c) 각각은 파이-감쇠기 구성 및 로컬 바이패스 경로(105a, 105b 또는 105c)를 포함하는 것으로 도시된다. 예를 들어, 제1 감쇠 블록(102a)은 파이-구성으로 배열된 저항들(R1<sub>A</sub>, R2<sub>A</sub>, R3<sub>A</sub>)을 포함하는 것으로 도시된다. 저항(R1<sub>A</sub>)은 제1 감쇠 블록(102a)의 입력 노드와 출력 노드 사이에 구현되는 것으로 도시된다. 저항(R2<sub>A</sub>)은 입력 노드와 접지 사이에 구현되는 것으로 도시되고; 유사하게, 저항(R3<sub>A</sub>)은 출력 노드와 접지 사이에 구현되는 것으로 도시된다.

[0050] 도 3의 제1 감쇠 블록(102a)의 파이-구성에서, 스위칭 FET(M2<sub>A</sub>)는 입력 노드와 저항(R2<sub>A</sub>)의 일 단부 사이에 제공될 수 있고, 저항(R2<sub>A</sub>)의 타 단부는 접지에 결합된다. 유사하게, 스위칭 FET(M3<sub>A</sub>)는 출력 노드와 저항(R3<sub>A</sub>)의 일 단부 사이에 제공될 수 있고, 저항(R3<sub>A</sub>)의 타 단부는 접지에 결합된다. 이러한 스위칭 FET들(M2<sub>A</sub> 및 M3<sub>A</sub>)은 제1 감쇠 블록(102a)에 대해 감쇠가 가능하게 될 때 턴 온될 수 있고, 감쇠가 로컬 바이패스 경로(105a)를 통해 바이패스될 때는 턴 오프될 수 있다. 이러한 로컬 바이패스 경로(105a)는 예를 들어, 제1 감쇠 블록(102a)에 대해 감쇠가 가능하게 될 때 턴 오프될 수 있고, 감쇠가 로컬 바이패스 경로(105a)를 통해 바이패스 될 때 턴 온될 수 있는 스위칭 FET(M1<sub>A</sub>)를 포함할 수 있다.

[0051] 도 3의 제1 감쇠 블록(102a)의 파이-구성에서, 캐패시턴스(C2<sub>A</sub>)는 저항(R2<sub>A</sub>)과 전기적으로 병렬이 되도록 제공될 수 있다. 유사하게, 캐패시턴스(C3<sub>A</sub>)는 저항(R3<sub>A</sub>)과 전기적으로 병렬이 되도록 제공될 수 있다. 본 명세서에서 설명되는 바와 같이, RF 신호가 감쇠 블록을 통과할 때 발생하는 위상-시프팅을 보상하기 위해 이러한 캐패시턴스들이 선택될 수 있다. 또한, 본 명세서에서 설명되는 바와 같이, 이러한 캐패시턴스들은 또한 감쇠 블록이 상대적으로 넓은 주파수 범위에 걸쳐 바람직하게 평탄한 개인 프로파일을 제공할 수 있게 한다.

[0052] 도 3의 예에서, 제2 감쇠 블록(102b)은 파이-구성으로 배열된 저항들(R1<sub>B</sub>, R2<sub>B</sub>, R3<sub>B</sub>)을 포함하는 것으로 도시된다. 저항(R1<sub>B</sub>)은 제2 감쇠 블록(102b)의 입력 노드와 출력 노드 사이에 구현되는 것으로 도시된다. 저항(R2<sub>B</sub>)은 입력 노드와 접지 사이에 구현되는 것으로 도시되고; 유사하게, 저항(R3<sub>B</sub>)은 출력 노드와 접지 사이에 구현되는 것으로 도시된다.

[0053] 도 3의 제2 감쇠 블록(102b)의 파이-구성에서, 스위칭 FET(M2<sub>B</sub>)는 입력 노드와 저항(R2<sub>B</sub>)의 일 단부 사이에 제공될 수 있고, 저항(R2<sub>B</sub>)의 타 단부는 접지에 결합된다. 유사하게, 스위칭 FET(M3<sub>B</sub>)는 출력 노드와 저항(R3<sub>B</sub>)의 일 단부 사이에 제공될 수 있고, 저항(R3<sub>B</sub>)의 타 단부는 접지에 결합된다. 이러한 스위칭 FET들(M2<sub>B</sub> 및 M3<sub>B</sub>)은 제2 감쇠 블록(102b)에 대해 감쇠가 가능하게 될 때 턴 온될 수 있고, 감쇠가 로컬 바이패스 경로(105b)를 통해 바이패스될 때는 턴 오프될 수 있다. 이러한 로컬 바이패스 경로(105b)는 예를 들어, 제2 감쇠 블록(102b)에 대해 감쇠가 가능하게 될 때 턴 오프될 수 있고, 감쇠가 로컬 바이패스 경로(105b)를 통해 바이패스 될 때 턴 온될 수 있는 스위칭 FET(M1<sub>B</sub>)를 포함할 수 있다.

[0054] 도 3의 제2 감쇠 블록(102b)의 파이-구성에서, 캐패시턴스(C2<sub>B</sub>)는 저항(R2<sub>B</sub>)과 전기적으로 병렬이 되도록 제공될 수 있다. 유사하게, 캐패시턴스(C3<sub>B</sub>)는 저항(R3<sub>B</sub>)과 전기적으로 병렬이 되도록 제공될 수 있다. 본 명세서에서 설명되는 바와 같이, RF 신호가 감쇠 블록을 통과할 때 발생하는 위상-시프팅을 보상하기 위해 이러한 캐패시턴스들이 선택될 수 있다. 또한, 본 명세서에서 설명되는 바와 같이, 이러한 캐패시턴스들은 또한 감쇠 블록이 상대적으로 넓은 주파수 범위에 걸쳐 바람직하게 평탄한 개인 프로파일을 제공할 수 있게 한다.

[0055] 도 3의 예에서, 제3 감쇠 블록(102c)은 파이-구성으로 배열된 저항들(R1<sub>C</sub>, R2<sub>C</sub>, R3<sub>C</sub>)을 포함하는 것으로 도시된다. 저항(R1<sub>C</sub>)은 제3 감쇠 블록(102c)의 입력 노드와 출력 노드 사이에 구현되는 것으로 도시된다. 저항(R2<sub>C</sub>)은 입력 노드와 접지 사이에 구현되는 것으로 도시되고; 유사하게, 저항(R3<sub>C</sub>)은 출력 노드와 접지 사이에 구현되

는 것으로 도시된다.

[0056] 도 3의 제3 감쇠 블록(102c)의 파이-구성에서, 스위칭 FET(M2c)는 입력 노드와 저항(R2c)의 일 단부 사이에 제공될 수 있고, 저항(R2c)의 타 단부는 접지에 결합된다. 유사하게, 스위칭 FET(M3c)는 출력 노드와 저항(R3c)의 일 단부 사이에 제공될 수 있고, 저항(R3c)의 타 단부는 접지에 결합된다. 이러한 스위칭 FET들(M2c 및 M3c)은 제3 감쇠 블록(102c)에 대해 감쇠가 가능하게 될 때 턴 온될 수 있고, 감쇠가 로컬 바이패스 경로(105c)를 통해 바이패스될 때는 턴 오프될 수 있다. 이러한 로컬 바이패스 경로(105c)는 예를 들어, 제3 감쇠 블록(102c)에 대해 감쇠가 가능하게 될 때 턴 오프될 수 있고, 감쇠가 로컬 바이패스 경로(105c)를 통해 바이패스될 때 턴 온될 수 있는 스위칭 FET(M1c)를 포함할 수 있다.

[0057] 도 3의 제3 감쇠 블록(102c)의 파이-구성에서, 캐패시턴스(C2c)는 저항(R2c)과 전기적으로 병렬이 되도록 제공될 수 있다. 유사하게, 캐패시턴스(C3c)는 저항(R3c)과 전기적으로 병렬이 되도록 제공될 수 있다. 본 명세서에서 설명되는 바와 같이, RF 신호가 감쇠 블록을 통과할 때 발생하는 위상-시프팅을 보상하기 위해 이러한 캐패시턴스들이 선택될 수 있다. 또한, 본 명세서에서 설명되는 바와 같이, 이러한 캐패시턴스들은 또한 감쇠 블록이 상대적으로 넓은 주파수 범위에 걸쳐 바람직하게 평탄한 개인 프로파일을 제공할 수 있게 한다.

[0058] 감쇠 블록(102a, 102b, 102c) 각각에서, 각각의 저항들(R2 및 R3)과 병렬로 존재하는 캐패시턴스(C2 및 C3)는 본 명세서에서 설명된 위상 보상을 가능하게 한다. 본 명세서에서 또한 설명된 바와 같이, 이러한 위상 보상은 또한 저항들(R2 및 R3)의 값들뿐만 아니라, 스위칭 트랜지스터들(M2 및 M3)의 온-저항 값들(Ron)에 의존할 수 있다. 따라서, (104a, 104b 또는 104c)로 표시된 박스는 각각의 로컬 위상 보상 회로의 회로 요소들의 일부 또는 전부를 포함하거나, 또는 그러한 로컬 위상 보상에 영향을 줄 수 있는 회로 요소들의 일부 또는 전부를 포함한다는 것이 이해될 것이다.

[0059] 도 3의 예에서, RF 신호가 전술한 감쇠 블록(102a, 102b, 102c)을 바이패스할 수 있도록 하기 위해 입력 노드(IN)와 출력 노드(OUT) 사이에 바이패스 경로(106)가 제공될 수 있다. 바람직하게는, 이러한 바이패스 경로는 또한 그러한 스위치들과 연관될 수 있는 어떠한 손실도 초래하지 않도록 스위치들(S1 및 S2)을 또한 바이패스한다.

[0060] 일부 실시예에서, 바이패스 경로(106)는 감쇠 블록들(102a, 102b, 102c)의 바이패싱이 필요할 때 턴온되도록 구현된 스위칭 FET(S<sub>Bypass</sub>)를 포함할 수 있다. 이러한 상태에서, 스위치들(S1, S2) 각각이 턴 오프될 수 있다. 스위칭 FET(S<sub>Bypass</sub>)는 하나 이상의 감쇠 블록을 통한 감쇠가 필요할 때 턴 오프될 수 있다. 이러한 상태에서, 스위치들(S1, S2) 각각이 턴 온될 수 있다.

[0061] 도 3의 예에서, 글로벌 위상 보상 회로(108)는 전술한 바이패스 회로(106)로부터 발생될 수 있는 위상 시프트를 보상하기 위해 제공될 수 있다. 예를 들어, 스위칭 FET(S<sub>Bypass</sub>)가 오프 상태(감쇠 모드)에 있을 때, 오프-캐패시턴스 값(Coff)이 제공되고; 그러한 Coff는 RF 신호에서의 위상 시프트가 감쇠되게 할 수 있다.

[0062] 일부 실시예에서, 글로벌 위상 보상 회로(108)는 제1 노드 및 제2 노드(110, 112) 사이에 구현된 제1 및 제2 저항들(R<sub>G1</sub> 및 R<sub>G2</sub>)을 포함할 수 있다. 또한, 캐패시턴스(C<sub>G</sub>)는 접지와(R<sub>G1</sub> 및 R<sub>G2</sub>) 사이의 노드 사이에 제공될 수 있다. 이러한 저항 값들 및 캐패시턴스 값이 바람직한 위상 보상을 제공하기 위해 선택될 수 있는 방법의 예들이 본 명세서에서 보다 상세하게 설명된다.

[0063] 도 3의 예에서, 다양한 스위칭 FET의 일부 또는 전부는 예를 들어 실리콘-온-인슐레이터(silicon-on-insulator)(SOI) 디바이스들로서 구현될 수 있다. 이러한 다양한 스위칭 FET들이 NFET들인 것으로 도시되지만, 본 개시내용의 하나 이상의 특징은 다른 유형들의 FET들을 이용하여 구현될 수도 있는 것이 이해될 것이다. 도 3의 예의 다양한 스위치들은 비-FET 트랜지스터들을 비롯한 다른 유형들의 트랜지스터들로서 구현될 수도 있는 것이 또한 이해될 것이다.

[0064] 도 4 및 도 5는 주어진 로컬 감쇠 블록(102)에 대해 어떻게 위상 보상이 구현될 수 있는지에 관한 예를 도시한다. 도 6 및 도 7은 글로벌 위상 보상이 어떻게 구현되는지에 관한 예를 도시한다.

[0065] 도 4는 개개의 로컬 감쇠 블록(102)을 도시하며, 이러한 감쇠 블록은 도 3의 세 개의 예시적인 감쇠 블록(102a, 102b, 102c) 각각을 나타낼 수 있다. 따라서, 감쇠 블록(102)의 다양한 요소의 참조 부호들은 아래 첨자들 없이 도시된다.

[0066] 도 4의 예에서, 로컬 감쇠 블록(102)은 감쇠 모드에 있고, 이에 따라 로컬 입력 노드(IN)에서 수신된 RF 신호가 감쇠되어 로컬 출력 노드(OUT)에서 제공된다. 따라서, 로컬 바이패스 경로(105)의 로컬 바이패스 스위칭 FET(M1)은 오프되고, 회로(104)의 스위칭 FET들(M2 및 M3) 각각은 온된다.

[0067] 도 5는 다양한 스위칭 FET가 오프-캐패시턴스(들) 또는 온-저항(들)로서 표현되는, 도 4의 예시적인 감쇠 블록(102)의 회로 표현(120)을 도시한다. 예를 들어, M1의 오프 상태는 오프-캐패시턴스(Coff)로 표현되고, M2 및 M3 각각의 온 상태는 온-저항(Ron)으로 표현된다. 설명의 목적을 위해, 도 4의 파이-감쇠기 구성은 일반적으로 대칭인 것으로 가정한다. 따라서, M2는 M3와 유사할 수 있으므로, M2의 Ron은 M3의 Ron과 대략 동일하고; 그래서 도 5는 M2 및 M3 각각을 Ron으로 도시한다. 유사하게, 도 4의 저항(R2 및 R3)은 대략 동일한 것으로 가정되고; 그래서, 도 5는 각각의 R2 및 R3이 저항(R2)을 갖는 것으로 도시한다. 유사하게, 도 4의 캐패시턴스(C2 및 C3)는 대략 동일한 것으로 가정되고; 그래서, 도 5는 각각의 C2 및 C3이 Cc라는 보상 캐패시턴스를 갖는 것으로 도시한다.

[0068] 도 5에서, 회로 표현(120)은 로컬 입력(IN)에서 소스 임피던스(Rs)를 갖고 로컬 출력(OUT)에서의 부하 임피던스(RL)를 갖는 것으로 도시된다. 이러한 임피던스 값들은 동일할 수 있거나 동일하지 않을 수도 있다. 그러나 설명의 목적으로, Rs 및 RL의 값들은 특성 임피던스(Z0)(예를 들어, 50Ω)가 동일한 것으로 가정한다.

[0069] 전술한 가정에 의하면, 도 5의 예에서 R1 및 R2의 값들은 다음과 같이 획득될 수 있다:

### 수학식 1

$$R_1 = \frac{Z_0}{2} \cdot \frac{K-1}{K+1}$$

[0070]

### 수학식 2

$$R_2 = Z_0 \cdot \frac{K+1}{K-1}$$

[0071]

[0072] 수학식들 1 및 2에서, 파라미터(K)는 감쇠 블록(120)의 감쇠 값을 나타낸다. 감쇠가 커짐에 따라, R1은 일반적으로 증가하고 R2는 일반적으로 감소하는 것을 알 수 있다.

[0073] 도 5를 참조하면, 각각의 M2 및 M3의 온-저항(Ron)이 대략 0이라고 가정하면, 네트워크 1이라고 표시된 감쇠 블록(120)의 일부는 다음과 같이 감쇠 블록(120)의 순방향 게인 및 위상 시프트(예를 들어, 위상 진상)에 기여할 수 있다:

### 수학식 3

$$\frac{V_{out}}{V_{in}} = \frac{R_L(1+sR_1C_{off})}{(R_L+R_1)+sR_LR_1C_{off}}$$

[0074]

### 수학식 4

$$\phi = \tan^{-1}(\omega R_1 C_{off}) - \tan^{-1}\left(\omega \left(\frac{R_1 R_L}{R_1 + R_L}\right) C_{off}\right)$$

[0075]

[0076] 도 5에서, 네트워크 2라고 표시된 감쇠 블록(120)의 일부는 다음과 같이 감쇠 블록(120)의 순방향 게인 및 위상

시프트(예를 들어, 위상 지연)에 기여할 수 있다:

### 수학식 5

$$\frac{V_{out}}{V_{in}} = \frac{R'_2}{(R'_2 + R_1) + sR'_2 R_1 C_c}$$

[0077]

### 수학식 6

$$\phi = -\tan^{-1} \left( \frac{\omega R_1 R'_2 C_c}{R_1 + R'_2} \right)$$

[0078]

[0079] 수학식 3 내지 6에서,  $\omega = 2\pi f$ 이고, 여기서  $f$ 는 주파수이고,  $R'_2$ 는  $R_2$ 와  $R_L$ 의 병렬 배열의 저항 값이다.

[0080] 도 4 및 도 5, 그리고 수학식 4 및 6을 참조하면, 파라미터들( $\omega$ ,  $R_L$ ,  $C_{off}$ ,  $R_1$  및  $R_2$ )은 주어진 주파수, 특성 임피던스, 스위칭 FET 구성 및 감쇠 값마다 전형적으로 설정된다. 그러나, 일부 실시예에서, 보상 캐패시턴스( $C_c$ )의 값은 수학식 6의 위상 지연이 수학식 4의 위상 진상을 보상하도록 조정될 수 있다. 이러한 위상 보상은 도 4 및 도 5의 감쇠 블록(102/120)과 연관된 위상이 원하는 값이 되도록 또는 원하는 값에 가까워지도록 할 수 있다. 예를 들어, 감쇠 블록(102/120)과 연관된 보상된 위상은 기준 모드에서와 실질적으로 동일한 위상 변동을 가질 수 있다.

[0081] 도 4 및 도 5를 참조하면,  $C_{off}$ 는  $R_1$ 과 병렬로 배열되어 있기 때문에, 그 임피던스( $1/(j\omega C_{off})$ )는 주파수가 증가함에 따라 입력 노드와 출력 노드 사이의 등가 직렬 임피던스를 더 작아지게 할 것이고, 그 결과 더 높은 주파수에서 감쇠는 더 적어진다. 이와 반대로, 더 낮은 주파수에서는 더 높은 감쇠를 초래할 수 있다.

[0082] 보상 캐패시턴스( $C_c$ )는 대응하는 션트 저항( $R_2$ )에 평행하게 배열된다는 것을 또한 알 수 있다. 따라서, 보상 캐패시턴스( $C_c$ )의 임피던스( $1/(j\omega C_{off})$ )는 션트 암(shunt arm)의 등가 임피던스를 적어지게 할 것이고, 그 결과 감쇠 블록에 대해 감쇠를 더 많이 발생시킬 것이다. 따라서, 일부 실시예에서, 보상 캐패시턴스( $C_c$ )는 개인에 미치는  $C_{off}$ 의 영향을 보상하도록 선택될 수 있고, 그럼으로써 넓은 주파수 범위에 걸쳐 감쇠 블록에 대해 원하는 개인 프로파일(예를 들어, 대략 평坦한 프로파일)을 달성할 수 있다. 일부 실시예에서, 보상 캐패시턴스( $C_c$ )는 감쇠 블록에 대해, 본 명세서에서 설명된 적어도 일부 위상 보상을 제공할 뿐만 아니라, 본 명세서에서 설명된 바와 같이 적어도 일부 개인 보상을 제공하도록 선택될 수 있다.

[0083] 도 6은 도 3의 예와 유사하지만, 간략함을 위해 로컬 감쇠 블록들이 집합적으로(102)로서 표시되어 있는 감쇠 회로를 도시한다. 바이패스 경로(106) 및 글로벌 위상 보상 회로(108)는 도 3의 예에서와 실질적으로 동일하다.

[0084] 도 6의 예에서, 감쇠 회로는 감쇠 모드에 있고, 이에 따라 글로벌 입력 노드(IN)에서 수신된 RF 신호가 감쇠되어 글로벌 출력 노드(OUT)에서 제공된다. 이러한 감쇠 모드에서, 바이패스 경로(106)의 글로벌 바이패스 스위칭 FET( $S_{Bypass}$ )는 오프되어  $C_{off}$ 의 글로벌 오프-캐패시턴스를 제공할 수 있다.

[0085] 도 7은 도 6의 글로벌 바이패스 경로(106) 및 글로벌 위상 보상 회로(108)의 회로 표현(130)을 도시한다. 설명의 목적을 위해, 글로벌 위상 보상 회로(108)의 저항( $R_{G1}$  및  $R_{G2}$ )은 실질적으로 동일하다고 가정한다.

[0086] 도 7에서, 회로 표현(130)은 글로벌 입력(IN)에서 소스 임피던스( $R_s$ )를 갖고 글로벌 출력(OUT)에서 부하 임피던스( $R_L$ )를 갖는 것으로 도시된다. 이러한 임피던스 값들은 동일할 수 있거나 동일하지 않을 수도 있다. 그러나 설명의 목적을 위해,  $R_s$  및  $R_L$ 의 값들은 특성 임피던스( $Z_0$ )(예를 들어,  $50\Omega$ )가 동일한 것으로 가정된다. 또한, 저항( $R_{G1}$ )(및 따라서 전술한 가정에서는  $R_{G2}$ ) 또한  $50\Omega$ 의 값을 갖는 것으로 가정한다.

[0087] 전술한 가정에 의하면, 네트워크 1이라고 표시된 회로(130)의 일부는 다음과 같이 회로(130)의 순방향 게인 및 위상 시프트(예를 들어, 위상 지연)에 기여할 수 있다:

### 수학식 7

$$\frac{V_{out}}{V_{in}} = \frac{1+2sR_{G1}C_{off}}{3+2sR_{G1}C_{off}}$$

[0088]

### 수학식 8

$$\phi = \tan^{-1}(2\omega R_{G1}C_{off}) - \tan^{-1}\left(\frac{2}{3}\omega R_{G1}C_{off}\right)$$

[0089]

도 7에서, 네트워크 2라고 표시된 감쇠 블록(130)의 일부는 다음과 같이 회로(130)의 순방향 게인 및 위상 시프트(예를 들어, 위상 지연)에 기여할 수 있다:

### 수학식 9

$$\frac{V_{out}}{V_{in}} = \frac{1}{3+2sR_{G1}C_G}$$

[0091]

### 수학식 10

$$\phi = -\tan^{-1}\left(\frac{2}{3}\omega R_{G1}C_G\right)$$

[0092]

도 6 및 도 7, 그리고 수학식 8 및 10을 참조하면, 파라미터들( $\omega$ ,  $R_L$  및  $C_{off}$ )은 주어진 주파수, 특성 임피던스 및 글로벌 바이패스 스위치 FET( $S_{Bypass}$ ) 구성마다 전형적으로 설정된다는 것을 알아야 한다. 그러나, 일부 실시 예에서, 글로벌 보상 저항( $R_{G1}$ ) 및 보상 캐패시턴스( $C_G$ ) 중 어느 하나 또는 둘 모두의 값은 수학식 10의 위상 지연이 수학식 8의 위상 진상을 보상하도록 조정될 수 있다. 이러한 위상 보상은 도 6 및 도 7의 회로(130)와 연관된 위상이 원하는 값이 되도록 또는 원하는 값에 가까워지도록 할 수 있다.

도 6 및 도 7를 참조하면,  $C_{off}$ 는  $2R_{G1}$ 과 병렬로 배열되어 있기 때문에, 그 임피던스( $1/(j\omega C_{off})$ )는 주파수가 증가함에 따라 입력 노드와 출력 노드 사이의 등가 직렬 임피던스를 더 작아지게 할 것이고, 그 결과 더 높은 주파수에서 감쇠는 더 적어진다. 이와 반대로, 더 낮은 주파수에서는 더 높은 감쇠가 발생할 수 있다.

글로벌 보상 캐패시턴스( $C_G$ )는 그 자체가 센트 캐패시턴스이다. 따라서, 글로벌 보상 캐패시턴스( $C_G$ )의 임피던스( $1/(j\omega C_{off})$ )는 센트 암의 등가 임피던스를 더 작아지게 할 것이고, 그 결과 글로벌 감쇠 회로에 대해 감쇠를 더 많이 발생시킬 것이다. 따라서, 일부 실시 예에서, 글로벌 보상 캐패시턴스( $C_G$ )는 게인에 미치는  $C_{off}$ 의 영향을 보상하도록 선택될 수 있고, 이에 따라 넓은 주파수 범위에 걸쳐 글로벌 감쇠 회로에 대해 원하는 게인 프로파일(예를 들어, 대략 평탄한 프로파일)을 달성할 수 있다. 일부 실시 예에서, 글로벌 보상 캐패시턴스( $C_G$ )는 글로벌 감쇠 회로에 대해, 본 명세서에서 설명된 적어도 일부 위상 보상을 제공할뿐만 아니라, 본 명세서에서 설명된 바와 같이 적어도 일부 게인 보상을 제공하도록 선택될 수 있다.

- [0096] 일부 실시예에서, 본 명세서에서 설명된 바와 같은 하나 이상의 특징을 갖는 위상 보상 회로는 프로세스 변동을 감안하도록 구성될 수 있다. 예로서, 도 8은(도 4의 예시적인 감쇠 블록(102)에 대응하는) 도 5의 회로 표현(120)과 유사한 회로 표현(120)을 도시한다. 본 명세서에 설명된 바와 같이, 바이패스 캐패시턴스의 오프-캐패시턴스(Coff)는 보상 캐패시턴스들(Cc)에 의해 보상될 수 있는 위상 변화를 초래한다. 도 8의 예에서 오프-캐패시턴스(Coff)는(예를 들면, 웨이퍼 상에 함께 제조된 다수의 그러한 디바이스들 중에서) 프로세스 변동을 겪을 수 있는 바이패스 스위치 트랜지스터의 오프 상태로부터 유발된다. 따라서, 바이패스 스위치 트랜지스터의 Coff를 비롯한 하나 이상의 전기적 특성은 이러한 프로세스 변동으로 인해 달라질 수 있다. 따라서, (예를 들어, 수학식 4 또는 수학식 8에서와 같이) 그러한 Coff로 인한 위상 변화 또한 달라질 수 있다.
- [0097] 도 8은 Coff에서 이러한 프로세스 변동 및 관련된 영향들이 위상 보상 회로에서 감안될 수 있는 것을 도시한다. 예를 들어, 센트 암들에서의 보상 캐패시턴스들(Cc)은 바이패스 스위치 트랜지스터의 캐패시턴스(Coff)와 유사한 프로세스 변동에 의해 영향을 받도록 구성될 수 있다. 일부 실시예에서, 이러한 보상 캐패시턴스들(Cc)은 트랜지스터 또는 트랜지스터-유형 디바이스로서 구성될 수 있으므로, 바이패스 스위치 트랜지스터에 영향을 미치는 임의의 프로세스 변동(Coff)은 또한 보상 캐패시턴스(Cc)에 영향을 미칠 수 있다. 예를 들어, Coff 특성을 갖는 바이패스 스위치 트랜지스터가 MOSFET 디바이스로 구현되면, 보상 캐패시턴스들(Cc) 각각은 MOSFET 또는 MOSFET-유형 디바이스로 구현될 수 있다. 따라서, 바이패스 스위치 MOSFET에서 임의의 프로세스-관련 변동은 또한 보상 캐패시턴스(Cc)의 MOSFET 디바이스들에 영향을 미침으로써, 보상 캐패시턴스들(Cc)의 프로세스 변동(예를 들어, 바이패스 스위치 MOSFET에서 나타나는 프로세스 변동)에의 의존성을 실질적으로 제거하거나 줄여준다.
- [0098] 도 8에서, 바이패스 스위치 MOSFET(Coff) 디바이스와 MOSFET 디바이스 사이의 전술한 일반적인 프로세스 변동은 집합적으로(124)로 도시되어 있다. 다양한 저항들 사이의 이러한 일반적인 프로세스 변동이 또한 구현될 수 있다. 예를 들어, 저항들(R1, R2)(집합적으로 (122)로 도시됨)은 동일한 프로세스 변동을 겪는 동일한 유형의 저항들로서 구현될 수 있다.
- [0099] 도 8의 예에서, 회로 표현(120) 및 관련된 프로세스 변동들은 개개의 감쇠 블록 및 그 바이패스 경로의 맥락에서 설명된다. 일반적으로 프로세스 변동과 무관한 이러한 위상 보상은 또한 글로벌 바이패스 경로 및 대응하는 글로벌 위상 보상 회로에서 구현될 수 있는 것이 이해될 것이다.
- [0100] 도 9는 프로세스 변동이 감쇠기 회로에서의 위상 변화들에 어떻게 영향을 미칠 수 있는지, 그리고 그러한 위상 변화들이 어떻게 보상될 수 있는지에 관한 예를 도시한다. 도 9에서, 주파수의 함수로서(예를 들어, 수학식 4에서와 같은) 위상 진상이 세 개의 상이한 프로세스 모서리(process corner)들(FF, TT, SS)로부터 발생된 세 개의 상이한 예시적인 RC 값들에 대해 묘사된다.
- [0101] 본 명세서에 설명된 바와 같이, 이러한 위상 진상은 전형적으로 저항 및 캐패시턴스의 일부 조합(예를 들어, RC)에 의존한다. 따라서, 도 8을 참조하여 설명된 바와 같이, 주어진 바이패스 회로 및 상응하는 위상 보상 회로 사이의 캐패시턴스들 및 저항들의 프로세스 의존성을 제거 또는 감소시키는 것은 결과적인 위상 보상이 보다 효과적으로 이루어질 수 있게 한다. 도 9의 예에서, 프로세스 의존성을 제거 또는 감소시키면, 위상 지연(체연) 형태의 결과적인 위상 보상이 주파수 축에 대하여 대응하는 위상 진상과 더욱 대칭이 되게 할 수 있다. 일부 실시예에서, 바이패스 경로로 인한 주어진 위상 진상 및 보상 회로로 인한 결과적인 위상 지연은 실질적으로 대칭적일 수 있어서, 순(net) 위상 변화는 주파수 범위에 대해 거의 제로가 된다. 예를 들어, FF 위상 진상 및 FF 위상 지연은 주파수 축을 중심으로 실질적으로 대칭적이고, 이에 따라 주어진 감쇠 블록의 순 위상 변화는 주파수 범위에 대해 거의 0이될 수 있다. 다른 예에서, (프로세스 변동으로 인한 FF 위상 진상과는 상이한) TT 위상 진상은 TT 위상 지연에 의해 보상되어 주파수 범위에 걸쳐 실질적으로 제로 위상 변화를 제공할 수 있다.
- [0102] 도 10 내지 도 12는 도 3의 감쇠 회로(100)에 대해 구현될 수 있는 상이한 동작 모드들의 예들을 도시한다. 도 10에서, 감쇠 회로(100)는 글로벌 바이패스 모드에 있는 것으로 도시되고, 이 모드에서 글로벌 바이패스 스위치(S<sub>Bypass</sub>)는 온이고, 스위치들(S1, S2) 각각은 오프이다. 따라서, RF 신호는 경로(140)로 표시된 바와 같이 라우팅되는 것으로 도시된다. 이러한 모드에서 RF 신호는 일반적으로 Coff 캐패시턴스를 겪지 않으며; 따라서, 바람직하지 않은 위상 시프팅은 일반적으로 발생하지 않는다.
- [0103] 도 11에서, 감쇠 회로(100)는 감쇠 모드에 있는 것으로 도시되며, 이 모드에서 제1 감쇠 블록에 의해 A dB 감쇠가 제공되고 제2 및 제3 감쇠 블록들 각각은 바이패스된다. 따라서, 글로벌 바이패스 스위치 FET(S<sub>Bypass</sub>)는 오

프이고, 스위치들(S1, S2) 각각은 온이다. 또한, 제1 로컬 바이패스 스위치 FET(M1A)는 오프이고, 션트 암 스위치 FET들(M<sub>2A</sub>, M<sub>3A</sub>) 각각은 온이지만, 제2 및 제3 로컬 바이패스 스위치 FET들(M<sub>1B</sub>, M<sub>1C</sub>) 각각은 온이다.

[0104] 이러한 모드에서, 글로벌 바이패스 스위치 FET(S<sub>Bypass</sub>)는 글로벌 Coff를 제공하며, 결과적인 글로벌 위상 시프트는 본 명세서에서 설명된 바와 같이 글로벌 위상 보상 회로(108)에 의해 보상될 수 있다. 로컬 레벨에서, 제1 로컬 바이패스 스위치 FET(M<sub>1A</sub>)는 로컬 Coff를 제공하며, 결과적인 로컬 위상 시프트는 본 명세서에서 설명된 바와 같이 일반적으로 (104a)로 표시된 로컬 위상 보상 회로에 의해 보상될 수 있다.

[0105] 도 12에서, 감쇠 회로(100)는 감쇠 모드에 있는 것으로 도시되며, 이 모드에서 제2 및 제3 감쇠 블록들에 의해 B+C dB 감쇠가 제공되고, 제1 감쇠 블록은 바이패스된다. 따라서, 글로벌 바이패스 스위치 FET(S<sub>Bypass</sub>)는 오프이고, 스위치들(S1, S2) 각각은 오프이다. 또한, 제2 및 제3 로컬 바이패스 스위치 FET들(M<sub>1B</sub>, M<sub>1C</sub>) 각각은 오프이고, 션트 암 스위치 FET들(M<sub>2B</sub>, M<sub>3B</sub>, M<sub>2C</sub>, M<sub>3C</sub>) 각각은 온이지만, 제1 로컬 바이패스 스위치 FET(M<sub>1A</sub>)는 온이다.

[0106] 이러한 모드에서, 글로벌 바이패스 스위치 FET(S<sub>Bypass</sub>)는 글로벌 Coff를 제공하며, 결과적인 글로벌 위상 시프트는 본 명세서에서 설명된 바와 같이 글로벌 위상 보상 회로(108)에 의해 보상될 수 있다. 로컬 레벨에서, 제1 및 제2 로컬 바이패스 스위치 FET들(M<sub>1B</sub>, M<sub>1C</sub>)은 각각의 로컬 Coff를 제공하며, 결과적인 로컬 위상 시프트는 본 명세서에서 설명된 바와 같이 일반적으로 (104b, 104c)로 표시된 각각의 로컬 위상 보상 회로에 의해 보상될 수 있다.

[0107] 도 13 내지 도 16은 글로벌 바이패스 스위치 FET(S<sub>Bypass</sub>)가 글로벌 바이패스 모드에 있을 때 및 감쇠 모드에 있을 때 본 명세서(예를 들면, 도 3 및 도 10 내지 도 12)에서 설명된 바와 같이 어떻게 원하는 성능을 제공하도록 구성될 수 있는지에 관한 예들을 도시한다. 예를 들어, 도 13은 일부 실시예에서, 글로벌 바이패스 스위치 FET(S<sub>Bypass</sub>)가 너비(W) 치수 및 길이(L) 치수를 가질 수 있으며, L이 주어진 경우, W/L의 양이 증가할 때 글로벌 바이패스 스위치(FET)에서의 삽입 손실은(온일 때)(도표 구성(150)에 의해 도시된 바와 같이) 일반적으로 감소한다. 따라서, 글로벌 바이패스 모드 동안 낮은 삽입 손실이 요구된다면, 글로벌 바이패스 스위치(FET)는 비교적 를 수 있다. 예를 들어, 일부 실시예에서, 글로벌 바이패스 스위치(FET)의 너비(W)는 약 1 내지 2 mm 정도로 를 수 있다.

[0108] 일부 실시예에서, 글로벌 바이패스 스위치(FET)는 비교적 큰 디바이스일 수 있고, 따라서 오프 상태(예를 들어, 감쇠 모드)에 있을 때 비교적 큰 기생 캐패시턴스를 제공할 수 있다. 이러한 기생 캐패시턴스는 보상되지 않는다면 약간의 바람직하지 않은 영향을 미칠 수 있다.

[0109] 예를 들어, 도 14는 글로벌 바이패스 스위치(FET)의 크기(예를 들어, L이 주어진 경우 W/L)가 감쇠할 때 감쇠 회로(예를 들어, 도 3의(100))의 미스매치 레벨이 어떤 균일한 레벨에서부터 크게 벗어날 수 있는 것을 도시한다. 도 14의 예에서, 균일한 레벨로부터의 그러한 편차는 곡선(152)으로 도시된다.

[0110] 본 명세서에 설명된 바와 같이, (예를 들어, 도 3에서) 바이패스 보상 캐패시턴스(C<sub>0</sub>)는 곡선(154)에 의해 도시된 바와 같이, 보다 균일한 미스매치 레벨을 또한 제공할 수 있다. 이러한 미스매치에 대한 보상은 글로벌 바이패스 스위치(FET)가 커짐에 따라 더 중요한 것으로 보인다.

[0111] 도 13 및 도 14의 예들에 기초하여, 본 명세서에서 설명된 바와 같은 하나 이상의 특징을 갖는 감쇠 회로에서, 글로벌 바이패스 스위치(FET)와 같은 바이패스 스위치(FET)는 삽입 손실을 줄이기 위해 비교적 크게 구현될 수 있는 것을 알 수 있다. 이러한 대형 FET를 사용하면, 임의의 증가된 미스매치 레벨이 글로벌 위상 보상 회로와 같은 위상 보상 회로에 의해 보상될 수 있다.

[0112] 본 명세서에 설명된 바와 같이, 도 3의 예와 같은 감쇠 회로는 위상 변동의 보상을 제공할 뿐만 아니라, 개인 변동의 보상을 제공할 수 있다. 일부 실시예에서, 이러한 개인 변화는 적어도 부분적으로 글로벌 바이패스 스위치(FET)의 기생 캐패시턴스(S<sub>Bypass</sub>)에 기인한 것일 수 있다. 다른 방식으로 보았을 때, (감쇠 모드에 있을 때의) 감쇠 회로에 의해 제공되는 감쇠 레벨은 크기(예를 들어, L이 주어진 경우 W/L)가 변함에 따라 원하는 레벨에서 벗어날 수 있다.

[0113] 예를 들어, 도 15는 FET 크기(W/L)가 증가함에 따라, 원하는 레벨에서부터 감소하는 감쇠 레벨의 도표 구성

(156)을 도시한다. 전형적으로 이러한 영향은 감쇠 회로가 글로벌 바이패스 보상 없이 동작할 때 발생한다. 감쇠 회로가 본 명세서에 설명된 바와 같은 글로벌 바이패스 보상 회로를 포함할 때, 감쇠 회로에 의해 제공되는 감쇠는 FET 크기(W/L)가 증가함에 따라(도표 구성(158)에 의해 도시된 바와 같이) 훨씬 더 균일하게 유지된다.

[0114] 전술한 감쇠 영향은 적어도 부분적으로 글로벌 바이패스 스위치(FET)의 오프-상태 캐패시턴스에 기인하기 때문에, 이러한 감쇠 영향은 또한 감쇠되는 신호의 주파수에 따라 달라질 수 있다. 도 16은 일부 실시예에서, 주파수가 더 높은 경우에, FET 크기가 증가됨에 따라 감쇠 레벨이 원하는 레벨에서부터 감소할 수 있는 것을 도시한다. 동작 주파수(f1, f2, f3 및 f4)는  $f1 < f2 < f3 < f4$ 가 되도록 하는 값들을 갖는 것으로 가정한다. 이러한 상황에서 (160)으로 표시된 바와 같이, FET 크기가 증가함에 따라 가장 큰 주파수(f4) 신호가 자신의 감쇠를 먼저 벗어나게 하기 시작할 것이다. FET 크기가 증가함에 따라 다음으로 큰 주파수(f3)가 다음으로 벗어나기 시작할 것이다. FET 크기가 증가함에 따라 세 번째로 큰 주파수(f2) 다음으로 가장 작은 주파수(f1)가 유사하게 벗어나기 시작할 것이다.

[0115] 따라서, 일부 실시예에서, 도 16의 예에 도시된 바와 같이, 감쇠 회로가 본 명세서에 설명된 바와 같이 글로벌 바이패스 보상 회로로 동작할 때, 감쇠 레벨은 넓은 동작 주파수 범위에 대해 상당히 균일하게 유지될 수 있다. 주파수들의 범위 및 FET 크기들의 범위에 걸친 이러한 거의 균일한 감쇠 레벨은 도표 구성(162)으로 도시된다.

[0116] 본 명세서에서 설명된 바와 같이, 로컬 보상 회로(예를 들어, 도 3의(104a, 104b, 104c))는 로컬 보상 캐패시턴스(예를 들어, 도 3의 (C2<sub>A</sub>, C3<sub>A</sub>, C2<sub>B</sub>, C3<sub>B</sub>, C2<sub>C</sub>, C3<sub>C</sub>) 및 도 8의 (Cc))를 포함할 수 있다. 도 17a는 (C2로서 표시된) 로컬 보상 캐패시턴스를 포함하는 로컬 보상 경로(170)를 도시한다. 이러한 로컬 보상 경로는 또한 C2와 병렬인 저항(R2)을 갖는 것으로 도시된다.

[0117] 도 17b는 일부 실시예에서, 도 17a의 캐패시턴스 C2가 C2라는 원하는 캐패시턴스 값을 제공하도록 구성된 FET 디바이스(172)(예를 들어, MOSFET 디바이스)로서 구현될 수 있는 것을 도시한다. 예를 들어, FET 디바이스(172)의 소스 및 드레인은 저항(R2)의 2개의 단부에 연결될 수 있고, FET 디바이스(172)의 게이트는 게이트 바이어스 없이 접지될 수 있어서, FET 디바이스(172)는 도 17a의 C2의 캐패시턴스와 유사한 캐패시턴스처럼 작용한다.

[0118] 도 17b의 예에서와 같이 로컬 보상 캐패시턴스가 구현될 때, 다수의 바람직한 특징이 달성될 수 있다. 예를 들어, 로컬 보상 캐패시턴스 요소들은 본질적으로 다양한 FET(예를 들어, 도 3의 로컬 바이패스 FET들(M1<sub>A</sub>, M1<sub>B</sub>, M1<sub>C</sub>)과 함께 제조될 수 있다. 다른 예에서, 전술한 제조 프로세스의 공통성을 가정하면, 캐패시턴스로서 작용하는 FET 디바이스(172)는(로컬 바이패스 FET들(M1<sub>A</sub>, M1<sub>B</sub>, M1<sub>C</sub>)을 비롯한) 다른 FET들에 영향을 미치는 동일한 프로세스 변동들에 의해 본질적으로 영향을 받는다. 따라서, 예를 들어, FET 디바이스들(172) 및 다른 FET들 사이에서 프로세스 독립성이 달성될 수 있다.

[0119] 도 18은 일부 실시예에서, 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는(예를 들어, 도 2의 감쇠 회로(100)와 같은) 감쇠 회로(100)가 제어기(180)에 의해 제어될 수 있는 것을 도시한다. 이러한 제어기는 예를 들어 (도 10에서와 같은) 바이패스 모드를 이루거나 또는 (도 11 및 도 12에서와 같은) 다양한 감쇠 모드를 제공하기 위해 다양한 스위치를 동작시키는 다양한 제어 신호를 제공할 수 있다. 일부 실시예에서, 제어기(180)는 모바일 산업 프로세서 인터페이스(Mobile Industry Processor Interface)(MIPI) 기능성을 포함하도록 구성될 수 있다.

[0120] 도 19는 일부 실시예에서, 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 감쇠 회로(100)의 일부 또는 전부가 반도체 다이(200) 상에 구현될 수 있는 것을 도시한다. 이러한 다이는 기판(202)을 포함할 수 있고, 위상/개인 보상 회로(204)(예를 들어, 도 3의 글로벌 위상 보상 회로(108) 및 로컬 위상 보상 회로(104a, 104b, 104c) 중 하나 또는 둘 모두)가 기판(202) 상에서 구현될 수 있다. 예를 들어, 글로벌 보상 캐패시턴스(C<sub>G</sub>) 및 로컬 보상 캐패시턴스들(C<sub>2A</sub>, C<sub>3A</sub>, C<sub>2B</sub>, C<sub>3B</sub>, C<sub>2C</sub>, C<sub>3C</sub>)은 온-다이 캐패시터들로서 구현될 수 있다.

[0121] 도 20 및 도 21은 일부 실시예에서, 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 감쇠 회로(100)의 일부 또는 전부가 패키지 모듈(300) 상에 구현될 수 있는 것을 도시한다. 이러한 모듈은 하나 이상의 다이 및 하나 이상의 수동 컴포넌트와 같은 복수의 컴포넌트를 수용하도록 구성된 패키징 기판(302)을 포함할 수 있다.

[0122] 도 20은 일부 실시예에서, 패키지 모듈(300)이 도 19의 예와 유사한 반도체 다이(200)를 포함할 수 있는 것을

도시한다. 따라서, 이러한 다이는 다이(200) 상에서 구현되는 위상/계인 보상 회로(204)(예를 들어, 도 3의 글로벌 위상 보상 회로(108) 및 로컬 위상 보상 회로(104a, 104b, 104c) 중 하나 또는 둘 모두)와 함께 감쇠 회로(100)의 일부 또는 전부를 포함할 수 있다.

[0123] 도 21은 일부 실시예에서, 패키지 모듈(300)이 감쇠 회로(100)의 일부를 갖는 제1 반도체 다이(210)를 포함할 수 있는 반면에, 감쇠 회로(100)의 나머지는 다이 외부의(예를 들어, 패키징 기판(302) 상의) 다른 다이(212) 또는 이들의 임의의 조합 상에서 구현된다는 것을 도시한다. 이러한 구성에서, 위상/계인 보상 회로(204)(예를 들어, 도 3의 글로벌 위상 보상 회로(108) 및 로컬 위상 보상 회로(104a, 104b, 104c) 중 하나 또는 둘 모두)는 제1 다이(210) 상에서 구현될 수 있고, 위상/이득 보상 회로(204)의 나머지는 다이 외부의(예를 들면, 패키징 기판(302) 상의) 다른 다이(212) 또는 이들의 임의의 조합 상에서 구현될 수 있다.

[0124] 도 22는 본 명세서에 설명된 바와 같은 하나 이상의 특징을 갖는 감쇠기가 RF 시스템(400)에서 어떻게 구현될 수 있는지에 관한 비 제한적인 예들을 도시한다. 이러한 RF 시스템은 RF 신호들의 수신 및/또는 송신을 용이하게 하도록 구성된 안테나(402)를 포함할 수 있다. 수신의 맥락에서, 안테나(402)에 의해 수신되는 RF 신호는(예를 들어, 대역-통과 필터(410)에 의해) 필터링될 수 있고 감쇠기(100)를 통과한 다음에 저잡음 증폭기(LNA)(412)에 의해 증폭될 수 있다. 이러한 LNA-증폭된 RF 신호는(예를 들어, 대역-통과 필터(414)에 의해) 필터링되고, 감쇠기(100)를 통하여 믹서(440)로 라우팅될 수 있다. 믹서(440)는 발진기(도시되지 않음)와 함께 동작하여 중간 주파수(intermediate-frequency)(IF) 신호를 생성할 수 있다. 이러한 IF 신호는(예를 들어, 대역-통과 필터(442)에 의해) 필터링되고 감쇠기(100)를 통과한 다음 중간 주파수(IF) 증폭기(416)로 라우팅될 수 있다. 수신 경로를 따라 놓인 전술한 감쇠기(100)의 일부 또는 전부는 본 명세서에서 설명된 바와 같은 하나 이상의 특징을 포함할 수 있다.

[0125] 송신의 맥락에서, IF 신호는 IF 증폭기(420)에 제공될 수 있다. IF 증폭기(420)의 출력은(예를 들어, 대역-통과 필터(444)에 의해) 필터링되고, 감쇠기(100)를 통하여 믹서(446)로 라우팅될 수 있다. 믹서(446)는 발진기(도시되지 않음)와 함께 동작하여 RF 신호를 생성할 수 있다. 이러한 RF 신호는(예를 들어, 대역-통과 필터(422)에 의해) 필터링되고 감쇠기(100)를 통하여 IF 증폭기(power amplifier)(PA)(424)로 라우팅될 수 있다. PA-증폭된 RF 신호는 송신을 위해 감쇠기(100) 및 필터(예를 들어, 대역-통과 필터(426))를 통해 안테나(402)로 라우팅될 수 있다. 송신 경로를 따라 놓인 전술한 감쇠기(100)의 일부 또는 전부는 본 명세서에서 설명된 바와 같은 하나 이상의 특징을 포함할 수 있다.

[0126] 일부 실시예에서, RF 시스템(400)과 연관된 다양한 동작은 시스템 제어기(430)에 의해 제어 및/또는 용이해질 수 있다. 이러한 시스템 제어기는 예를 들어 프로세서(432) 및 비 일시적인 컴퓨터 판독 가능 매체(computer-readable medium)(CRM)(434)와 같은 저장 매체를 포함할 수 있다. 일부 실시예에서, RF 시스템(400)에서 하나 이상의 감쇠기(100)의 동작과 연관된 적어도 몇몇 제어 기능성은 시스템 제어기(430)에 의해 수행될 수 있다.

[0127] 일부 실시예에서, 본 명세서에서 설명된 바와 같은 하나 이상의 특징을 갖는 감쇠 회로는 수신(Rx) 체인을 따라 구현될 수 있다. 예를 들어, 다이버시티 수신(diversity receive)(DRx) 모듈은 수신된 신호의 프로세싱이 다이버시티 안테나 가까이에서 달성될 수 있도록 구현될 수 있다. 도 23은 이러한 DRx 모듈의 예를 도시한다.

[0128] 도 23에서, 다이버시티 수신기 모듈(300)은 도 20 및 도 21의 모듈들(300)의 예일 수 있다. 일부 실시예에서, 이러한 DRx 모듈은 오프-모듈 필터(513)에 결합될 수 있다. DRx 모듈(300)은 복수의 구성 요소를 수용하도록 구성된 패키징 기판(501) 및 패키징 기판(501) 상에 구현된 수신 시스템을 포함할 수 있다. DRx 모듈(300)은 DRx 모듈(300)로부터 멀리 라우팅되어 시스템 통합자, 설계자 또는 제조자가 임의의 원하는 대역에 맞는 필터를 지원하는데 이용 가능한 하나 이상의 신호 경로를 포함할 수 있다.

[0129] 도 23의 DRx 모듈(300)은 DRx 모듈(300)의 입력과 출력 사이에 다수의 경로를 포함하는 것으로 도시된다. DRx 모듈(300)은 또한 DRx 제어기(502)에 의해 제어되는 바이패스 스위치(519)에 의해 활성화되는 입력과 출력 사이의 바이패스 경로를 포함하는 것으로 도시된다. 도 23은 단일 바이패스 스위치(519)를 도시하지만, 일부 구현 예에서, 바이패스 스위치(519)는 다수의 스위치(예를 들어, 물리적으로 입력에 가까이 배치된 제1 스위치 및 물리적으로 출력에 가까이 배치된 제2 스위치)를 포함할 수 있다. 도 23에 도시된 바와 같이, 바이패스 경로에는 필터 또는 증폭기가 포함되어 있지 않다.

[0130] DRx 모듈(300)은 제1 멀티플렉서(511) 및 제2 멀티플렉서(512)를 포함하는 다수의 멀티플렉서 경로를 포함하는 것으로 도시된다. 멀티플렉서 경로들은 제1 멀티플렉서(511), 패키징 기판(501) 상에 구현된 대역통과 필터(613a 내지 613d), 패키징 기판(501) 상에 구현된 증폭기(614a 내지 614d) 및 제2 멀티플렉서(512)를 포함하는

다수의 온-모듈 경로(on-module path)를 포함한다. 멀티플렉서 경로들은 제1 멀티플렉서(511), 패키징 기판(501)에서 떨어져서 구현된 대역통과 필터(513), 증폭기(514) 및 제2 멀티플렉서(512)를 포함하는 하나 이상의 오프-모듈 경로를 포함한다. 증폭기(514)는 패키징 기판(501) 상에 구현된 광대역 증폭기일 수 있거나 또는 패키징 기판(501)에서 떨어져서 구현될 수도 있다. 일부 실시예에서, 증폭기(614a 내지 614d, 514)는 가변-케인 증폭기들 및/또는 가변-전류 증폭기들일 수 있다.

[0131] DRx 제어기(502)는 입력과 출력 사이의 복수의 경로 중 하나 이상을 선택적으로 활성화하도록 구성될 수 있다. 일부 구현예에서, DRx 제어기(502)는(예를 들어, 통신 제어기로부터) DRx 제어기(502)에 의해 수신된 대역 선택 신호에 기초하여 복수의 경로 중 하나 이상을 선택적으로 활성화하도록 구성될 수 있다. DRx 제어기(502)는 예를 들어 바이패스 스위치(519)를 개방 또는 폐쇄함으로써, 증폭기들(614a 내지 614d, 514)을 인에이블 또는 디스에이블함으로써, 멀티플렉서들(511, 512)을 제어함으로써, 또는 다른 메커니즘들을 통하여 경로들을 선택적으로 활성화할 수 있다. 예를 들어, DRx 제어기(502)는(예를 들어, 필터들(613a 내지 613d, 513)과 증폭기들(614a 내지 614d, 514) 사이의) 경로들을 따라 있는 스위치들을 개방 또는 폐쇄할 수 있거나 또는 증폭기들(614a 내지 614d, 514)의 개인을 실질적으로 0으로 설정함으로써 스위치들을 개방 또는 폐쇄할 수 있다.

[0132] 도 23의 예시적인 DRx 모듈(300)에서, 증폭기들(614a 내지 614d, 514)의 일부 또는 전부는 본 명세서에서 설명된 바와 같은 하나 이상의 특징을 갖는 감쇠 회로(100)를 구비할 수 있다. 예를 들어, 이러한 증폭기들 각각은 증폭기의 입력 측 상에 구현된 감쇠 회로(100)를 갖는 것으로 도시된다. 일부 실시예에서, 주어진 증폭기는 그 입력 측 및/또는 그 출력 측 상에 감쇠 회로를 가질 수 있다.

[0133] 일부 구현예에서, 본 명세서에서 설명된 하나 이상의 특징을 갖는 아키텍처, 디바이스 및/또는 회로는 무선 디바이스와 같은 RF 디바이스에 포함될 수 있다. 그러한 아키텍처, 디바이스 및/또는 회로는 무선 디바이스에서, 본 명세서에서 설명된 바와 같은 하나 이상의 모듈 형태로 또는 이들의 조합으로 직접 구현될 수 있다. 일부 실시예에서, 그러한 무선 디바이스는 예를 들어 셀룰러 폰, 스마트 폰, 전화 기능성을 구비하거나 구비하지 않은 휴대용 무선 디바이스, 무선 태블릿, 무선 라우터, 무선 액세스 포인트, 무선 기지국 등을 포함할 수 있다. 무선 디바이스들의 맥락에서 설명되었지만, 본 개시내용의 하나 이상의 특징은 기지국들과 같은 다른 RF 시스템들에서도 구현될 수 있는 것이 이해될 것이다.

[0134] 도 24는 본 명세서에 설명된 하나 이상의 유리한 특징을 갖는 예시적인 무선 디바이스(700)를 도시한다. 도 22 및 도 23을 참조하여 설명된 바와 같이, 본 명세서에서 설명된 바와 같은 하나 이상의 특징을 갖는 하나 이상의 감쇠기는 그러한 무선 디바이스의 여러 곳에서 구현될 수 있다. 예를 들어, 일부 실시예에서, 이러한 유리한 특징들은 하나 이상의 저잡음 증폭기(LNA)들을 갖는 다이버시티 수신(DRx) 모듈(300)과 같은 모듈에서 구현될 수 있다. 이러한 DRx 모듈은 도 20, 도 21 및 도 23을 참조하여 본 명세서에서 설명된 바와 같이 구성될 수 있다. 일부 실시예에서, 본 명세서에서 설명된 바와 같은 하나 이상의 특징을 갖는 감쇠기는 RF 신호 경로를 따라 LNA 앞 및/또는 뒤에서 구현될 수 있다.

[0135] 도 24의 예에서, 전력 증폭기(power amplifier)(PA) 모듈(712)의 전력 증폭기(PA)들은 증폭되어 전송될 RF 신호를 생성하고, 수신된 신호를 처리하도록 구성되고 동작될 수 있는 송수신기(710)로부터 각각의 RF 신호를 수신할 수 있다. 송수신기(710)는 사용자에게 적합한 데이터 및/또는 음성 신호들과 송수신기(710)에 적합한 RF 신호들 사이의 변환을 제공하도록 구성된 기저대역 서브시스템(708)과 상호 작용하는 것으로 도시된다. 송수신기(710)는 또한 무선 디바이스(700)의 동작에 필요한 전력을 관리하도록 구성된 전력 관리 컴포넌트(706)에 연결되는 것으로 도시된다. 이러한 전력 관리는 또한 기저대역 서브시스템(708) 및 무선 디바이스(700)의 다른 컴포넌트들의 동작들을 제어할 수 있다.

[0136] 기저대역 서브시스템(708)은 사용자 인터페이스(702)에 연결되어 사용자에게 제공되고 사용자로부터 수신되는 음성 및/또는 데이터의 다양한 입력 및 출력을 용이하게 한다. 기저대역 서브시스템(708)은 또한 무선 디바이스의 동작을 용이하게 하고 및/또는 사용자에 필요한 정보의 저장을 제공하기 위해 데이터 및/또는 명령어들을 저장하도록 구성된 메모리(704)에 연결될 수 있다.

[0137] 도 24의 예에서, DRx 모듈(300)은 하나 이상의 다이버시티 안테나(예를 들어, 다이버시티 안테나(730))와 ASM(714) 사이에서 구현될 수 있다. 이러한 구성은 다이버시티 안테나(730)를 통해 수신된 RF 신호가 다이버시티 안테나(730)로부터의 RF 신호에 대해 손실이 거의 없거나 전혀 없게 또는 RF 신호에 잡음이 거의 추가되지 않거나 전혀 추가되지 않게 (일부 실시예에서, LNA에 의한 증폭을 비롯하여) 처리되게 할 수 있다. 그런 다음, DRx 모듈(300)로부터 이렇게 처리된 신호는 하나 이상의 신호 경로를 통해 ASM으로 라우팅될 수 있다.

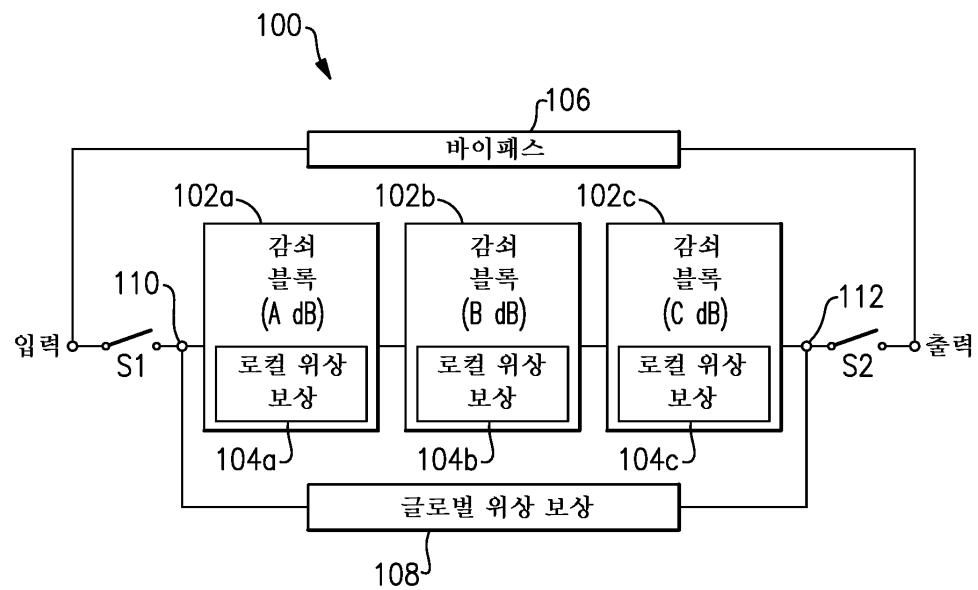
- [0138] 도 24의 예에서, 주 안테나(720)는 예를 들어 PA 모듈(712)로부터의 RF 신호들의 송신을 용이하게 하도록 구성될 수 있다. 일부 실시예에서, 수신 동작들은 또한 주 안테나를 통해 이루어질 수 있다.
- [0139] 다수의 다른 무선 디바이스 구성들이 본 명세서에서 설명된 하나 이상의 특징을 이용할 수 있다. 예를 들어, 무선 디바이스는 다중 대역 디바이스일 필요는 없다. 다른 예에서, 무선 디바이스는 다이버시티 안테나와 같은 추가 안테나 및 Wi-Fi, 블루투스 및 GPS와 같은 추가 연결성 특징들을 포함할 수 있다.
- [0140] 맥락상 명확하게 달리 요구하지 않는 한, 상세한 설명 및 청구범위 전체에서, "포함하다", "포함하는" 등의 단어들은 배타적인 또는 완결적인 의미와 반대되는 포함적인 의미로; 즉, "포함하지만 이것으로 제한되지 않는다"라는 의미로 해석되어야 한다. 본 명세서에서 일반적으로 사용되는 것으로서, "연결된"이라는 단어는 직접 연결되거나 또는 하나 이상의 중간 요소에 의해 연결될 수 있는 두 개 이상의 요소를 말한다. 또한, "본 명세서에서", "위에서", "아래에서"라는 단어들 및 유사한 의미의 단어들은, 본 출원에서 사용될 때, 본 출원의 전체를 언급하는 것이며 본 출원의 임의의 특정 부분을 언급하는 것은 아닐 것이다. 맥락이 허용하는 경우, 위의 상세한 설명에서 단수 또는 복수의 숫자를 사용하는 단어들은 또한 각각 복수 또는 단수 숫자를 포함할 수 있다. 두 개 이상의 항목과 관련하여 "또는"이라는 단어인 이 단어는 다음과 같은 이 단어의 모든 해석을 포함한다: 목록 내 임의의 항목, 목록 내 모든 항목 및 목록 내 항목들의 임의의 조합.
- [0141] 본 발명의 실시예들의 위의 상세한 설명은 모든 것을 망라하거나 위에서 개시된 정확한 형태로 본 발명을 제한하려 의도하는 것은 아니다. 본 발명의 특정 실시예들 및 예들이 위에서 예시적인 목적을 위해 설명되었지만, 관련기술 분야에서 통상의 기술자가 인식하는 있는 바와 같이, 다양한 동등한 수정이 본 발명의 범위 내에서 가능하다. 예를 들어, 프로세스들 또는 블록들이 주어진 순서로 제공되지만, 대안적인 실시예들은 상이한 순서대로, 단계들을 갖는 루틴들을 수행하거나, 블록들을 갖는 시스템들을 수행할 수 있으며, 일부 프로세스 또는 블록은 삭제, 이동, 추가, 세부 분할 및/또는 수정될 수 있다. 이러한 프로세스들 또는 블록들 각각은 다양한 상이한 방식으로 구현될 수 있다. 또한, 프로세스들 또는 블록들이 때때로 직렬로 수행되는 것으로 도시되지만, 이러한 프로세스들 또는 블록들은 대신에 병렬로 수행되거나, 상이한 시간에 수행될 수도 있다.
- [0142] 본 명세서에서 제공되는 본 발명의 교시들은 필연적으로 위에서 설명한 시스템일 필요 없이, 다른 시스템들에 적용될 수 있다. 위에서 설명한 다양한 실시예의 요소들 및 동작들은 조합되어 추가적인 실시예들을 제공할 수 있다.
- [0143] 발명들의 일부 실시예가 설명되었지만, 이러한 실시예들은 단지 예로서 제시되었으며, 본 개시내용의 범위를 제한하려는 것은 아니다. 실제로, 본 명세서에서 설명된 신규한 방법들 및 시스템들은 다양한 다른 형태로 구현될 수 있고; 뿐만 아니라, 본 명세서에서 설명된 방법들 및 시스템들의 형태에서 다양한 생략들, 대체들 및 변경들은 본 개시내용의 사상을 벗어나지 않고 이루어질 수 있다. 첨부된 청구 범위 및 그 균등물들은 본 개시내용의 범위 및 사상 내에 있는 그러한 형태들 또는 수정들을 망라하는 것으로 의도된다.

## 도면

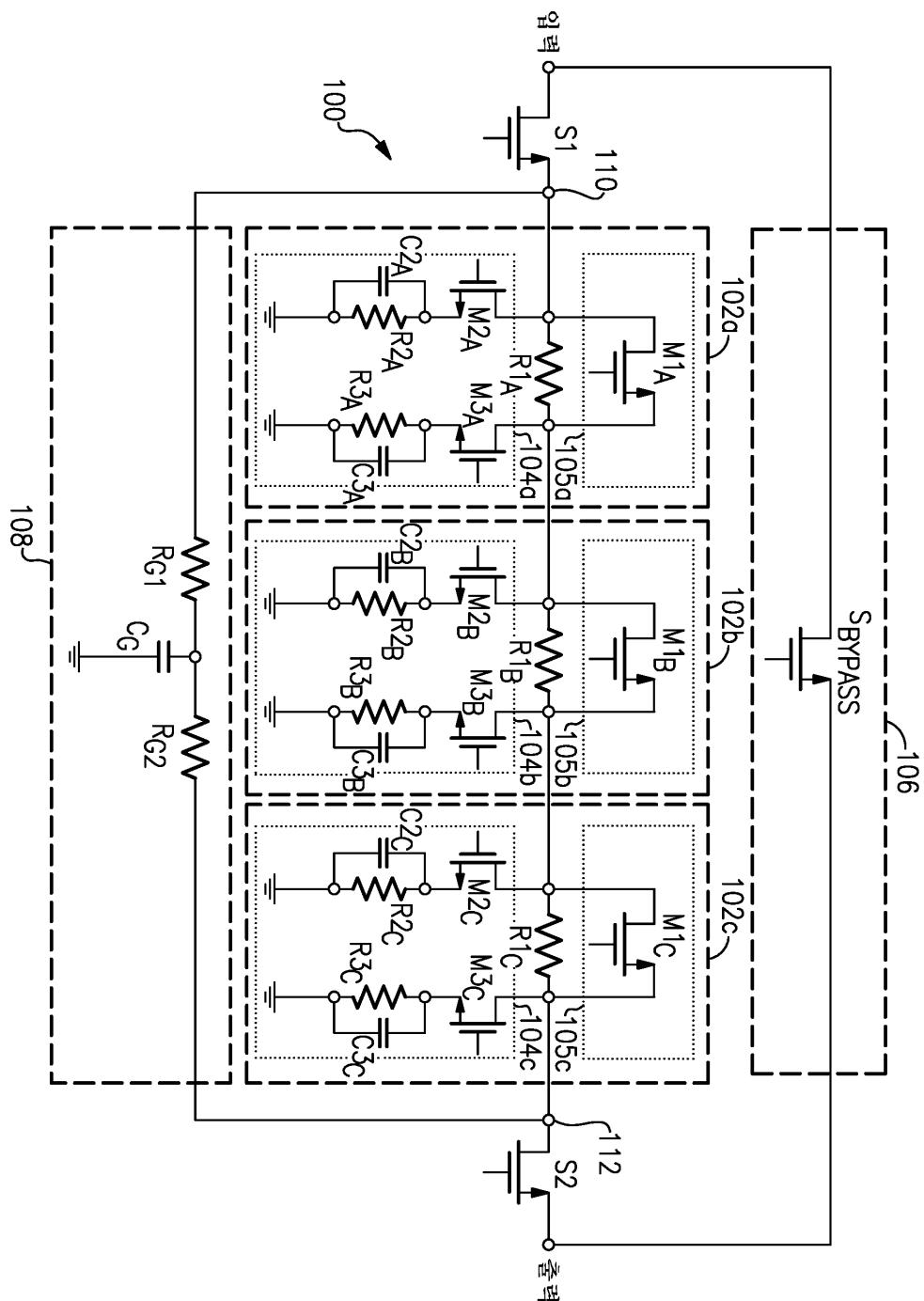
### 도면1



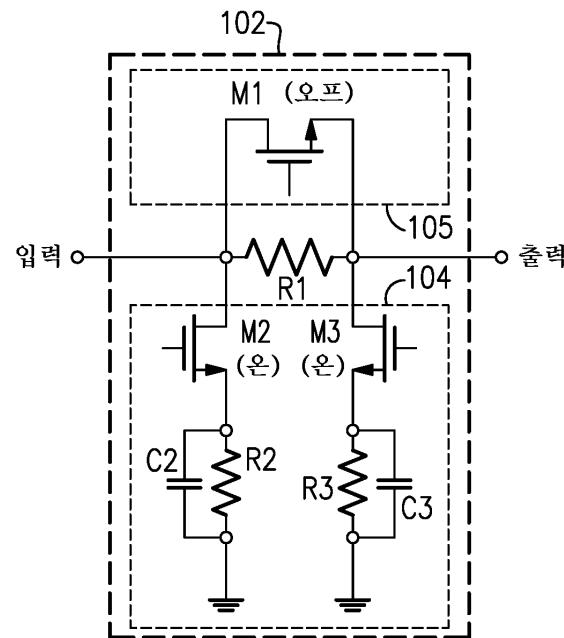
## 도면2



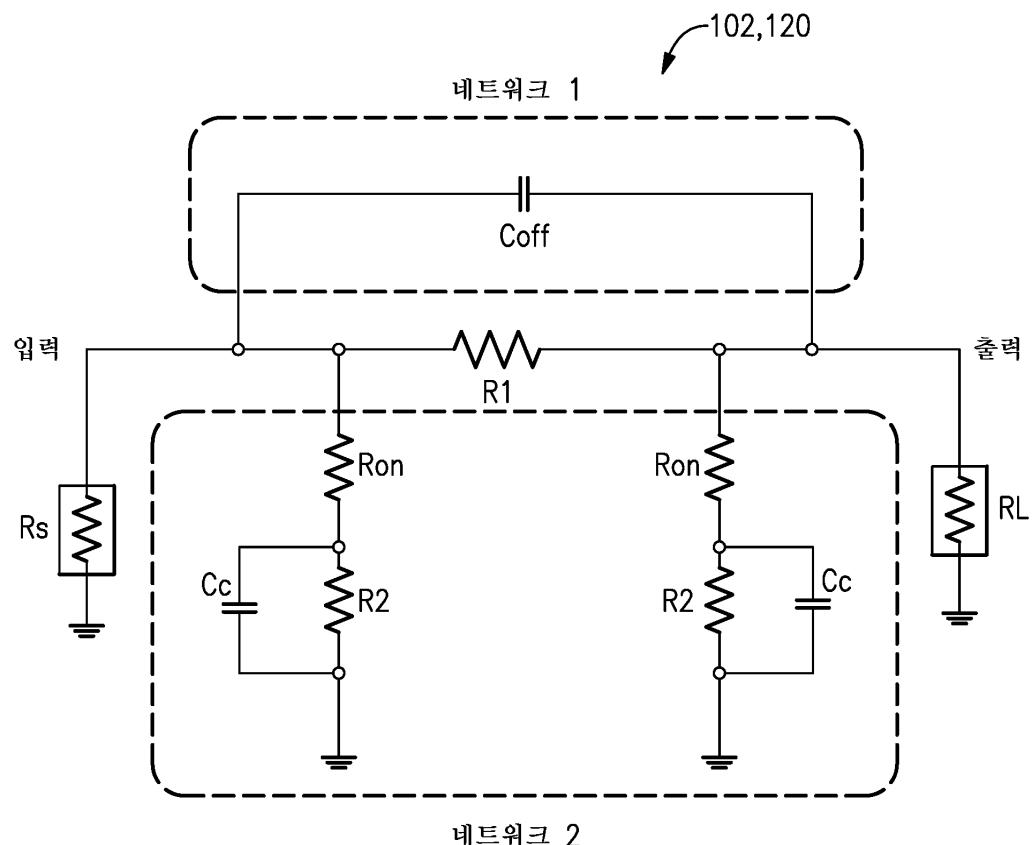
도면3



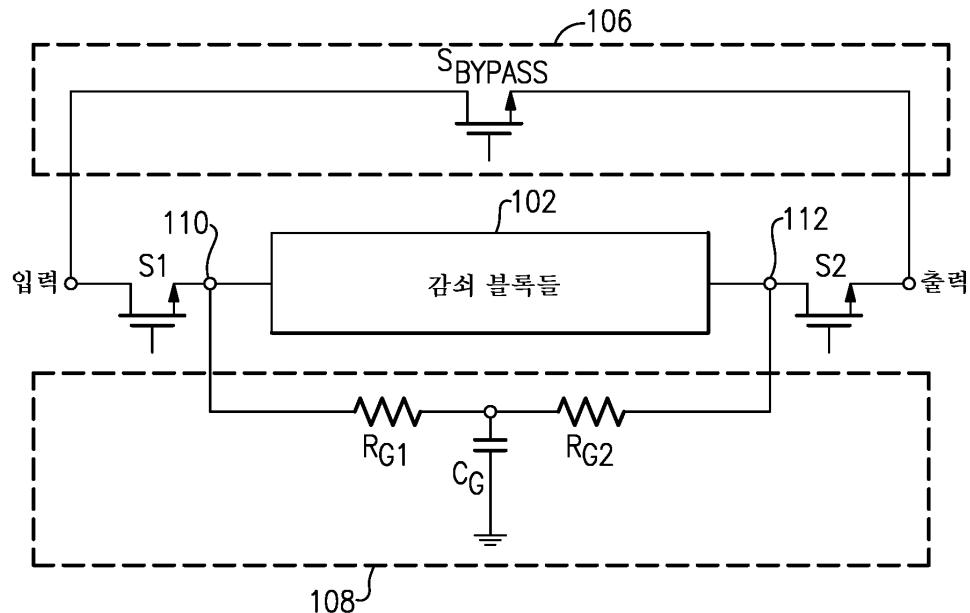
도면4



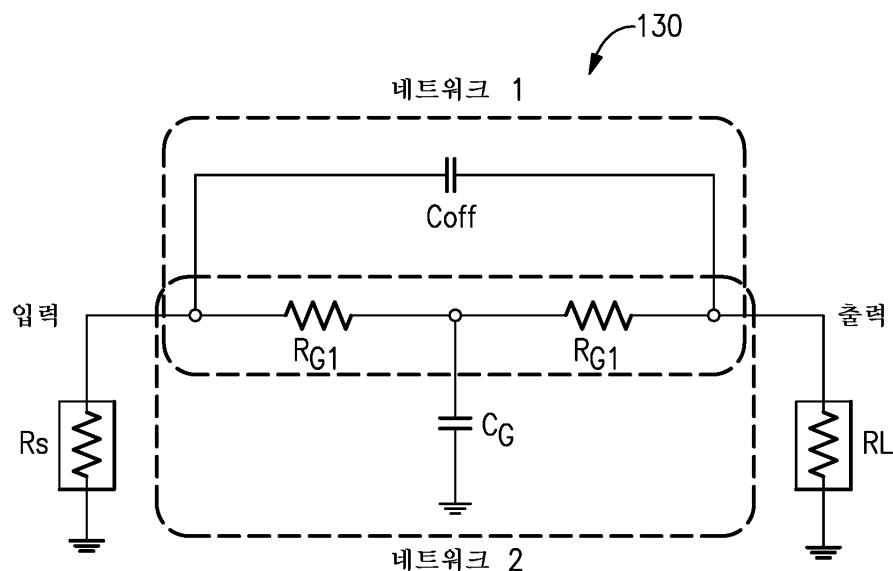
도면5



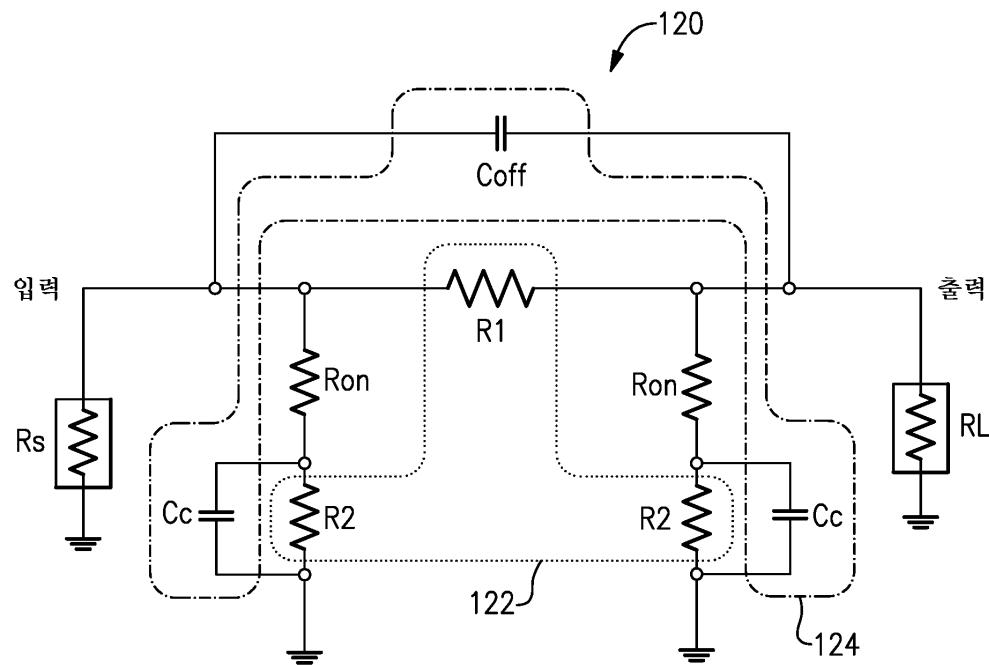
도면6



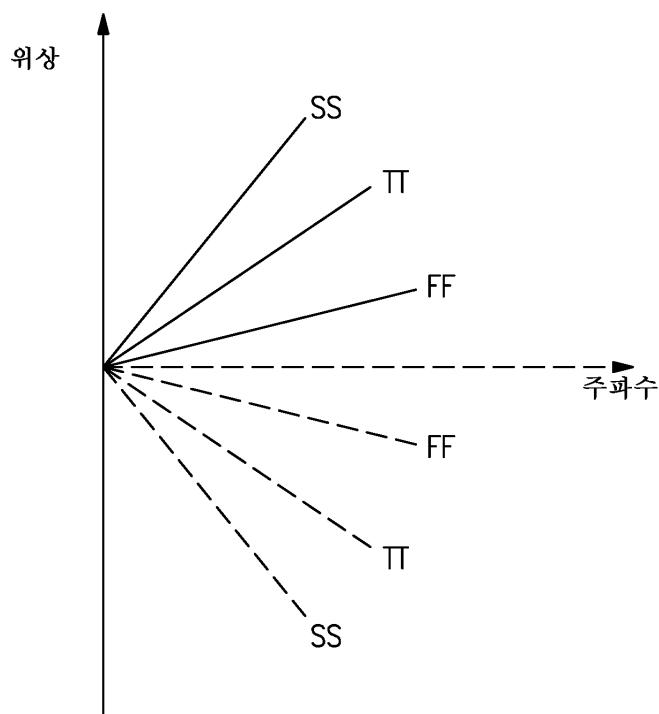
도면7



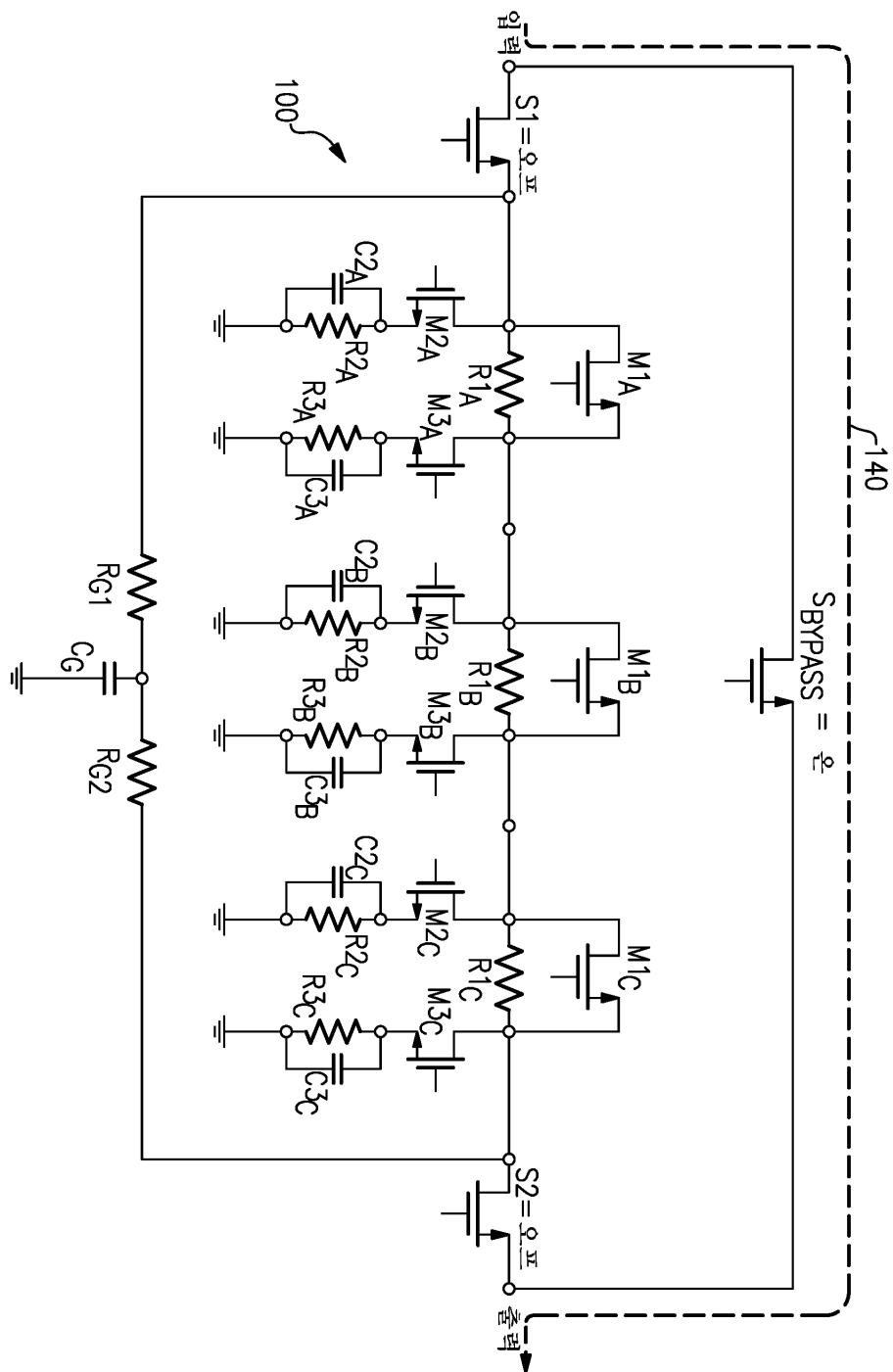
도면8



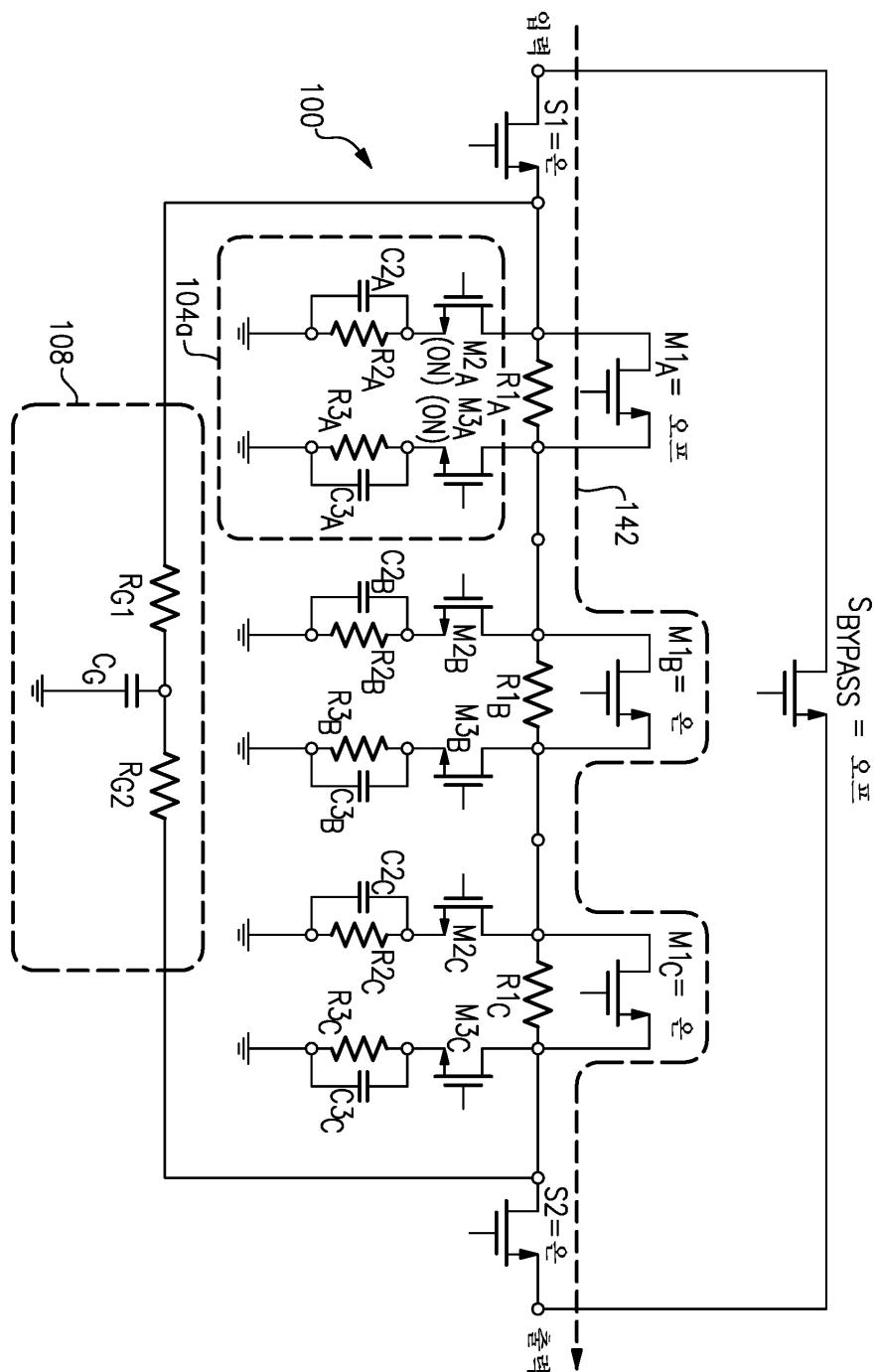
도면9



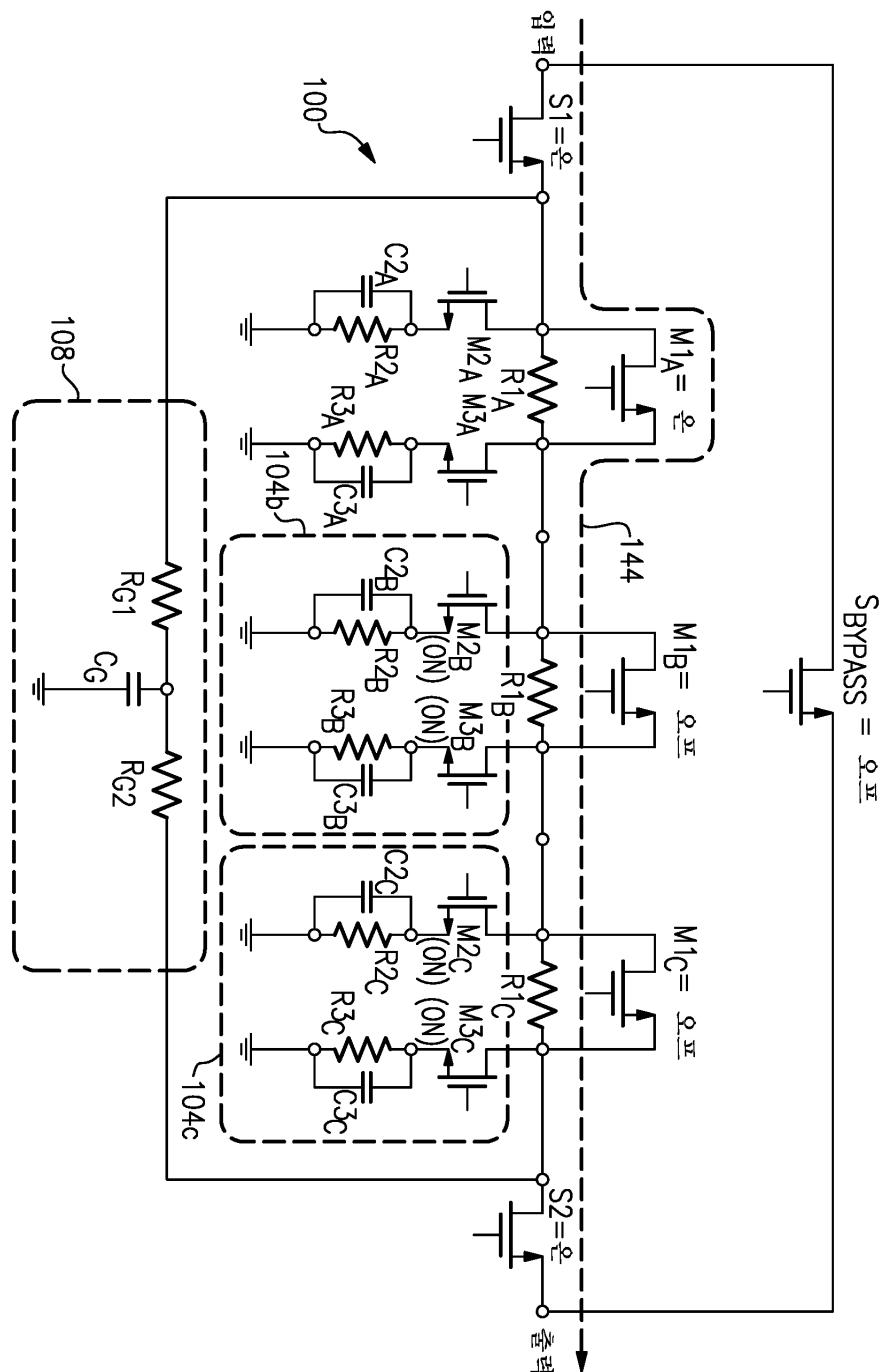
도면 10



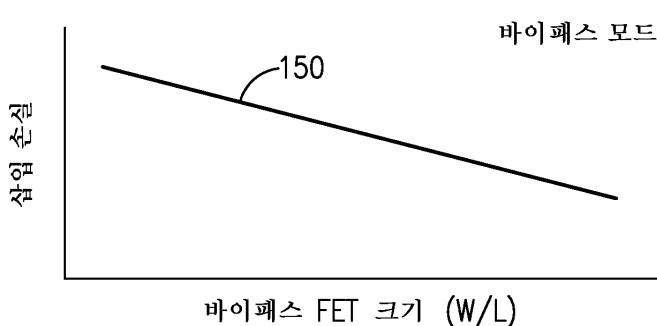
## 도면11



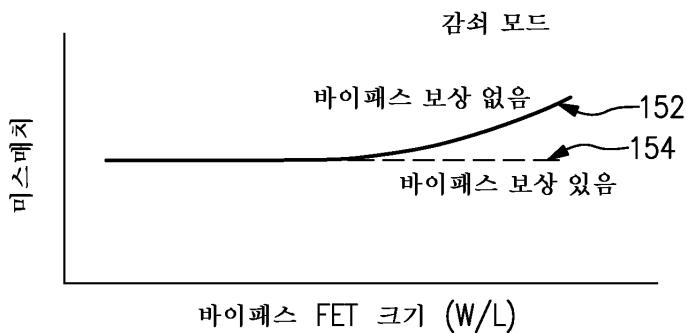
도면12



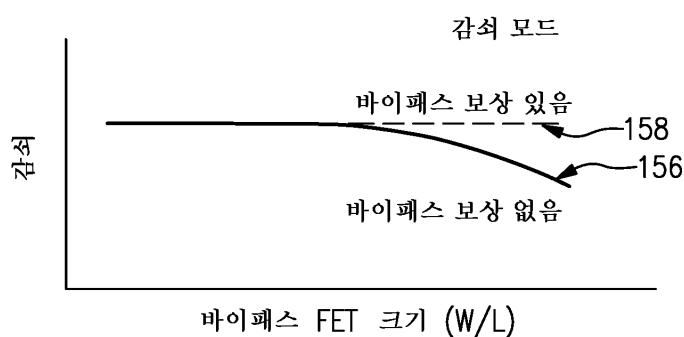
도면13



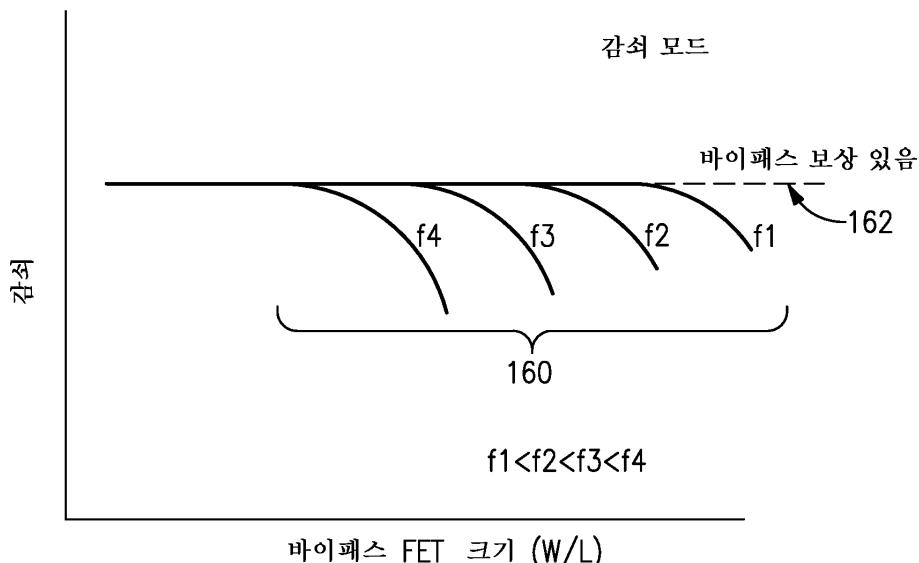
도면14



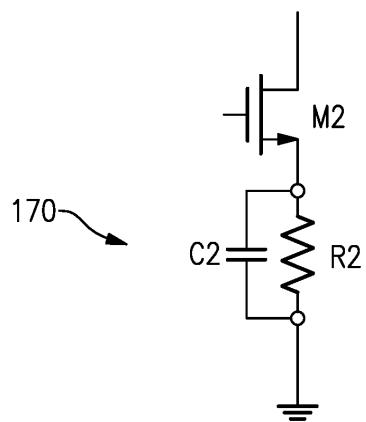
도면15



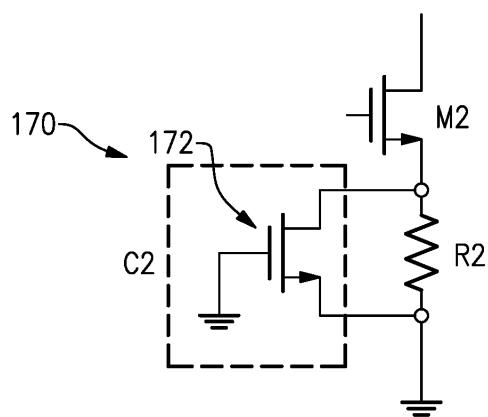
도면16



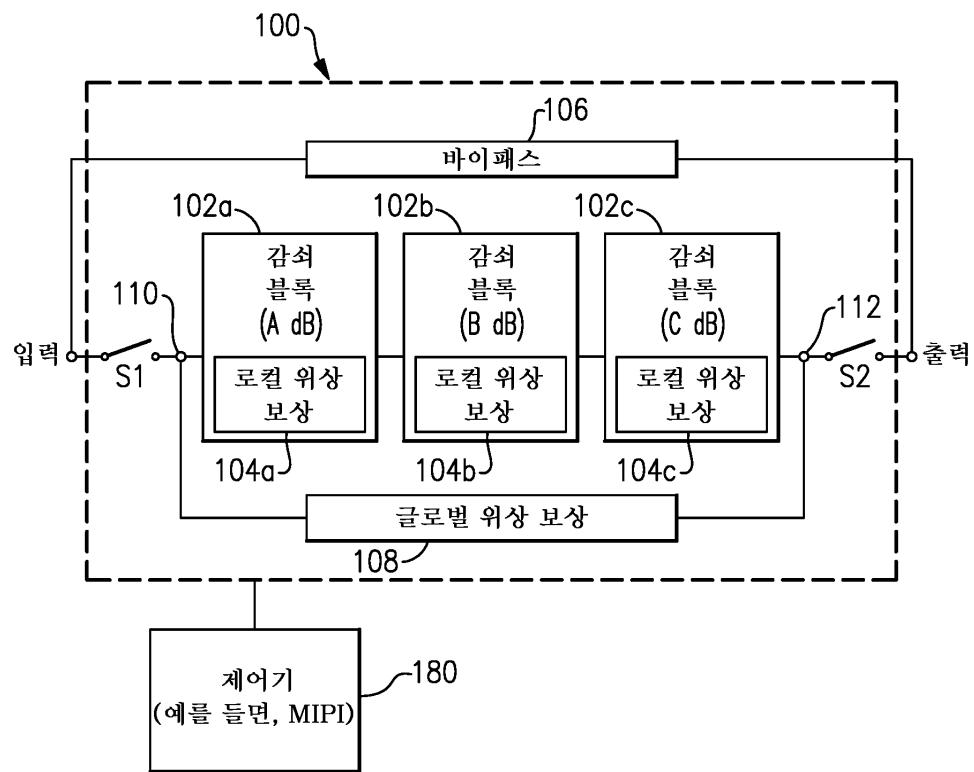
도면 17a



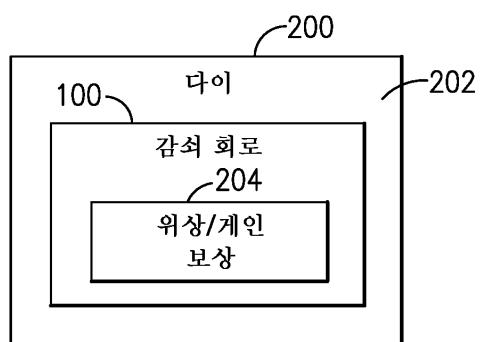
도면 17b



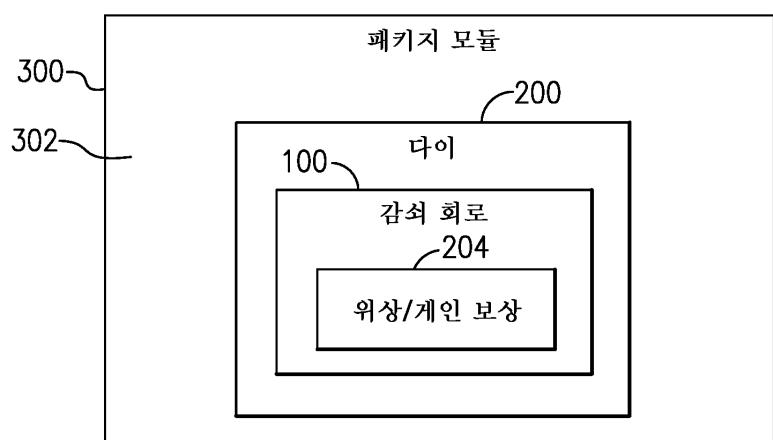
도면18



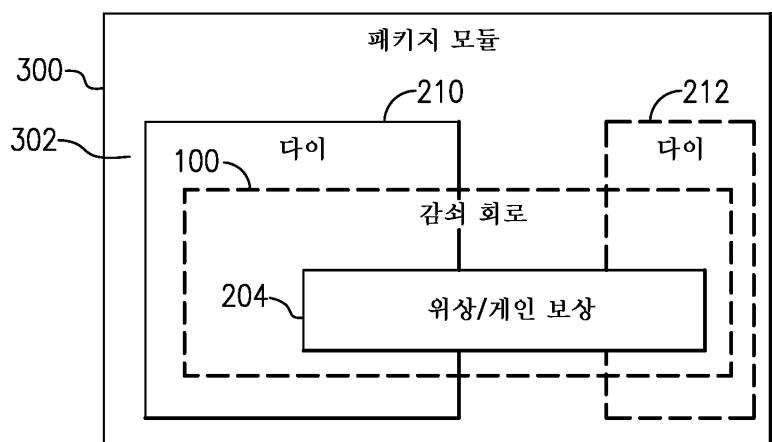
도면19



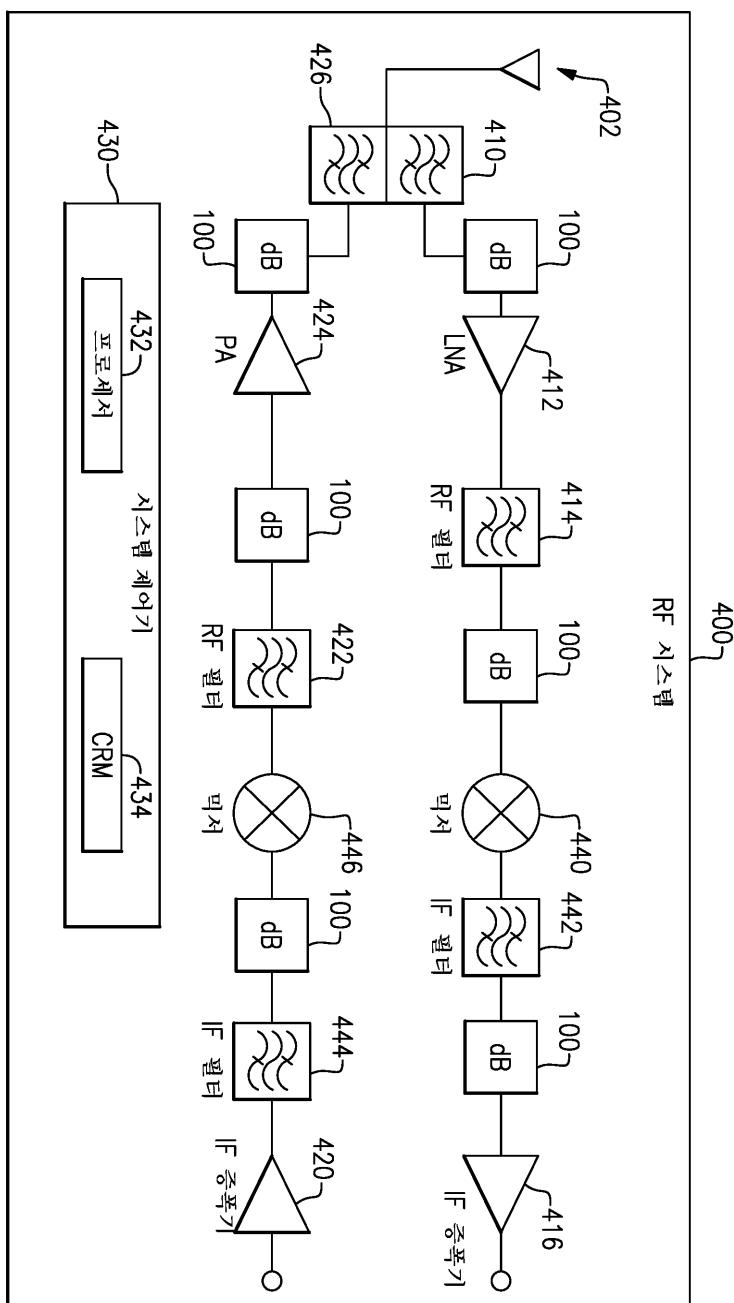
도면20



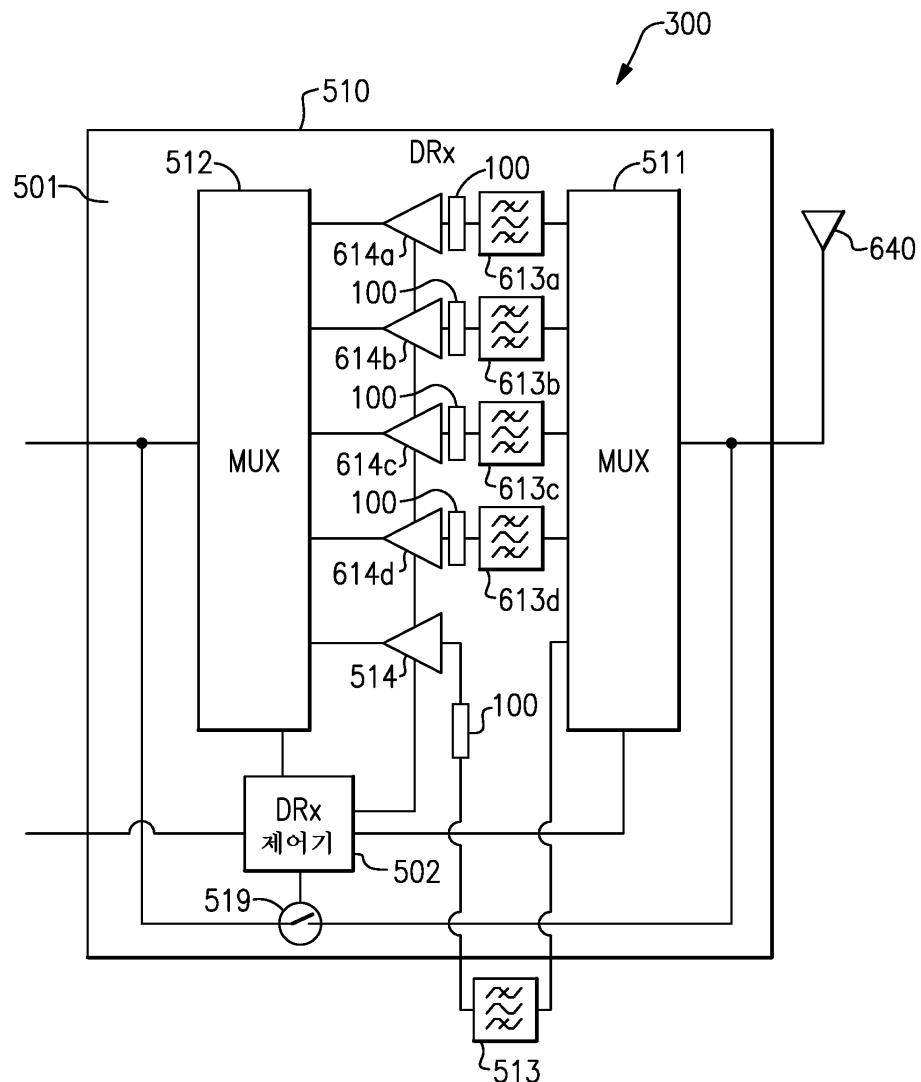
도면21



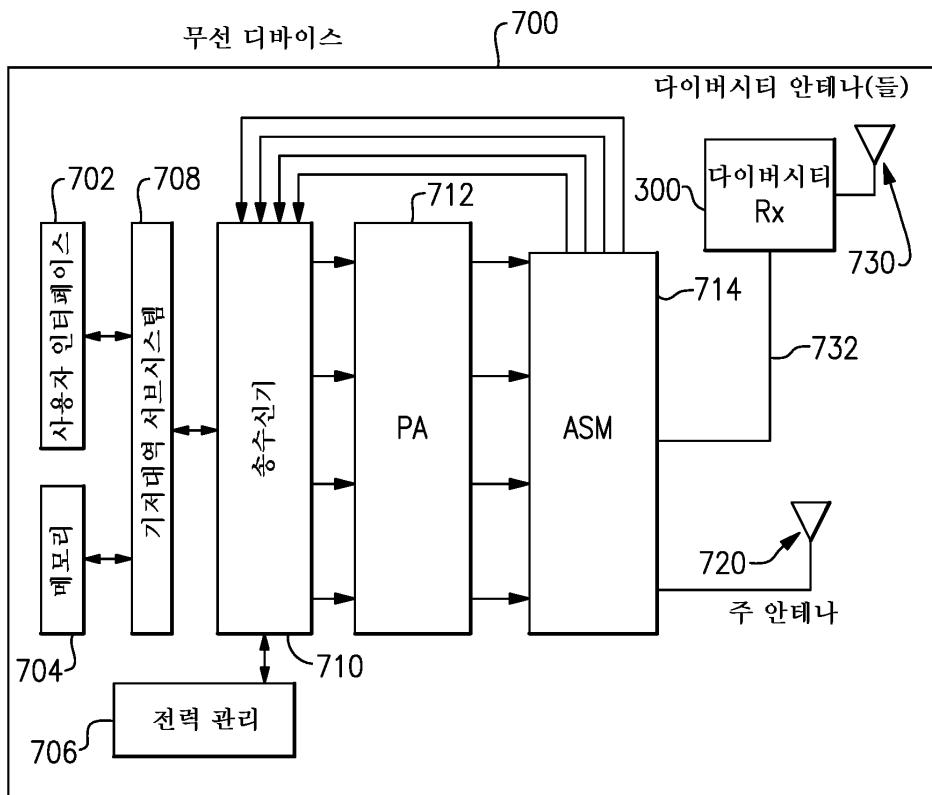
도면22



도면23



## 도면24



## 【심사관 직권보정사항】

## 【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 16

## 【변경전】

제15항에 있어서,

상기 로컬 위상 보상 회로는 제1 션트 저항과 전기적으로 병렬로 배열된 제1 로컬 보상 캐패시턴스 및 상기 제2 션트 저항과 전기적으로 병렬로 배열된 제2 로컬 보상 캐패시턴스를 포함하는 무선 주파수 감쇠기 회로.

## 【변경후】

제15항에 있어서,

상기 로컬 위상 보상 회로는 제1 션트 저항과 전기적으로 병렬로 배열된 제1 로컬 보상 캐패시턴스 및 제2 션트 저항과 전기적으로 병렬로 배열된 제2 로컬 보상 캐패시턴스를 포함하는 무선 주파수 감쇠기 회로.