



(12) 发明专利

(10) 授权公告号 CN 110970556 B

(45) 授权公告日 2023. 12. 08

(21) 申请号 201911201339.7

(22) 申请日 2019.11.29

(65) 同一申请的已公布的文献号
申请公布号 CN 110970556 A

(43) 申请公布日 2020.04.07

(30) 优先权数据
10-2019-0146132 2019.11.14 KR

(73) 专利权人 蔚山科学技术院
地址 韩国蔚山广域市蔚州郡彦阳邑蔚山科学技术院50

(72) 发明人 李浚熙 李浩植

(74) 专利代理机构 杭州裕阳联合专利代理有限公司 33289
专利代理师 姚宇吉

(51) Int.Cl.
H10B 51/00 (2023.01)

(56) 对比文件
JP 2014165427 A, 2014.09.08
US 2007108489 A1, 2007.05.17
US 2008258193 A1, 2008.10.23
JP 2010079941 A, 2010.04.08

审查员 范雪春

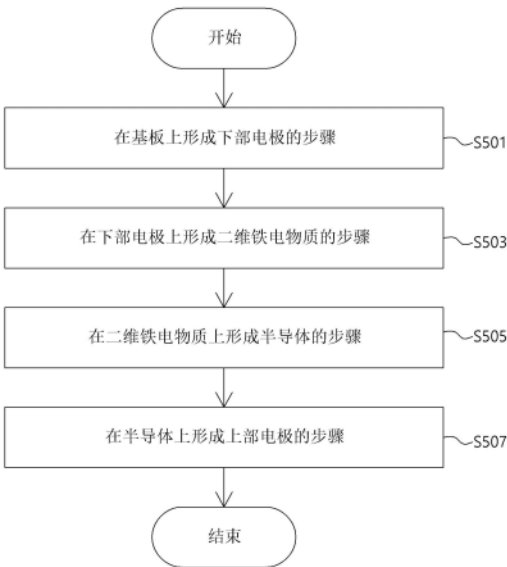
权利要求书2页 说明书8页 附图13页

(54) 发明名称

利用二维铁电物质的非易失性三元存储器件及其制造方法

(57) 摘要

本发明涉及利用二维铁电物质的非易失性三元存储器件及其制造方法。本发明的一实施例的非易失性三元存储器件的制造方法可包括：步骤(a)，在基板上形成下部电极；步骤(b)，在上述下部电极上形成二维铁电物质；步骤(c)，在上述二维铁电物质上形成半导体；以及步骤(d)，在上述半导体上形成上部电极。



1. 一种非易失性存储器件的制造方法,其特征在于,包括:

步骤(a),在基板上形成下部电极;

步骤(b),在上述下部电极上形成二维铁电物质;

步骤(c),在上述二维铁电物质上形成半导体;以及

步骤(d),在上述半导体上形成上部电极;

上述上部电极包括第一上部电极、第二上部电极、第三上部电极及第四上部电极;

在上述步骤(d)之后,还包括上述第一上部电极与上述下部电极之间进行电连接的步骤,对上述第一上部电极与上述第三上部电极之间进行电连接的步骤,以及对上述第二上部电极与上述第四上部电极之间进行电连接的步骤;

上述第一上部电极和第三上部电极以上述二维铁电物质的水平极化方向进行配置,上述第二上部电极和第四上部电极以上述二维铁电物质的垂直极化方向进行配置。

2. 根据权利要求1所述的非易失性存储器件的制造方法,其特征在于,上述二维铁电物质包含SnTe、GeTe及GeSnTe₂中的至少一个。

3. 根据权利要求1所述的非易失性存储器件的制造方法,其特征在于,施加于上述第一上部电极与上述下部电极之间的电压,为了根据施加方向调节上述水平极化方向的正方向或负方向而利用。

4. 根据权利要求1所述的非易失性存储器件的制造方法,其特征在于,上述第一上部电极与上述下部电极之间的隧穿电流的大小,为了根据上述二维铁电物质的极化方向表示三元状态而利用。

5. 根据权利要求1所述的非易失性存储器件的制造方法,其特征在于,上述第一上部电极与上述第三上部电极之间的电压及上述第二上部电极与第四上部电极之间的电压,为了写作过程而利用,

上述第一上部电极与上述下部电极之间的电压,为了读取过程而利用。

6. 根据权利要求1所述的非易失性存储器件的制造方法,其特征在于,上述第一上部电极和上述第二上部电极通过导电线进行电连接。

7. 一种非易失性存储器件,其特征在于,包括:

基板;

下部电极,形成在上述基板上;

二维铁电物质,形成在上述下部电极上;

半导体,形成在上述二维铁电物质上;以及

上部电极,形成在上述半导体上;

上述上部电极包括第一上部电极、第二上部电极、第三上部电极及第四上部电极,上述第一上部电极与上述下部电极进行电连接;

上述第一上部电极与上述第三上部电极进行电连接,上述第二上部电极与上述第四上部电极进行电连接;

上述第一上部电极和第三上部电极以上述二维铁电物质的水平极化方向进行配置,上述第二上部电极和第四上部电极以上述二维铁电物质的垂直极化方向进行配置。

8. 根据权利要求7所述的非易失性存储器件,其特征在于,上述二维铁电物质包含SnTe、GeTe及GeSnTe₂中的至少一个。

9. 根据权利要求7所述的非易失性存储器件,其特征在于,
施加于上述第一上部电极与上述下部电极之间的电压,为了根据施加方向调节上述水平极化方向的正方向或负方向而利用。
10. 根据权利要求7所述的非易失性存储器件,其特征在于,上述第一上部电极与上述下部电极之间的隧穿电流的大小,为了根据上述二维铁电物质的极化方向表示三元状态而利用。
11. 根据权利要求7所述的非易失性存储器件,其特征在于,
上述第一上部电极与上述第三上部电极之间的电压及上述第二上部电极与第四上部电极之间的电压,为了写作过程而利用,
上述第一上部电极与上述下部电极之间的电压,为了读取过程而利用。
12. 根据权利要求7所述的非易失性存储器件,其特征在于,上述第一上部电极和上述第二上部电极通过导电线进行电连接。

利用二维铁电物质的非易失性三元存储器件及其制造方法

技术领域

[0001] 本发明涉及一种三元存储器件,更详细地涉及利用二维铁电物质的非易失性三元存储器件及其制造方法。

背景技术

[0002] 现代计算机技术基于二元逻辑系统。但是,若开发速度变慢,则向多值逻辑(multi-valued logic,MVL)系统的转换备受瞩目。

[0003] MVL在相同的芯片区域以低廉的费用可提供密度更高的逻辑的实现。通过更少数的相互连接,能够以相同数字传送更多的信息,故而可减少耗电量。

[0004] 但是,MVL根据摩尔定律,快速开发二元逻辑系统,相比于二元逻辑系统,研究关注显著少。但是,摩尔定律的钝化/结束增加MVL研究的关注。MVL,尤其三元(ternary)逻辑相比于二元(binary)逻辑,具有相当大的优点。

[0005] 但是,适用以往的三元逻辑的存储器存在结构复杂且具有挥发性的问题,但是目前对于解决此问题的研究处于甚微的情况。

[0006] 现有技术文献

[0007] 专利文献

[0008] (专利文献1)[专利文献1]韩国授权专利第10-1178997号。

发明内容

[0009] 要解决的问题

[0010] 本发明是为了解决前述问题而提出的,其目的在于,提供利用二维铁电物质的非易失性三元存储器件及其制造方法。

[0011] 并且,本发明的目的在于,提供根据二维铁电物质的极化方向表示三元状态(ternary state)的非易失性三元存储器件及其制造方法。

[0012] 本发明的目的不局限于以上提及的目的,未提及的其他目的可通过以下记载内容更加明确理解。

[0013] 解决问题的手段

[0014] 为了实现上述目的,本发明的一实施例的非易失性三元存储器件的制造方法可包括:步骤(a),在基板上形成下部电极;步骤(b),在上述下部电极上形成二维铁电物质;步骤(c),在上述二维铁电物质上形成半导体;以及步骤(d),在上述半导体上形成上部电极。

[0015] 在实施例中,上述二维铁电物质可包含SnTe、GeTe及GeSnTe₂中的至少一个。

[0016] 在实施例中,上述上部电极可包括第一上部电极、第二上部电极、第三上部电极及第四上部电极。

[0017] 在实施例中,上述非易失性三元存储器件的制造方法中,在上述步骤(d)之后,还可包括:对上述第一上部电极、第二上部电极、第三上部电极及第四上部电极中的上述第一上部电极与上述下部电极之间进行电连接。

[0018] 在实施例中,上述非易失性三元存储器件的制造方法中,在上述步骤(d)之后,还可包括:对上述第一上部电极与上述第三上部电极之间进行电连接的步骤;以及对上述第二上部电极与上述第四上部电极之间进行电连接。

[0019] 在实施例中,上述第一上部电极和第三上部电极能够以上述二维铁电物质的水平极化方向进行配置,上述第二上部电极和第四上部电极能够以上述二维铁电物质的垂直极化方向进行配置。

[0020] 在实施例中,施加于上述第一上部电极与上述下部电极之间的电压,可以为了根据施加方向调节上述水平极化方向的正方向或负方向而利用。

[0021] 在实施例中,上述第一上部电极与上述下部电极之间的隧穿电流(tunneling current)的大小可以为了根据上述二维铁电物质的极化方向表示三元状态(ternary state)而利用。

[0022] 在实施例中,上述第一上部电极与上述第三上部电极之间的电压及上述第二上部电极与第四上部电极之间的电压可以为了写作(writing)过程而利用,上述第一上部电极与上述下部电极之间的电压可以为了读取(reading)过程而利用。

[0023] 在实施例中,上述第一上部电极和上述第二上部电极可通过导电线进行电连接。

[0024] 在实施例中,非易失性三元存储器件可包括:基板;下部电极,形成在上述基板上;二维铁电物质,形成在上述下部电极上;半导体,形成在上述二维铁电物质上;以及上部电极,形成在上述半导体上。

[0025] 在实施例中,上述二维铁电物质可包含SnTe、GeTe及GeSnTe₂中的至少一个。

[0026] 在实施例中,上述上部电极可包括第一上部电极、第二上部电极、第三上部电极及第四上部电极。

[0027] 在实施例中,上述第一上部电极、第二上部电极、第三上部电极及第四上部电极中的上述第一上部电极可与上述下部电极进行电连接。

[0028] 在实施例中,上述第一上部电极可与上述第三上部电极进行电连接,上述第二上部电极可与上述第四上部电极进行电连接。

[0029] 在实施例中,上述第一上部电极和第三上部电极能够以上述二维铁电物质的水平极化方向进行配置,上述第二上部电极和第四上部电极能够以上述二维铁电物质的垂直极化方向进行配置。

[0030] 在实施例中,施加于上述第一上部电极与上述下部电极之间的电压,可以为了根据施加方向调节上述水平极化方向的正方向或负方向而利用。

[0031] 在实施例中,上述第一上部电极与上述下部电极之间的隧穿电流(tunneling current)的大小,可以为了根据上述二维铁电物质的极化方向表示三元状态(ternary state)而利用。

[0032] 在实施例中,上述第一上部电极与上述第三上部电极之间的电压及上述第二上部电极与第四上部电极之间的电压可以为了写作(writing)过程而利用,上述第一上部电极与上述下部电极之间的电压可以为了读取(reading)过程而利用。

[0033] 在实施例中,上述第一上部电极和上述第二上部电极可通过导电线进行电连接。

[0034] 用于实现上述目的的具体事项一起参照附图和详细后述的实施例,将变得明确。

[0035] 但是,本发明不局限于以下揭示的实施例,而是能够以互不相同的形态构成,使得

本发明的揭示变得完整,这是为了完整地告知本发明所属技术领域的普通技术人员(以下,“普通技术人员”)而提供的。

[0036] 发明的效果

[0037] 根据本发明的一实施例,根据对于二维铁电物质的极化方向的隧穿电流的大小,呈现三元状态(ternary state),由此可确保三元存储器件的能量有效性和结构简化。

[0038] 本发明的效果不局限于上述效果,根据本发明的技术特征,可从以下的记载内容中明确理解所期待的潜在效果。

附图说明

[0039] 图1a为表示本发明的一实施例的SnTe结构的图。

[0040] 图1b为表示本发明的一实施例的GeSnTe₂结构的图。

[0041] 图1c为表示本发明的一实施例的GeSnTe₂结构的图。

[0042] 图1d为表示本发明的一实施例的另一种GeSnTe₂结构的图。

[0043] 图1e为表示本发明的一实施例的再一种GeSnTe₂结构的图。

[0044] 图2为表示本发明的一实施例的GeSnTe₂的两种极化状态的图。

[0045] 图3为表示本发明的一实施例的极化状态的势垒能曲线的图。

[0046] 图4a为表示本发明的一实施例的-1状态的GeSnTe₂结构的图。

[0047] 图4b为表示本发明的一实施例的0状态的GeSnTe₂结构的图。

[0048] 图4c为表示本发明的一实施例的1状态的GeSnTe₂结构的图。

[0049] 图4d为表示本发明的一实施例的非易失性三元存储器件的图。

[0050] 图4e为表示本发明的一实施例的极化状态的状态电流曲线的图。

[0051] 图5为表示本发明的一实施例的非易失性三元存储器件的制造方法的图。

[0052] 附图标记的说明

[0053] 400:非易失性三元存储器件

[0054] 401:基板

[0055] 403:下部电极

[0056] 405:二维铁电物质

[0057] 407:半导体

[0058] 409-1至409-4:第一上部电极至第四上部电极。

实施方式

[0059] 本发明可做多种变更,并可具有多种实施例,在附图中示出特定实施例,对其进行详细说明。

[0060] 权利要求书中揭示的发明的多种特征可考虑附图及详细说明,将变得更加得以理解。说明书中揭示的装置、方法、制法及多种实施例是为了例示而提供的。所揭示的结构及功能上的特征用于使普通技术人员可具体实施多种实施例,而并不是用来限定发明的范围。所揭示的术语及文章用来有助于理解所揭示的发明的多种特征而说明的,而并不是用来限定发明的范围。

[0061] 在说明本发明时,当判断为对于相关公知技术的具体说明导致本发明的主旨不清

楚时,将省略对其的详细说明。

[0062] 以下,说明利用本发明的一实施例的二维铁电物质的非易失性三元存储器件及其制造方法。

[0063] 图1a为表示本发明的一实施例的SnTe结构的图。图1b为表示本发明的一实施例的GeSnTe₂结构的图。图1c为表示本发明的一实施例的GeSnTe₂结构的图。图1d为表示本发明的一实施例的另一种GeSnTe₂结构的图。图1e为表示本发明的一实施例的再一种GeSnTe₂结构的图。

[0064] 参照图1a,以往的三元存储器件由18个CNTFET构成,稍微复杂,呈易失性。为了解决这种问题,本发明的三元存储器件基于二维(2-dimension)铁电体SnTe,即具有简单的结构,又可具有非易失性特性。

[0065] 这种情况下,SnTe可具有斜方晶系结构,具有270K的高转移温度的原子厚度的SnTe可具有稳定的面内铁电性。这种情况下,为了将三元逻辑适用于存储器件,如SnTe一样,若二维铁电体材料为异方性,则铁电体极化也将会是异方性,根据方向可实现2种不同大小的电极化。

[0066] 其中,极化可用作与分极、偏振或与其等同的技术含义的术语。

[0067] 以往的二元系统虽然可按单一铁电性极化方向表现,但如本发明的二维铁电物质所示,根据异方性提供的追加的铁电性极化方向可表示不同状态,这可使用于三元逻辑。

[0068] 在一实施例中,参照图1b,SnTe中的一半Sn原子以线性方式可取代为Ge原子,这种情况下,可产生从GeSnTe₂物质中衍生的异方性特性。

[0069] 因此,原子厚度的二维铁电物质GeSnTe₂使用密度功能理论(density functional theory, DFT),沿着正交方向可具有两个不同的铁电状态。2个铁电状态可呈现不同的电极化值。

[0070] 在一实施例中,状态之间的转换势垒(switching barrier)按每2个公式单位(two formula unit, FU)可以为约54.8meV。铁电体转移温度以SnTe及GeTe的公知的转移温度为基准,可明显高于室温。

[0071] 因此,利用本发明的多种实施例的二维铁电物质的存储器件为了表示3个数据集(例: {-1, 0, 1}),可提出使用两个不同极化状态的均衡(balanced)三元存储器系统。

[0072] 并且,通过利用本发明的多种实施例的二维铁电物质的存储器件,可在三元存储器执行1次(one-shot)读取/记录过程。

[0073] 在一实施例中,用于GeSnTe₂的极化转换的激活势垒可使用微动弹性带方法(nudged elastic band, NEB)来计算。

[0074] 并且,参照图1c,GeSnTe₂结构可根据Ge原子的取代,可包括均匀混合结构、垂直链条结构及对角线链条结构。可确认到三种结构中的垂直链条结构具有最低的能量,并可确认到GeSnTe₂结构的异方性特性由计算结果得出。

[0075] 图2为表示本发明的一实施例的GeSnTe₂的两种极化状态的图。

[0076] 参照图2,可对垂直-链条取代结构(vertical-chain substitution structure)的2个不同极化方向执行电极化计算。电极化可由对于Te原子位置的原子变位表示。这种情况下,链条方向与b轴平行,与链条正交的方向可与a轴平行。

[0077] 在图2中,左侧(a轴方向)和右侧(b轴方向)的形态(figure)可表示分别与链条方

向和电极化正交及平行的原子变位。

[0078] 极化方向在图2中可由黄色箭头表示。通过DFT计算,可从单层GeSnTe₂结构中确认4个稳定的电极化状态及多重铁电特性。

[0079] 这种情况下,对于各个电极化轴,可实现正的状态及负的状态。当考虑到2个不同的电极化方向,可实现4个不同的电极化状态,这可利用于三元或四元系统。

[0080] 例如,与链条平行而垂直的方向的电极化值可分别为67.14 $\mu\text{C}/\text{cm}^2$ 及63.34 $\mu\text{C}/\text{cm}^2$ 。并且,不同的电极化状态之间的相对能量差可以为2.3 meV/FU。这种小的能量差可具有4种状态类似的稳定性。

[0081] 图3为表示对于本发明的一实施例的极化状态的势垒能曲线的图。

[0082] 参照图3,为了寻找极化状态之间的转换势垒能,可执行如图3所示的NEB计算。转换势垒能可与将极化状态的热稳定性及极化状态转换为另一状态的电压的施加相关。

[0083] 例如,由计算的结果可确认到P_{-a}与P_a之间的直接转换势垒为174.6meV/2FU,P_{-b}与P_b之间的势垒为182.4meV/2FU。

[0084] 但是,可确认从P_a通过P_b到P_{-a}的旋转转换势垒仅为54.8meV/2FU。计算结果需要考虑54.8meV/2FU的低旋转转换势垒的热稳定性。

[0085] 为了转换电极化,施加偏压时,可根据计算结果,通过2步(2-step)转换采用更低的电压。为了实现这种类型的转换,第一电压应该与极化状态正交地施加,第二电压可与原来的极化反平行(anti-parallel)地施加。

[0086] 在一实施例中,由于直接转换势垒相比于旋转转换势垒高出3倍以上,因此在直接转换中需要更高的电压。

[0087] 图4a为表示本发明的一实施例的-1状态的GeSnTe₂结构的图。图4b为表示本发明的一实施例的0状态的GeSnTe₂结构的图。图4c为表示本发明的一实施例的1状态的GeSnTe₂结构的图。图4d为表示本发明的一实施例的非易失性三元存储器件的图。图4e为表示对于本发明的一实施例的极化状态的状态电流曲线的图。

[0088] 参照图4a至4e,本发明的多种实施例的非易失性三元存储器件400可包括基板401、形成在基板401上的下部电极403、形成在下部电极403上的二维铁电物质405、形成在二维铁电物质405上的半导体407及形成在半导体407上的上部电极。

[0089] 在一实施例中,二维铁电物质405可包含SnTe、GeTe及GeSnTe₂中的至少一个。例如,二维铁电物质405可包含单层(single layer)GeSnTe₂。

[0090] 在一实施例中,半导体407可包括具有既定的临界值以上的带隙(bandgap)的半导体。

[0091] 在一实施例中,上部电极可包括第一上部电极409-1、第二上部电极409-2、第三上部电极409-3及第四上部电极409-4。

[0092] 这种情况下,第一上部电极409-1、第二上部电极409-2、第三上部电极409-3及第四上部电极409-4中的某一个可与下部电极403电连接。

[0093] 例如,为了便于说明,第一上部电极409-1、第二上部电极409-2、第三上部电极409-3及第四上部电极409-4中的第一上部电极409-1可与下部电极403进行电连接。

[0094] 在一实施例中,第一上部电极409-1与下部电极403可通过电压测定仪电连接。

[0095] 在一实施例中,第一上部电极409-1可与第三上部电极409-3进行电连接,第二上

部电极409-2可与第四上部电极409-4进行电连接。

[0096] 例如,第一上部电极409-1和第三上部电极409-3能够以施加电压的方式可通过导线与电流测定仪电连接。并且,第二上部电极409-2和第四上部电极409-4能够以施加电压的方式可通过导线与电流测定仪电连接。

[0097] 例如,如图4d所示,二维铁电物质405的电极化方向由红色箭头表示,二维铁电物质405与第一上部电极409-1之间的隧穿电流(tunneling current)可由绿色箭头表示。

[0098] 此时,第一上部电极409-1和第三上部电极409-3能够以二维铁电物质405的水平极化方向进行配置,第二上部电极409-2和第四上部电极409-4能够以二维铁电物质405的垂直极化方向进行配置。

[0099] 在一实施例中,施加于第一上部电极409-1与下部电极403之间的电压(V_R)可以为了根据施加方向调节水平极化方向的正的方向或负的方向而利用。

[0100] 并且,在一实施例中,第一上部电极409-1与下部电极403之间的隧穿电流的大小可以为了根据二维铁电物质的极化方向表示三元状态(ternary state)而利用。

[0101] 其中,隧穿电流可根据二维铁电物质405的极化状态进行调节。 $\{-1\}$ 状态的隧穿电流可设定为低于 $\{+1\}$ 状态的隧穿电流。由于 $\{0\}$ 状态具有相当于 $\{-1\}$ 及 $\{1\}$ 状态的电正交极化,因此相对极化有可能根据a轴变成零。

[0102] 最终,如图4e所示, $\{0\}$ 状态的隧穿电流可设定为 $\{-1\}$ 状态与 $\{1\}$ 状态之间。即,本发明的三元存储器件400利用二维铁电物质405可体现出3步骤的电流大小。

[0103] 例如, $\{-1, 0, 1\}$ 的三元状态可表示为纳米大小的单层 GeSnTe_2 结构。 $\{-1\}$ 、 $\{0\}$ 及 $\{1\}$ 状态可分别表示为与链条方向垂直的电极化方向($-a$ 轴)、与链条方向平行的电极化方向($+b$ 轴)、与链条方向垂直的电极化方向($+a$ 轴)。

[0104] 即, $\{-1\}$ 、 $\{0\}$ 及 $\{1\}$ 状态可分表示为水平极化方向的负的方向、垂直极化方向的负的方向及水平极化方向的正的方向。

[0105] 在一实施例中,第一上部电极409-1与第三上部电极409-3之间的电压($V_{w1,-1}$)及第二上部电极409-2与第四上部电极409-4之间的电压(V_{w0})可以为了写作(writing)过程而利用。其中, $V_{w1,-1}$ 及 V_{w0} 可意味着两种方向性偏压。

[0106] 例如,为了写作(write) $\{-1\}$ 或 $\{1\}$ 状态,可在第一上部电极409-1与第三上部电极409-3之间施加偏压($V_{w1,-1}$)。若根据电压施加方向适用正(positive)的偏压或负(negative)的偏压,则二维铁电物质405的极化方向可沿着a轴调节为正或负。

[0107] 为了写作 $\{0\}$ 状态,在第二上部电极409-2与第四上部电极409-4之间可施加偏压(V_{w0})。这种情况下,最终极化方向可沿着b轴,而有可能不沿着a轴出现极化。这种所有写作/读取过程可由1-步过程执行。

[0108] 并且,第一上部电极409-1与下部电极403之间的电压(V_R)可以为了读取(reading)过程而利用。

[0109] 即,通过测定第一上部电极409-1与第三上部电极409-3之间的电压($V_{w1,-1}$)及第二上部电极409-2与第四上部电极409-4之间的电压(V_{w0})可执行写作过程。并且,通过测定第一上部电极409-1与下部电极403之间的电压(V_R)可执行读取过程。

[0110] 即,本发明的三元存储器件400,根据电场施加方向,铁电极化的大小不同,基于此的电流可表示为3步骤,因此可适用三元逻辑系统。

[0111] 在一实施例中,第一上部电极409-1与第二上部电极409-2可以连接。这种情况下,通过连接第一上部电极409-1与第二上部电极409-2之间的导线(即,图4d的虚线(dashline))可以连接。

[0112] 导线不需要于三元逻辑,但可使用于四元逻辑。若使用导线,则二维铁电物质405与第一上部电极409-1之间的隧穿电流有可能沿着b轴受到极化方向的影响。换言之,可根据b轴表示正极与负极不同的隧穿电流。通过这种方式追加导线,可在利用本发明的多种实施例的二维铁电物质的二元存储器件实现四元逻辑系统。

[0113] 在一实施例中,对于 GeSnTe_2 的斜方晶系结构(orthorhombic structure)和稳定性而言, SnTe 的低温相(temperature phase)为菱面体(rhombohedral),斜方晶系相(orthorhombic phase)可在高压下利用。

[0114] 例如,对于单层 SnTe 而言,铁电体相变温度(ferroelectric phase transition temperature)可以是270K。对于 GeTe 而言,可具有如菱面体和斜方晶系之类的两种低温相。

[0115] 对于Te含量超过51.2%的 GeTe 而言,斜方晶系相可稳定至最大630K。根据单层斜方晶系相 SnTe 及大块斜方晶系(bulk-orthorhombic) GeTe 结构, GeSnTe_2 可在室温下稳定。混合 SnTe 和 GeTe , GeSnTe_2 的铁电相的转移温度可在于270K和630K之间。

[0116] 若假设线性关系(linear relationship),则转移温度为450K,可高于常温。并且,在合成过程中可考虑相分离(phase segregation)可能性。

[0117] 根据计算,具有晶界(grain boundary)的相分离结构,其能量可低于混合 GeSnTe_2 结构。在一实施例中,在单一阶层 SnTe 或 GeTe 中也可实现三元存储器件。

[0118] 简要而言,作为 GeSnTe_2 的多重铁电体特性,可确认到两个不同极化方向及铁电体极化的量在原子厚度2D结构中稳定。 GeSnTe_2 的铁电状态可根据体现方法可利用于示出{-1, 0, 1}的均衡的三元数据集或四元数据集。

[0119] 因铁电体特性, GeSnTe_2 具有非易失性及低耗电量的优点。

[0120] 图5为表示本发明的一实施例的非易失性三元存储器件的制造方法的图。

[0121] 参照图5,S501步骤是在基板401上形成下部电极403的步骤。

[0122] S503步骤是在下部电极403上形成二维铁电物质405的步骤。在一实施例中,二维铁电物质405可包含 SnTe 、 GeTe 及 GeSnTe_2 中的至少一个。

[0123] S505步骤是在二维铁电物质405上形成半导体407的步骤。

[0124] S507步骤是在半导体407上形成上部电极的步骤。在一实施例中,可包括第一上部电极409-1、第二上部电极409-2、第三上部电极409-3及第四上部电极409-4。

[0125] 在一实施例中,在S507步骤之后,可对第一上部电极409-1、第二上部电极409-2、第三上部电极409-3及第四上部电极409-4中的一个与下部电极403之间进行电连接。

[0126] 在一实施例中,施加于第一上部电极409-1与下部电极403之间的电压(V_R)为了根据电压施加方向调节水平极化方向的正的方向或负的方向而利用。

[0127] 并且,第一上部电极409-1与下部电极403之间的隧穿电流的大小可以根据二维铁电物质405的极化方向表示三元状态而利用。

[0128] 例如,可对第一上部电极409-1、第二上部电极409-2、第三上部电极409-3及第四上部电极409-4中的第一上部电极409-1与下部电极403之间进行电连接。

[0129] 在一实施例中,可对第一上部电极409-1与第三上部电极409-3之间进行电连接,可对第二上部电极409-2与第四上部电极409-4之间进行电连接。

[0130] 这种情况下,第一上部电极409-1和第三上部电极409-3能够以二维铁电物质405的水平极化方向进行配置。并且,第二上部电极409-2和第四上部电极409-4能够以二维铁电物质405的垂直极化方向进行配置。

[0131] 在一实施例中,第一上部电极409-1与第三上部电极409-3之间的电压($V_{w1,-1}$)和第二上部电极409-2与第四上部电极409-4之间的电压(V_{w0})可以为了写作过程而利用。并且,第一上部电极409-1与下部电极403之间的电压(V_R)可以为了读取过程而利用。

[0132] 在一实施例中,第一上部电极409-1和第二上部电极409-2可通过导电线进行电连接。

[0133] 以上的说明只不过是例示性地说明本发明的技术思想的,只要是本领域的普通技术人员,就在本发明的本质特性不超过范围的情况下可做多种变更及修改。

[0134] 因此,本发明中揭示的实施例是用来说明本发明的技术思想的,而并不是用来限定的,本发明的范围并不局限于这些实施例。

[0135] 本发明的保护范围应当由权利要求书解释,应当要理解,在与其等同范围内的所有技术思想包括在本发明的权利范围内。

SnTe 单层

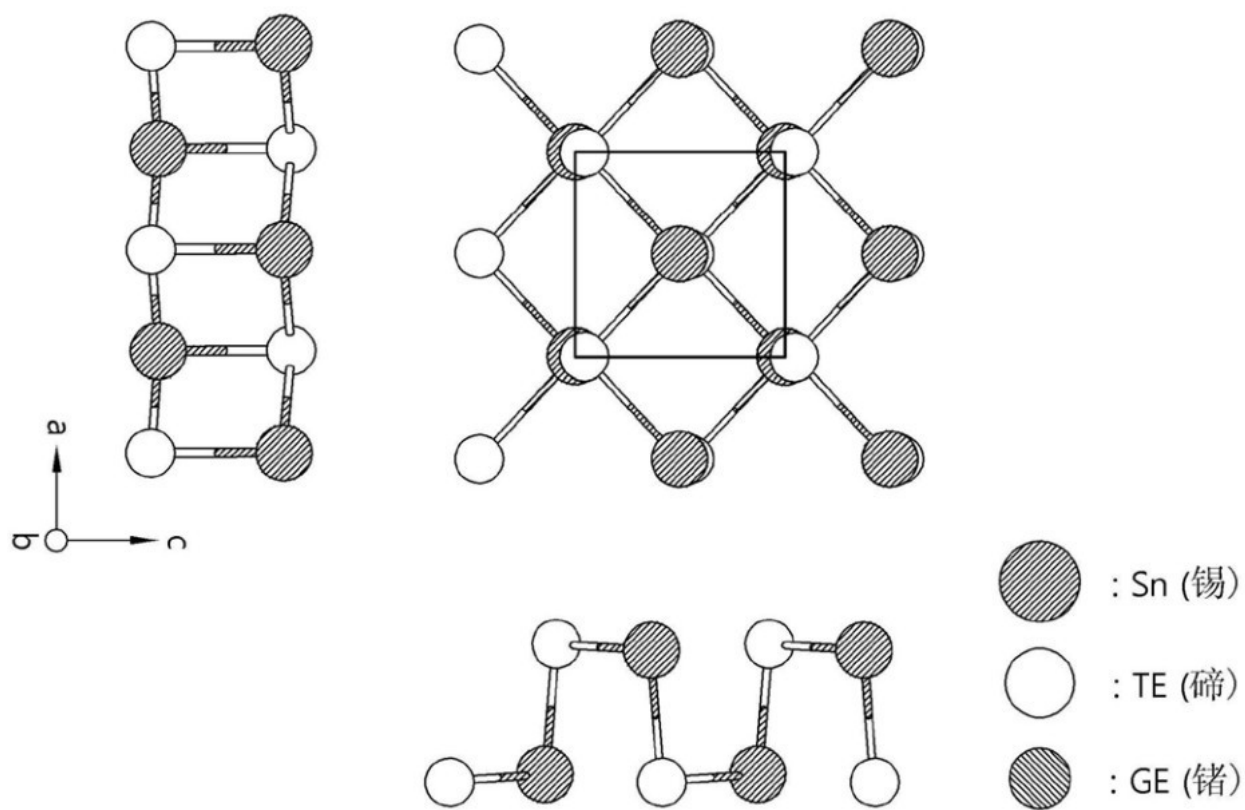


图 1a

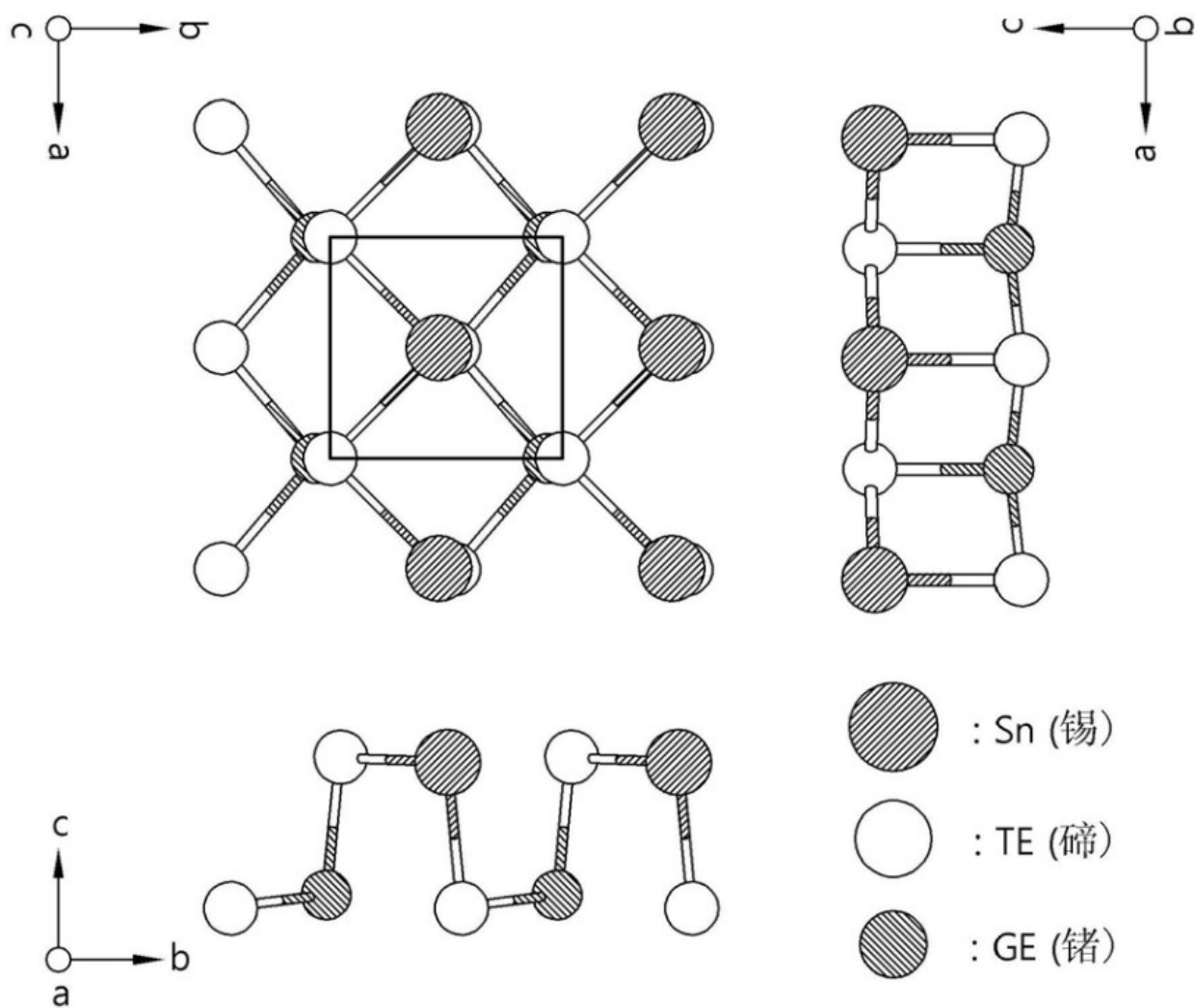
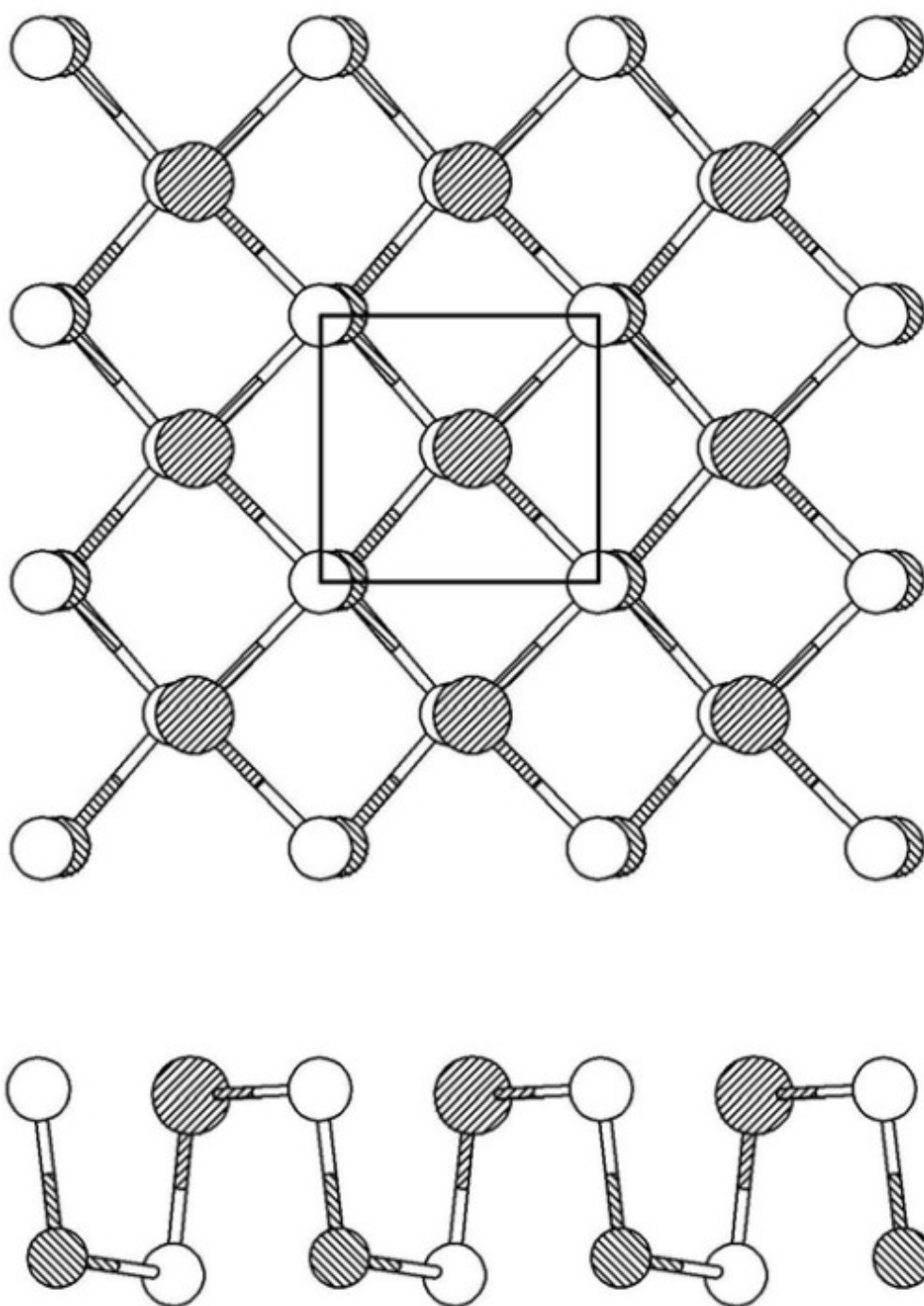
GeSnTe₂ 单层

图 1b

结构 1

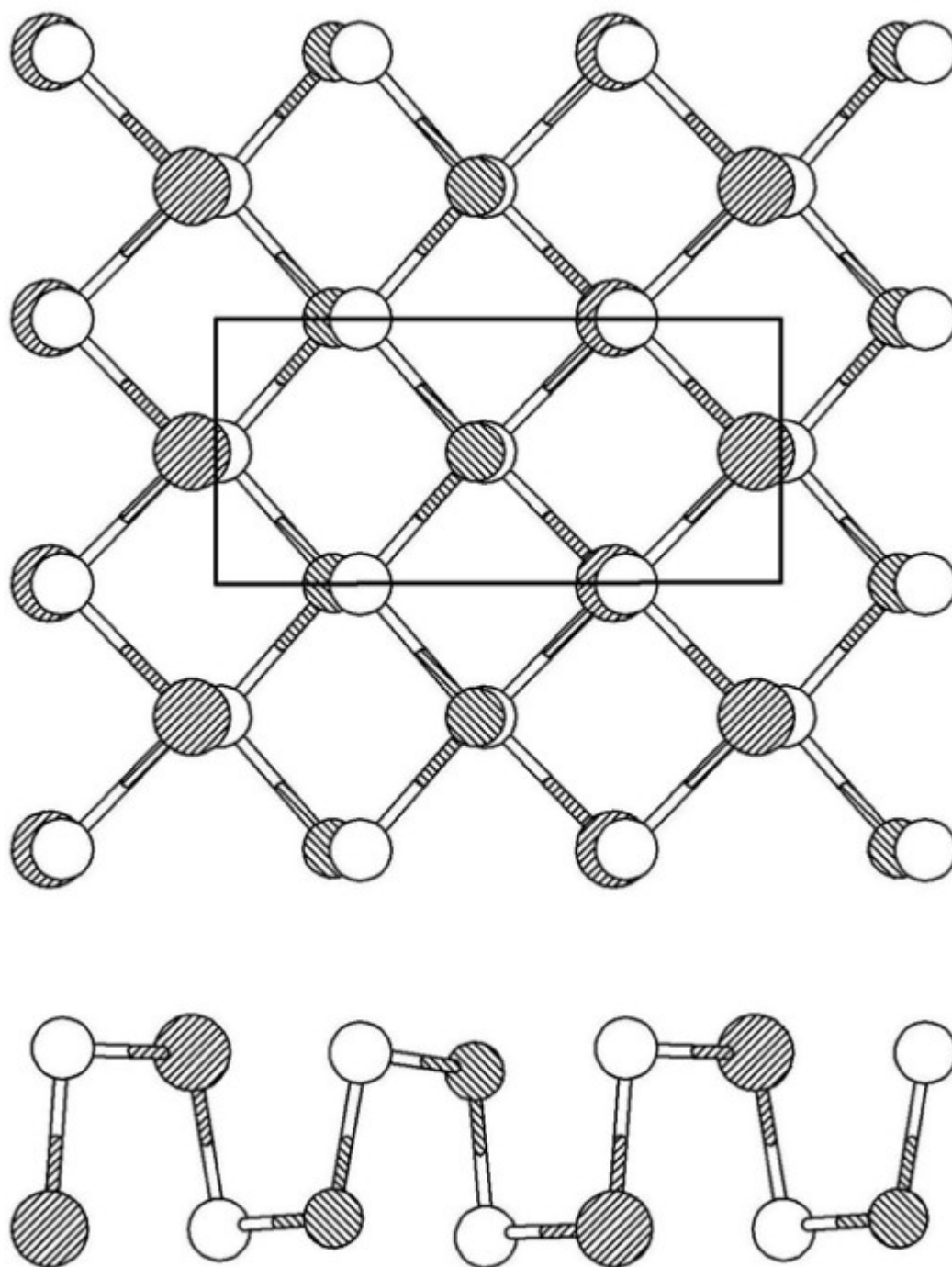


亚稳态

$$\Delta E = 58.63 \text{ meV/f.u.}$$

图 1c

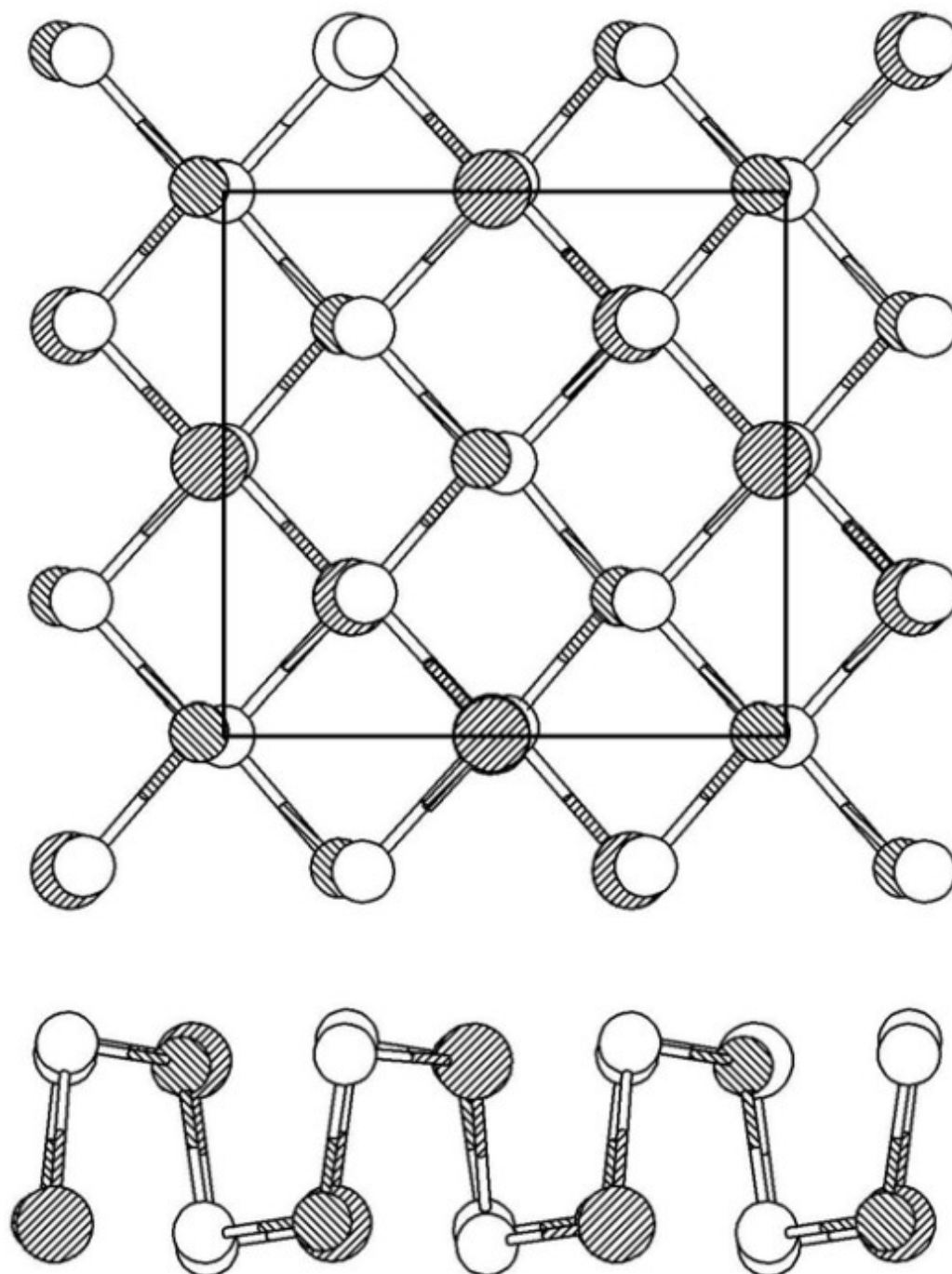
结构 2



基态
 $\Delta E = 0$

图 1d

结构 3



亚稳态

$$\Delta E = 23.04 \text{ meV/f.u.}$$

图 1e

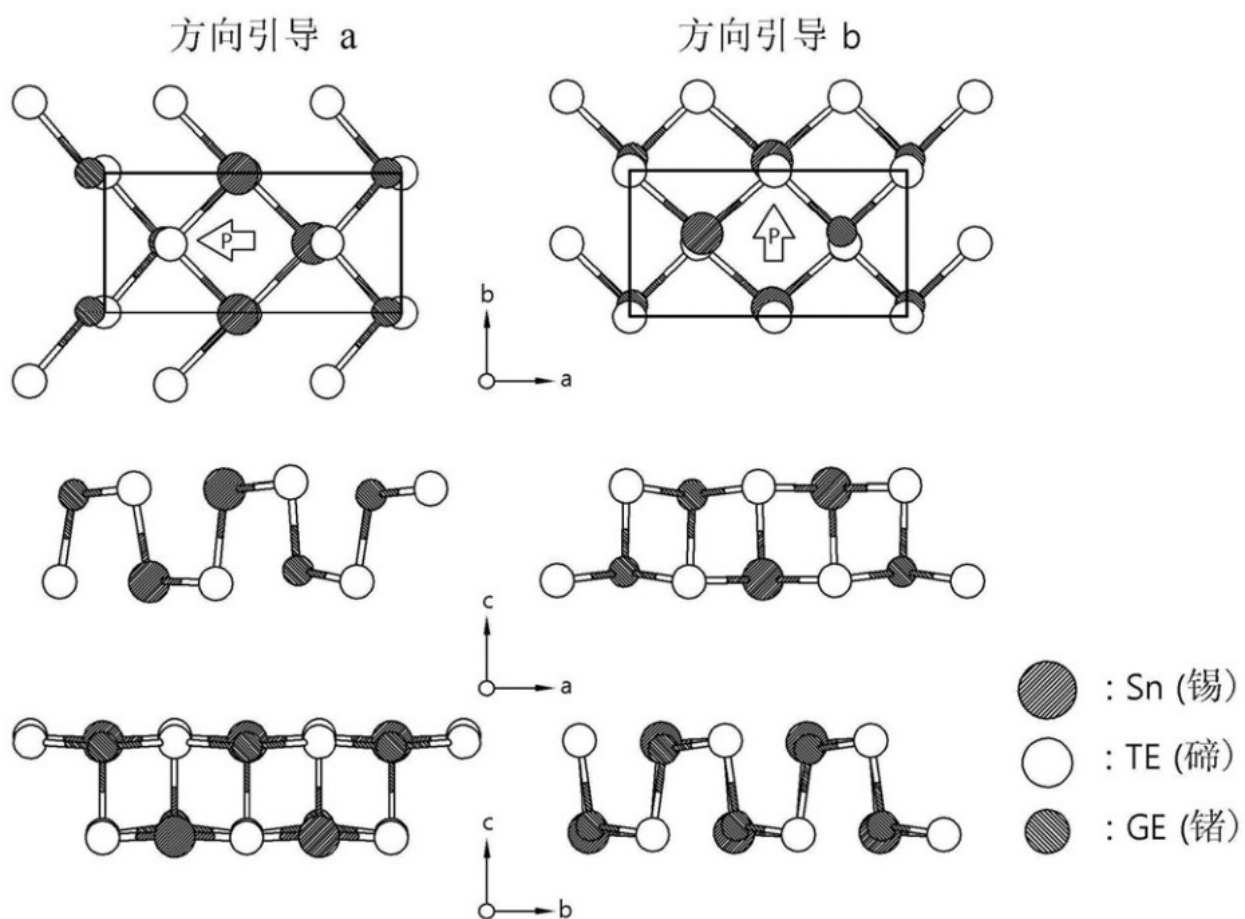


图 2

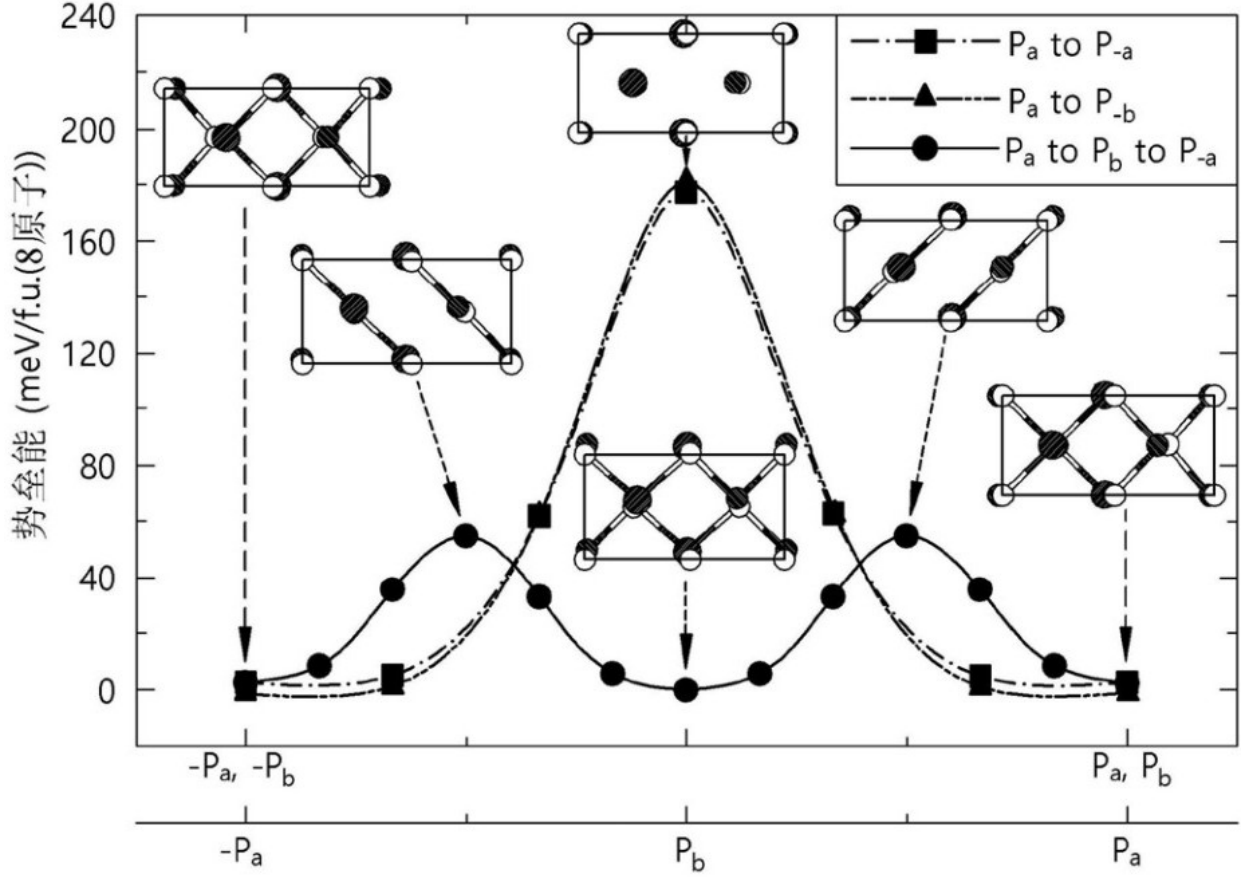


图 3

-1 状态

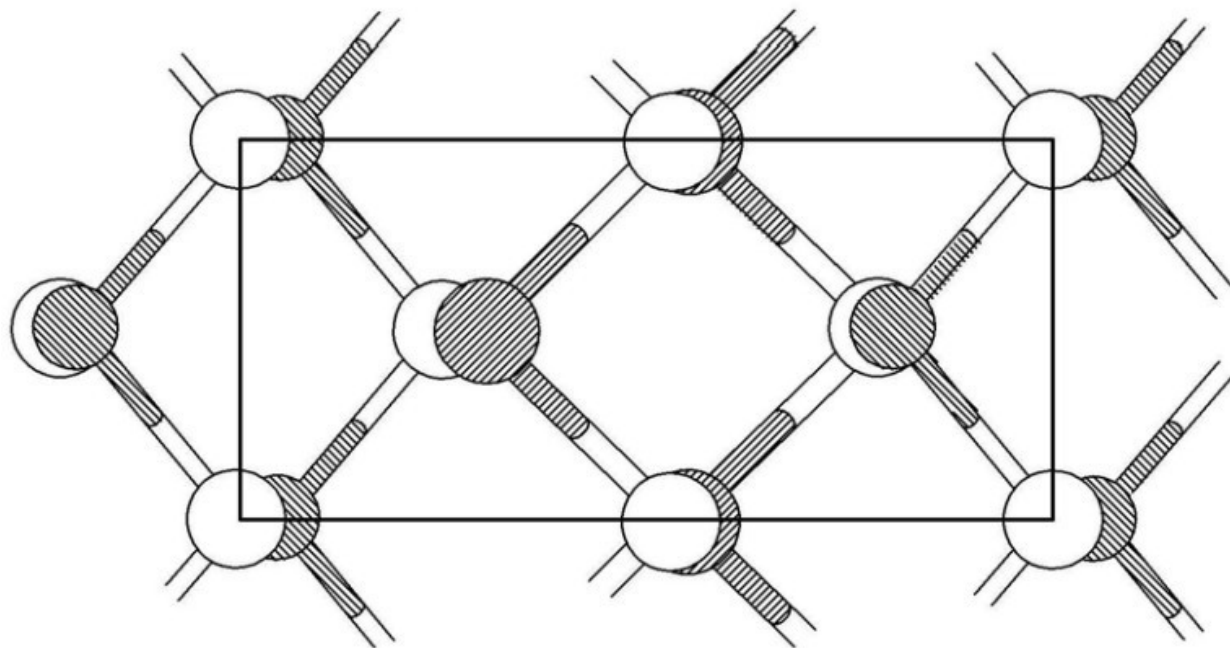


图 4a

0 状态

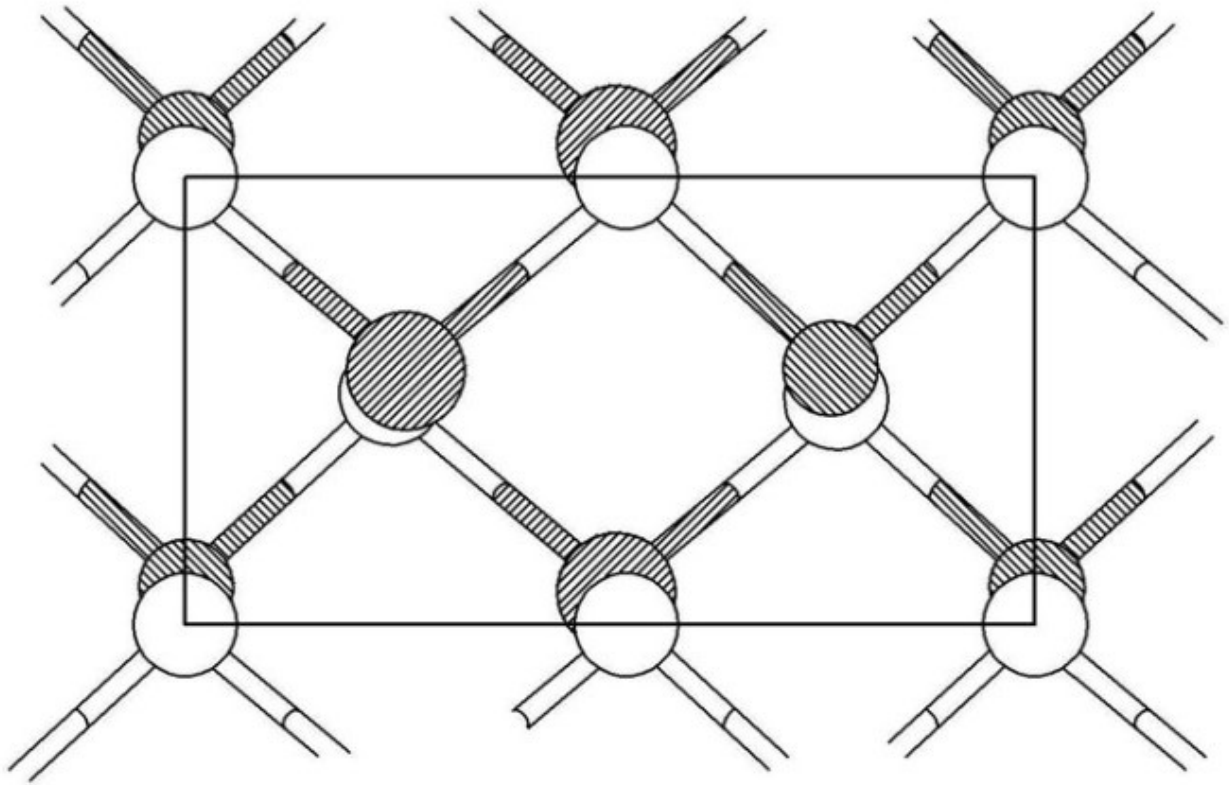


图 4b

1 状态

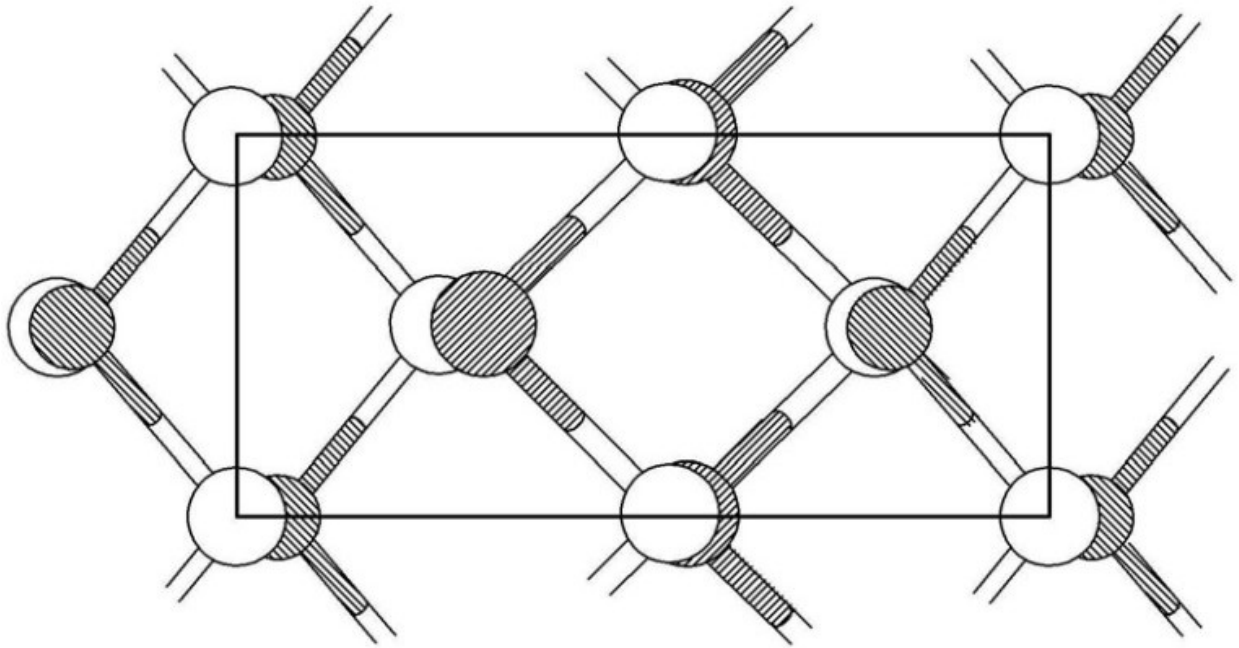


图 4c

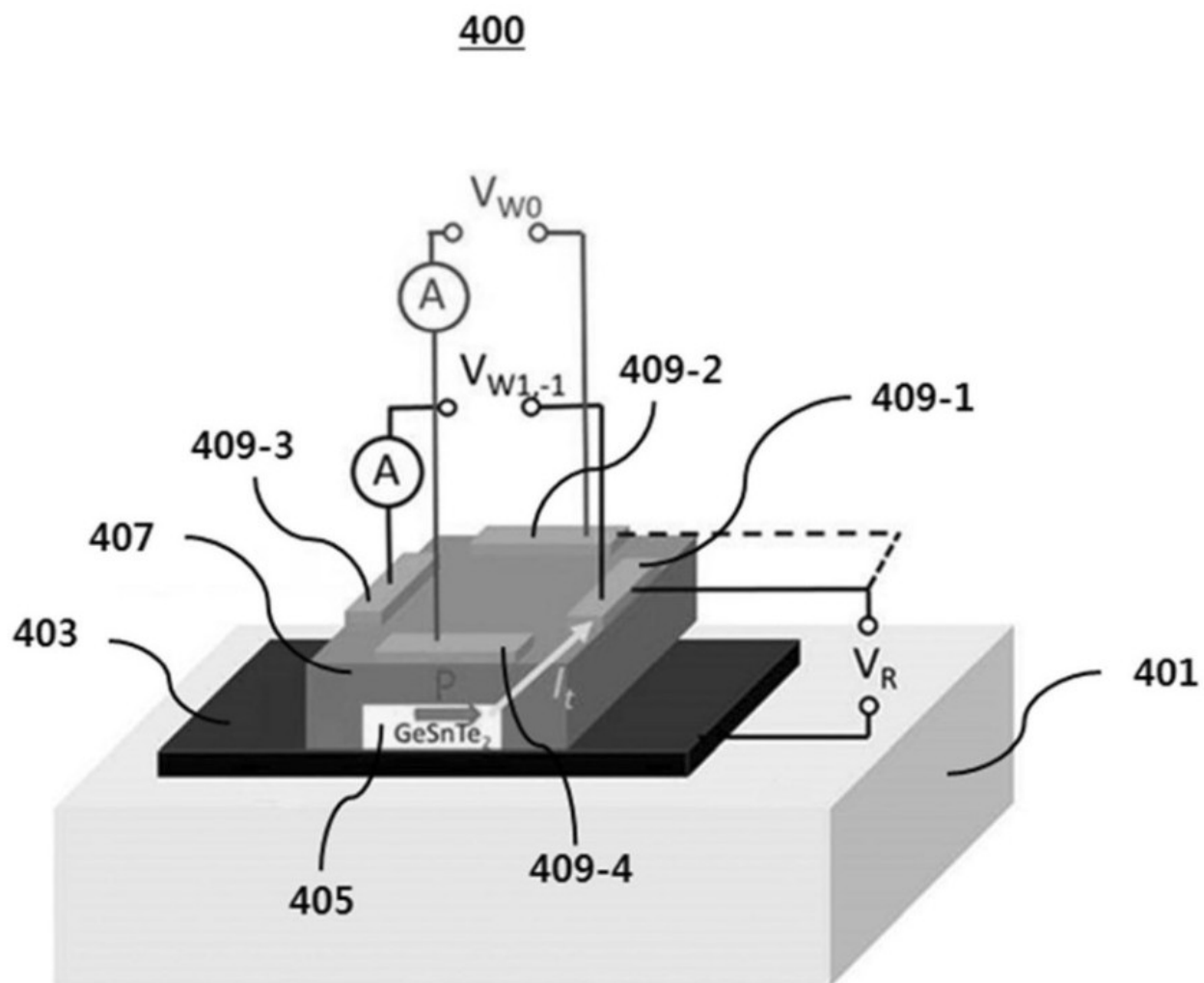


图 4d

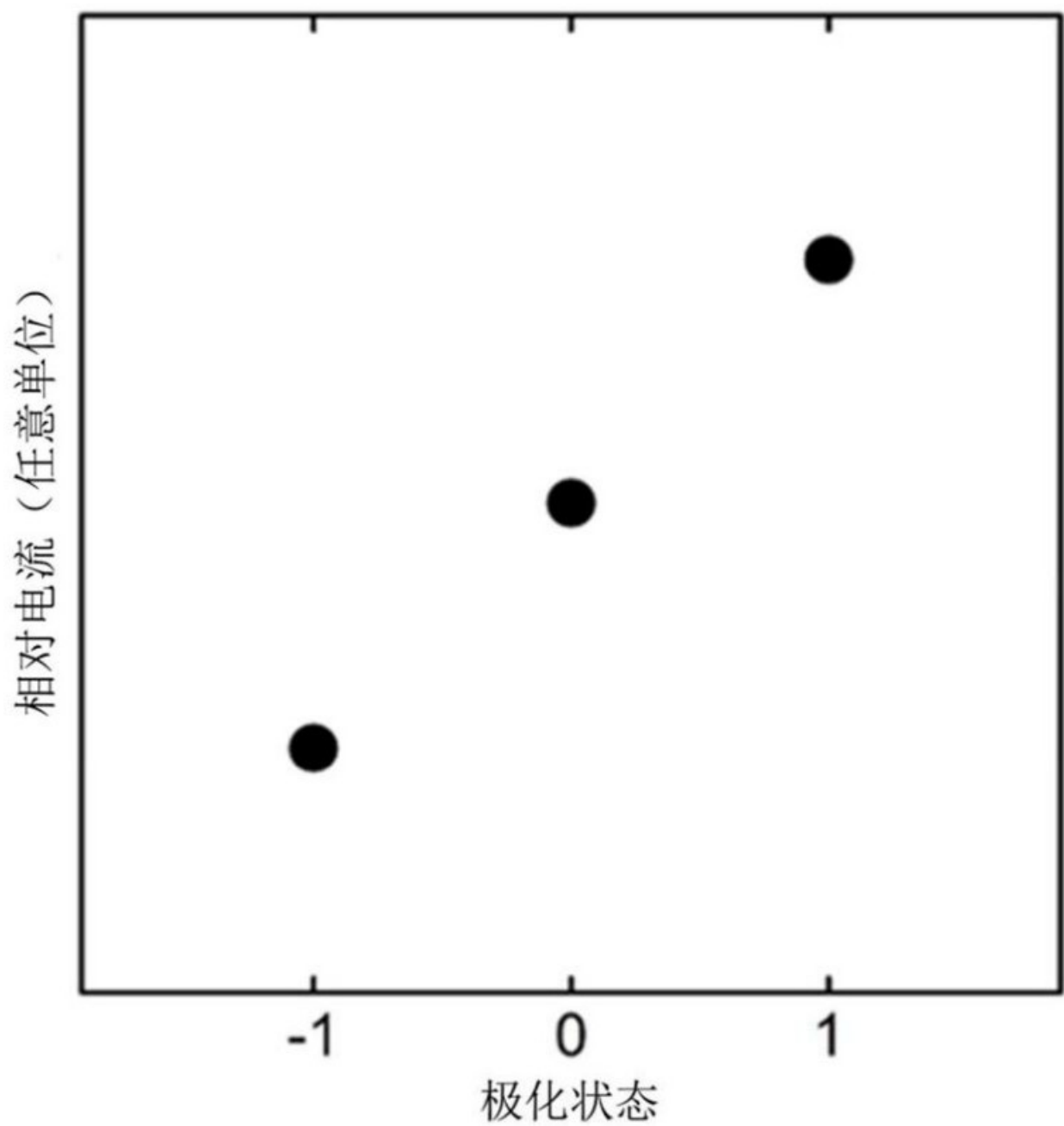


图 4e

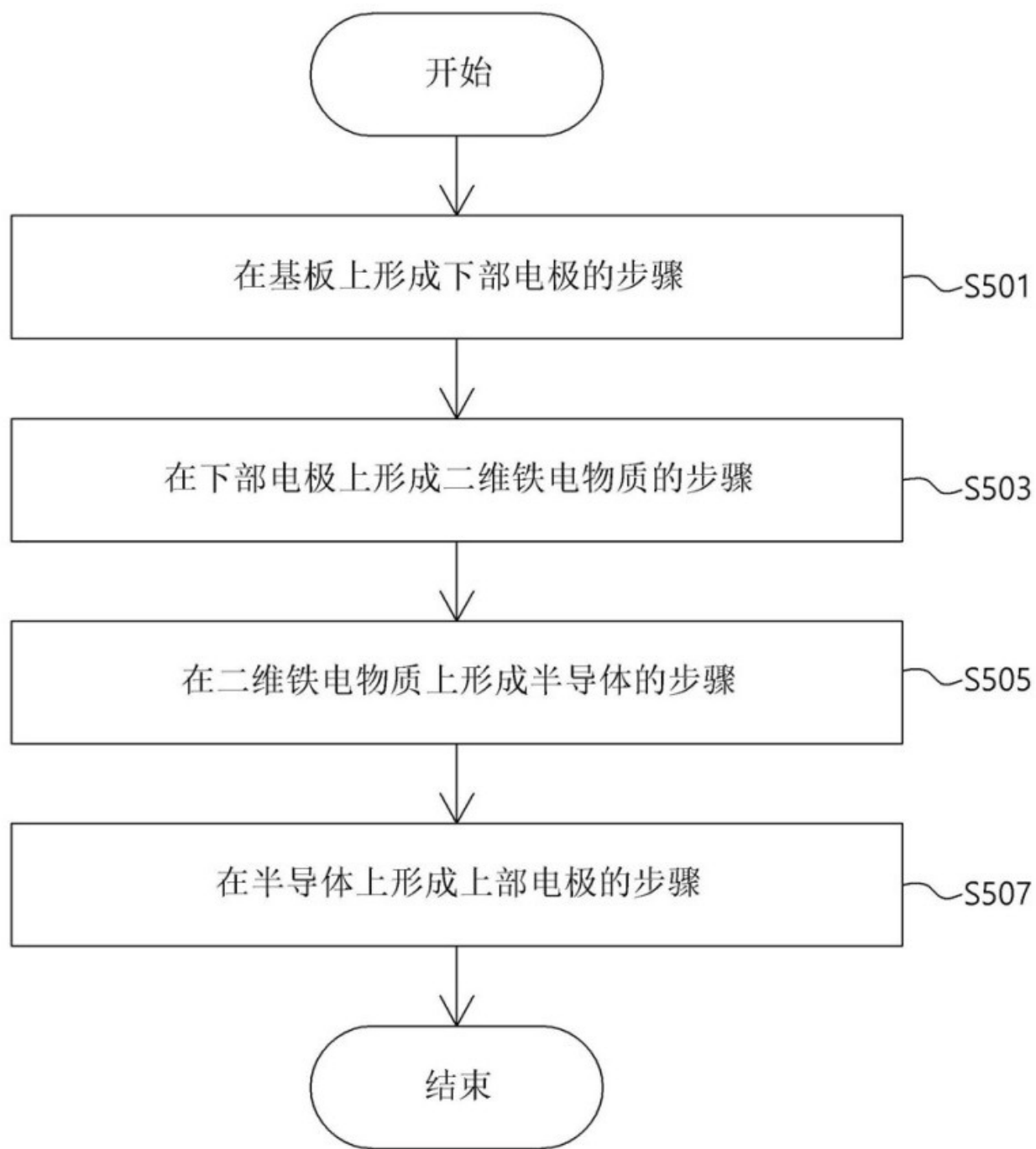


图 5