

[19] 中华人民共和国国家知识产权局



# [12] 发明专利申请公布说明书

[21] 申请号 200610145914.2

[51] Int. Cl.

H01L 27/108 (2006.01)

H01L 29/78 (2006.01)

H01L 21/8242 (2006.01)

H01L 21/336 (2006.01)

[43] 公开日 2007年10月31日

[11] 公开号 CN 101064312A

[22] 申请日 2006.11.23

[21] 申请号 200610145914.2

[30] 优先权

[32] 2006.4.28 [33] KR [31] 10-2006-0038826

[71] 申请人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 郑星雄 李相敦

[74] 专利代理机构 北京天昊联合知识产权代理有限公司

代理人 顾红霞 张天舒

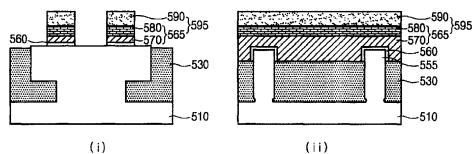
权利要求书4页 说明书9页 附图12页

## [54] 发明名称

具有鳍形通道晶体管的半导体器件

## [57] 摘要

本发明公开了一种半导体器件，该半导体器件包括形成在半导体基板中的器件隔离结构以限定有源区，该有源区在其侧壁的下部具有凹陷区。该半导体器件另外具有：鳍形通道区，其沿着栅极区的纵向突出在该器件隔离结构之上；栅极绝缘膜，其形成在包括该突出的鳍形通道区的半导体基板之上；以及栅极电极，其形成在该栅极绝缘膜之上以填充该突出的鳍形通道区。



1. 一种半导体器件，包括：

器件隔离结构，其形成在半导体基板中以限定有源区，所述有源区在其侧壁的下部具有凹陷区；

鳍形通道区，其沿着栅极区的纵向突出在所述器件隔离结构之上；

栅极绝缘膜，其形成在包括所述突出的鳍形通道区的半导体基板之上；以及

栅极电极，其形成在所述栅极绝缘膜之上以填充所述突出的鳍形通道区。

2. 根据权利要求1所述的半导体器件，其中，

所述凹陷区包括存储节点区的一部分以及沿着所述有源区的纵向与所述存储节点区相邻的通道区。

3. 根据权利要求1所述的半导体器件，还包括：

形成在硅层上的源极/漏极区，所述硅层是利用在所述栅极电极两侧的半导体基板作为晶种层来加以生长的。

4. 一种用于制造半导体器件的方法，所述方法包括：

在半导体基板中形成器件隔离结构以形成有源区，所述有源区在其侧壁的下部具有凹陷区；

利用限定栅极区的凹式栅极掩膜作为蚀刻掩膜来蚀刻所述器件隔离结构，以形成突出在所述器件隔离结构之上的鳍形通道区；

在包括所述突出的鳍形通道区的露出的半导体基板之上形成栅极绝缘膜；以及

形成包括栅极硬掩膜层图案与栅极电极的叠层结构的栅极结构，所述栅极结构填充在对应于所述栅极区的栅极绝缘膜之上的突出的鳍形通道区。

5. 根据权利要求 4 所述的方法，其中，  
形成所述器件隔离结构的步骤包括：  
蚀刻具有垫氧化物膜以及垫氮化物膜的半导体基板的预定区域，以形成限定有源区的沟槽；  
在包括所述沟槽的半导体基板之上形成第一绝缘膜；  
蚀刻所述第一绝缘膜以在所述沟槽的侧壁处形成第一间隙壁；  
利用所述第一间隙壁作为蚀刻掩膜来蚀刻在所述沟槽的底部露出的半导体基板，以形成其中所述半导体基板被移除的底切空间；以及  
形成器件隔离结构，所述器件隔离结构填充包括所述底切空间的沟槽。

6. 根据权利要求 5 所述的方法，其中，  
所述第一绝缘膜选自氮化硅膜、氧化硅膜、硅膜及其组合所构成的群组，其中所述第一绝缘膜的厚度范围是从大约 1nm 至大约 100nm。

7. 根据权利要求 5 所述的方法，其中，  
所述第一绝缘膜是借助 CVD 方法或 ALD 方法而形成的。

8. 根据权利要求 5 所述的方法，其中，  
用于形成所述第一间隙壁的蚀刻工序是借助等离子蚀刻方法而执行的，所述等离子蚀刻方法利用选自  $C_xF_yH_z$ 、 $O_2$ 、 $HCl$ 、 $Ar$ 、 $He$  及其组合所构成的群组的气体。

9. 根据权利要求 5 所述的方法，其中，  
用于形成所述底切空间的蚀刻工序是利用  $HCl$  与  $H_2$  的混合气体并且在大约  $500^\circ C$  至大约  $1000^\circ C$  的温度范围内执行的。

10. 根据权利要求 5 所述的方法，还包括：  
移除所述垫氮化物膜以及所述垫氧化物膜。

11. 根据权利要求 4 所述的方法，其中，  
形成所述器件隔离结构的步骤包括：  
在所述半导体基板之上形成 SiGe 层；  
移除所述 SiGe 层的预定区域以露出所述半导体基板；  
利用所述露出的半导体基板作为晶种层来生长硅层以填充所述 SiGe 层；  
在所述硅层之上形成垫氧化物膜以及垫氮化物膜；  
利用器件隔离掩膜来蚀刻所述垫氮化物膜、垫氧化物膜、硅层、SiGe 层以及半导体基板，以形成限定有源区的沟槽，其中所述 SiGe 层在所述沟槽的侧壁处露出；  
移除在所述沟槽的侧壁处露出的 SiGe 层，以形成在所述有源区之下的底切空间；以及  
形成所述器件隔离结构，所述器件隔离结构填充包括所述底切空间的沟槽。

12. 根据权利要求 11 所述的方法，其中，  
用于所述 SiGe 层的移除工序是借助干式蚀刻方法而执行的。

13. 根据权利要求 11 所述的方法，其中，  
所述 SiGe 层的蚀刻速率至少为所述半导体基板的蚀刻速率的十倍。

14. 根据权利要求 4 所述的方法，其中，  
所述凹陷区包括存储节点区的一部分以及沿着所述有源区的纵向与所述存储节点区相邻的通道区。

15. 根据权利要求 4 所述的方法，还包括：

在所述半导体基板与所述器件隔离结构的界面处形成热氧化物膜。

16. 根据权利要求 15 所述的方法，其中，  
所述热氧化物膜是利用选自  $H_2O$ 、 $O_2$ 、 $H_2$ 、 $O_3$  及其组合所构成的群组的气体并且在大约  $200^\circ C$  至大约  $1000^\circ C$  的温度范围内形成的。

17. 根据权利要求 4 所述的方法，其中，  
所述栅极绝缘膜是利用选自  $O_2$ 、 $H_2O$ 、 $O_3$  及其组合所构成的群组的气体而形成的，其中所述栅极绝缘膜的厚度范围是从大约  $1nm$  至大约  $10nm$ 。

18. 根据权利要求 4 所述的方法，其中，  
所述栅极绝缘膜选自氧化硅膜、氧化钪膜、氧化铝膜、氧化锆膜、氮化硅膜及其组合所构成的群组，其中所述栅极绝缘膜的厚度范围是从大约  $1nm$  至大约  $20nm$ 。

19. 根据权利要求 4 所述的方法，其中，  
所述栅极电极包括下部栅极电极与上部栅极电极的叠层结构，其中所述下部栅极电极由掺杂包括 P 或 B 的杂质离子的多晶硅层所形成，并且所述上部栅极电极包括选自 Ti 层、TiN 层、W 层、Al 层、Cu 层、 $WSi_x$  层及其组合所构成的群组中之一。

20. 根据权利要求 4 所述的方法，还包括：  
利用在所述栅极结构两侧的半导体基板作为晶种层来形成硅层；以及  
将杂质离子植入到所述硅层中，以形成源极/漏极区。

21. 根据权利要求 20 所述的方法，其中，  
所述硅层的厚度范围是从大约  $200\text{\AA}$  至大约  $1000\text{\AA}$ 。

## 具有鳍形通道晶体管的半导体器件

### 技术领域

本发明涉及一种存储器件。更具体而言，本发明涉及一种具有鳍形通道晶体管的半导体器件以及一种用于制造该半导体器件的方法。

### 背景技术

当单元晶体管的通道长度缩短时，单元通道区的离子浓度通常会增高，以便维持该单元晶体管的临界电压。该单元晶体管的源极/漏极区中的电场被增强，从而增加了漏电流。这将导致 DRAM 结构的刷新特性的劣化。因此，需要其中刷新特性有所改善的半导体器件。

图 1 是半导体器件的简化布局。该半导体器件包括有源区 101 以及栅极区 103。该有源区由器件隔离结构 130 来加以限定。

图 2a 至 2c 是示出用于制造半导体器件的方法的简化横截面图，其中图 2a 至 2c 是沿着图 1 的线 I-I' 所截取的横截面图。利用器件隔离掩膜(未显示)蚀刻具有垫绝缘膜(未显示)的半导体基板 210，以形成限定鳍式有源区 220 的沟槽(未显示)。形成用于器件隔离的绝缘膜(未显示)以填充该沟槽。对该用于器件隔离的绝缘膜进行抛光直到该垫绝缘膜露出以形成器件隔离结构 230 为止。接着，去除该垫绝缘膜，以露出该鳍式有源区 220 的上表面。

参照图 2b，利用凹式栅极掩膜(未显示)蚀刻出该器件隔离结构 230 的预定厚度，该凹式栅极掩膜限定图 1 中所示的栅极区 103，以使得该鳍式有源区 220 的上部突出在该器件隔离结构 230 之上。

参照图 2c，栅极绝缘膜 260 形成在该突出的鳍式有源区 220 之上。栅极结构 295 形成在图 1 中所示的栅极区 103 的栅极绝缘膜 260 之上，以填充该突出的鳍式有源区 220，其中该栅极结构 295 包括栅极电极 265 与栅极硬掩膜层图案 290 的叠层结构。

图 3 是示出半导体器件的简化横截面图。如果将高于临界电压的电压施加至栅极，则反转层 IL 以及耗尽区 DR 形成在栅极绝缘膜 360 之下的半导体基板中。

根据上述用于制造半导体器件的常规方法，必须调整诸如栅极电位及单元通道结构的离子浓度等器件特性，以确保该器件具有所希望的关断特性，这会造成从存储节点至半导体基板的基体的漏电流增加。于是，由于该漏电流增加的缘故，所以难以获得适当的器件刷新特性。

## 发明内容

本发明的实施例涉及在有源区中具有鳍形通道晶体管的半导体器件，该有源区在其侧壁的下部具有凹陷区。根据一个实施例，该鳍形通道晶体管具有突出在器件隔离结构之上的鳍形通道区以及填充该鳍形通道区的栅极结构。

在本发明的一个实施例中，一种半导体器件包括形成在半导体基板中的器件隔离结构以限定有源区，该有源区在其侧壁的下部具有凹陷区。该半导体器件还包括沿着栅极区的纵向突出在该器件隔离结构之上的鳍形通道区；栅极绝缘膜，其形成在包括该突出的鳍形通道区的半导体基板之上；以及栅极电极，其形成在该栅极绝缘膜之上以填充该突出的鳍形通道区。

根据本发明的另一个实施例，一种用于制造半导体器件的方法包括：在半导体基板中形成器件隔离结构以形成有源区，该有源区在其侧壁的下部具有凹陷区；利用限定栅极区的凹式栅极掩膜作为蚀刻掩膜来蚀刻该器件隔离结构，以形成突出在该器件隔离结构之上的鳍形通道区；在包括该突出的鳍形通道区的露出的半导体基板之上形成栅极绝缘膜；以及形成包括栅极硬掩膜层图案与栅极电极的叠层结构的栅极结构，该栅极结构填充在对应于该栅极区的栅极绝缘膜之上的突出的鳍形通道区。

## 附图说明

图 1 是常规半导体器件的简化布局。

图 2a 至 2c 是示出用于制造半导体器件的常规方法的简化横截面图。

图 3 是常规半导体器件的简化横截面图。

图 4 是根据本发明的一个实施例的半导体器件的简化布局。

图 5 与 6 是根据本发明的一个实施例的半导体器件的简化横截面图。

图 7a 至 7e 是示出根据本发明一个实施例的用于制造半导体器件的方法的简化横截面图。

图 8a 至 8d 是示出根据本发明另一个实施例的用于制造半导体器件的方法的简化横截面图。

## 具体实施方式

本发明涉及在有源区中具有鳍形通道晶体管的半导体器件，该有源区在其侧壁的下部具有凹陷区。该鳍形通道晶体管具有突出在器件隔离结构之上的鳍形通道区以及填充该鳍形通道区的栅极结构。于是，该鳍形通道晶体管由于避免漏电流从存储节点流向半导体基板的基体而提供显著改善的刷新特性，并且因为在受到限制的耗尽区中的电荷的缘故而提供改善的短通道效应（“SCE”）。

图 4 是根据本发明一个实施例的半导体器件的简化布局。该半导体器件包括有源区 401 以及栅极区 403。器件隔离结构 430 限定该有源区 401。

图 5 是根据本发明一个实施例的由半导体基板 510 所形成的半导体器件的简化横截面图，其中图 5(i) 是沿着根据图 4 的线 I-I' 的横向所截取的横截面图，图 5(ii) 是沿着根据图 4 的线 II-II' 的纵向所截取的横截面图。器件隔离结构 530 限定图 4 中所示的有源区 401，该有源区 401 在其侧壁的下部具有凹陷区。该凹陷区包括图 6 中所示存储节点接面区域 607 的一部分以及与该存储节点接面区域 607 相邻的通道区 609。鳍形通道区 555 沿着图 4 中所示的栅极区 403 的纵向突出在该器件隔离结构 530 之上。栅极绝缘膜 560 形成在图 4 中所示



的包括该突出的鳍形通道区 555 的有源区 401 之上。栅极结构 595 形成在图 4 中所示的栅极区 403 的栅极绝缘膜 560 之上,以填充该突出的鳍形通道区 555。在此,该栅极结构 595 包括栅极电极 565 与栅极硬掩膜层图案 590 的叠层结构。栅极电极 565 包括下部栅极电极 570 与上部栅极电极 580 的叠层结构。在本发明的一个实施例中,栅极绝缘膜 560 利用  $O_2$ 、 $H_2O$ 、 $O_3$  及其组合而形成,栅极绝缘膜 560 的厚度范围是从大约 1nm 至大约 10nm。此外,下部栅极电极 570 包括掺杂诸如 P 或 B 等杂质的多晶硅。上部栅极电极 580 包括选自钛(Ti)层、氮化钛(TiN)膜、钨(W)层、铝(Al)层、铜(Cu)层、硅化钨( $WSi_x$ )层及其组合所构成的群组中之一。在另一实施例中,栅极绝缘膜 560 选自氮化硅膜、氧化钪膜、氧化铝膜、氧化锆膜、氮化硅膜及其组合所构成的群组中之一,栅极绝缘膜 560 的厚度范围是从大约 1nm 至大约 20nm。

图 6 是根据本发明一个实施例的半导体器件的透视横截面图。该图显示包括图 4 中所示的有源区 401 的鳍形通道区,该有源区 401 在其侧壁的下部具有凹陷区。在此,该凹陷区包括存储节点接面区域 607 的一部分以及与该存储节点接面区域 607 相邻的通道区 609。

参照图 6,深度 D 是从该存储节点接面区域 607 下方的半导体基板 610 至该鳍形通道区的底部的深度。该距离 D 至少为 0(即  $0 \leq D < H$ ),以避免存储节点直接连接到半导体基板 610 的基体。尽管该距离 D 小于 0(即  $-1/2T \leq D < 0$ ),仍然可预期避免结电容及结漏电流,这是因为在该存储节点接面区域 607 之下的半导体基板 610 是凹陷的缘故。距离 X 是半导体基板 610 沿着图 4 中所示的有源区 401 的纵向被移除的距离。该距离 X 包括存储节点接面区域 607 的一部分以及与该存储节点接面区域 607 相邻的通道区 609。此外,该距离 X 可以从存储节点接面区域 607 延伸到相邻的通道区 609。深度 T 是存储节点接面区域 607 的半导体基板 610 的深度。事实上,该深度 T 与图 5 中所示的鳍形通道区 555 的深度相同。于是,深度 T 可以考虑通道区的尺寸或是操作的电流量来加以调整。深度 H 是图 4 中所示的有源区 401 之下的凹陷的半导体基板 610 的深度。深度 H 至少大于深度 D。

在本发明的一个实施例中，该存储节点并未直接连接半导体基板 610 的基体，以避免栅极感应的漏极泄漏 (“GIDL”) 电流流入该半导体基板 610 的基体，该 GIDL 电流由于该存储节点与栅极电压而发生。于是，可以避免减少存储节点中所存储的电荷。此外，栅极通道形成在图 5 中所示的鳍形通道区 555 处，以获得充分的通道区。于是，可预期改善该器件的短通道效应 (“SCE”)。

图 7a 至 7e 是示出根据本发明一个实施例的用于制造半导体器件的方法的简化横截面图，其中图 7a(i) 至 7e(i) 是沿着根据图 4 的线 I-I' 的横向所截取的横截面图，而图 7a(ii) 至 7e(ii) 是沿着根据图 4 的线 II-II' 的纵向所截取的横截面图。垫氧化物膜 713 以及垫氮化物膜 715 形成在半导体基板 710 之上。利用器件隔离掩膜 (未显示) 作为蚀刻掩膜而蚀刻该垫氮化物膜 715、垫氧化物膜 713 以及半导体基板 710，以形成限定图 4 中所示的有源区 401 的第一沟槽 717。第一绝缘膜 (未显示) 形成在制品的整个表面上 (即，第一沟槽 717 以及半导体基板 710 之上)。蚀刻第一绝缘膜以在第一沟槽 717 的侧壁处形成第一间隙壁 733。在本发明的一个实施例中，第一绝缘膜选自氮化硅膜、氧化硅膜、硅膜及其组合所构成的群组，其借助化学气相沉积 (“CVD”) 方法或是原子层沉积 (“ALD”) 方法来形成。第一绝缘膜的厚度范围是从大约 1nm 至 100nm。此外，用于第一绝缘膜的蚀刻工序是借助干式蚀刻方法而执行的。尤其是，用于形成第一间隙壁 733 的蚀刻工序是借助等离子蚀刻方法而执行的，该等离子蚀刻方法利用选自  $C_xF_yH_z$ 、 $O_2$ 、 $HCl$ 、 $Ar$ 、 $He$  及其组合所构成的群组中之一。

参照图 7b，蚀刻在第一沟槽 717 之下露出的半导体基板 710 以形成第二沟槽 723，该第二沟槽 723 包括底切空间 740，其中在预定区域之下的半导体基板 710 被移除。在本发明的一个实施例中，用于形成该第二沟槽 723 的蚀刻工序是这样执行的：即，在大约  $500^\circ C$  至大约  $1000^\circ C$  的温度范围内，借助将第一沟槽 717 之下露出的半导体基板 710 暴露在  $HCl$  及  $H_2$  的混合气体的氛围下执行的。此外，该预定区域包括图 6 中所示的存储节点接面区域 607 的一部分以及与该存储节点接面区域 607 相邻的通道区 609。在此，该底切空间 740 在

用于半导体基板 710 的移除工序期间,根据硅晶面的不同蚀刻速率而形成。尤其是,由于半导体基板 710 沿着图 4 中所示有源区 401 的纵向的蚀刻速率相对快于任何晶面的蚀刻速率,因此可以形成其中在预定区域之下的半导体基板 710 被移除的底切空间 740。

参照图 7c,移除第一间隙壁 733。形成用于器件隔离的绝缘膜(未显示)以填充包括底切空间 740 的第二沟槽 723。接着,对该用于器件隔离的绝缘膜进行抛光,直到该垫氮化物膜 715 露出以形成器件隔离结构 730 为止。在本发明的一个实施例中,在没有用于第一间隙壁 733 的移除工序的条件下,可形成该用于器件隔离的绝缘膜以填充包括底切空间 740 的第二沟槽 723。此外,可进一步在器件隔离结构 730 以及包括底切空间 740 的第二沟槽 723 的界面处形成热氧化物膜(未显示)。在此,半导体基板 710 暴露在选自  $H_2O$ 、 $O_2$ 、 $H_2$ 、 $O_3$  及其组合所构成的群组的气体并且在大约  $200^{\circ}C$  至大约  $1000^{\circ}C$  的温度范围内,以形成该热氧化物膜。在另一实施例中,用于器件隔离的绝缘膜是借助高密度等离子(“HDP”)方法或 CVD 方法而由氧化硅膜所形成的。此外,用于形成器件隔离结构 730 的抛光工序借助化学机械平坦化(“CMP”)方法而执行。

参照图 7d,利用限定图 4 中所示栅极区 403 的凹式栅极掩膜(未显示)而蚀刻预定厚度的器件隔离结构 730,以形成露出该有源区 401 上方的侧壁处的凹陷区 735。在此,该凹陷区 735 限定突出在该器件隔离结构 730 之上的鳍形通道区 755。在本发明的一个实施例中,可以利用限定图 4 中所示栅极区 403 的凹式栅极掩膜而蚀刻该垫氮化物膜 715、垫氧化物膜 713 以及预定厚度的器件隔离结构 730,以沿着该栅极区 403 的纵向形成露出该有源区 401 上方的侧壁处的凹陷区 735。此外,用于该器件隔离结构 730 的蚀刻工序是借助干式蚀刻方法而执行的。

参照图 7e,移除图 7d 中所示的垫氮化物膜 715 以及垫氧化物膜 713 以露出包括鳍形通道区 755 的半导体基板 710。栅极绝缘膜 760 形成在该露出的半导体基板 710 之上。形成下部栅极导电层(未显示)以填充包括鳍形通道区 755 的凹陷区 735。上部栅极导电层(未显示)

以及栅极硬掩膜层(未显示)形成在该下部栅极导电层之上。该栅极硬掩膜层、上部栅极导电层、下部栅极导电层以及栅极绝缘膜 760 利用栅极掩膜(未显示)来形成图案,以形成栅极结构 795,该栅极结构 795 包括栅极电极 765 与栅极硬掩膜层图案 790 的叠层结构。在本发明的一个实施例中,在用于形成该栅极绝缘膜 760 的工序之前,可以进一步执行利用包括 HF 的溶液来清洗该露出的半导体基板 710 的表面的工序。此外,用于垫氮化物膜 715 以及垫氧化物膜 713 的移除工序是利用  $H_3PO_4$  的湿式蚀刻方法而执行的。栅极绝缘膜 760 是利用选自  $O_2$ 、 $H_2O$ 、 $O_3$  及其组合所构成的群组中之一而形成的,其中该栅极绝缘膜 760 的厚度范围是从大约 1nm 至大约 10nm。在另一实施例中,下部栅极导电层是由掺杂包括 P 或 B 的杂质的多晶硅层所形成的。在此,该掺杂的多晶硅层可以借助将杂质离子植入未掺杂的多晶硅层中或是利用硅气体源以及包括 P 或 B 的杂质气体源而形成。此外,上部栅极导电层选自钛(Ti)层、氮化钛(TiN)膜、钨(W)层、铝(Al)层、铜(Cu)层、硅化钨( $WSi_x$ )层及其组合所构成的群组。在其它实施例中,栅极绝缘膜 760 选自氧化硅膜、氧化钨膜、氧化铝膜、氧化钼膜、氮化硅膜及其组合所构成的群组,其中栅极绝缘膜 760 的厚度范围是从大约 1nm 至大约 20nm。另一方面,为了增加该器件的有效通道长度,硅层(未显示)利用在栅极结构 795 的两侧露出的半导体基板 710 作为晶种层来加以生长,其中该硅层的厚度范围是从大约 200Å 至大约 1000Å。将杂质离子植入该生长的硅层以形成源极/漏极区。因此,在通道区与源极/漏极区之间存在高度差。

此外,可以执行下述的后续工序:例如,用于形成栅极间隙壁的工序、用于形成连接插塞的工序、用于形成位线触点及位线的工序、用于形成电容器的工序以及用于形成互连电路的工序等。

图 8a 至 8d 是示出根据本发明另一个实施例的用于制造半导体器件的方法的简化横截面图。在该方法中,其中在有源区的侧壁的下部的半导体基板将在后续工序中被移除的凹陷区由 SiGe 层所形成,以便于轻易地移除对应于该凹陷区的半导体基板。在此,图 8a(i)至 8d(i)是沿着根据图 4 的线 I-I' 的横向所截取的横截面图,并且图

8a(ii)至8d(ii)是沿着根据图4的线II-II'的纵向所截取的横截面图。

参照图8a,在半导体基板810的表面上执行清洗工序。SiGe层819形成在该半导体基板810之上。该SiGe层819利用覆盖凹陷区的掩膜(未显示)而选择性地加以移除,以露出半导体基板810。硅层821利用该露出的半导体基板810作为晶种层而形成,以填充该SiGe层819。将垫氧化物膜813以及垫氮化物膜815形成在该硅层821之上。在本发明的一个实施例中,用于SiGe层819的移除工序是借助干式蚀刻方法而执行的。此外,该凹陷区包括图6中所示的存储节点接面区域607的一部分以及沿着图4中所示有源区401的纵向与该存储节点接面区域607相邻的通道区609。

参照图8b与8c,利用器件隔离掩膜(未显示)而蚀刻垫氮化物膜815、垫氧化物膜813、硅层821以及半导体基板810,以形成限定图4中所示的有源区401的沟槽。在此时,SiGe层819在该沟槽817的侧壁处露出。蚀刻在沟槽817的侧壁处露出的SiGe层以形成底切空间840。在本发明的一个实施例中,由于SiGe层819的蚀刻速率较快于半导体基板810的蚀刻速率,因此可以形成该底切空间840。此外,SiGe层819的蚀刻速率相对于半导体基板810的蚀刻速率的比率至少为10。

参照图8d,形成用于器件隔离的绝缘膜(未显示)以填充包括该底切空间840的沟槽817。对该用于器件隔离的绝缘膜进行抛光直到该垫氮化物膜815露出为止,以形成器件隔离结构830。在本发明的一个实施例中,可以进一步在该器件隔离结构830以及包括该底切空间840的沟槽817的界面处形成热氧化物膜(未显示)。在此,在大约200°C至大约1000°C的温度范围中,半导体基板810暴露在选自H<sub>2</sub>O、O<sub>2</sub>、H<sub>2</sub>、O<sub>3</sub>及其组合所构成的群组的气体中,以形成该热氧化物膜。此外,可以借助在图7d至7e中所示的用于制造半导体器件的方法来执行后续工序。

如上所述,具有有源区以及突出在器件隔离结构之上的鳍形通道区的半导体器件以及借助上述的方法制成的半导体器件可获得相

当大的驱动电流，其中该有源区在其侧壁的下部具有凹陷区。此外，在该存储节点之下的半导体基板被移除，以避免该存储节点直接连接到该半导体基板的基体，由此在结构上降低从存储节点流向基体的漏电流。于是，对于该器件的刷新特性有显著的改良。由于半导体器件具有鳍形通道区，因此其可以轻易地应用到根据设计规则缩小的半导体器件。于是，该器件的短通道效应可获得改善。由于漏极电压、基体效应以及栅极通/断特性所造成的临界电压降低也都可以获得改善。根据本发明，尽管半导体器件设计规则缩小，该半导体器件仍然具有能够确保相当大的器件通道区的可延伸性。

本发明以上实施例是示例性的而非限制性的。各种的替代及等同实施例都是可行的。本发明并不限于在此所述的沉积、蚀刻抛光以及图案化步骤的类型。本发明也不限于任何特定类型的半导体器件。例如，本发明可以应用于动态随机存取存储器(DRAM)器件或是非易失性存储器件中。其它的增加、减少或修改在考虑本案的披露内容之下都是明显的并且落入所附权利要求书的范围内。

本申请要求 2006 年 4 月 28 日提交的韩国专利申请号为 10-2006-0038826 的优先权，该韩国专利申请的全部内容以引用的方式并入本文。

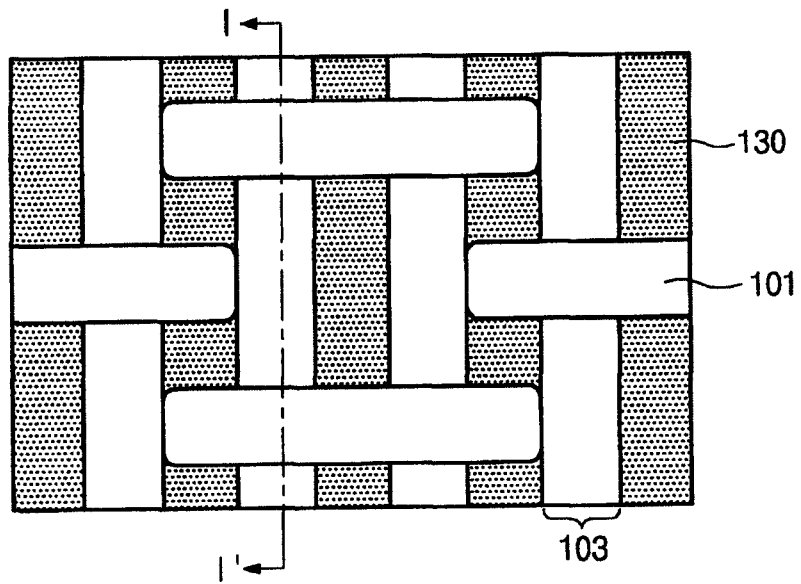


图 1  
(现有技术)

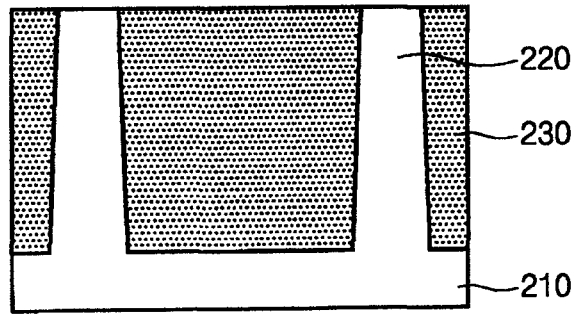


图 2a  
(现有技术)

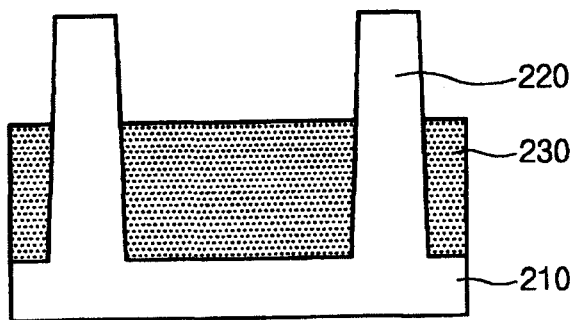


图 2b  
(现有技术)



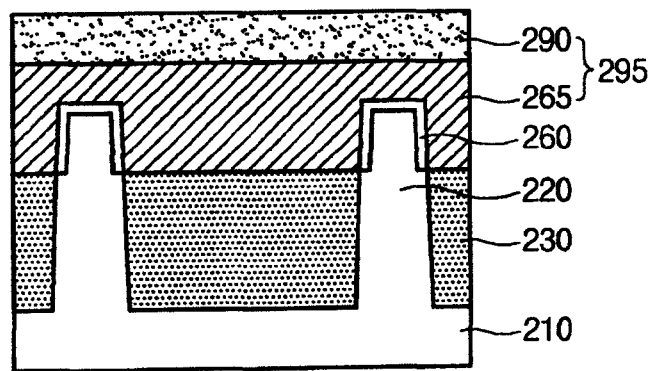


图 2c  
(现有技术)

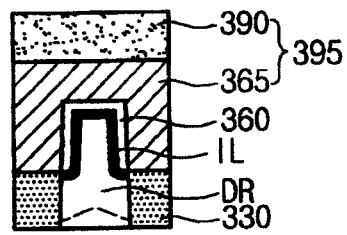


图 3  
(现有技术)

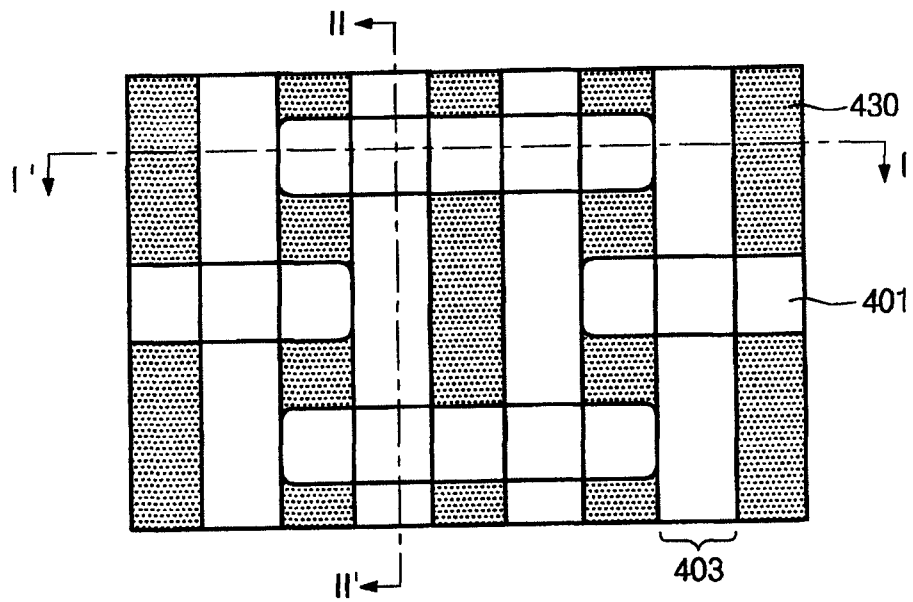
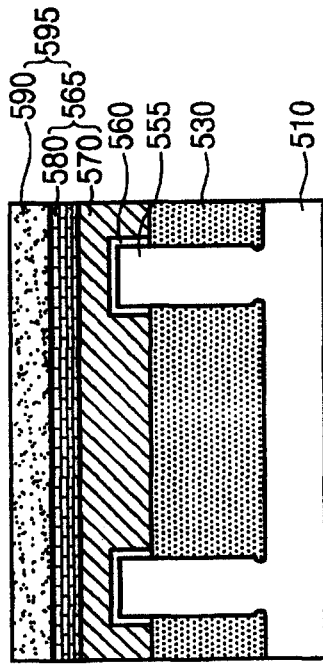
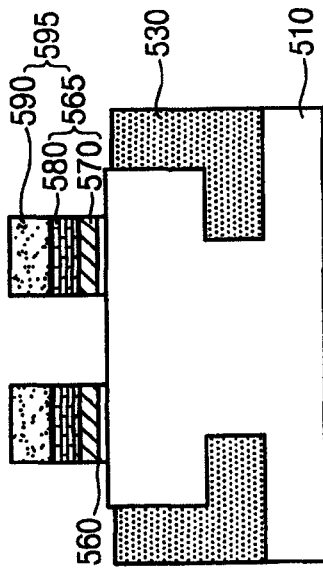


图 4



(ii)



(i)

图 5

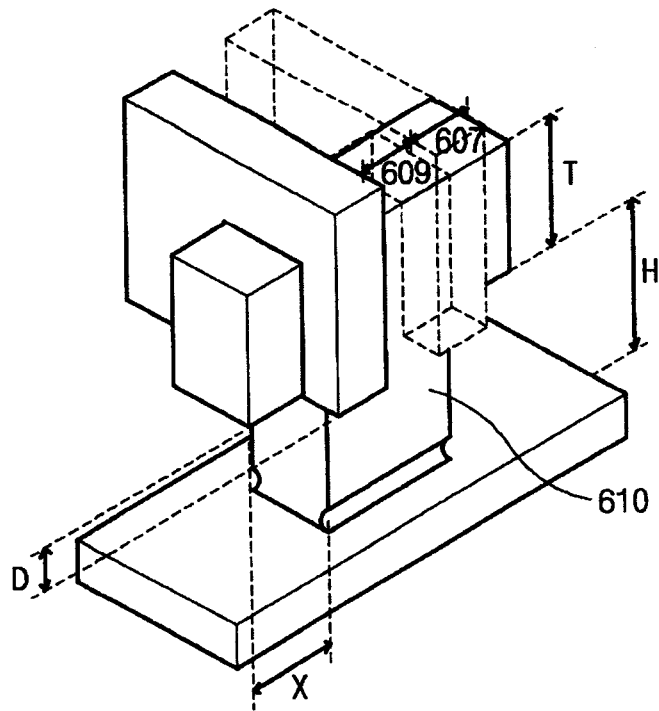


图 6

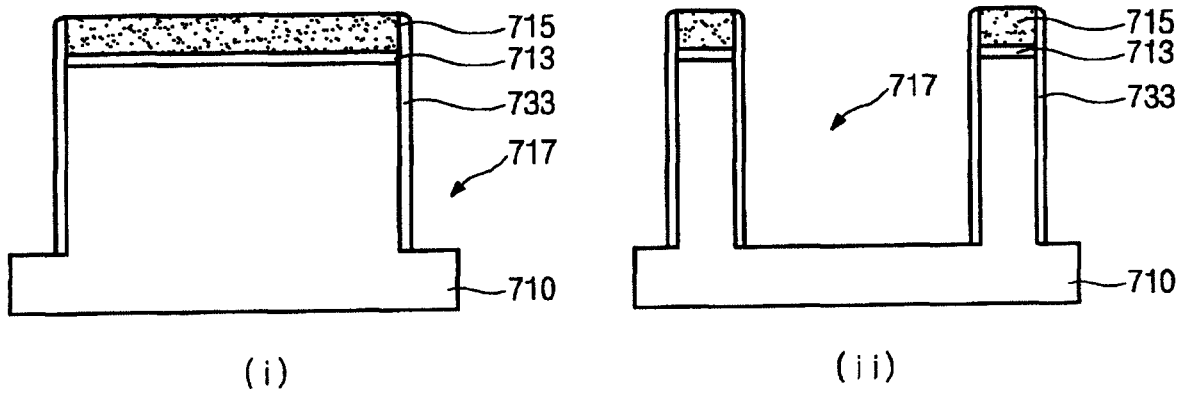


图 7a

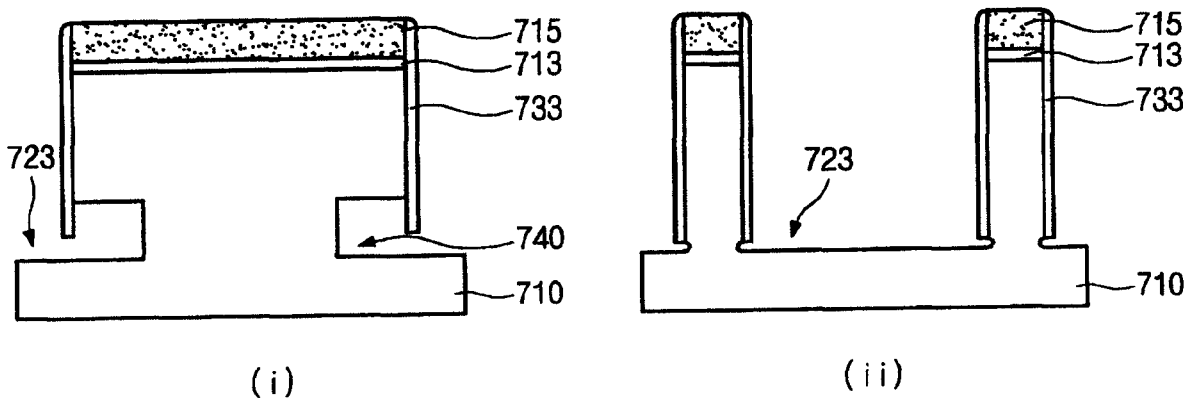


图 7b

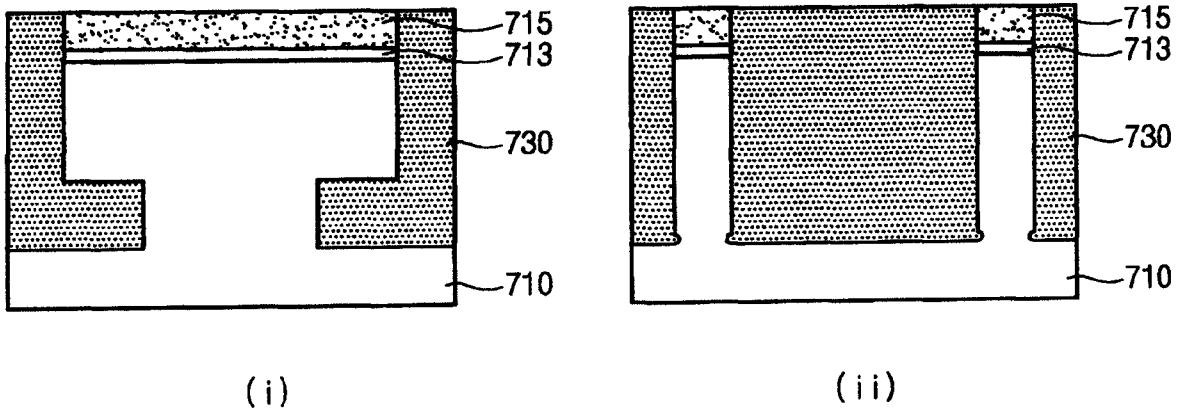


图 7c

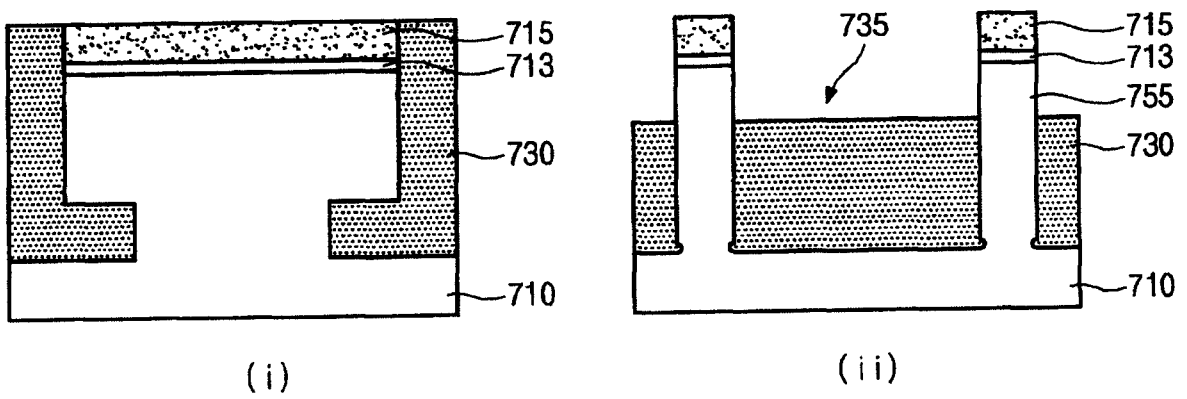
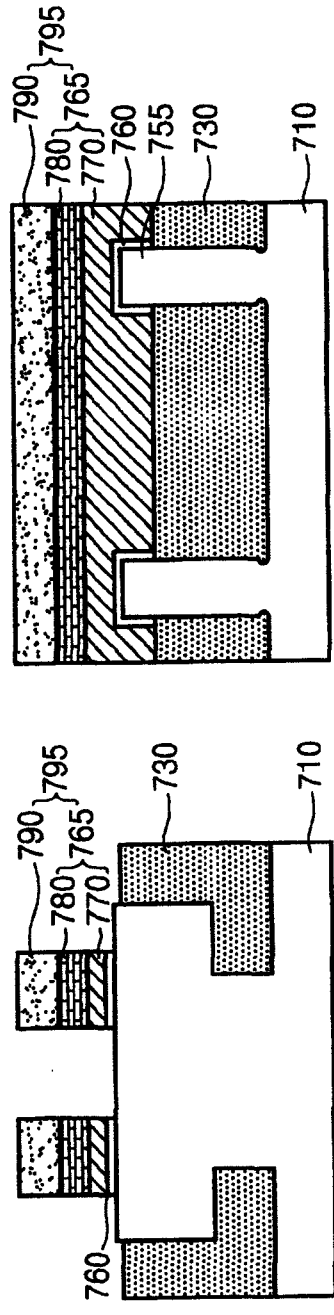


图 7d



(ii)

(i)

图 7e



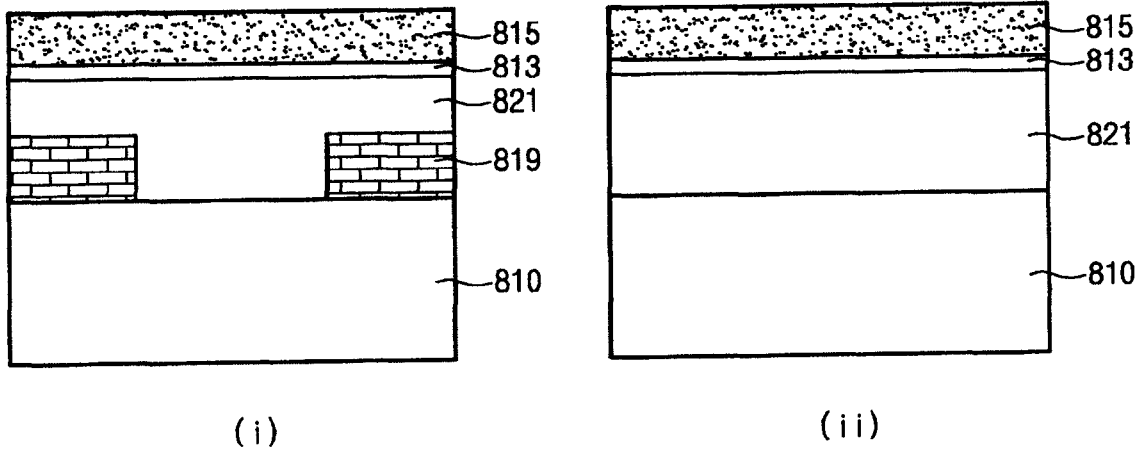


图 8a

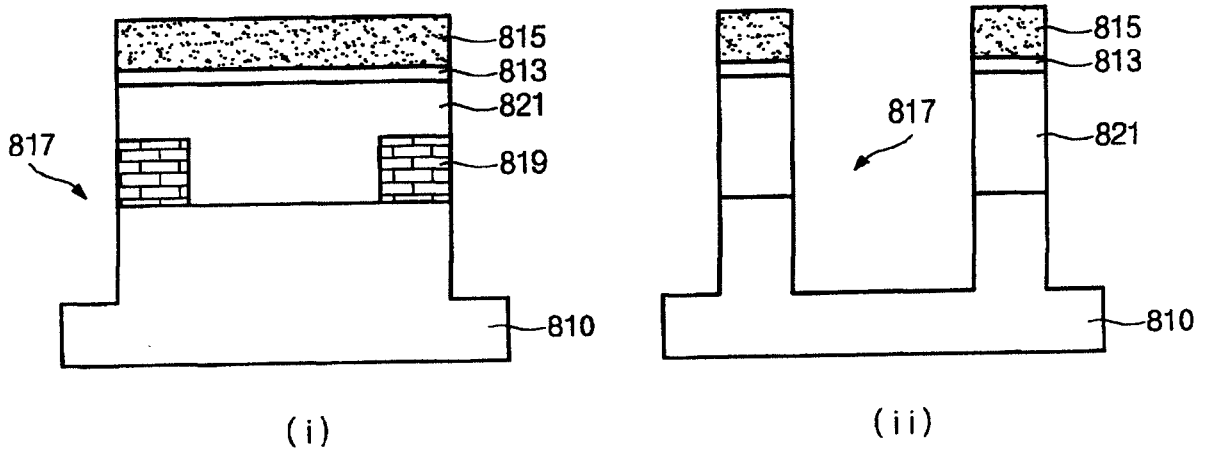


图 8b

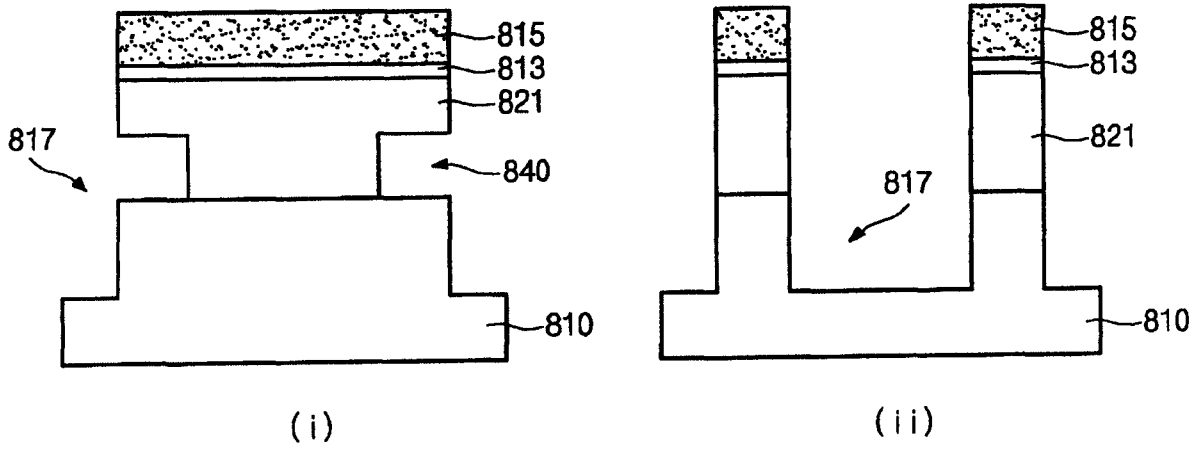


图 8c

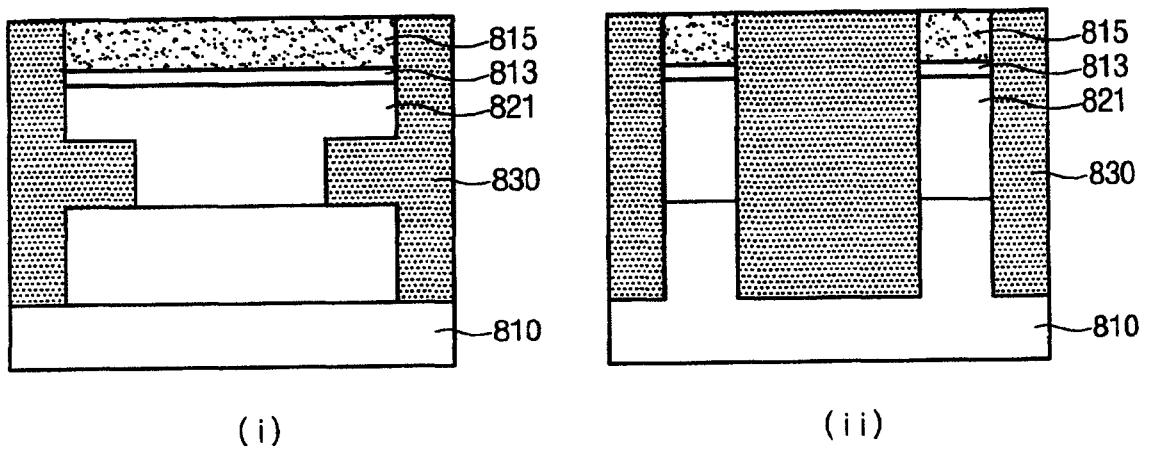


图 8d