

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 14.03.95.

30 Priorité : 29.06.94 GB 9413089.

71 Demandeur(s) : MITSUBISHI DENKI KABUSHIKI
 KAISHA KABUSHIKI KAISHA — JP et APRICOT
 COMPUTER LIMITED — GB.

43 Date de la mise à disposition du public de la
 demande : 05.01.96 Bulletin 96/01.

56 Liste des documents cités dans le rapport de
 recherche préliminaire : Ce dernier n'a pas été
 établi à la date de publication de la demande.

72 Inventeur(s) : KOBAYASHI SATOSHI, YOKOI
 TOSHIKAZU, TAKAHARI KUNIO, NAKAMURA
 YOICHI, ISHIKAWA JUNICHI, BRUCE NIGEL,
 WRIGHT DAVID et HOUGH COLIN.

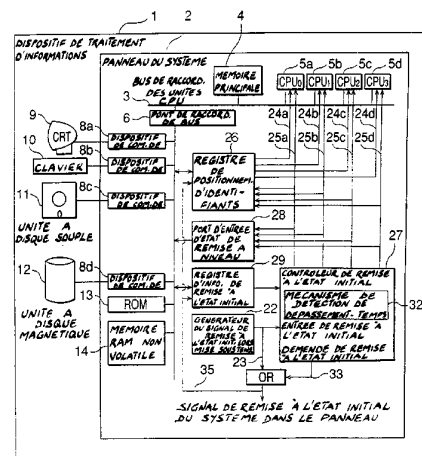
60 Références à d'autres documents nationaux
 apparentés :

73 Titulaire(s) :

74 Mandataire : CABINET LAVOIX.

54 **SYSTEME MULTIPROCESSEUR.**

57 L'invention concerne un système multiprocesseur.
 Ce système apte à se positionner lui-même moyennant
 une déconnexion des unités centrales de traitement (5a-
 5d) défectueuses à partir d'un bus commun (3), comprend
 une seule mémoire morte (13) raccordée au bus, une seule
 mémoire à accès sélectif non volatile (14) raccordée au
 bus, un registre de positionnement d'identifiants (26) affectant
 des numéros aux unités centrales de traitement, un
 contrôleur de remise à l'état initial (27) commandant l'état
 des unités centrales de traitement et comprenant un méca-
 nisme de détection de dépassement de temps (32), un port
 d'entrée d'état ramené au niveau initial (28) et un registre
 d'informations de remise à l'état initial (29) concernant des
 informations de demandes de démarrage pour des unités
 centrales de traitement sélectionnées.
 Application notamment aux dispositifs de traitement d'in-
 formations du type multiprocesseur symétriques.



La présente invention concerne un système multiprocesseur reliant, au moyen d'un boîtier commun, une pluralité de processeurs (CPU, c'est-à-dire unité centrale de traitement) pour l'exécution de traitement d'entrée/sortie (I/O) et de programmes et plus particulièrement une technique de positionnement pour un système multiprocesseur symétrique apte à exécuter ce traitement d'entrée/sortie et des programmes dans un processeur quelconque.

La figure 16, annexée à la présente demande, représente un schéma-bloc montrant un dispositif classique de traitement d'informations sous la forme d'un système microprocesseur symétrique comportant une pluralité d'unités centrales de traitement, désignées par la suite par unité CPU. Sur la figure 16, le chiffre de référence 1 désigne un dispositif de traitement d'informations, le chiffre de référence 2 un panneau du système, le chiffre de référence 3 un bus de raccordement d'unités CPU, le chiffre de référence 4 une mémoire principale, les chiffres de référence 5a à 5d des unités CPU physiques, auxquelles sont affectés des numéros 0 à 3, pouvant transmettre et recevoir des données respectivement en direction et en provenance du bus 3 de raccordement des unités CPU, le chiffre de référence 6 un pont de raccordement de bus situé entre le bus 3 raccordant les unités CPU et un bus local 7 raccordé à des contrôleurs d'équipements périphériques et analogues, les chiffres de référence 8a à 8d des contrôleurs d'équipements périphériques servant à commander des équipements constitués par un tube cathodique 9, un clavier 10, une unité à disque souple 11, une unité à disque magnétique 12 et émettre et recevoir des données en direction et en provenance de la mémoire principale 4, le chiffre de référence 13 une mémoire morte, désignée par la suite par ROM pour mémoriser un programme d'initialisation pour le positionnement du système lors de sa mise sous tension, le chiffre de référence 14 une mémoire à accès sélectif,

désignée par la suite par mémoire RAM non volatile, servant à mémoriser une information de configuration du système indiquant par exemple des conditions de montage d'une unité CPU physique 5a à 5d et une information de configuration
5 d'équipements périphériques.

Le chiffre de référence 22 désigne un générateur de remise à l'état initial lors de la mise sous tension servant à produire des signaux de remise à l'état initial lors de la mise sous tension pour initialiser le matériel
10 situé sur le panneau 2 du système, lors de la mise sous tension; le chiffre de référence 23 une ligne de transmission du signal de remise à l'état initial lors de la mise sous tension pour envoyer les signaux de remise à l'état initial lors de la mise sous tension depuis le
15 générateur 22 de signaux de remise à l'état initial lors de la mise sous tension au panneau 2 du système, les chiffres de référence 24a à 24d des lignes de désignation de numéros logiques des unités CPU physiques 5a à 5d.

Ci-après, en se référant à un organigramme
20 représenté sur la figure 17 annexée à la présente demande, on va décrire une opération d'initialisation du système conforme à la configuration indiquée précédemment. On suppose que l'unité physique CPU 5a doit être installée pour fonctionner en tant qu'unité CPU maître et que, bien
25 qu'il ne soit pas nécessaire que toutes les unités physiques CPU 5b à 5d soient installées, elles fonctionnent en tant qu'unités CPU esclaves lorsqu'elles sont montées.

Lors de la mise sous tension du dispositif de traitement d'informations 1 (pas H1), le générateur 22 de
30 signaux de remise à l'état initial lors de la mise sous tension produit le signal de remise à l'état initial lors de la mise sous tension dans la ligne 23 de transmission du signal de remise à l'état initial lors de la mise sous tension, et ramène à l'état initial les unités physiques
35 CPU 5a à 5d et le matériel, qui peut être ramené à l'état

initial, qui est prévu sur le panneau 2 du système, de manière à les initialiser (pas H2). Lorsque le signal de remise à l'état initial lors de la mise sous tension s'avère comme pouvant être invalidé, toutes les unités
5 physiques CPU 5a à 5d installées commencent à exécuter un programme d'initialisation à partir d'une adresse spécifique située dans la mémoire ROM 13 pour mémoriser le programme d'initialisation. Les adresses de départ sont les mêmes dans l'ensemble des unités physiques CPU 5a à 5, et
10 le programme unique d'initialisation est traité (pas H3). Les unités physiques CPU 5a à 5d exécutent le programme situé dans la mémoire ROM 13 pour mémoriser le programme d'initialisation et initialiser le matériel interne minimum requis respectif. A cet instant, toutes les unités
15 physiques CPU 5a à 5d fonctionnent en parallèle (pas H4).

On suppose ci-après que l'unité physique CPU 5a, à laquelle est affecté le numéro logique 0 fonctionne en tant qu'unité CPU maître (ci-après l'unité physique CPU 5a pourra être désignée par unité CPU maître) et que les
20 autres unités physiques CPU 5b à 5d installées, auxquelles sont affectés respectivement les numéros logiques 1 à 3, fonctionnent en tant qu'unités CPU esclaves (de façon similaire ci-après les unités physiques CPU 5b à 5d pourront être désignées sous le terme unités CPU esclaves).
25 En lisant la valeur dans la ligne 24a à 24d de transmission de la désignation des numéros logiques des unités CPU, chaque unité physique CPU 5a à 5d identifie son propre numéro logique et évalue si elle est en soi l'unité CPU maître ou l'unité CPU esclave.

30 L'unité CPU maître 5a exécute le programme situé dans la mémoire ROM 13 servant à mémoriser le programme d'initialisation, ce qui provoque l'initialisation de l'ensemble du matériel sur le panneau 2 du système, hormis le matériel interne de l'unité CPU maître 5a et des unités
35 CPU esclaves (pas H5). L'unité CPU maître 5a prépare, dans

la mémoire principale 4, un nouveau sous-programme de remise à l'état initial, qui existe dans la mémoire ROM 13 servant à mémoriser le programme d'initialisation (pas H6). Pendant le traitement effectué par l'unité CPU maître 5a
5 lors des pas H5, H6, les unités CPU esclaves 5b à 5d arrêtent le traitement et attendent la remise à l'état initial du processeur, produite à partir de l'unité CPU maître 5a (pas H7).

L'unité CPU maître 5a exécute le sous-programme
10 de remise à l'état initial situé dans la mémoire ROM 13 servant à la mémorisation du programme d'initialisation, envoie le signal de remise à l'état initial du processeur à toutes les unités esclaves CPU 5b à 5d installées, sur la base de l'information de configuration des unités CPU
15 mémorisée dans la mémoire RAM non volatile 14 servant à mémoriser l'information de configuration du système (pas H8), et attend la notification de l'achèvement de l'initialisation pour toutes les unités esclaves CPU installées (pas H9).

20 Pendant cette période, les unités CPU esclaves 5b à 5d, qui avaient arrêté le traitement, redémarrent lors de la remise à l'état initial du processeur, réalisée à partir de l'unité CPU maître 5a, commencent à exécuter le nouveau programme d'initialisation préparé lors du pas H6 situé
25 dans la mémoire principale 4 (pas H10) et initialisent le matériel interne de chaque unité CPU esclave grâce à l'exécution en parallèle du programme d'initialisation (pas H11). Les unités CPU esclaves 5b à 5d, qui ont achevé l'initialisation du matériel interne, signalent individuellement l'achèvement de l'initialisation à l'unité CPU maître 5a (pas H12), puis arrêtent à nouveau le traitement
30 (pas H13).

Lorsqu'elle reçoit la notification de l'achèvement de l'initialisation en provenance de ces unités CPU
35 esclaves 5b à 5d, l'unité CPU maître 5a commence à charger

un programme initial à partir soit de l'unité à disque
souple 11, soit à partir de l'unité à disque magnétique 12.
Sous l'effet de cette opération, le système d'exploitation
est positionné et le système du dispositif de traitement
5 d'informations 1 commence à fonctionner (pas H14).

On notera que l'information de configuration des
unités CPU, qui est mémorisée dans la mémoire RAM non
volatile 14 servant à mémoriser l'information de
configuration du système, est délivrée lorsqu'un programme
10 servant à modifier l'enregistrement de l'information de
configuration à partir de l'unité à disque optique 11 ou de
l'unité à disque magnétique 12 démarre et lorsqu'un
opérateur commande le clavier en fonction d'instructions
qui sont affichées sur le tube cathodique 9.

15 Comme cela a été décrit précédemment, étant donné
que le système multiprocesseur symétrique classique, qui
est raccordé au bus commun, est ainsi agencé, la
constitution du système n'est pas telle que chaque unité
CPU exécute individuellement le processus d'initialisation,
20 ou que le fonctionnement du système peut être exécuté par
dégénération d'unités CPU défectueuses, de sorte que les
unités CPU défectueuses occupent le bus commun, ce qui
empêche un positionnement correct du système d'une manière
assistée par d'autres unités CPU normales. Comme dans le
25 cas où le système ne peut pas être positionné, à titre
d'exemple dans le cas où le traitement d'initialisation de
l'unité CPU maître est défaillant et en outre dans le cas
où le traitement d'initialisation de l'unité CPU esclave
est défaillant, les unités CPU esclaves, dans lesquelles
30 une panne apparaît, peuvent occuper le bus commun, ce qui
arrête le traitement de positionnement du système.

Dans un tel cas, même l'unité CPU maître, qui
contrôle les unités CPU esclaves, ne peut pas poursuivre le
traitement, étant donné que le système ne peut pas utiliser
35 le bus commun, et par conséquent il est difficile de mettre

à l'écart les unités CPU ayant un fonctionnement erroné, et le système ne peut pas exécuter une opération de dégénération, lors de laquelle les unités CPU défectueuses sont automatiquement déconnectées. Par conséquent, s'il apparaît
5 un défaut de fonctionnement de l'unité CPU, il faut faire redémarrer le système après qu'une unité CPU défectueuse ait été détectée et retirée physiquement. C'est pourquoi, il se pose des problèmes consistant en ce que, lors de l'apparition de la panne, un travail manuel urgent est
10 inévitable, que le système devient moins utile étant donné que cela prendrait trop de temps pour le réparer et que le système ne peut pas exécuter un fonctionnement automatique lors d'une mise sous tension automatique.

En outre, bien qu'une unité CPU possédant un
15 numéro spécifique doit exister afin de maintenir la compatibilité avec le logiciel existant, une unité CPU normale doit être installée dans une position prédéterminée étant donné que le numéro de chaque unité CPU est fixé dans la position dans laquelle elle doit être installée. C'est
20 pourquoi, il se pose le problème consistant en ce qu'il faudrait beaucoup trop de temps pour rétablir le système au moyen d'un travail de retrait des unités CPU défectueuses et de réarrangement des unités CPU normales.

Étant donné que la mémoire RAM non volatile 14
25 servant à mémoriser l'information de configuration du système, qui mémorise l'information de configuration des unités CPU, est connectée au bus commun accessible uniquement à partir des unités CPU, si un défaut de fonctionnement de l'unité CPU se produit, en empêchant le positionnement du système, il est nécessaire de détecter et de
30 retirer tout d'abord les unités CPU défectueuses, puis de modifier l'information de configuration, lorsque le matériel est constitué uniquement d'unités CPU normales. En outre, étant donné qu'un programme spécial pour modifier
35 l'enregistrement de l'information de configuration doit

être exécuté par les unités CPU normales pour la modification de l'information de configuration, le système ne peut pas être traité au moyen d'une télécommande et il doit être soumis à une faible maintenance. Une configuration de ce système tend à avoir une ampleur importante lorsqu'il faut ajouter des fonctions de dégénération aux télécommandes automatique, étant donné que le système a utilisé des microprocesseurs à usage général et des microplaquettes à usage général pour la commande périphérique.

10 D'autre part, les ordinateurs du type fonctionnant 24 h/24 et les ordinateurs à usage général ont habituellement un agencement permettant à chaque unité CPU d'exécuter individuellement le traitement d'initialisation ou un agencement qui réalise une dégénération des unités CPU défectueuses pour qu'elles ne fassent pas démarrer le fonctionnement du système. Cependant, chaque unité CPU possède des dimensions conséquentes, et le système est équipé d'un processeur de service exclusif de grandes dimensions pour le traitement de positionnement ou de dégénération, de sorte que de tels ordinateurs sont d'un coût très élevé.

La présente invention a été mise au point pour résoudre les problèmes décrits précédemment.

Un but de la présente invention est de fournir un système multiprocesseur symétrique bon marché dans lequel le système, qui peut affecter des numéros d'unités CPU uniquement à des unités CPU normales toujours dans un ordre constant lorsque des unités CPU défectueuses sont dégénérées automatiquement, peut commencer à fonctionner uniquement avec des unités CPU normales, sans que ceci n'affecte énormément le logiciel, et dans lequel des unités CPU spécifiques peuvent être dégénérées au moyen de la confirmation d'unités CPU défectueuses à partir d'une télécommande.

35 Un système multiprocesseur conforme à l'invention

est à même de se positionner de lui-même tout en déconnectant des unités CPU défectueuses d'un bus commun les raccordant. Le système est caractérisé en ce qu'il comprend : une seule mémoire ROM, prévue pour le bus commun qui
5 raccorde une pluralité d'unités CPU et servant à mémoriser un programme d'initialisation pour la stabilisation du système lorsque le système est mis sous tension; une seule mémoire RAM non volatile, raccordée au bus commun et servant à mémoriser une information de configuration du
10 système indiquant l'état de montage de la pluralité des unités CPU; un registre de positionnement d'identifiants, raccordé au bus commun et apte à affecter un numéro à une unité CPU quelconque et à lire ce numéro à partir de l'unité CPU quelconque, pour désigner des numéros affectés
15 aux unités CPU respectives; un contrôleur de remise à l'état initial, connecté à chaque unité CPU par l'intermédiaire d'une ligne matérielle individuelle de remise à l'état initial de l'unité CPU, pour placer individuellement les unités CPU dans un état initial en
20 activant la ligne matérielle individuelle de remise à l'état initial de l'unité CPU, et dans un état de positionnement en désactivant les lignes individuelles correspondantes de remise à l'état initial du matériel des unités CPU, sur la base d'une information de demande de
25 démarrage de chaque unité CPU, le contrôleur de remise à l'état initial possédant un mécanisme de détection de dépassement de temps pour contrôler l'achèvement de l'initialisation de chaque unité CPU, arrêter le fonctionnement du mécanisme de détection de dépassement de
30 temps sur la base d'une information de notification indiquant l'achèvement de l'initialisation de chaque unité CPU, et déconnecter du système, à l'instant de la détection du dépassement de temps exécutée par le mécanisme de détection de dépassement de temps, les unités CPU
35 correspondantes, dont les enregistrements indiquent une

apparition de défauts, ce qui initialise l'ensemble du matériel par l'envoi d'une demande de remise à l'état initial du système pour réaliser la remise à l'état initial complète d'un panneau du système; un port d'entrée de l'état ramené au stade initial, qui lit l'état de chaque ligne matérielle individuelle de remise à l'état initial des unités CPU et active une unité CPU quelconque pour qu'elle lise l'état lu par l'intermédiaire du bus commun; et un registre d'informations de remise à l'état initial servant à conserver l'information de demande de démarrage des unités CPU sélectionnées, et l'information de notification d'achèvement de l'initialisation des unités CPU obtenue à partir d'une unité CPU quelconque par l'intermédiaire du bus commun, transmettre l'information de demande de démarrage et l'information de notification au contrôleur de remise à l'état initial, et activer une unité CPU quelconque pour qu'elle lise l'information de demande de démarrage et l'information de notification par l'intermédiaire du bus commun.

Dans le système multiprocesseur, le registre de positionnement d'identifiants désigne les numéros des unités CPU dans l'ordre prédéterminé uniquement pour des unités CPU normales; le contrôleur de remise à l'état initial déconnecte des unités CPU défectueuses du bus commun, détecte des unités CPU défectueuses sur la base de la détection de dépassement de temps pendant le traitement de positionnement, déclenche automatiquement la remise à l'état initial et supprime un état anormal du matériel à l'instant du dépassement de temps, pendant le traitement du positionnement; et une unité CPU quelconque commande principalement le traitement de positionnement sur la base du port d'entrée de l'état ramené au niveau initial et du registre d'informations de remise à l'état initial.

Conformément à une forme de réalisation de l'invention, le registre de positionnement d'identifiants

inclut des registres en un nombre correspondant à celui des unités CPU raccordées au bus commun, et toutes les valeurs du registre de positionnement d'identifiants sont réglées sur le numéro d'une unité CPU maître en réponse à un signal de remise à l'état initial du système, et sont réglées sur une valeur à partir du bus commun, uniquement dans une partie du registre pour laquelle les lignes individuelles de remise à l'état initial du matériel des unités CPU sont activées. Par conséquent, à un instant quelconque, la totalité des registres comportent le numéro de l'unité CPU maître, et lors d'un cycle d'enregistrement, les valeurs désignées sont enregistrées dans les registres, dans lesquels la ligne matérielle individuelle de remise à l'état initial de l'unité CPU est validée, de sorte que des registres pouvant être désactivés ne subissent pas de modifications du point de vue logique et électrique.

Le contrôleur de remise à l'état initial maintient les lignes individuelles de remise à l'état initial du matériel des unités CPU, qui correspondent à des unités CPU qui doivent être déconnectées du système, de manière qu'elles puissent être activées. Ce système peut être aisément appliqué à un système utilisant des circuits LSI à usage général. Le contrôleur de remise à l'état initial contrôle le traitement de positionnement de chaque unité CPU par l'intermédiaire du mécanisme de détection de dépassement de temps et, lorsque le dépassement de temps est détecté, déconnecte les unités CPU, du traitement de positionnement effectué ultérieurement. Par conséquent, les unités CPU dans lesquelles une panne apparaît pendant le positionnement, sont temporairement déconnectées du système, ce qui permet d'écarter les unités CPU défectueuses du système de sorte que ce dernier commence automatiquement son opération de dégénération de sorte que le système assume de façon sûre un fonctionnement automatique. Le contrôleur de remise à l'état initial commande une

unité CPU quelconque pour qu'elle exécute des instructions à partir de la même adresse de la mémoire ROM servant à mémoriser un programme d'initialisation, en invalidant la ligne individuelle de remise à l'état initial du matériel de l'unité CPU. Étant donné que toutes les unités CPU démarrent à partir d'une telle adresse spécifique, toutes les unités CPU peuvent être positionnées au moyen d'une seule mémoire ROM servant à mémoriser le programme d'initialisation, de sorte que le système est bon marché.

5

10 Le contrôleur de remise à l'état initial commande une unité CPU pour qu'elle démarre en tant qu'unité CPU maître, contrôle le traitement de positionnement de l'unité CPU maître par l'intermédiaire du mécanisme de détection de dépassement de temps et, lorsque le dépassement de temps est détecté, relance le traitement de remise à l'état initial après la remise à l'état initial de l'ensemble du matériel, hormis le contrôleur de remise à l'état initial. Par conséquent, le système est à même de sortir d'un état anormal du matériel au moment du dépassement de temps du traitement de positionnement, de manière à augmenter la certitude d'une remise à l'état initial avec succès, et identifier aisément les unités CPU défectueuses.

15

20

L'unité CPU maître s'identifie en tant qu'unité CPU maître, lorsque la ligne individuelle de remise à l'état initial du matériel de l'unité CPU comporte seulement un bit pouvant être invalidé, et identifie le numéro physique de l'unité CPU à partir de la position du bit non valable. Par conséquent, l'unité CPU est positionnée en douceur, et le système est réalisé à bon marché avec un système matériel plus réduit.

25

30

L'unité CPU maître sélectionne, sur la base de l'information de configuration des unités CPU dans la mémoire RAM non volatile, des unités CPU qui déclenchent le processus d'initialisation en tant qu'unités CPU esclaves, détermine le numéro de l'unité CPU devant être positionné

35

dans le registre de positionnement d'identifiants et commande séquentiellement le démarrage du traitement d'initialisation dans chaque unité CPU esclave avec confirmation de l'achèvement de ce traitement. Par
5 conséquent le système peut aisément identifier les unités CPU défectueuses avec un matériel prévu en une quantité réduite. L'unité CPU esclave s'identifie en tant qu'unité CPU esclave au moment où la ligne individuelle de remise à l'état initial du matériel de l'unité CPU est invalidée
10 pour 2 bits ou plus. Par conséquent, l'unité CPU esclave peut être positionnée en douceur et le matériel de cette unité peut être moins conséquent. Conformément à une autre forme de réalisation de l'invention, un système multiprocesseur est caractérisé en ce que ce système
15 comporte en outre un dispositif de contrôle du système, qui est connecté par un canal de remise à l'état initial pour la transmission de données en direction et en provenance du contrôleur de remise à l'état initial, et qui possède une information de commande de configuration des unités CPU
20 pour retenir l'information de panne de chaque unité CPU. Par conséquent, les enregistrements des unités CPU, dans lesquelles une panne apparaît, peuvent être conservés dans l'information de commande de configuration des unités CPU, une fois que l'alimentation en énergie du panneau du
25 système est arrêtée, de sorte que les enregistrements des unités CPU défectueuses peuvent être utilisés en commun lors des traitements suivants de positionnement, même après le débranchement de l'énergie, de sorte que le système peut confirmer à tout moment les unités CPU défectueuses et est
30 positionné avec un temps de traitement réduit lors du cycle suivant, tout en améliorant le travail concernant sa maintenance.

Le contrôleur de remise à l'état initial déconnecte des unités CPU défectueuses du système, sur la
35 base de l'information de commande de configuration des

unités CPU, ce qui permet la déconnexion du système par rapport à des unités CPU instables, au moyen de leur désignation préalable et améliore par conséquent le travail de maintenance du système et l'applicabilité dans son utilisation.

Le contrôleur de remise à l'état initial contrôle la lecture de l'information de commande de configuration de l'unité CPU à partir du dispositif de contrôle du système par le mécanisme de détection de dépassement de temps et, lorsque le dépassement de temps est détecté, continue le traitement de positionnement en supposant que toutes les unités CPU sont normales.

Par conséquent, lorsque le dépassement de temps est détecté, en poursuivant le traitement de positionnement alors que toutes les unités CPU sont considérées comme normales, le système peut achever le positionnement même si un défaut apparaît dans le dispositif de contrôle du système, et son utilisation s'en trouve améliorée. En outre, si le dépassement de temps est détecté, des apparitions de pannes dans les unités CPU sont enregistrées dans l'information de commande de configuration des unités CPU. Par conséquent, en conservant les enregistrements des unités CPU défectueuses dans son dispositif de contrôle, le système peut utiliser ces enregistrements pour le positionnement suivant même après l'interruption de l'alimentation en énergie, et peut également confirmer les états des unités CPU défectueuses à un instant arbitraire. Étant donné que le système retire automatiquement de telles unités CPU du traitement de positionnement intervenant ensuite, le travail de maintenance du système et sa fiabilité peuvent être améliorés et son temps de positionnement peut être réduit.

D'autres caractéristiques et avantages de la présente invention ressortiront de la description donnée ci-après prise en référence aux dessins annexés, sur

lesquels :

5 - la figure 1 représente un schéma-bloc montrant un dispositif de traitement d'informations sous la forme d'un système multiprocesseur symétrique selon l'exemple 1 de l'invention;

- la figure 2 est un schéma-bloc fonctionnel montrant une unité physique CPU conforme à l'exemple 1 de l'invention;

10 - la figure 3 est un schéma-bloc fonctionnel montrant un registre de positionnement d'identifiants conforme à l'exemple 1 de l'invention;

- la figure 4 est un schéma-bloc fonctionnel montrant un registre d'information de remise à l'état initial conforme à l'exemple 1 de l'invention;

15 - la figure 5 est un schéma illustrant le contenu de l'information de configuration des unités CPU dans une mémoire ROM non volatile servant à mémoriser l'information de configuration du système, conformément à l'exemple 1 de l'invention;

20 - la figure 6 est un chronogramme indiquant l'instant de remise à l'état initial lors de la mise sous tension, conformément à l'exemple 1 de l'invention;

- la figure 7 est un organigramme représentant l'ensemble du déroulement du traitement d'initialisation du système conformément à l'exemple 1 de l'invention;

25 - la figure 8 est un organigramme illustrant un traitement de sélection d'une unité CPU maître, exécutée par un contrôleur de remise à l'état initial conforme à l'exemple 1 de l'invention;

30 - la figure 9 est un organigramme illustrant un démarrage de l'unité physique CPU et un traitement de contrôle de dépassement de temps exécuté par le contrôleur de remise à l'état initial conformément à l'exemple 1 de l'invention;

35 - la figure 10 est un organigramme illustrant un

traitement d'initialisation d'une unité physique CPU conformément à l'exemple 1 de l'invention;

- la figure 11 est un organigramme représentant des traitements séquentiels de sélection, de démarrage, d'initialisation d'unités CPU esclaves, exécutés par l'unité CPU maître, conformément à l'exemple 1 de l'invention;

- la figure 12 est un schéma-bloc montrant un dispositif de traitement d'informations sous la forme d'un système multiprocesseur symétrique conforme à l'exemple 2 de l'invention;

- la figure 13 est un schéma illustrant une information de panne de l'unité CPU dans l'information de commande de configuration des unités CPU conformément à un exemple 2 de l'invention;

- la figure 14 est un organigramme illustrant l'ensemble du déroulement du traitement d'initialisation du système conformément à l'exemple 2 de l'invention;

- la figure 15 est un organigramme illustrant un traitement d'initialisation interne du contrôleur de remise à l'état initial et un traitement de lecture de l'information de commande de configuration des unités CPU conformément à l'exemple 2 de l'invention;

- la figure 16, dont il a déjà été fait mention, est un schéma-bloc montrant un dispositif de traitement d'informations, tel qu'un multiprocesseur symétrique classique; et

- la figure 17, dont il a déjà été fait mention, est un organigramme montrant l'ensemble du déroulement du traitement d'initialisation du système conformément au système classique.

On va décrire ci-après des formes de réalisation préférées de l'invention.

Exemple 1

En se référant aux dessins, on va décrire un

exemple 1 de l'invention. La figure 1 représente un schéma-
bloc montrant un dispositif de traitement d'informations
sous la forme d'un système multiprocesseur symétrique selon
l'exemple 1 de l'invention. Sur la figure 1, les mêmes
5 chiffres de référence que ceux indiqués sur la figure 16
désignent les mêmes éléments que ceux du dispositif
classique; le chiffre de référence 1 désigne le dispositif
de traitement d'informations agencé sous la forme d'un
système multiprocesseur symétrique connecté à un bus
10 commun; le chiffre de référence 2 un panneau du système qui
porte une pluralité d'unités centrales de traitement
appelées par la suite unités CPU et porte des contrôleurs
pour des équipements périphériques; le chiffre de référence
3 un bus apte à transmettre des données à grande vitesse et
15 relié à la pluralité des unités CPU et à une mémoire
principale; le chiffre de référence 4 la mémoire principale
servant à mémoriser des données communes pour la pluralité
des unités CPU et des équipements périphériques; les
chiffres de référence 5a à 5d des unités physiques CPU
20 auxquelles sont affectés des numéros logiques 0 à 3 et qui
sont respectivement aptes à émettre et à recevoir en
direction et en provenance du bus 3 reliant les unités CPU.

Le chiffre de référence 6 désigne un pont de
liaison de bus, qui est situé entre le bus 3 reliant les
25 unités CPU et un bus local connecté aux dispositifs de
commande des équipements périphériques; le pont de liaison
de bus empêche que le fonctionnement à grande vitesse du
bus reliant les unités CPU ne soit affecté par le
fonctionnement à faible vitesse des dispositifs de commande
30 des équipements périphériques et fournissent un équivalent
logique entre les deux bus tels qu'ils sont vus à partir
des unités physiques CPU 5a à 5d. Le chiffre de référence 7
désigne un bus local pour la transmission de données à
faible vitesse, raccordé aux dispositifs de commande des
35 équipements périphériques et analogues; les chiffres de

référence 8a à 8d désignent des contrôleurs d'équipements
périphériques servant à commander les équipements
périphériques et à échanger des données avec la mémoire
principale 4; le chiffre de référence 9 désigne un tube
5 cathodique affichant un état de fonctionnement et autres;
le chiffre de référence 10 un clavier servant à envoyer des
instructions au dispositif de traitement d'informations 1;
le chiffre de référence 11 désigne une unité à disque
souple pour la lecture et l'enregistrement de données d'un
10 disque souple; le chiffre de référence 12 est une unité à
disque magnétique servant à conserver les données du
système d'exploitation, en une grande quantité.

Le chiffre de référence 13 désigne une mémoire
morte appelée par la suite mémoire ROM servant à mémoriser
15 un programme d'initialisation pour conserver le programme
de positionnement du système, lors de la mise sous tension;
le chiffre de référence 14 désigne une mémoire à accès
sélectif non volatile, appelée par la suite mémoire RAM non
volatile, servant à mémoriser une information de configura-
20 tion du système pour conserver cette information de confi-
guration du système, comme par exemple le nombre d'unités
CPU dans le dispositif de traitement d'informations 1, une
information de configuration concernant des équipements
périphériques et analogues; le chiffre de référence 22
25 désigne un générateur de signaux de remise à l'état initial
lors de la mise sous tension servant à produire un signal
de remise à l'état initial lors de la mise sous tension
pour initialiser le matériel du panneau 2 du système lors
de la mise sous tension; le chiffre de référence 23 désigne
30 une ligne de transmission de signaux de remise à l'état
initial lors de la mise sous tension servant à envoyer le
système de remise à l'état initial lors de la mise sous
tension depuis le générateur 22 de signaux de remise à
l'état initial lors de la mise sous tension au panneau 2 du
35 système; les chiffres de référence 24a à 24d désignent des

lignes de désignation de numéros logiques des unités CPU, servant à désigner des numéros logiques des unités physiques CPU 5a à 5d.

En tant que nouvelle configuration de l'exemple
5 1 : les chiffres de référence 25a à 25d sont des lignes individuelles de remise à l'état initial du matériel des unités CPU servant à envoyer des signaux de remise à l'état initial du matériel aux unités physiques CPU 5a à 5d; le chiffre de référence 26 désigne un registre de positionnement d'identifiants servant à positionner des numéros
10 logiques d'unités CPU, qui sont envoyées aux unités physiques CPU 5a à 5d; le chiffre de référence 27 désigne un contrôleur de remise à l'état initial servant à commander la remise à l'état initial des matériels individuels des
15 unités physiques CPU 5a à 5d; le chiffre de référence 28 désigne un port d'entrée d'état ramené au niveau initial pour la lecture de l'état de la ligne individuelle 25a à 25d de remise à l'état initial du matériel des unités physiques CPU 5a à 5d; le chiffre de référence 29 désigne
20 un registre d'informations de remise à l'état initial pour transmettre, depuis les unités physiques CPU 5a à 5d au contrôleur de remise à l'état initial 27, des notifications d'achèvement de l'initialisation des unités physiques CPU 5a à 5d et faire démarrer des demandes des unités physiques
25 CPU 5a à 5d sélectionnées; le chiffre de référence 32 désigne un mécanisme de détection de dépassement de temps, qui est incorporé dans le contrôleur de remise à l'état initial 27, pour le contrôle de l'achèvement de l'initialisation des unités physiques CPU 5a à 5d; le chiffre de
30 référence 33 désigne une ligne de demande de remise à l'état initial du système servant à remettre à l'état initial la totalité du matériel situé sur le panneau 2 du système, qui s'étend à partir du contrôleur de remise à l'état initial 27; le chiffre de référence 34 désigne un
35 circuit OU servant à réaliser la sommation logique de la

demande de remise à l'état initial du système présent dans la ligne 33 de transmission de demande de remise à l'état initial du système et du signal de remise à l'état initial lors de la mise sous tension présent dans la ligne 23 de transmission du signal de remise à l'état initial lors de la mise sous tension; le chiffre de référence 35 désigne une ligne de transmission du signal de remise à l'état initial du système servant à transmettre le signal de sortie du circuit OU 34 pour ramener à l'état initial des entrées de la totalité du matériel du panneau 2 du système.

La figure 2 représente un schéma-bloc montrant une configuration interne des unités physiques CPU 5a à 5d représentées sur la figure 1. Sur la figure 2, le chiffre de référence 5 est le chiffre de référence général désignant les unités physiques CPU 5a à 5d; le chiffre de référence 51 désigne un processeur pour le traitement de données et qui est formé d'un microprocesseur à usage général dans le cas de l'utilisation d'ordinateurs tels que des ordinateurs personnels, et le processeur initialise l'état interne au moyen des lignes individuelles 25 de remise à l'état initial du matériel des unités CPU (chiffre de référence général pour 25a à 25d) et fait démarrer l'exécution d'instruction à partir d'une adresse spécifique à un instant auquel le signal est supprimé. L'adresse de départ est commune pour l'ensemble des unités physiques CPU 5a à 5d. Le chiffre de référence 52 est un contrôleur d'interruptions servant à contrôler des demandes d'interruptions provenant de l'extérieur et à transmettre une seule demande d'interruption au processeur 51; le chiffre de référence 53 désigne une antémémoire secondaire servant à traiter des demandes de données à grande vitesse provenant du processeur 51 au moyen de la mémorisation temporaire des données de la mémoire principale 4; le chiffre de référence 54 désigne un contrôleur d'unité CPU servant à commander le traitement d'interfaces pour le bus

3 de raccordement des unités CPU et commander le matériel
situé dans les unités physiques CPU 5a à 5d, et exécute un
traitement de transmission de données dans le bus 3 de
raccordement des unités CPU, en liaison avec les numéros
5 logiques des unités CPU, qui sont désignés par les lignes
24 (chiffre de référence général pour 24a à 24d de
désignation des numéros logiques des unités CPU). Le
chiffre de référence 55 désigne un bus de processeur pour
la transmission de données à grande vitesse dans les unités
10 physiques CPU 5a à 5d.

Bien que le processeur 51, le contrôleur d'inter-
ruption 52, l'antémémoire secondaire 53 et le contrôleur
d'unité CPU 54 soient des circuits LSI à usage général, les
unités physiques CPU 5a à 5d sont déconnectées logiquement
15 du bus 3 de raccordement des unités CPU, par suppression
complète de la transmission de données au bus 3 de raccor-
dement des unités CPU, à la sortie de données et analogue,
étant donné que sous l'effet du maintien des lignes
individuelles 25 de remise à l'état initial du matériel des
20 unités CPU, les bornes d'entrée de remise à l'état initial
sont maintenues activées, ce qui fixe le circuit LSI
logiquement sur un état interne.

La figure 3 représente un schéma-bloc décrivant
les fonctions du registre de positionnement d'identifiants 26
25 représenté sur la figure 1. Sur la figure 3, on voit que
tous les contenus des registres sont initialisés à zéro en
tant que numéros logiques de l'unité CPU maître, par la
ligne 35 de transmission de signaux de remise à l'état
initial du système, et que des données d'entrée provenant
30 du bus local 7 sont positionnées dans la partie formant
registre, dans laquelle la ligne individuelle 25 de remise
à l'état initial du matériel des unités CPU est positionnée.
Dans cet exemple, le registre à 2 bits est prévu dans
chacune des unités physiques CPU 5a à 5d, ce qui permet de
35 désigner quatre types des numéros d'unités CPU et de

réaliser un accès à ce registre comme à un registre à un octet, à partir du bus local 7. La borne d'entrée D représentée dans chaque registre est une borne d'entrée de données, qui est connectée au bus local 7 et reçoit des demandes de positionnement de données d'entrée uniquement lorsque la borne d'entrée correspondante E est positionnée. Par conséquent, l'une des unités physiques CPU 5a à 5d peut régler, au moyen d'un traitement d'enregistrement discontinu mis en oeuvre au moyen d'une unité correspondant à un octet, uniquement les numéros des autres des unités physiques CPU 5a à 5d non en fonctionnement, et peut empêcher que des données correspondant aux unités physiques CPU 5a à 5d en fonctionnement ne changent du point de vue logique et électrique.

La figure 4 représente un schéma-bloc montrant une configuration du registre d'informations de remise à l'état initial 29 représenté sur la figure 1. Sur la figure 4, on voit que les contenus de tous les registres sont initialisés à zéro au moyen de la ligne 35 de transmission de signaux de remise à l'état initial du système, et qu'une lecture ou un enregistrement peut être exécuté dans un registre quelconque à partir des unités physiques CPU par l'intermédiaire du bus local 7, et que chaque bit est lu à partir du contrôleur de remise à l'état initial 27. Les quatre bits supérieurs, qui font partie des bits de chaque registre, sont des bits servant à commander le démarrage de l'unité physique 5a à 5d sélectionnée par le contrôleur de remise à l'état initial 27 à partir des unités physiques PU 5a à 5d. Lorsqu'un bit correspondant à l'unité physique CPU sélectionnée 5a à 5d est positionné à une valeur "0", le contrôleur de remise à l'état initial 27 fait démarrer les unités physiques CPU 5a à 5d correspondantes en invalidant la ligne de remise à l'état initial du matériel de l'unité CPU raccordée à l'unité physique CPU correspondante. D'autre part, les quatre bits inférieurs sont des bits

servant à signaler l'achèvement de l'initialisation de l'unité physique CPU 5a à 5d sélectionnée, depuis cette unité physique au contrôleur de remise à l'état initial 27. Le contrôleur de remise à l'état initial arrête le
5 fonctionnement du mécanisme 22 de détection de temps de dépassement en fixant une valeur 1 à un bit des unités physiques correspondantes 5a à 5d.

La figure 5 est un diagramme représentant une partie concernant l'information de configuration des unités
10 CPU dans le contenu de la mémoire RAM non volatile 14 pour la mémorisation de l'information de configuration du système représenté sur la figure 1. Chaque donnée représente l'état de montage de l'unité physique CPU correspondante 5a à 5d. Cet exemple montre que seule
15 l'unité physique CPU 5d est dans l'état non connecté. En général, les données sont utilisées pour empêcher le démarrage d'une initialisation inutile, le retrait à partir du fonctionnement du système et analogue, par désignation de l'unité physique CPU, qui n'est pas installée physique-
20 ment en tant qu'unité débranchée, et même si l'unité CPU est installée, l'unité physique CPU, dans laquelle le débranchement est désigné, ne peut pas être utilisée lorsque le système fonctionne. Les données peuvent être modifiées uniquement au moyen de l'exécution d'un programme
25 servant à modifier l'enregistrement de l'information de configuration concernant n'importe quelle unité physique CPU 5a à 5d.

En référence à un chronogramme représenté sur la figure 6 et à des organigrammes représentés sur les figures
30 7 à 11, on va décrire le fonctionnement du dispositif de traitement d'informations conforme à l'exemple 1, qui est ainsi constitué. Tout d'abord, la figure 6 représente un chronogramme illustrant un fonctionnement du matériel entre l'instant situé juste après la mise sous tension et
35 l'instant de démarrage de l'unité CPU maître.

Sur la figure 6, on voit que l'alimentation en énergie est appliquée aux unités physiques CPU 5a à 5b par mise sous tension à l'instant t_1 , ce qui place dans un état incertain la demande de bus envoyée au bus 3 de raccordement des unités CPU et que toutes les demandes de bus sont invalidées par suite du fait que, lorsque la ligne 23 de transmission du signal de remise à l'état initial lors de la mise sous tension devient activée, le matériel du contrôleur de remise à l'état initial 27 est initialisé, ce qui place à l'état activé la ligne individuelle 25 de remise à l'état initial 25 du matériel des unités CPU. Lorsque la remise à l'état initial lors de la mise sous tension est supprimée à l'instant t_7 , le contrôleur de remise à l'état initial 27 commence le traitement de positionnement.

Dans cet exemple, le contrôleur de remise à l'état initial 27 sélectionne l'unité physique CPU 5a en tant qu'unité CPU maître et désactive la ligne individuelle correspondante 25a de remise à l'état initial du matériel de l'unité CPU à l'instant t_{11} , ce qui provoque l'envoi de la demande de bus au bus 3 de raccordement des unités CPU, à l'instant t_{13} , étant donné que l'unité physique CPU 5a, qui a démarré, lit les instructions à partir de l'adresse d'instruction prédéterminée. La demande de bus est supprimée à l'instant t_{15} en réponse à la réception de la demande, puis l'unité physique CPU 5a commence à lire les instructions.

La figure 7 représente un organigramme illustrant l'ensemble du déroulement du traitement d'initialisation du système de l'exemple 1; la figure 8 représente un organigramme illustrant le traitement de sélection d'une unité CPU maître, effectué par le contrôleur de remise à l'état initial 27, et des détails du pas 4A sur la figure 7. La figure 9 est un organigramme montrant des déroulements séquentiels de traitement correspondant au

démarrage, au contrôle du dépassement de temps et au traitement du dépassement de temps des unités physiques CPU 5a à 5d, qui sont effectuées par le contrôleur de remise à l'état initial 27 et illustrent le fonctionnement du

5 contrôleur de remise à l'état initial 27 correspondant au traitement de dépassement de temps des pas A5 à A7, A10 à A14 et A15 à A18 sur la figure 7. La figure 10 représente un organigramme illustrant le traitement d'initialisation des unités physiques CPU 5a à 5d, et représente le traite-

10 ment d'initialisation d'une unité CPU maître et des unités CPU esclaves dans leur ensemble. Soit l'unité CPU déclenche le traitement à partir de la même adresse d'instruction, lors du démarrage, et s'identifie comme étant soit l'unité maître, soit l'unité esclave en fonction de l'organigramme.

15 La figure 11 représente un organigramme illustrant des traitements séquentiels de sélection et de démarrage des unités CPU esclaves, exécutés par l'unité CPU maître et la transmission de l'état achevé du traitement d'initialisation des unités CPU esclaves au contrôleur de

20 remise à l'état initial 27, et illustre les traitements de l'unité CPU maître correspondant aux pas A10 à A14 sur la figure 7.

En référence à l'organigramme de la figure 7, on va décrire un fonctionnement, qui intervient après la mise

25 sous tension, depuis l'achèvement de l'initialisation du panneau 2 du système jusqu'au démarrage du chargement d'un programme initial. Lors de la mise sous tension, l'énergie est appliquée à l'ensemble du matériel du panneau 2 du système représenté sur la figure 1 (pas A1, équivalent à

30 l'instant t1 sur la figure 6). Lors de la mise sous tension, le générateur 22 du signal de remise à l'état initial lors de la mise sous tension active la ligne 23 de transmission du signal de remise à l'état initial lors de la mise sous tension, comme cela est représenté à un

35 instant t2 sur la figure 6. En activant la ligne 23 de

transmission du signal de remise à l'état initial lors de la mise sous tension, l'ensemble du matériel du panneau 2 du système est positionné dans un état initial minimum, dans lequel les unités physiques CPU 5a à 5d peuvent faire
5 démarrer le traitement d'initialisation (pas A2).

A cet instant, la totalité des bits du registre de positionnement d'identifiants (26) sur la figure 3 sont positionnés à zéro, ce qui désigne les numéros logiques de toutes les unités physiques CPU 5a à 5d comme étant des
10 zéros, en tant que numéro logique de l'unité CPU maître. En outre, tous les bits du registre d'informations de positionnement 29, qui est représenté sur la figure 4, sont positionnés à zéro, ce qui a pour effet que toutes les demandes de démarrage et les indications d'achèvement du
15 traitement d'initialisation d'une unité physique CPU 5a à 5d sont supprimées.

Le contrôleur de remise à l'état initial 27 reçoit, au niveau d'une entrée de remise à l'état initial, un signal d'activation de la ligne 23 de transmission du
20 signal de remise à l'état initial lors de la mise sous tension, et active toutes les lignes individuelles 25a à 25d de remise à l'état initial du matériel des unités CPU, comme cela est illustré à l'instant t3 sur la figure 6. Conformément à cela, les unités physiques CPU 5a à 5d
25 représentées sur la figure 2 initialisent le processeur incorporé 51, le contrôleur d'interruption 52, l'anté-mémoire secondaire 53 et le contrôleur 54 des unités CPU et qui déconnectent logiquement du bus 3 de raccordement des unités CPU.

30 En outre, comme représenté par l'instant t4 sur la figure 6, la demande de bus envoyée au bus 3 de raccordement des unités CPU est supprimée. Comme représenté par l'instant t4 sur la figure 6, le contrôleur de remise à l'état initial 27 maintient les lignes individuelles 25a à
35 25d de remise à l'état initial du matériel, au niveau

activé jusqu'à ce que l'unité physique CPU 5a à 5d devant démarrer soit déterminée, ce qui déconnecte logiquement les unités physiques CPU 5a à 5d du bus 3 de raccordement des unités CPU. Il en résulte que, si une unité CPU n'est pas
5 sélectionnée en tant qu'unité physique CPU qui doit démarrer, le système se positionne dans un état, dans lequel les unités CPU sont dégénérées. Ensuite, comme représenté par l'instant t7 sur la figure 6, le contrôleur de remise à l'état initial 27 déclenche l'initialisation
10 d'états internes à un instant où la ligne 23 de transmission du signal de remise à l'état initial lors de la mise sous tension est désactivée. En particulier, les enregistrements de défauts des unités physiques CPU 5a à 5d, en tant que variables internes, sont entièrement
15 positionnés sur "normal", et le contrôleur de remise à l'état initial 27 prépare la sélection de l'unité CPU maître (pas A3).

Ensuite, le contrôleur 27 de remise à l'état initial détermine l'unité CPU maître sur la base de
20 l'enregistrement de défauts des unités CPU en fonction de l'organigramme indiqué ci-après, qui est représenté sur la figure 8. Bien que, à un instant situé juste après la mise sous tension, étant donné que tous les enregistrements de panne des unités CPU sont positionnés sur "normal" lors du
25 pas A3, l'unité physique CPU 5a, à laquelle est affecté le numéro logique zéro, est sélectionnée en tant qu'unité CPU maître, après le traitement de temps de dépassement d'initialisation de l'unité CPU maître, qui démarre à partir du pas 15 comme cela sera décrit plus loin, étant
30 donné que les unités CPU défectueuses sont positionnées avec un enregistrement de "panne", l'unité CPU normale est sélectionnée en tant qu'unité CPU maître, et le système essaie d'initialiser à nouveau l'unité CPU maître (pas A4).

Le contrôleur de remise à l'état initial 27
35 commence à désactiver uniquement la ligne individuelle 25

de remise à l'état initial qui correspond à l'unité physique CPU sélectionnée comme étant l'unité CPU maître lors du pas A4 indiqué précédemment. Dans l'exemple représenté sur la figure 6, le contrôleur de remise à l'état initial 27 sélectionne l'unité physique CPU 5a en tant qu'unité CPU maître, désactive la ligne individuelle 25a de remise à l'état initial de l'unité CPU à l'instant zéro et contrôle le temps de traitement d'initialisation de l'unité physique CPU 5a par l'intermédiaire du mécanisme 32 de détection du dépassement de temps. Le processeur 51 situé dans l'unité CPU 5a délivre la demande de bus pour la lecture de la première instruction du programme d'initialisation à partir de l'adresse d'instruction prédéterminée dans la mémoire ROM 13 servant à mémoriser le programme d'initialisation, à l'instant t13 sur la figure (pas A5).

A cet instant, si l'on considère le chronogramme de la figure 6, l'unité physique CPU 5a sélectionnée en tant qu'unité CPU maître par le contrôleur de remise à l'état initial 27 s'identifie en tant qu'unité CPU maître en fonction de l'organigramme représenté sur la figure 10 décrit ci-après, et exécute le positionnement du matériel du panneau 2 du système après le positionnement de son propre matériel interne. Lors de l'achèvement du traitement de ce pas A6, la mémoire principale 4 et les dispositifs de commande 8 d'équipements périphériques (chiffre de référence général pour 8a à 8d) peuvent être normalement utilisés. Lorsque le traitement d'initialisation est achevé de manière normale, l'unité CPU maître 5a positionne l'information dans le registre d'informations de remise à l'état initial 29 et signale l'achèvement du traitement au contrôleur de remise à l'état initial 27 par l'intermédiaire du registre d'informations de remise à l'état initial 29 et alors le contrôleur de remise à l'état initial 27 arrête de contrôler le mécanisme 32 de détection de temps de dépassement (pas A6).

Le contrôleur de remise à l'état initial 27 contrôle le temps de traitement d'initialisation d'unités CPU maîtres au moyen du mécanisme 32 de détection du dépassement de temps et si l'achèvement du traitement n'est pas signalé en un laps de temps prédéterminé par l'unité CPU maître 5a par l'intermédiaire du registre d'informations de remise à l'état initial 29, le contrôleur de remise à l'état initial 27 détecte le dépassement de temps et commence à effectuer le traitement du dépassement de temps (pas A7). L'unité CPU maître 5a répète séquentiellement le traitement d'initialisation comme pour les unités CPU esclaves pour les autres unités physiques CPU 5b à 5d, tout en confirmant l'achèvement du traitement pour chaque unité. Par conséquent, si l'initialisation des unités CPU esclaves s'avère ensuite être un insuccès, il est possible d'évaluer aisément quelle unité CPU en est la cause (pas A8).

L'unité CPU maître 5a confirme l'achèvement de l'initialisation de toutes les unités CPU esclaves et est à même de savoir combien d'unités CPU esclaves sont finalement utilisables. Le système déclenche alors le chargement de programmes initiaux soit à partir de l'unité à disque souple 11, soit à partir de l'unité à disque magnétique 12. Le système de traitement est positionné au moyen de cette opération et le dispositif de traitement d'informations déclenche le fonctionnement du système (pas A9).

L'unité CPU maître 5a sélectionne les unités physiques CPU, dans lesquelles le traitement d'initialisation doit être déclenché, comme étant les unités CPU esclaves, sur la base de l'information de configuration des unités CPU présente dans la mémoire RAM non volatile 14 pour la mémorisation de l'information de configuration du système représenté sur la figure 5, et détermine le numéro logique de l'unité CPU, pour le positionner dans le

registre de positionnement d'identifiants 26. Une fois que le drapeau d'achèvement présent dans la mémoire principale 4 servant à recevoir l'indication d'achèvement d'initialisation à partir des unités CPU esclaves a été ramené à 5 zéro, l'unité CPU maître 5a envoie au contrôleur de remise à l'état initial 27 la commande du démarrage de l'unité physique CPU, au moyen du registre d'informations de remise à l'état initial 29 (pas A10).

Lorsqu'il est amené par l'unité CPU maître à 10 faire démarrer l'unité physique CPU par l'intermédiaire du registre d'informations de remise à l'état initial 29, le contrôleur de remise à l'état initial 27 contrôle l'information de panne des unités CPU en tant que variable interne. Si l'unité physique CPU s'avère "défaillante", le 15 contrôleur de remise à l'état initial 27 estime que l'unité physique CPU ne peut pas démarrer et arrête le démarrage de l'unité physique CPU exécutée, en désactivant la ligne individuelle 25 de remise à l'état initial du matériel de l'unité CPU. D'autre part, après la commande du démarrage 20 de l'unité physique CPU par le registre d'informations de remise à l'état initial 29, l'unité CPU maître contrôle l'état des lignes individuelles 25 de remise à l'état initial du matériel des unités CPU, qui correspondent aux unités physiques CPU sélectionnées à partir du port 25 d'entrée d'état ramené au niveau initial, et s'il n'est pas désactivé pendant un intervalle de temps prédéterminé, l'unité CPU maître estime que l'unité physique CPU était "défectueuse" et passe au traitement d'initialisation de l'unité physique CPU suivante (pas A11).

30 Le contrôleur de remise à l'état initial 27 estime que les unités physiques CPU, qui ont reçu l'instruction de démarrage de la part de l'unité CPU maître, peuvent démarrer, et déclenche le démarrage des unités physiques CPU en désactivant les lignes individuelles 25 de 35 remise à l'état initial du matériel des unités CPU. En

outre, le contrôleur de remise à l'état initial 27 contrôle le traitement d'initialisation de l'unité CPU esclave au moyen du mécanisme 32 de dépassement de temps (pas A12).

Les unités CPU esclaves s'identifient comme
5 unités CPU esclaves en fonction de l'organigramme de la figure 10, exécutent un traitement d'initialisation pour l'unité CPU esclave, et signalent l'achèvement à l'unité CPU maître en positionnant le drapeau d'achèvement dans la mémoire principale 4. L'unité CPU maître, qui a reçu cette
10 indication, signale alors l'achèvement de l'initialisation de l'unité physique CPU au contrôleur de remise à l'état initial 27 au moyen du registre d'informations de remise à l'état initial 29, et le contrôleur de remise à l'état initial 27 arrête le contrôle au moyen du mécanisme 32 de
15 dépassement de temps (pas A13).

Le contrôleur de remise à l'état initial 27 contrôle le temps de traitement d'initialisation des unités CPU esclaves au moyen du mécanisme 32 de détection du dépassement de temps et, si l'achèvement du traitement
20 n'est pas signalé en un intervalle de temps prédéterminé par le registre d'informations de remise à l'état initial 29 à partir de l'unité CPU maître 5a qui a reçu la notification d'achèvement de l'initialisation des unités CPU esclaves, le contrôleur de remise à l'état initial 27
25 détecte le dépassement de temps et déclenche le traitement du dépassement de temps (pas A14).

Le contrôleur de remise à l'état initial 27, qui a détecté le dépassement de temps, enregistre "panne" dans les enregistrements de pannes des unités CPU, en tant que
30 variable interne de l'unité physique CPU qui a démarré juste auparavant (pas A15). En activant la ligne 33 de transmission de demande de remise à l'état initial du système, le contrôleur de remise à l'état initial 27 active la ligne 35 de transmission du signal de remise à l'état
35 initial du système, en activant toutes les entrées de

remise à l'état initial du matériel du panneau 2 du système. Si le dépassement de temps se produit, la totalité du système hormis le contrôleur de remise à l'état initial 27 est dans une situation dans laquelle on ne peut pas s'attendre à un fonctionnement normal, étant donné qu'on suppose que le bus 3 de raccordement de l'unité CPU ou le bus local 7 a été occupé avec une unité CPU défectueuse ou analogue. Par conséquent, l'ensemble du matériel doit être initialisé simultanément à un instant où le contrôleur de remise à l'état initial 27 délivre la demande de remise à l'état initial du système (pas A16). L'ensemble du matériel du panneau 2 du système est ramené à l'état initial juste après la remise à l'état initial lors de la mise sous tension (pas A17).

Le contrôleur de remise à l'état initial 27 initialise l'ensemble des unités physiques CPU 5a à 5d en activant les lignes individuelles 25a à 25d de remise à l'état initial du matériel des unités CPU, et les déconnecte du bus 3 de raccordement des unités CPU. Une fois le traitement indiqué précédemment achevé, le contrôleur de remise à l'état initial 27 relance le traitement de sélection de l'unité CPU maître lors du pas A4. Le traitement effectué précédemment est exécuté de façon similaire pendant le traitement d'initialisation des unités CPU esclaves de sorte que, même si les unités CPU esclaves en panne occupent le bus 3 de raccordement des unités CPU, le traitement de positionnement peut être relancé, au moyen d'une libération de l'état occupé (pas A18).

En se référant aux organigrammes représentés sur les figures 8 à 11, on va décrire des détails du traitement principal faisant partie du traitement fondamental pour l'initialisation du système représenté sur la figure 7. La figure 8 est un organigramme qui illustre le traitement de sélection de l'unité CPU maître par le contrôleur de remise

à l'état initial 27, qui correspond au pas A4 sur la figure 7. Ici, le contrôleur de remise à l'état initial 27 sélectionne une unité CPU maître sur la base d'enregistrements de pannes d'unités CPU en tant que variables internes. Les enregistrements de pannes d'unités CPU sont tous positionnés sur "normal" lors du pas A3 sur la figure 7, et les enregistrements des unités physiques CPU correspondantes sont positionnés comme "défectueux" au moment de la détection d'un dépassement de temps. Le contrôleur de remise à l'état initial 27 peut éliminer les unités CPU défectueuses de la sélection de l'unité CPU maître au moment de la relance, grâce à l'utilisation des variables.

Le contrôleur de remise à l'état initial 27 initialise le pointeur n des enregistrements de pannes d'unités CPU sur zéro comme représenté sur la figure 8 (pas B1) et vérifie l'état présent dans les enregistrements de défauts des unités physiques CPU n, dont le numéro logique est n (pas B2). Si l'unité physique CPU n est dans un état défectueux, le pointeur n est traité, pour le contrôle de l'état de l'unité physique CPU suivante (pas B3, B5, B2). Au contraire, si l'unité physique CPU n est confirmée comme étant "normale" lors du pas B3, l'unité physique CPU est sélectionnée comme l'unité CPU maître, et le système arrête le traitement (pas B4).

La figure 9 est un organigramme représentant des processus séquentiels de démarrage et de traitement de dépassement de temps des unités physiques CPU par le contrôleur de remise à l'état initial 27. Bien que le début du traitement corresponde soit au pas A5, soit au pas A10 sur la figure 7, la figure 9 représente des traitements séquentiels réalisés par le contrôleur de remise à l'état initial 27, dans lequel le pas est le point de départ. Tout d'abord, le contrôleur de remise à l'état initial 27 reçoit la demande de démarrage de l'unité physique CPU n à partir

de l'unité CPU maître par l'intermédiaire du registre 29 d'informations de remise à l'état initial (pas C1) et vérifie, au moyen des enregistrements de pannes des unités CPU, si l'unité physique CPU n est "normale" ou "défectueuse" (pas C2). Si l'unité physique CPU n est "défectueuse", l'unité physique CPU n n'est pas remise en fonctionnement et le traitement s'arrête.

A cet instant, après la transmission de la demande de démarrage par le registre d'informations de remise à l'état initial 29, l'unité CPU maître contrôle la désactivation des lignes individuelles 25 de remise à l'état initial du matériel de l'unité physique CPU n par l'intermédiaire du port d'entrée d'état ramené au niveau initial 28, et identifie l'unité physique CPU n comme étant "défectueuse" par détection du dépassement de temps. Sous l'effet du traitement indiqué précédemment, le contrôleur de remise à l'état initial 27 maintient les lignes individuelles de remise à l'état initial du matériel des unités CPU, qui correspondent aux unités CPU défectueuses, dans l'état activé, et déconnecte du point de vue logique les unités CPU défectueuses du bus 3 de raccordement des unités CPU (pas C3).

Si l'unité physique CPU n est "normale", le contrôleur de remise à l'état initial 27 commence à contrôler le traitement d'initialisation des unités physiques CPU au moyen du mécanisme de détection de dépassement de temps 32. Dans le cas du démarrage de l'unité CPU maître correspondant au pas 5 sur la figure 7, le traitement commence à partir de ce pas (pas C4). L'unité CPU est déclenchée par la désactivation des lignes individuelles 25 de remise à l'état initial du matériel de l'unité physique CPU n. L'unité physique CPU n déclenche le traitement d'initialisation à partir d'une adresse d'instruction prédéterminée et lit la notification d'achèvement de l'initialisation de l'unité physique CPU n à partir du

registre d'informations de remise à l'état initial 29. La notification d'achèvement est exécutée par l'unité CPU maître dans le cas de l'initialisation soit de l'unité CPU maître, soit de l'unité CPU esclave (pas C6). Le contrôleur de remise à l'état initial 27 évalue si la notification d'achèvement de l'initialisation de l'unité physique CPU n existe, à partir des données lues dans le registre d'informations de remise à l'état initial 29 (pas C7). Tout en confirmant la notification d'achèvement de l'initialisation de l'unité physique CPU n, le contrôleur de remise à l'état initial 27 arrête le contrôle exécuté au moyen du mécanisme 32 de détection du dépassement de temps. Ensuite le contrôleur de remise à l'état initial 27 attend une demande de démarrage de l'unité CPU esclave suivante, en provenance de l'unité CPU maître (pas C8).

Si la notification d'achèvement de l'initialisation de l'unité physique CPU n n'est pas fournie, le dépassement de temps est contrôlé dans le mécanisme 32 de détection de dépassement de temps. Si le dépassement de temps est effectué, le traitement de dépassement de temps lors du pas C10 suivant est déclenché et, si le dépassement de temps n'est pas encore détecté, le traitement exécute à nouveau les pas C6, C7 jusqu'à ce que la notification d'achèvement soit reçue (pas C9). C'est-à-dire que le contrôleur de remise à l'état initial 27 enregistre l'unité physique CPU n comme "défectueuse" au niveau des enregistrements de pannes d'unités CPU, puis exécute le traitement équivalent au pas A15 sur la figure 5 (pas C10). Ensuite, l'ensemble du matériel situé sur le panneau 2 du système hormis le contrôleur de remise à l'état initial 27, est initialisé par activation de la ligne 33 de remise à l'état initial du système (pas C11). Toutes les unités physiques CPU 5a à 5d sont initialisées au moyen de l'activation des lignes individuelles 25a à 25d de remise à l'état initial du matériel des unités CPU et sont déconnectées logiquement

du bus 3 de raccordement des unités CPU. Le contrôleur de remise à l'état initial 27 recommence à nouveau à partir du traitement de sélection de l'unité CPU maître lors du pas A4 sur la figure 7 (pas C12).

5 La figure 10 représente un organigramme illustrant un traitement d'initialisation des unités physiques CPU 5a à 5d. Ce programme est mémorisé dans la mémoire ROM 13 servant à mémoriser le programme d'initialisation, et est exécuté à partir d'une adresse d'instructions
10 prédéterminée, par désactivation des lignes individuelles 25 de remise à l'état initial du matériel des unités CPU, qui sont raccordées aux unités physiques CPU 5a à 5d. Par conséquent, le traitement commence à partir du même pas dans les deux cas en ce qui concerne l'unité CPU maître et
15 les unités CPU esclaves, puis diverge à mi-exécution du traitement pour l'unité CPU maître et pour les unités CPU esclaves, sur la base de l'information provenant du port d'entrée d'état de remise au niveau initial 28.

 A ce stade, le système n'a pas encore été
20 positionné complètement et, étant donné que l'on peut supposer que la mémoire principale 4 ne peut pas être utilisée, un matériel minimum dans l'unité CPU considérée est initialisé de manière à activer le système pour qu'il effectue le traitement suivant (pas D1). Ensuite, l'état
25 des lignes individuelles 25 de remise à l'état initial du matériel des unités CPU est lu à partir du port d'entrée d'état ramené au niveau initial 28 (pas D2). En fonction de l'état de désactivation des lignes individuelles 25 de remise à l'état initial du matériel des unités CPU, si
30 seule une ligne (ou un bit) est désactivée, on estime qu'il s'agit de l'unité CPU maître, et si deux ou plusieurs lignes (deux ou plusieurs bits) sont désactivées, on estime qu'il s'agit de l'unité CPU esclave (pas D3).

 S'il s'agit de l'unité CPU maître, l'unité
35 physique CPU identifie que son propre numéro d'unité

physique CPU est n à partir de la position des bits des lignes individuelles 25 de remise à l'état initial du matériel des unités CPU, dans lesquelles seul un bit est invalidé en fonction du port d'entrée d'état ramené au
5 niveau initial 28, qui contrôle les lignes individuelles 25 de remise à l'état initial du matériel des unités CPU (pas D4), puis lit l'information de configuration des unités CPU à partir de la mémoire RAM non volatile 14 utilisée pour la mémorisation de l'information de configuration du système,
10 pour contrôler son propre état. A cet instant, l'unité physique CPU peut être déconnectée du système en étant désignée comme débranchée dans l'information de configuration des unités CPU, alors qu'elle est installée, pour la raison que le fonctionnement est instable (pas D5).

15 Le système évalue l'état de l'unité physique CPU à partir de l'information de configuration des unités CPU (pas D6) et si l'unité est identifiée comme étant branchée, le système exécute le positionnement de l'ensemble du matériel hormis des unités CPU esclaves. Sous l'effet de
20 cette opération, la mémoire principale 4, le dispositif 8 de commande des équipements périphériques et analogues deviennent disponibles (pas D7). Si l'unité est identifiée comme débranchée, le système exécute l'instruction ARRET et s'arrête. Il en résulte que le contrôleur de remise à
25 l'état initial 27 détecte le dépassement de temps et retire l'unité physique CPU n du traitement suivant de positionnement. Le contrôleur de remise à l'état initial 27 initialise l'ensemble du système, puis fait démarrer le traitement de positionnement à nouveau à partir de la
30 sélection d'une unité CPU maître (pas D8).

Après le pas D7, le registre d'informations de remise à l'état initial 29 signale l'achèvement de l'initialisation de l'unité CPU maître au contrôleur de remise à l'état initial 27. Le contrôleur de remise à l'état initial
35 27 arrête le contrôle du dépassement de temps effectué par

le mécanisme de détection de dépassement de temps 32, lors de la réception de cette notification (pas D9). Pour faire démarrer le traitement d'initialisation des unités CPU esclaves, une valeur 1, en tant que variable interne, est

5 mémorisée en tant que variable m de numéro logique d'une unité CPU, et un numéro d'unité physique, qui succède directement au numéro de la propriété physique CPU considérée est notifié lors du pas D4 et est mémorisé en tant que variable n de numéro de l'unité physique CPU.

10 Cette opération permet au système de se préparer afin que le numéro logique m d'une unité CPU, qui démarre à partir de un, soit affecté séquentiellement à partir de l'unité physique CPU possédant un numéro d'unité physique CPU, succédant au numéro de sa propre unité CPU (pas D10).

15 D'autre part, si elle s'identifie comme étant l'unité CPU esclave, l'unité physique CPU initialise uniquement le matériel qu'elle contient (pas D11), positionne le drapeau d'achèvement dans la mémoire principale 4, et signale l'achèvement de l'initialisation à

20 l'unité CPU maître (pas D12). Ensuite, l'unité CPU exécute une instruction ARRET et s'arrête alors. Après achèvement du chargement du programme initial par l'unité CPU maître, le système d'exploitation redémarre avec des communications entre les unités CPU (pas D13).

25 La figure 11 représente un organigramme illustrant des traitements séquentiels de sections, de démarrage et d'utilisation d'une unité CPU esclave, exécutés par l'unité CPU maître. Bien que le démarrage de ce traitement corresponde au pas A10 sur la figure 7, ici,

30 on décrit les traitements séquentiels effectués par l'unité CPU maître jusqu'à la notification d'achèvement de l'initialisation de l'unité CPU esclave, et les traitements détaillés exécutés par l'unité CPU maître sont représentés dans les pas qui vont de A10 à A14 sur la figure 7. On va

35 ici décrire une relation avec le traitement exécuté par le

contrôleur de remise à l'état initial 27 sur la figure 9.

L'information de configuration des unités CPU représentée sur la figure 5 est lue à partir de la mémoire RAM non volatile servant à la mémorisation de l'information de configuration du système, qui est raccordée au bus local 5 7 (pas E1). L'état de l'unité physique CPU n est évalué à partir de l'information de configuration des unités CPU. Lors de ce pas, n est positionné à un nombre qui succède directement au numéro physique de l'unité CPU maître au moment du traitement d'initialisation de cette unité CPU 10 maître, et est accru de un lors de chaque achèvement de positionnement de l'unité CPU esclave (pas E2). Si l'unité physique CPU n est débranchée, un est ajouté à n pour vérifier l'unité physique CPU suivante, étant donné que le 15 traitement d'initialisation est impossible. C'est pourquoi, le contrôleur de remise à l'état initial 27 maintient l'activation des lignes individuelles 25 de remise à l'état initial du matériel des unités CPU, aboutissant aux unités physiques CPU, dans lesquelles le débranchement est 20 désigné, ce qui réalise, du point de vue logique, un débranchement des unités CPU physiques à partir du bus 3 de raccordement des unités CPU (pas E3).

Si l'unité physique CPU n est branchée, l'unité CPU maître commence les préparatifs du traitement d'initialisation, par exemple des unités CPU esclaves. Tout 25 d'abord, m est positionné dans le registre de positionnement d'identifiants 26, en correspondance avec l'unité physique CPU n en tant que numéro logique de l'unité CPU. Étant donné que le registre de positionnement d'identifiants 26 est agencé comme représenté sur la figure 30 3, une valeur est aisément réglée sur une partie correspondant à l'unité physique CPU n par enregistrement de la demande d'une valeur m désignant une unité d'octet (pas E4). Un drapeau d'achèvement est positionné dans la 35 mémoire principale 4 pour signaler l'achèvement du

traitement d'initialisation de l'unité CPU esclave, et est ramené à zéro (pas E5). Ensuite, le registre d'informations de remise à l'état initial 29 commande le contrôleur de remise à l'état initial 27 pour qu'il déclenche le
5 démarrage des unités physiques CPU. Cette séquence correspond au pas C1 sur la figure 9 (pas E6).

Pour contrôler le démarrage de l'unité physique CPU n au moyen du contrôleur de remise à l'état initial 27, un comptage de boucles est réglé sur la variable interne N
10 (pas E7). L'état des lignes individuelles 25 de remise à l'état initial du matériel des unités CPU est lu à partir du port d'entrée d'état ramené au niveau initial 28 (pas E8), et une évaluation du fait que l'unité physique CPU n a démarré, est effectuée à partir de l'état des lignes
15 individuelles 25 de remise à l'état initial du matériel des unités CPU. Si l'unité physique CPU n démarre, les lignes individuelles 25 de remise à l'état initial du matériel des unités CPU, qui correspondent à l'unité physique CPU n, sont désactivées par le contrôleur de remise à l'état
20 initial 27 (pas E9). Après que les lignes individuelles 25 de remise à l'état initial du matériel des unités CPU, qui correspondent à l'unité physique CPU n, et une fois que le démarrage de l'unité physique CPU n a été confirmé, l'unité CPU maître attend le positionnement du drapeau d'achèvement
25 dans la mémoire principale 4.

Bien que, si l'initialisation de l'unité physique CPU n n'a pas aboutie, l'unité CPU maître se maintient telle quelle, étant donné que le contrôleur de remise à l'état initial 27 détecte le dépassement de temps au moyen
30 du mécanisme de détection du dépassement de temps 32 et déclenche le traitement de dépassement de temps, ce qui ramène simultanément la totalité du matériel à l'état initial, l'unité CPU maître peut à cet instant sortir de cet état de dépendance. Inversement, étant donné que ce système
35 comporte la configuration de bus commune, si

l'initialisation de l'unité physique CPU n est un insuccès, le traitement suivant effectué par le bus 3 de raccordement de l'unité CPU n'est pas garanti, de sorte que, même si l'unité CPU maître contrôle le dépassement de temps à ce stade, le traitement suivant exécuté par l'unité CPU maître ne peut pas se poursuivre. Cette séquence correspond au pas 5 sur la figure 9 (pas E10).

Lors de la réception de la notification d'achèvement du traitement d'initialisation de l'unité physique CPU n, le registre d'informations de remise à l'état initial 29 signale l'achèvement du traitement au contrôleur de remise à l'état initial 27. Le contrôleur de remise à l'état initial 27 arrête le contrôle effectué par le mécanisme de détection de dépassement de temps 32 lors de la réception de cette notification. Ce traitement correspond aux pas C6 à C8 sur la figure 9 (pas E11).

Lors du pas E9, si l'unité physique CPU n ne démarre pas, le compte de boucles mémorisé dans L est réduit de un (pas E12), et le compte de boucles mémorisé L est évalué. Si le compte de boucles est zéro, il est évalué en tant que dépassement de temps, et on suppose que le contrôleur de remise à l'état initial 27 a estimé que l'unité physique CPU n est "défectueuse". Cette séquence correspond au pas C3 sur la figure 9. Il en résulte que le traitement revient au pas E3 de manière à évaluer si une unité CPU correspondant à un numéro physique situé juste après un numéro de ladite unité physique CPU n peut démarrer. D'autre part, s'il ne s'agit pas du dépassement de temps, le processus exécute à nouveau les pas E8, E9 (pas E13).

Conformément aux traitements décrits précédemment, le positionnement du système peut être achevé uniquement au moyen d'unités CPU normale, tandis que les unités CPU défectueuses sont, d'un point de vue logique, débranchées du bus 3 de raccordement des unités CPU lorsque

les lignes individuelles 25 de remise à l'état initial du matériel des unités CPU défectueuses sont maintenues à l'état activé.

5 Les numéros des unités CPU normales peuvent être définis de façon continue à partir de zéro. Bien que le nombre des unités CPU soit égal à quatre dans l'exemple 1, on peut obtenir le même effet dans le cas où le nombre des unités CPU est égal à quatre ou à une valeur plus élevée.

10 Les effets fournis par l'exemple 1 sont les suivants :

(1) Conformément à l'exemple 1, le registre de positionnement d'identifiants 26 désigne les numéros des unités CPU comme simplement des unités CPU normales dans un ordre prédéterminé; le contrôleur de remise à l'état initial 27 débranche du point de vue logique les unités défectueuses, du bus commun, en détectant les unités CPU défectueuses pendant un traitement de positionnement basé sur la détection d'un dépassement de temps, en commençant une remise à l'état initial automatique et en supprimant un état anormal du matériel au moment du dépassement de temps dans le traitement de positionnement; une unité CPU quelconque, telle qu'un centre de commande, peut commander le traitement de positionnement sur la base du contenu du port d'entrée d'état ramené au niveau initial 28 et du registre d'informations de remise à l'état initial 26. Par conséquent le système selon l'exemple 1 fournit les effets selon lesquels : même si l'unité CPU quelconque est défectueuse, le système conserve une compatibilité avec le logiciel existant, grâce au positionnement automatique des numéros prédéterminés associés aux autres unités CPU normales; le système exécute de façon sûre une opération automatique étant donné que les unités CPU défectueuses sont déconnectées du système de sorte que le système fait démarrer automatiquement une opération de dégénération; le système n'a besoin que d'une faible adjonction de matériel

15
20
25
30
35

tandis que le traitement de positionnement peut être commandé par l'unité CPU en tant que centre, ce qui permet une activation automatique de ces unités pour faire démarrer le fonctionnement du système avec une configuration de système à faible coût.

(2) Étant donné que le registre de positionnement d'identiifiants 26 positionne le numéro de l'unité CPU maître dans tous les registres en réponse au signal de remise à l'état initial du système, l'unité CPU quelconque peut être aisément sélectionnée en tant qu'unité CPU maître, et étant donné qu'une valeur délivrée par le bus commun peut être positionnée uniquement lorsque les lignes individuelles 25 de remise à l'état initial du matériel des unités CPU sont activées, le système peut être constitué avec une quantité de matériau minimum, et la valeur est aisément positionnée.

(3) Étant donné que les unités CPU sont déconnectées, du point de vue logique, par maintien à l'état activé des lignes individuelles 25 de remise à l'état initial du matériel des unités CPU, un système, qui utilise des circuits intégrés à grande intégration à usage général, peut aisément utiliser le sous-système.

(4) Le contrôleur de remise à l'état initial 27 contrôle des traitements de positionnement des unités CPU au moyen du mécanisme 32 de détection de dépassement de temps, et lorsque le dépassement de temps est détecté, les unités CPU ne sont pas utilisées pour le traitement suivant de positionnement. Par conséquent, les unités CPU, dans lesquelles un défaut de positionnement apparaît, sont temporairement débranchées du système, ce qui déconnecte les unités CPU défectueuses du système de sorte que ce dernier déclenche automatiquement une opération de dégénération, de sorte que le système exécute de façon sûre une opération automatique.

(5) Étant donné que toutes les unités CPU

démarrent à partir de l'adresse spécifique en désactivant les lignes individuelles 25 de remise à l'état initial du matériel des unités CPU, toutes les unités CPU peuvent être positionnées par une seule mémoire ROM 13 pour la
5 mémorisation du programme d'initialisation, de sorte que le système peut être réalisé à bon marché.

(6) Étant donné que le contrôleur de remise à l'état initial 27 contrôle le positionnement de l'unité CPU maître et exécute une remise à l'état initial une fois que
10 le système a été ramené à l'état initial pendant la détection du dépassement de temps, le système est à même d'éliminer un état anormal du matériel au moment du dépassement de temps dans le traitement de positionnement, afin de mieux garantir le succès de la remise à l'état
15 initial, et identifier aisément les unités CPU défectueuses.

(7) L'unité CPU s'identifie en tant qu'unité CPU maître étant donné que les lignes individuelles 25 de remise à l'état initial du matériel des unités CPU sont
20 désactivées au niveau seulement d'un bit, et que l'unité CPU est à même de connaître son propre numéro d'unité physique. C'est pourquoi, l'unité CPU maître est positionnée en douceur et que le système peut être réalisé à bon marché, avec une quantité de matériels plus faible.

(8) L'unité CPU maître sélectionne des unités CPU devant être initialisées en tant qu'unités CPU esclaves, sur la base d'une information de configuration des unités CPU de la mémoire RAM non volatile 14, détermine des
25 numéros des unités CPU devant être placées dans le registre de positionnement d'identifiants 26, et passe au traitement de positionnement des unités CPU esclaves, tout en confirmant chaque achèvement d'un positionnement, de sorte que le système peut aisément identifier l'unité CPU défectueuse avec une quantité de matériels moins importante.
30

(9) Lorsque le contrôleur de remise à l'état
35

initial 27 détecte le dépassement de temps de positionnement des unités CPU esclaves, il relance le traitement de positionnement de l'unité CPU maître après que le système a été ramené à l'état initial. Par conséquent, un état
5 anormal du matériel au moment de l'apparition du dépassement de temps peut être supprimé, et ceci permet d'améliorer la garantie de succès de remise à l'état initial du système.

(10) L'unité CPU esclave s'identifie en tant
10 qu'unité CPU esclave au moyen de deux ou d'un plus grand nombre de bits des lignes individuelles désactivées 25 de remise à l'état initial du matériel de l'unité CPU. Par conséquent, l'unité CPU esclave peut être positionnée en douceur avec une quantité de matériel moins grande dans
15 cette unité.

Exemple 2

La figure 12 représente un schéma-bloc montrant un dispositif de transmission d'informations sous la forme d'un système multiprocesseur symétrique selon l'exemple 2
20 de l'invention. Sur la figure 12, les mêmes éléments que ceux de l'exemple 1 représenté sur la figure 1 sont désignés par les mêmes chiffres de référence, et on ne donnera pas de description à titre de simplification. Les nouveaux chiffres de référence sont les suivants : le
25 chiffre de référence 15 désigne un port d'entrée/sortie disposé à l'extrémité du bus local 7 et établit une liaison avec le canal de communication; le chiffre de référence 16 désigne un dispositif de contrôle du système servant à contrôler des conditions anormales du système, et qui est
30 activé par une alimentation en énergie séparée de ce fait du panneau 2 du système; le chiffre de référence 17 désigne une console de maintenance; le chiffre de référence 18 désigne un modem; le chiffre de référence 19 désigne une ligne de communication; le chiffre de référence 20 désigne
35 une console distante; le chiffre de référence 21 désigne un

canal de communication pour la transmission de données entre des unités physiques CPU 5a à 5d et le contrôleur 16 du système, et est utilisé en tant que logiciel de contrôle du système ou analogue, qui est exécuté dans les unités

5 physiques CPU 5a à 5d pour obtenir une information d'état du système à partir du dispositif 16 de contrôle du système. Le chiffre de référence 30 désigne une information de commande de configuration des unités CPU servant à

10 conserver une information de panne des unités physiques CPU 5a à 5d; le chiffre de référence 31 désigne un canal de communication de remise à l'état initial pour la communication de données entre le contrôleur de remise à l'état initial 27 et le dispositif 16 de contrôle du système. Le canal de communication 21 est utilisé pour les

15 unités physiques CPU 5a à 5d pendant le fonctionnement du système, et est utilisé uniquement lorsque le système fonctionne normalement. Au contraire, le canal de communication de remise à l'état initial 31 est utilisé pour la lecture et l'enregistrement de l'information de

20 commande de configuration 30 de l'unité CPU entre le contrôleur de remise à l'état initial 27 et le dispositif 16 de contrôle du système pendant un traitement de positionnement du système, et est utilisé indépendamment de l'état de fonctionnement du système.

25 C'est-à-dire que, en ajoutant l'information 30 de commande de la configuration des unités CPU dans le dispositif 16 de contrôle du système en rapport avec l'exemple 1 représenté sur la figure 1, le dispositif de traitement d'informations conforme à l'exemple 2 représenté

30 sur la figure 12 peut conserver, après débranchement de l'alimentation en énergie appliquée au panneau 2 du système, les enregistrements de l'unité physique CPU, dans laquelle un défaut apparaît, lors du positionnement du système, et de les utiliser à nouveau lors du position-

35 nement suivant. Le dispositif de traitement d'informations

permet en outre la lecture de l'information de panne à partir de la console de maintenance 17 et de la console à distance 20, et le système peut être positionné sans aucune unité physique CPU quelconque, par désignation de l'unité CPU défectueuse à partir de la console de maintenance 17 et de la console à distance 20 dans l'information 30 de commande de configuration de l'unité CPU.

La figure 13 est un schéma montrant une partie concernant l'information de panne de l'unité CPU parmi l'information de commande de configuration des unités CPU, conservée par le dispositif 16 de contrôle du système. Les données indiquent les états de panne des unités physiques CPU correspondantes et, dans cet exemple, seul est enregistré le fait que l'unité physique CPU 5a, dont le numéro logique est zéro, est défectueuse. Ces données sont lues au moment de l'initialisation des unités physiques CPU 5a à 5d par le contrôleur de remise à l'état initial 27 et sont utilisés pour débrancher les unités physiques CPU situées dans un état de panne, à partir du bus 3 de raccordement de l'unité CPU. Si une quelconque unité CPU défectueuse est trouvée pendant le traitement d'initialisation, le contrôleur de remise à l'état initial 27 enregistre les données correspondant à l'unité CPU défectueuse, en tant que défaut. Par conséquent, cette information de défaut est très utile pour le positionnement du système à un instant se situant après l'application de l'alimentation en énergie du panneau 2 du système, étant donné que les unités CPU défectueuses sont identifiées à tout moment à partir de la console à distance 20 indépendamment de la mise sous tension et du débranchement du panneau 2 du système, dans ce système on peut réduire la durée pour le positionnement suivant et sa tâche de maintenance peut en être améliorée. Au moyen d'un enregistrement préalable des données correspondant à des unités physiques CPU instables 5a à 5d, en tant que défaut, de

telles unités CPU peuvent être débranchées temporairement du système, ce qui permet d'améliorer la fiabilité de ce dernier.

Ci-après, en se référant aux organigrammes des figures 14, 15, on va décrire le fonctionnement du dispositif de traitement d'informations selon l'exemple 2. La figure 14 représente un organigramme montrant l'ensemble de l'exécution du traitement d'initialisation du système de l'exemple 2, et la figure 15 représente un organigramme décrivant les détails de l'initialisation du contrôleur de remise à l'état initial 27 lors du pas F3 sur la figure 14.

Après la mise sous tension, le fonctionnement jusqu'au chargement du programme initial après l'achèvement de l'initialisation du système est presque le même que l'opération indiquée par l'organigramme du traitement fondamental d'initialisation du système, qui est représenté sur la figure 7 conformément à l'exemple 1, et les seuls traitements, qui diffèrent de l'organigramme de la figure 7, sont les pas F3 et F15. C'est-à-dire que les pas F1 et F2 sont presque identiques aux pas A1, A2 représentés sur la figure 7. Lors de la mise sous tension, l'énergie est appliquée à l'ensemble du matériel du panneau 2 du système représenté sur la figure 12 (pas F1). Lors de la mise sous tension, le générateur 22 du signal de remise à l'état initial lors de la mise sous tension active la ligne 23 de transmission du signal de remise à l'état initial lors de la remise sous tension. Sous l'effet de l'activation de la ligne 23 de transmission du signal de remise à l'état initial lors de la mise sous tension, l'ensemble du matériel situé sur le panneau 2 du système est réglé dans un état initial minimum, dans lequel les unités physiques CPU 5a à 5d peuvent déclencher le traitement d'initialisation (pas F2).

A cet instant, tous les bits du registre de positionnement d'identifiants 26 sont ramenés à zéro, ce

qui désigne les numéros logiques de l'unité CPU de toutes les unités physiques CPU 5a à 5d comme étant zéro en tant que numéro logique de l'unité CPU maître. En outre, tous les bits du registre d'informations de remise à l'état initial 29 sont positionnés à zéro, provoquent la suppression de toutes les demandes de démarrage et des notifications d'achèvement du traitement d'initialisation des unités CPU physiques 5a à 5d. Le contrôleur de remise à l'état initial 27 reçoit, au niveau d'une entrée de remise à l'état initial, un signal d'activation de la ligne 23 de transmission du signal de remise à l'état initial lors de la mise sous tension, et active toutes les lignes individuelles 25a à 25d de remise à l'état initial du matériel des unités CPU. Conformément à cette opération, les unités physiques CPU 5a à 5d sont initialisées et sont débranchées, du point de vue logique, du bus 3 de raccordement des unités CPU.

En outre, la demande de bus envoyée au bus 3 de raccordement des unités CPU est supprimée. Le contrôleur de remise à l'état initial 27 maintient à l'état activé les lignes individuelles 25a à 25d de remise à l'état initial du matériel des unités CPU jusqu'à ce que l'unité physique CPU 5a à 5d, qui doit démarrer, soit déterminée, ce qui débranche, d'un point de vue logique, les unités physiques 5a à 5d, du bus 3 de raccordement des unités CPU. De ce fait, si une unité CPU n'est pas sélectionnée en tant qu'unité physique CPU devant démarrer, le système se positionne lui-même dans un état, dans lequel les unités CPU sont dégénérées.

Ensuite, le contrôleur de remise à l'état initial 27 déclenche l'initialisation d'états internes à un instant où la ligne 23 de transmission du signal de remise à l'état initial lors de la mise sous tension est désactivée. En rapport avec l'auto-initialisation du contrôleur de remise à l'état initial 27 et avec le traitement de lecture de

l'information 30 de commande de configuration des unités CPU, l'unité CPU maître est sélectionnée sur la base uniquement des enregistrements de défauts des unités CPU, en tant que variables internes du contrôleur de remise à l'état initial 27 dans l'exemple 1. Cependant, dans l'exemple 2, l'unité CPU maître est sélectionnée après que l'information 30 de commande de configuration des unités CPU ait été transférée du dispositif 16 de contrôle du système aux enregistrements de défauts des unités CPU. Par conséquent les unités peuvent être dès le départ extraites de la sélection de l'unité CPU maître en fonction de l'information de défauts des unités CPU, désignée par avance dans l'information de commande de configuration 30 des unités CPU maîtres si l'information de commande de configuration 30 des unités CPU n'est pas lue en raison de la présence d'un défaut du dispositif 16 de contrôle du système, l'unité CPU maître est sélectionnée uniquement sur la base des enregistrements de défauts des unités CPU, comme dans l'exemple 1.

Les pas F4 à F14 sont presque identiques aux pas A4 et A14 représentés sur la figure 7. C'est-à-dire que le contrôleur de remise à l'état initial 27 commence à désactiver uniquement la ligne individuelle 25 de remise à l'état initial du matériel qui correspond à l'unité physique CPU sélectionnée comme étant l'unité CPU maître, lors du pas F4 indiqué précédemment. Le contrôleur de remise à l'état initial 27 sélectionne l'unité physique CPU 5a en tant qu'unité CPU maître, désactive la ligne individuelle 25a de remise à l'état initial du matériel de l'unité CPU et contrôle le temps de traitement d'initialisation de l'unité physique CPU 5a par l'intermédiaire du mécanisme de détection de dépassement de temps 32. Le processeur 51 de l'unité physique CPU 5a délivre la demande de bus pour la lecture de la première instruction du programme d'initialisation à partir de l'adresse d'instruc-

tion prédéterminée dans la mémoire RAM 13 et servant à mémoriser le programme d'initialisation (pas F4, F5).

A cet instant, l'unité physique CPU 5a sélectionnée en tant qu'unité physique CPU maître par le
5 contrôleur de remise à l'état initial 27 s'identifie comme étant l'unité CPU maître et exécute le positionnement du matériel du panneau 2 du système après le positionnement de son propre matériel interne. Une fois achevé le traitement de ce pas F6, la mémoire principale 4 et les dispositifs de
10 commande 8 (chiffre de référence général pour 8a à 8d) des équipements périphériques peuvent être normalement utilisés. Lorsque le traitement d'initialisation est terminé comme étant normal, l'unité CPU maître 5a signale l'achèvement du traitement au contrôleur de remise à l'état
15 initial 27 par l'intermédiaire du registre d'informations de remise à l'état initial 29 et, lors de la réception de cette notification, le contrôleur de remise à l'état initial 27 arrête le contrôle exécuté par le mécanisme 32 de détection de dépassement de temps (pas F6).

20 Le contrôleur de remise à l'état initial 27 contrôle le temps de traitement d'initialisation de l'unité CPU maître par le mécanisme de détection de dépassement de temps 32 et, si l'achèvement du traitement n'est pas notifié en un intervalle de temps prédéterminé par l'unité
25 CPU maître 5a par l'intermédiaire du registre d'informations de remise à l'état initial 29, le contrôleur de remise à l'état initial 27 détecte le dépassement de temps et déclenche le traitement du dépassement de temps (pas F7). L'unité CPU maître 5a répète séquentiellement le
30 traitement d'initialisation pour les unités CPU esclaves parmi les autres unités physiques CPU 5b à 5d. Par conséquent, si l'initialisation des unités CPU esclaves est un insuccès, on peut aisément évaluer quelle unité CPU en est la cause (pas F8).

35 L'unité CPU maître 5a confirme l'achèvement de

l'initialisation de toutes les unités CPU esclaves et peut savoir combien d'unités CPU esclaves peuvent finalement être utilisées. Le système déclenche ensuite le chargement de programmes initiaux soit à partir de l'unité à disque souple 11, soit à partir de l'unité à disque magnétique 12. Le système de fonctionnement est positionné par cette opération, et le dispositif 1 de traitement d'informations déclenche le fonctionnement du système (pas F9).

L'unité CPU maître 5a sélectionne les unités physiques CPU, dans lesquelles le traitement d'initialisation doit démarrer, comme étant les unités CPU esclaves, sur la base de l'information de configuration des unités CPU situées dans la mémoire RAM non volatile 14 servant à mémoriser l'information de configuration du système, et détermine le numéro logique de l'unité CPU devant être placée dans le registre de positionnement d'identifiants 26. Une fois qu'un drapeau d'achèvement présent dans la mémoire principale 4 servant à recevoir la notification de l'achèvement de l'initialisation à partir des unités CPU esclaves est ramené à l'état initial, l'unité CPU maître 5a commande le contrôleur de remise à l'état initial 27 pour qu'il fasse démarrer l'unité physique CPU, au moyen du registre d'informations de remise à l'état initial 29 (pas F10).

S'il est amené par l'unité CPU maître à faire démarrer l'unité physique CPU par l'intermédiaire du registre d'informations de remise à l'état initial 29, le contrôleur de remise à l'état initial 27 vérifie les informations de défauts des unités CPU, en tant que variables internes. Si l'unité physique CPU est évaluée comme "défaillante", le contrôleur de remise à l'état initial 27 estime que l'unité physique CPU ne peut pas démarrer et arrête le démarrage de l'unité physique CPU exécuté par désactivation de la ligne individuelle 25 de remise à l'état initial du matériel des unités CPU. D'autre part,

après la commande du démarrage de l'unité physique CPU par le registre d'informations de remise à l'état initial 29, l'unité CPU maître contrôle l'état des lignes individuelles 25 de remise à l'état initial du matériel des unités CPU, qui correspondent aux unités physiques CPU sélectionnées à partir du port d'entrée d'état de remise à niveau initial 28, et, si elle n'est pas désactivée pendant un intervalle de temps prédéterminé, l'unité CPU maître estime que l'unité CPU physique était "défectueuse" et passe au traitement d'initialisation de l'unité physique CPU suivante (pas F11).

Le contrôleur de remise à l'état initial 27 estime que les unités physiques CPU, qui ont reçu la commande de démarrage de la part de l'unité CPU maître, peuvent démarrer et déclenchent le démarrage des unités physiques CPU par désactivation des lignes individuelles correspondantes 25 de remise à l'état initial du matériel des unités CPU. En outre, le contrôleur de remise à l'état initial 27 contrôle le traitement d'initialisation des unités CPU esclaves au moyen du mécanisme de détection de dépassement de temps 32 (pas F12).

Les unités CPU esclaves s'identifient en tant qu'unités CPU esclaves en fonction de l'organigramme de la figure 10, exécutent un traitement d'initialisation pour l'unité CPU esclave et signalent l'achèvement de ce traitement à l'unité CPU maître, un positionnement de drapeau d'achèvement dans la mémoire principale 4. L'unité CPU maître, qui a reçu cette modification, signale alors l'achèvement de l'initialisation de l'unité physique CPU au contrôleur de remise à l'état initial 27, au moyen du registre d'informations de remise à l'état initial 29, et le contrôleur de remise à l'état initial 27 arrête le contrôle au moyen du mécanisme de détection de dépassement de temps 32 (pas F13).

Le contrôleur de remise à l'état initial 27

contrôle le temps de traitement d'initialisation des unités CPU esclaves au moyen du mécanisme de détection de dépassement de temps 32 et, si l'achèvement du traitement n'est pas signalé dans un laps de temps prédéterminé par
5 l'intermédiaire du registre d'informations de remise à l'état initial 29 à partir de l'unité CPU maître 5a qui a reçu la notification d'achèvement de l'initialisation des unités CPU esclaves, le contrôleur de remise à l'état initial 27 détecte le dépassement de temps et déclenche le
10 traitement du dépassement de temps (pas F14).

Lorsque le contrôleur de remise à l'état initial 27 déclenche le traitement du dépassement de temps, l'unité CPU défectueuse est positionnée dans les enregistrements de défauts des unités CPU, et les enregistrements de défauts
15 corrigés des unités CPU sont réenregistrés dans l'information de commande de configuration 30 des unités CPU, dans le dispositif 16 de contrôle du système. Il en résulte qu'un opérateur peut connaître l'état de défauts des unités physiques 5a à 5d à partir de la console de
20 maintenance 17 et de la console distante 20, à un instant quelconque, ce qui améliore la maintenance du système. Dans l'exemple 1, lorsque l'alimentation en énergie pour le panneau du système est interrompue, les enregistrements de défauts des unités CPU sont perdus et au moment du
25 branchement la fois suivante, les unités CPU défectueuses sont traitées de manière à être à nouveau débranchées dès le départ. Au contraire, dans l'exemple 2, étant donné que les enregistrements de défauts des unités CPU sont mémorisés dans l'information de commande de configuration
30 30 des unités CPU dans le dispositif 16 de contrôle du système, les unités CPU défectueuses détectées au préalable peuvent être soustraites par avance du traitement d'initialisation, à l'instant de la mise sous tension suivante, ce qui réduit le temps de traitement de positionnement (pas
35 F15).

En activant la ligne 33 de demande de remise à l'état initial du système et en activant de ce fait la ligne 35 de transmission du signal de remise à l'état initial du système, le contrôleur de remise à l'état initial 27 active l'entrée de remise à l'état initial de l'ensemble du matériel du panneau 2 du système. Si le dépassement de temps se produit, le système peut être dans une situation, dans laquelle on ne peut pas s'attendre à un fonctionnement normal, hormis au niveau du contrôleur de remise à l'état initial 27, étant donné que le bus 3 de raccordement des unités CPU ou le bus local 7 peuvent être occupés, en tant que tels, par des unités CPU défectueuses. Par conséquent, l'initialisation simultanée de l'ensemble du matériel est requise au moyen de l'envoi de la demande de remise à l'état initial du système à partir du contrôleur de remise à l'état initial 27 (pas F16). L'ensemble du matériel du panneau 2 du système est ramené à l'état initial juste après la remise à l'état initial lors de la mise sous tension (pas F17).

Le contrôleur de remise à l'état initial 27 initialise l'ensemble des unités CPU physiques 5a à 5d en activant la totalité des lignes individuelles 25a à 25d de remise à l'état initial du matériel des unités CPU et les déconnecte de façon logique du bus 3 de raccordement des unités CPU. Une fois le traitement achevé, le contrôleur de remise à l'état initial 27 relance les traitements à partir du traitement de sélection de l'unité CPU maître du pas A4 ci-dessus. Un tel traitement est également exécuté de façon similaire lorsque les unités CPU esclaves sont initialisées, de sorte que, même lorsque les unités CPU dans lesquelles un défaut apparaît, occupent le bus 3 de raccordement des unités CPU, le système libère l'état occupé et peut relancer le traitement de positionnement (pas F18).

On va décrire les détails du pas F3 de la figure

14 conformément à un organigramme représenté sur la figure
15. Ce traitement est exécuté par le contrôleur de remise à
l'état initial 27 et représente un déroulement de processus
pour la production d'enregistrements de défauts d'unités
5 CPU au moyen de l'information de commande de configuration
30 de l'unité CPU dans le dispositif 16 de contrôle du
système. Si la remise à l'état initial lors de la mise sous
tension est supprimée, le contrôleur de remise à l'état
initial 27 exécute une initialisation interne du matériel
10 (pas G1). Le contrôleur de remise à l'état initial 27
initialise des variables utilisées de façon interne. En
particulier, le contrôleur de remise à l'état initial 27
positionne toutes les unités physiques CPU 5a à 5d comme
"normales" dans les enregistrements de défauts d'unités CPU
15 (pas G2). Le contrôleur de remise à l'état initial 27
délivre alors une demande de transfert de l'information de
commande de configuration 30 des unités CPU au dispositif
16 de contrôle du système par l'intermédiaire du canal de
communication de remise à l'état initial 31 (pas G3).

20 Le contrôleur de remise à l'état initial 27
contrôle alors la réponse du dispositif 16 de contrôle du
système par l'intermédiaire du mécanisme 32 de détection de
dépassement de temps (pas G4), et lit l'information de
commande de configuration 30 des unités CPU, qui est
25 transmise par le dispositif 16 de contrôle du système, en
rapport avec les enregistrements de défauts d'unités CPU.
Ici, on indique à titre d'exemple que l'unité physique CPU
0 (5a) est enregistrée comme "défectueuse" dans l'informa-
tion de commande de configuration 30 des unités CPU (pas
30 G7).

Si la transmission de données n'est pas encore
achevée, la détection de dépassement de temps par le
mécanisme 30 de détection de dépassement de temps est
vérifiée. S'il n'y a pas encore dépassement de temps, le
35 traitement revient au pas G5 et attend la transmission de

données. D'autre part, s'il y a dépassement de temps, l'évaluation indique qu'un défaut est apparu dans le dispositif 16 de contrôle du système, et le système abandonne la lecture de l'information de commande de configuration 30 des unités CPU et poursuit le traitement
5 alors que les enregistrements actuels de défauts d'unités CPU sont utilisés tels quels. Il en résulte qu'une unité physique CPU 5a, dont le numéro logique est 0, est sélectionnée en tant qu'unité CPU maître (pas G8).

10 Conformément aux traitements indiqués précédemment, les unités CPU défectueuses peuvent être confirmées à partir de l'information de contrôle de configuration des unités CPU, et des unités CPU instables peuvent être débranchées du système à partir d'un
15 emplacement distant, par enregistrement par avance d'une information de défaut dans l'information de commande de configuration de l'unité CPU. Bien que le nombre des unités CPU soit égal à quatre dans l'exemple 2, il peut être égal à quatre ou plus.

20 Les effets du système conforme à l'exemple 2 sont les suivants :

(1) Contrairement à l'agencement de l'exemple 1, le système de l'exemple 2 comprend en outre le dispositif 16 de contrôle du système qui contient l'information de
25 commande de configuration 30 des unités CPU servant à retenir l'information de défaut des unités CPU et qui est raccordée au contrôleur de remise à l'état initial 27 par l'intermédiaire du canal de communication de remise à l'état initial 31 pour la transmission de données. Par
30 conséquent, les enregistrements des unités CPU, dans lesquelles un défaut apparaît, peuvent être conservés dans l'information de commande de configuration 30 des unités CPU après le débranchement de l'alimentation du panneau 2 du système de sorte que les enregistrements des unités CPU
35 défectueuses peuvent être utilisés habituellement lors du

positionnement suivant après l'interruption de l'alimentation en énergie, de sorte que le système peut confirmer les unités CPU défectueuses à un instant quelconque, et que le système est positionné en un intervalle de temps réduit
5 lors du cycle suivant et que sa maintenance s'en trouve améliorée.

(2) En rapport avec la description donnée précédemment, le contrôleur de remise à l'état initial 27 débranche les unités CPU défectueuses du système sur la
10 base du contenu présent dans l'information de commande de configuration 30 de l'unité CPU dans le dispositif 16 de contrôle du système, ce qui permet un débranchement du système par rapport aux unités CPU instables, au moyen de la désignation préalable de ces unités, et permet d'améliorer la maintenance du système et l'applicabilité dans son
15 utilisation.

(3) En rapport avec la description donnée précédemment, le contrôleur de remise à l'état initial 27 contrôle l'indication de l'information de commande de configuration 30 des unités CPU à partir du dispositif 16 de contrôle du système au moyen du mécanisme de détection du dépassement de temps 32, et si le dépassement de temps est détecté, le système continue le traitement de positionnement en considérant que toutes les unités CPU
20 sont normales. Par conséquent, lors de la détection du dépassement de temps, sous l'effet de la poursuite du traitement de positionnement alors que toutes les unités CPU sont considérées comme normales, le système peut achever le positionnement même si un défaut apparaît dans
25 le dispositif 16 de contrôle du système, et en améliore l'utilisation.

(4) En rapport avec la description donnée précédemment, le contrôleur de remise à l'état initial 27 contrôle les traitements de positionnement des unités CPU
35 par l'intermédiaire du mécanisme de détection de dépasse-

ment de temps 32, et si le dépassement de temps est détecté, les apparitions de défauts des unités CPU sont enregistrées dans l'information de commande de configuration 30 des unités CPU. Par conséquent, en conservant les enregistrements des unités CPU défectueuses dans le dispositif 16 de contrôle du système, le système peut utiliser ces enregistrements pour le positionnement suivant une fois que l'alimentation en énergie est débranchée, et peut également confirmer l'état des unités CPU défectueuses, selon une séquence quelconque. Étant donné qu'il élimine automatiquement de telles unités CPU du traitement de positionnement ultérieur, l'opération de maintenance du système et sa fiabilité s'en trouvent améliorées est sa durée de positionnement est raccourcie.

REVENDEICATIONS

1. Système multiprocesseur apte à se positionner lui-même tout en déconnectant des unités centrales de traitement CPU (5a-5d) défectueuses à partir d'un bus commun (3) raccordant ces unités, caractérisé en ce qu'il comprend :

une seule mémoire morte (13), prévue pour ledit bus commun qui raccorde une pluralité d'unités centrales de traitement et servant à mémoriser un programme d'initialisation pour la stabilisation du système lorsque le système est mis sous tension;

une seule mémoire à accès sélectif non volatile (14), raccordée audit bus commun et servant à mémoriser une information de configuration du système indiquant l'état de montage de la pluralité des unités centrales de traitement;

un registre (26) de positionnement d'identi-
fiants, raccordé audit bus commun et apte à affecter un numéro à une unité centrale de traitement (5a-5d) quelconque et à lire ce numéro à partir de l'unité centrale de traitement quelconque, pour désigner des numéros affectés aux unités centrales de traitement respectives;

un contrôleur de remise à l'état initial (27), connecté à chaque unité centrale de traitement (5a-5d) par l'intermédiaire d'une ligne matérielle individuelle de remise à l'état initial de l'unité centrale de traitement, pour placer individuellement lesdites unités centrales de traitement dans un état initial en activant la ligne matérielle individuelle de remise à l'état initial de l'unité centrale de traitement, et dans un état de positionnement en désactivant les lignes individuelles correspondantes de remise à l'état initial du matériel des unités centrales de traitement, sur la base d'une information de demande de démarrage de chaque unité centrale de traitement, ledit contrôleur de remise à l'état initial (27) possédant un mécanisme de détection de

dépassement de temps (32) pour contrôler l'achèvement de l'initialisation de chaque unité centrale de traitement, arrêter le fonctionnement dudit mécanisme de détection de dépassement de temps (32) sur la base d'une information de notification indiquant l'achèvement de l'initialisation de chaque unité centrale de traitement, et déconnecter du système, à l'instant de la détection du dépassement de temps exécutée par ledit mécanisme de détection de dépassement de temps, les unités centrales de traitement correspondantes, dont les enregistrements indiquent une apparition de défauts, ce qui initialise l'ensemble du matériel par l'envoi d'une demande de remise à l'état initial du système pour réaliser la remise à l'état initial complète d'un panneau du système;

un port d'entrée de l'état ramené au stade initial (28), qui lit l'état de chaque ligne matérielle individuelle de remise à l'état initial des unités centrales de traitement et active une unité centrale de traitement quelconque pour qu'elle lise l'état lu par l'intermédiaire dudit bus commun; et

un registre d'informations de remise à l'état initial (29) servant à conserver ladite information de demande de démarrage des unités centrales de traitement (5a-5d) sélectionnées, et ladite information de notification d'achèvement de l'initialisation des unités centrales de traitement obtenue à partir d'une unité centrale de traitement quelconque par l'intermédiaire dudit bus commun, transmettre ladite information de demande de démarrage et ladite information de notification audit contrôleur de remise à l'état initial, et activer une unité centrale de traitement quelconque pour qu'elle lise ladite information de demande de démarrage et ladite information de notification par l'intermédiaire dudit bus commun.

2. Système multiprocesseur selon la revendication 1, caractérisé en ce que ledit registre (26) de positionne-

ment d'identifiants inclut des registres en un nombre correspondant à celui desdites unités centrales de traitement (5a-5d) raccordées audit bus commun, et que toutes les valeurs dudit registre (26) de positionnement d'identifiants sont réglées sur le numéro d'une unité centrale de traitement maître en réponse à un signal de remise à l'état initial du système, et sont réglées sur une valeur à partir dudit bus commun, uniquement dans une partie du registre pour laquelle lesdites lignes individuelles de remise à l'état initial du matériel des unités centrales de traitement (5a-5d) sont activées.

3. Système multiprocesseur selon la revendication 1, caractérisé en ce que ledit contrôleur de remise à l'état initial maintient lesdites lignes individuelles de remise à l'état initial du matériel des unités centrales de traitement, qui correspondent à des unités centrales de traitement qui doivent être déconnectées du système, de manière qu'elles puissent être activées.

4. Système multiprocesseur selon la revendication 1, caractérisé en ce que ledit contrôleur de remise à l'état initial (27) contrôle le traitement de positionnement de chaque unité centrale de traitement (5a-5d) par l'intermédiaire dudit mécanisme de détection de dépassement de temps (32) et, lorsque le dépassement de temps est détecté, déconnecte les unités centrales de traitement, du traitement de positionnement effectué ultérieurement.

5. Système multiprocesseur selon la revendication 1, caractérisé en ce que ledit contrôleur de remise à l'état initial (27) établit des instructions de mise en oeuvre d'une unité centrale de traitement (5a-5d) quelconque à partir de la même adresse située dans ladite mémoire morte (13) pour mémoriser un programme d'initialisation en rendant ladite ligne matérielle individuelle de remise à l'état initial de l'unité centrale de traitement, apte à être activée.

6. Système multiprocesseur selon la revendication 1, caractérisé en ce que ledit contrôleur de remise à l'état initial (27) fait démarrer une unité centrale de traitement (5a-5d) en tant qu'unité centrale de traitement maître, contrôle le traitement de positionnement de l'unité centrale de traitement maître par l'intermédiaire dudit mécanisme de détection de dépassement de temps (32) et, lorsque le dépassement de temps est détecté, relance le traitement de remise à l'état initial après la remise à l'état initial de l'ensemble du matériel, hormis ledit contrôleur de remise à l'état initial.

7. Système multiprocesseur selon la revendication 6, caractérisé en ce que ladite unité centrale de traitement maître s'identifie en tant qu'unité centrale de traitement maître, lorsque la ligne individuelle de remise à l'état initial du matériel de l'unité centrale de traitement comporte seulement un bit pouvant être invalidé, et identifie le numéro physique de l'unité centrale de traitement à partir de la position du bit pouvant être invalidé.

8. Système multiprocesseur selon la revendication 7, caractérisé en ce que ladite unité centrale de traitement maître sélectionne, sur la base de l'information de configuration des unités centrales de traitement (5a-5d) dans ladite mémoire à accès sélectif non volatile (14), des unités centrales de traitement qui déclenchent le processus d'initialisation en tant qu'unités de l'unité centrale de traitement esclaves, détermine le numéro de l'unité centrale de traitement devant être positionné dans ledit registre (26) de positionnement d'identifiants et commande séquentiellement le démarrage du traitement d'initialisation dans chaque unité centrale de traitement esclave avec confirmation de l'achèvement de ce traitement.

9. Système multiprocesseur selon la revendication 8, caractérisé en ce que ledit contrôleur de remise à

l'état initial (27) contrôle le traitement de positionnement de l'unité centrale de traitement esclave par ledit mécanisme de détection de dépassement de temps (32) et, lorsque le dépassement de temps est détecté, relance le traitement de positionnement à partir de l'unité centrale de traitement maître après la remise à l'état initial de la totalité du matériel, hormis ledit contrôleur de remise à l'état initial (27).

10 10. Système multiprocesseur selon la revendication 7, caractérisé en ce que ladite unité centrale de traitement esclave s'identifie, en tant qu'unité centrale de traitement esclave, le moment où ladite ligne individuelle de remise à l'état initial du matériel de l'unité centrale de traitement comporte 2 bits ou plus
15 pouvant être invalidés.

11. Système multiprocesseur selon la revendication 1, caractérisé en ce que ce système comporte en outre un dispositif de contrôle (16) du système, qui est connecté par un canal de remise à l'état initial pour la
20 transmission de données en direction et en provenance dudit contrôleur de remise à l'état initial (27), et qui possède une information de commande de configuration des unités centrales de traitement (5a-5d) pour retenir l'information de panne de chaque unité centrale de traitement.

25 12. Système multiprocesseur selon la revendication 11, caractérisé en ce que ledit contrôleur de remise à l'état initial (27) déconnecte l'unité centrale de traitement défectueuse du système sur la base de ladite information de commande de configuration des unités
30 centrales de traitement (5a-5d).

13. Système multiprocesseur selon la revendication 11, caractérisé en ce que ledit contrôleur de remise à l'état initial (27) contrôle la lecture de ladite information de commande de configuration de l'unité
35 centrale de traitement à partir dudit dispositif (16) de

contrôle du système par ledit mécanisme de détection de dépassement de temps et, lorsque le dépassement de temps est détecté, continue le traitement de positionnement en supposant que toutes les unités centrales de traitement
5 (5a-5d) sont normales.

14. Système multiprocesseur selon la revendication 11, caractérisé en ce que ledit contrôleur de remise à l'état initial (27) contrôle le traitement de positionnement des unités centrales de traitement (5a-5d) par ledit
10 mécanisme de détection de dépassement de temps (32) et, lorsque le dépassement de temps est détecté, enregistre les apparitions de défauts des unités centrales de traitement (5a-5d) dans ladite information de commande de configuration des unités centrales de traitement.

2/17

FIG.2

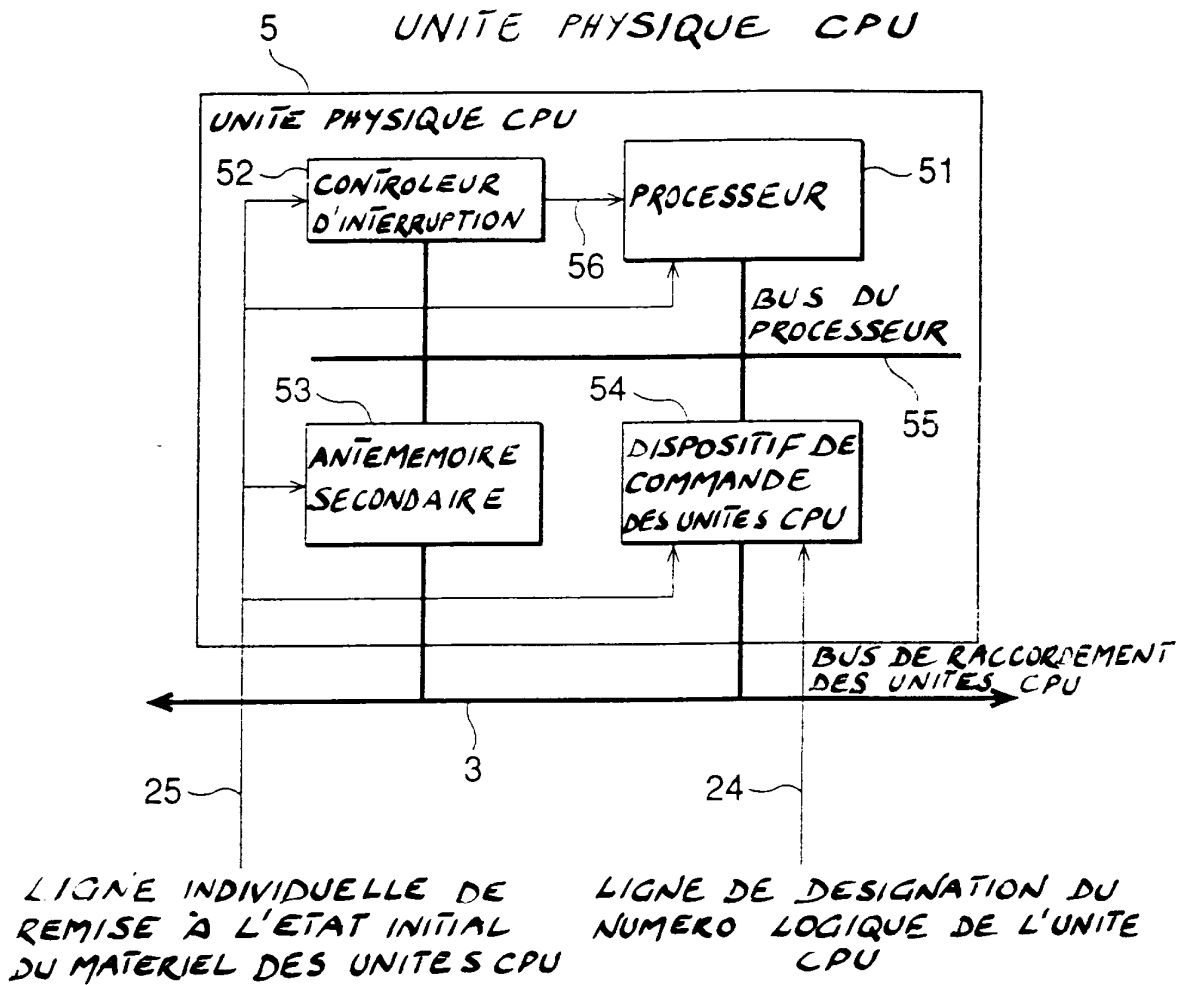


FIG.3

REGISTRE DE POSITIONNEMENT DES IDENTIFIANTS

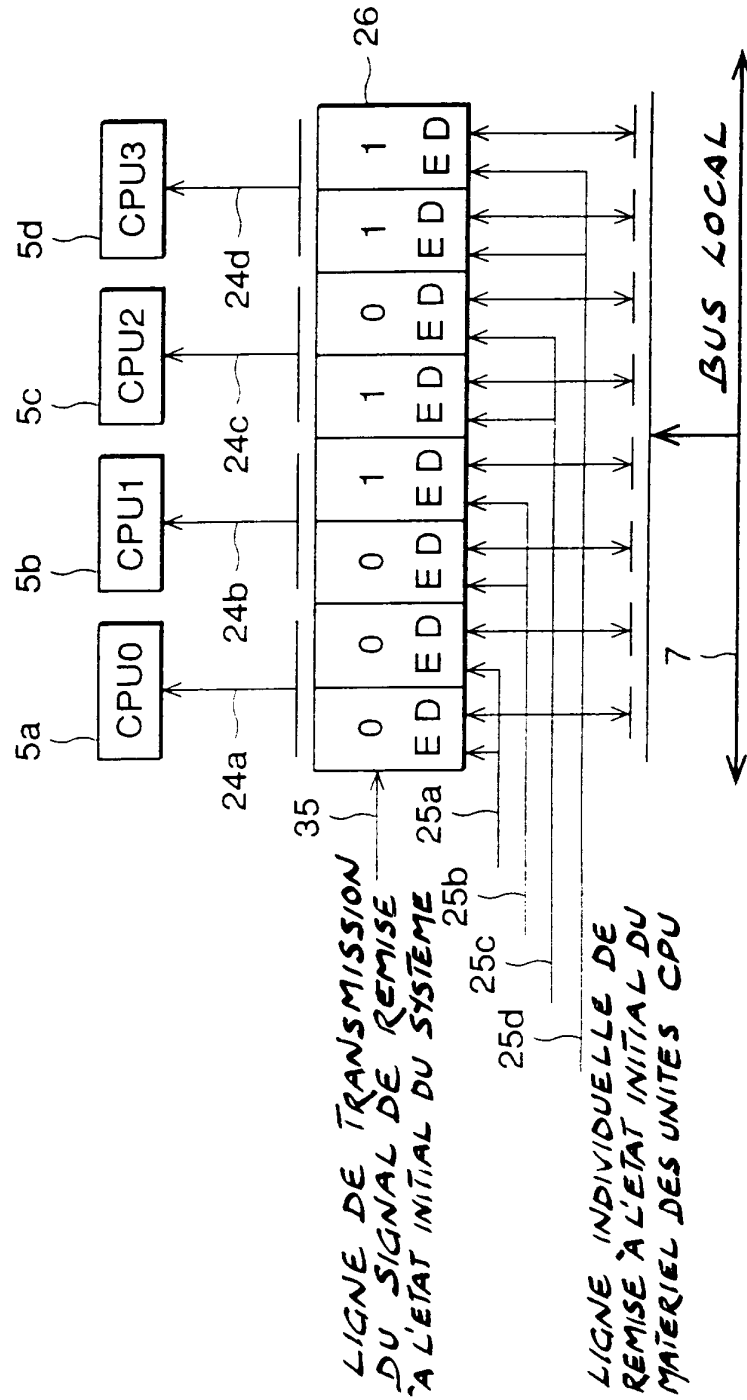
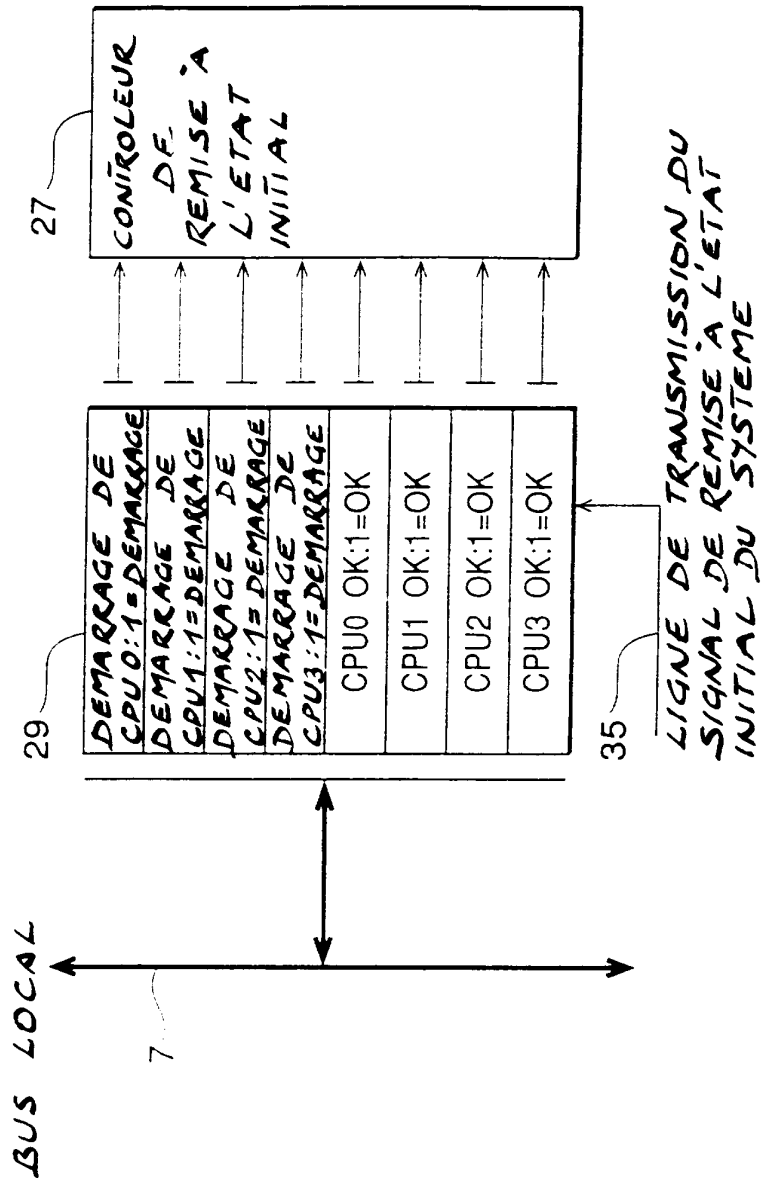


FIG.4

REGISTRE D'INFORMATIONS DE
REMISE A L'ETAT INITIAL 29

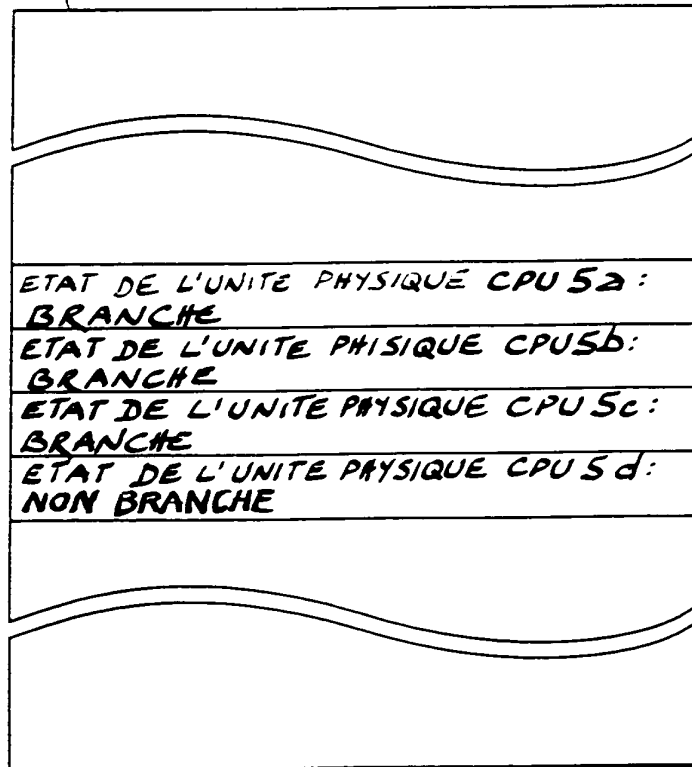


5/17

FIG.5

INFORMATION DE CONFIGURATION DES
UNITES CPU DANS LA MEMOIRE RAM
NON VOLATILE 14

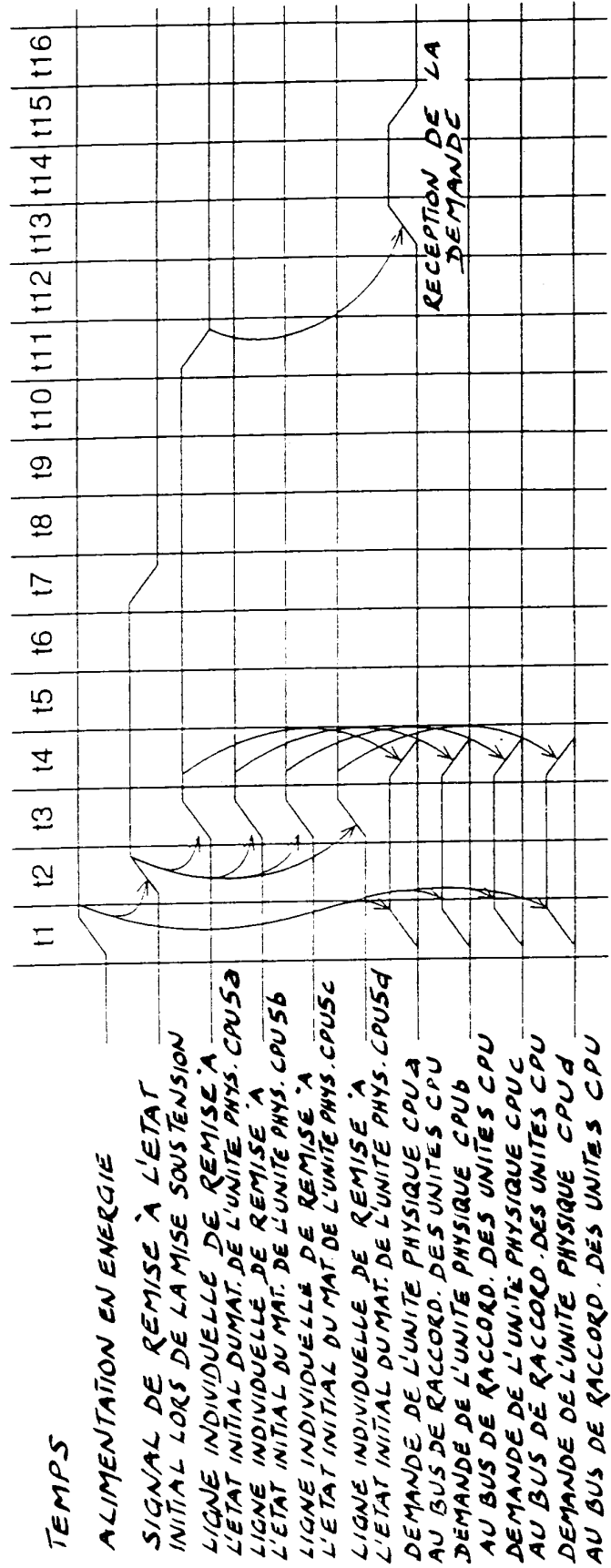
14



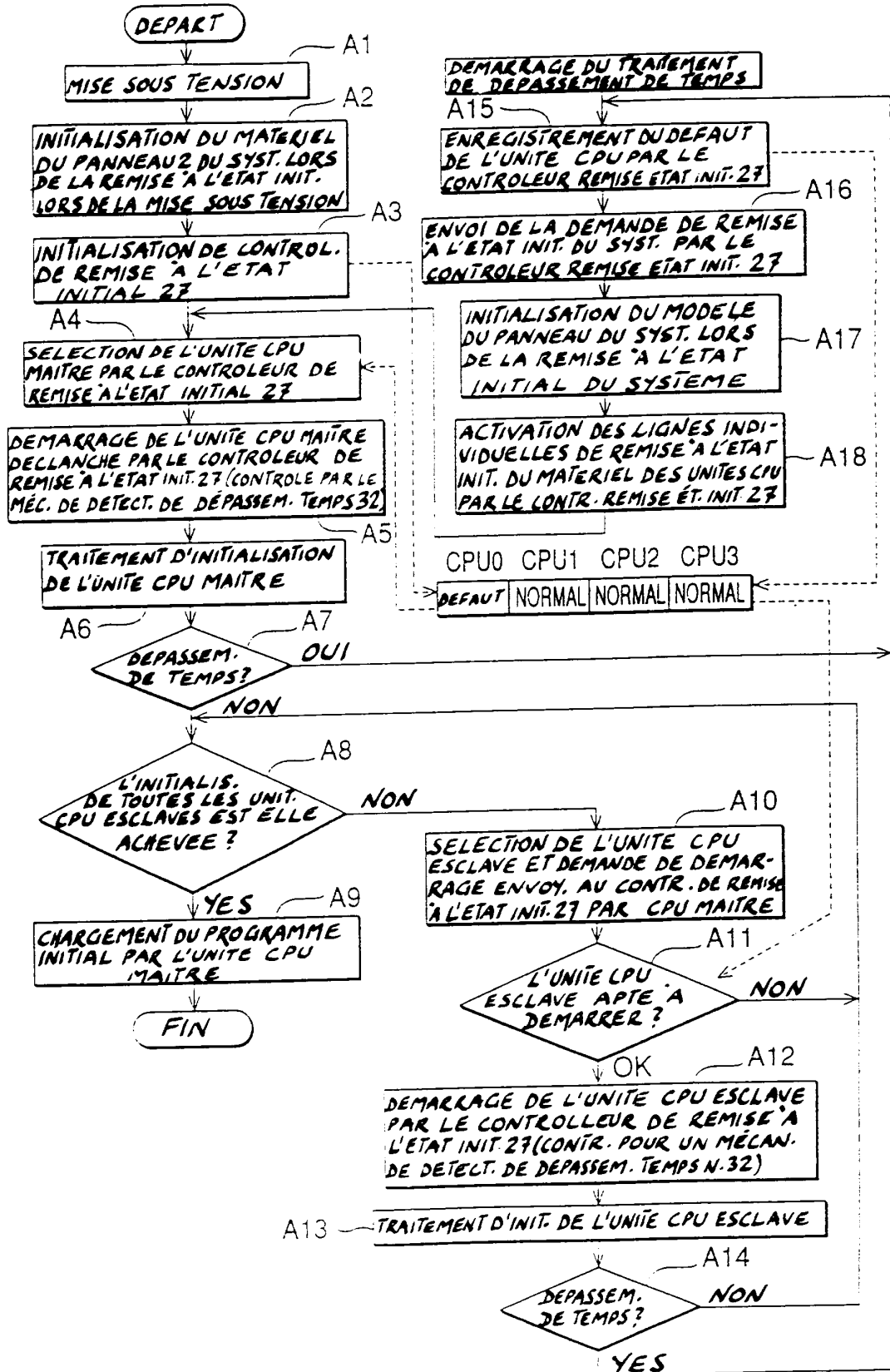
6/17

FIG.6

CHRONOGRAMME DE REMISE À L'ETAT INITIAL
LORS DE LA MISE SOUS TENSION



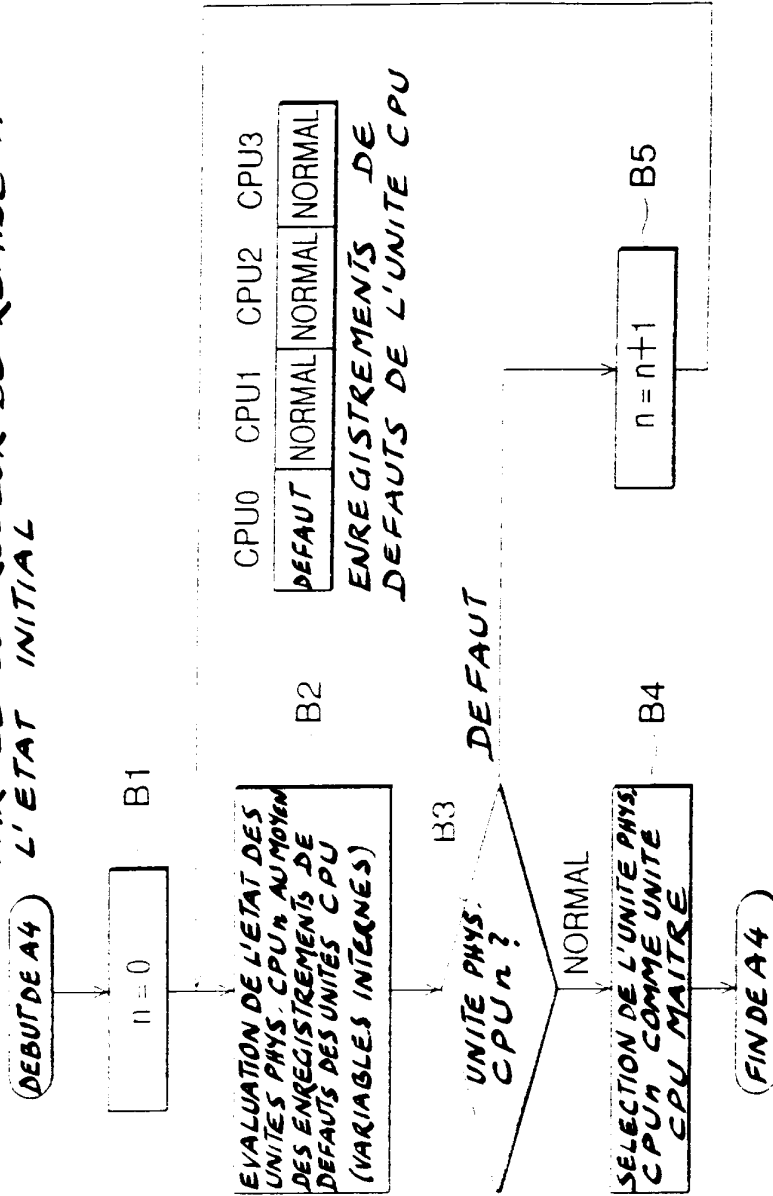
7/17
FIG.7



8/17

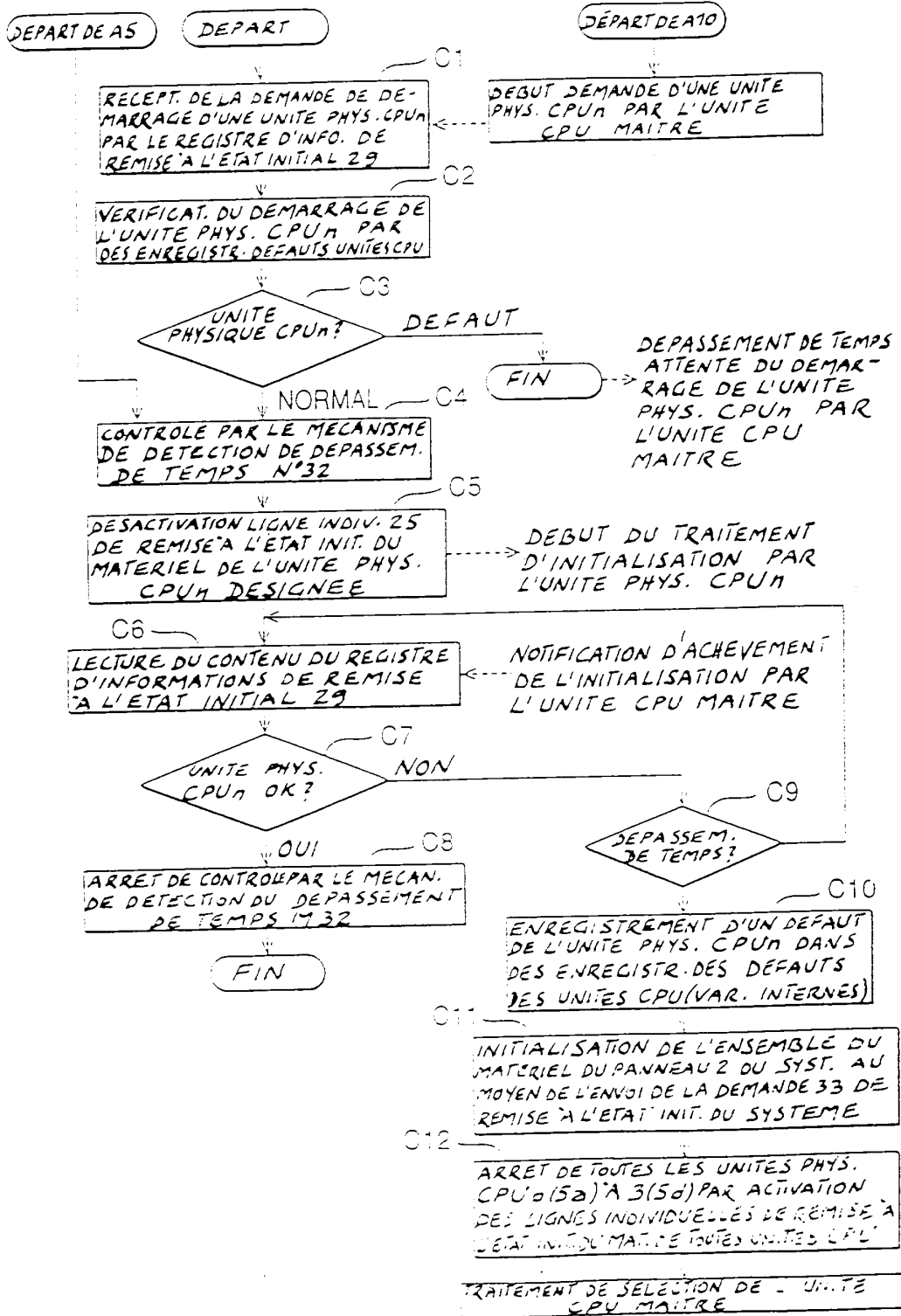
FIG.8.

SELECTION DE L'UNITE CPU MAITRE
PAR LE CONTROLEUR DE REMISE A
L'ETAT INITIAL

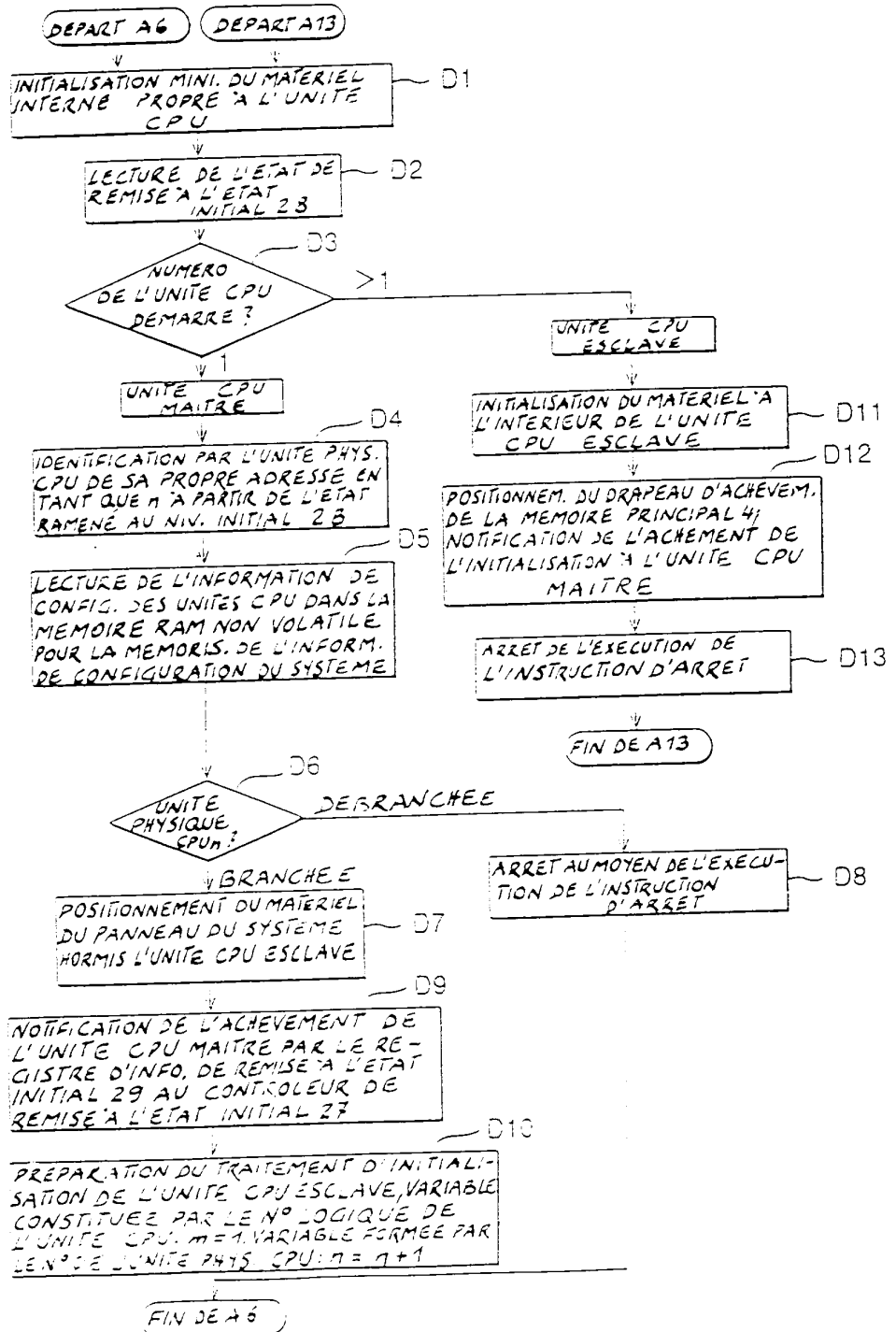


9/17

FIG. 9



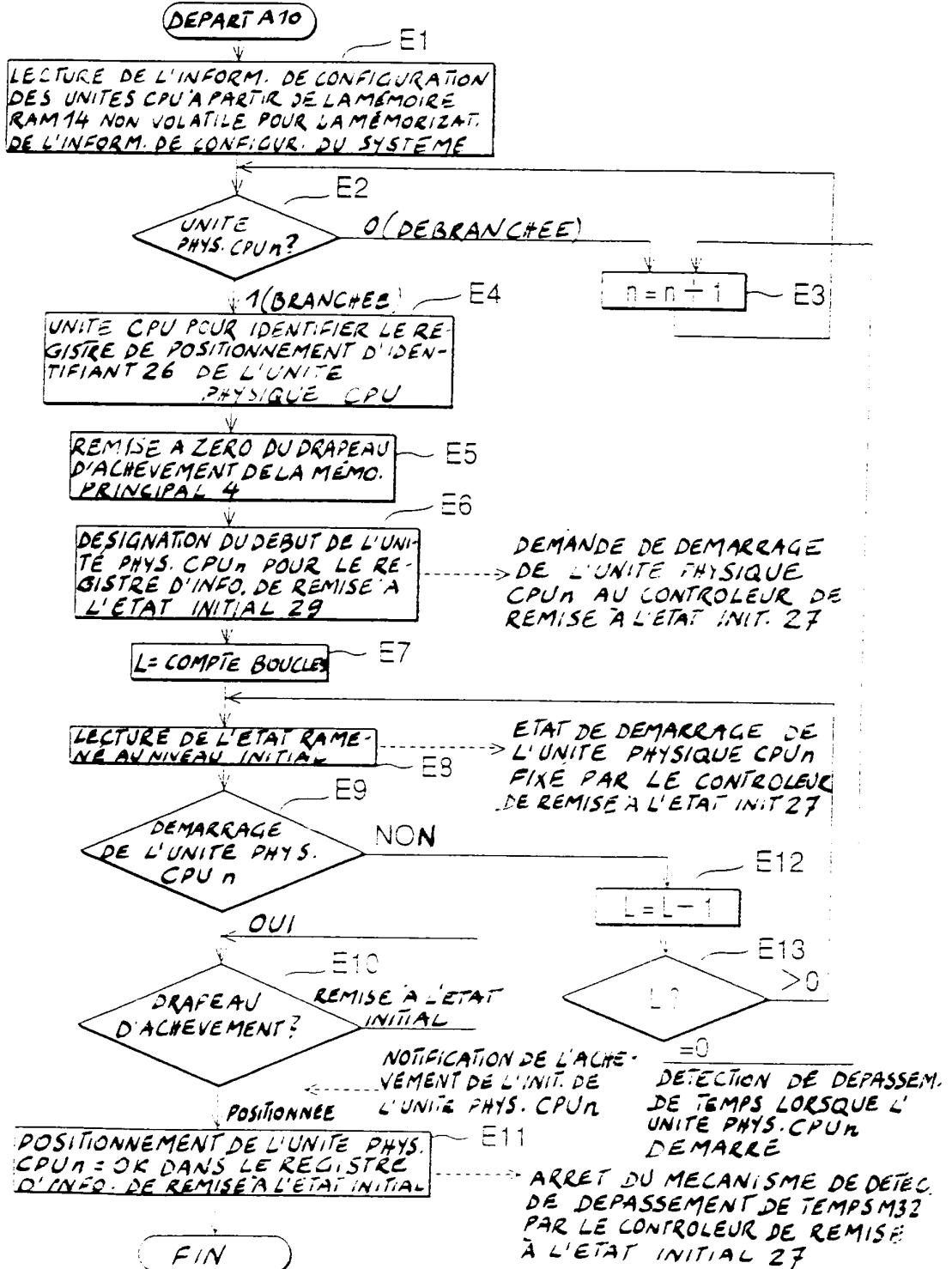
10/17
FIG.10



11/17

FIG.11

SELECTION, DEMARRAGE ET ACHEVEMENT DE L'INITIALISATION DE L'UNITE CPU MAITRE ESCLAVE PAR L'UNITE CPU MAITRE



13/17

FIG.13

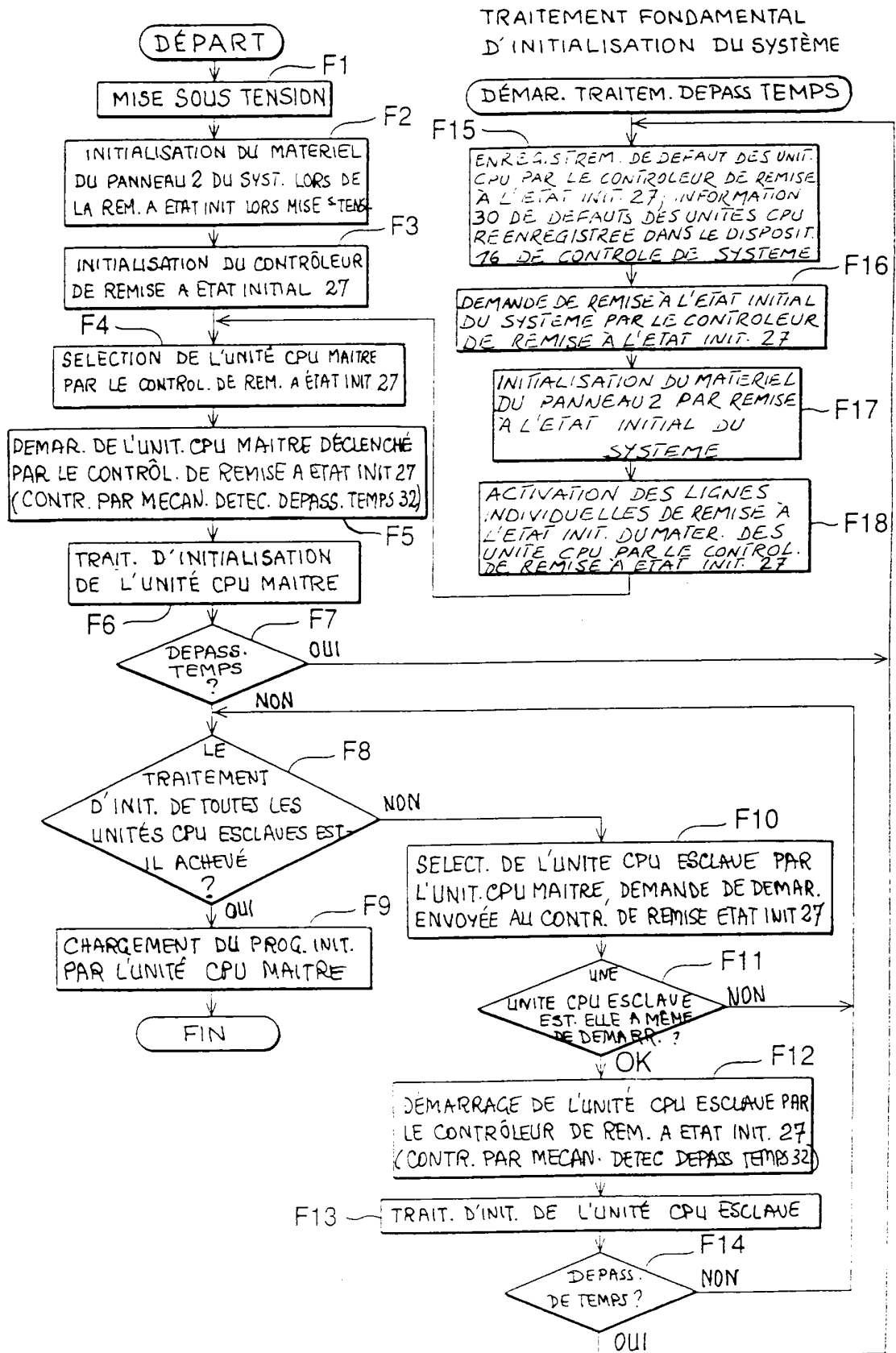
INFORMATION DE DEFAUTS D'UNITÉS CPU
DANS L'INFORMATION DE COMMANDE DE
CONFIGURATION DES UNITES CPU

13

ETAT DE L'UNITE PHYS. CPU 0 : DEFAUT
ETAT DE L'UNITE PHYS. CPU 1 : NORMAL
ETAT DE L'UNITE PHYS. CPU 2 : NORMAL
ETAT DE L'UNITE PHYS. CPU 3 : NORMAL

14/17

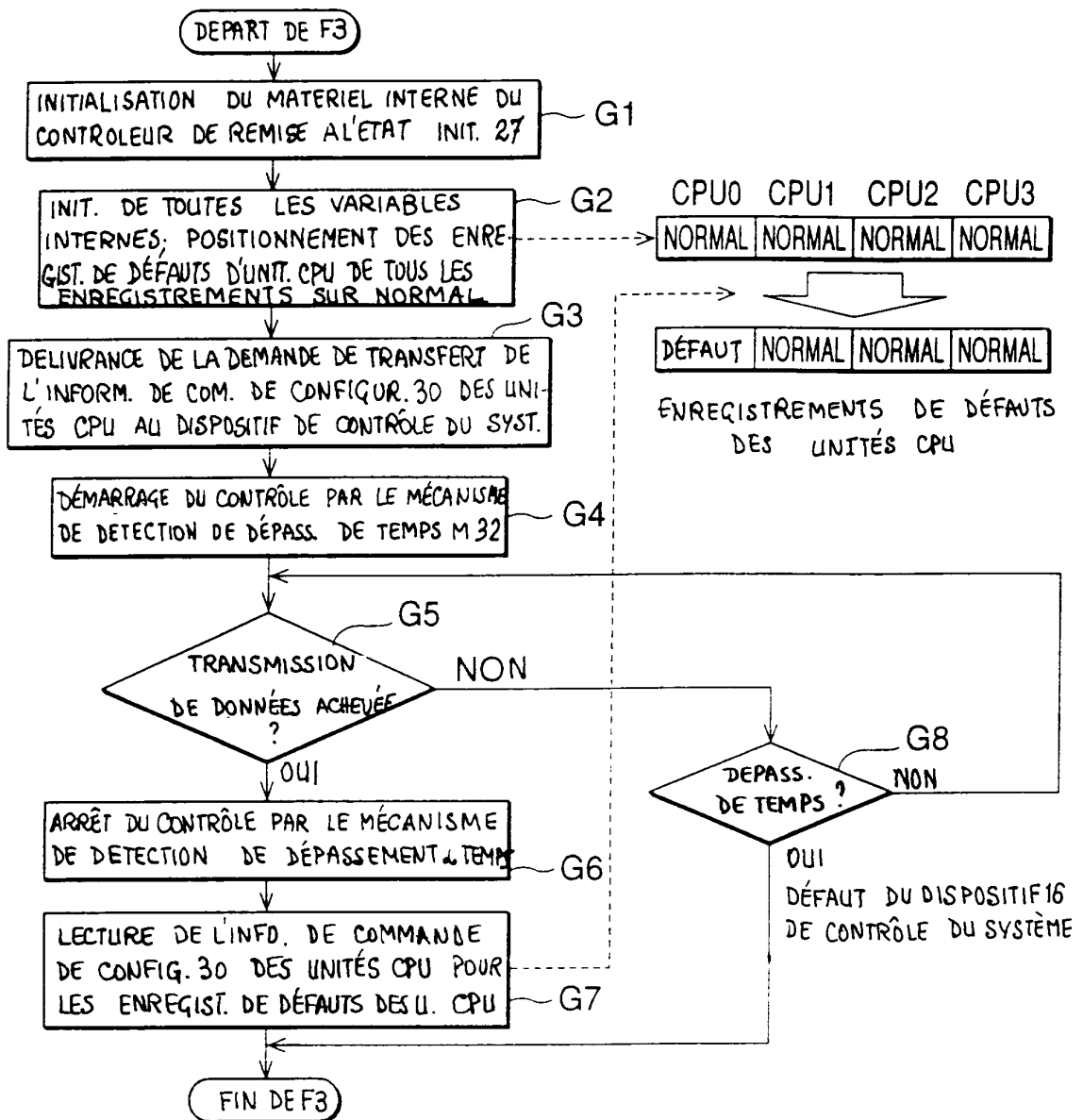
FIG.14



15/17

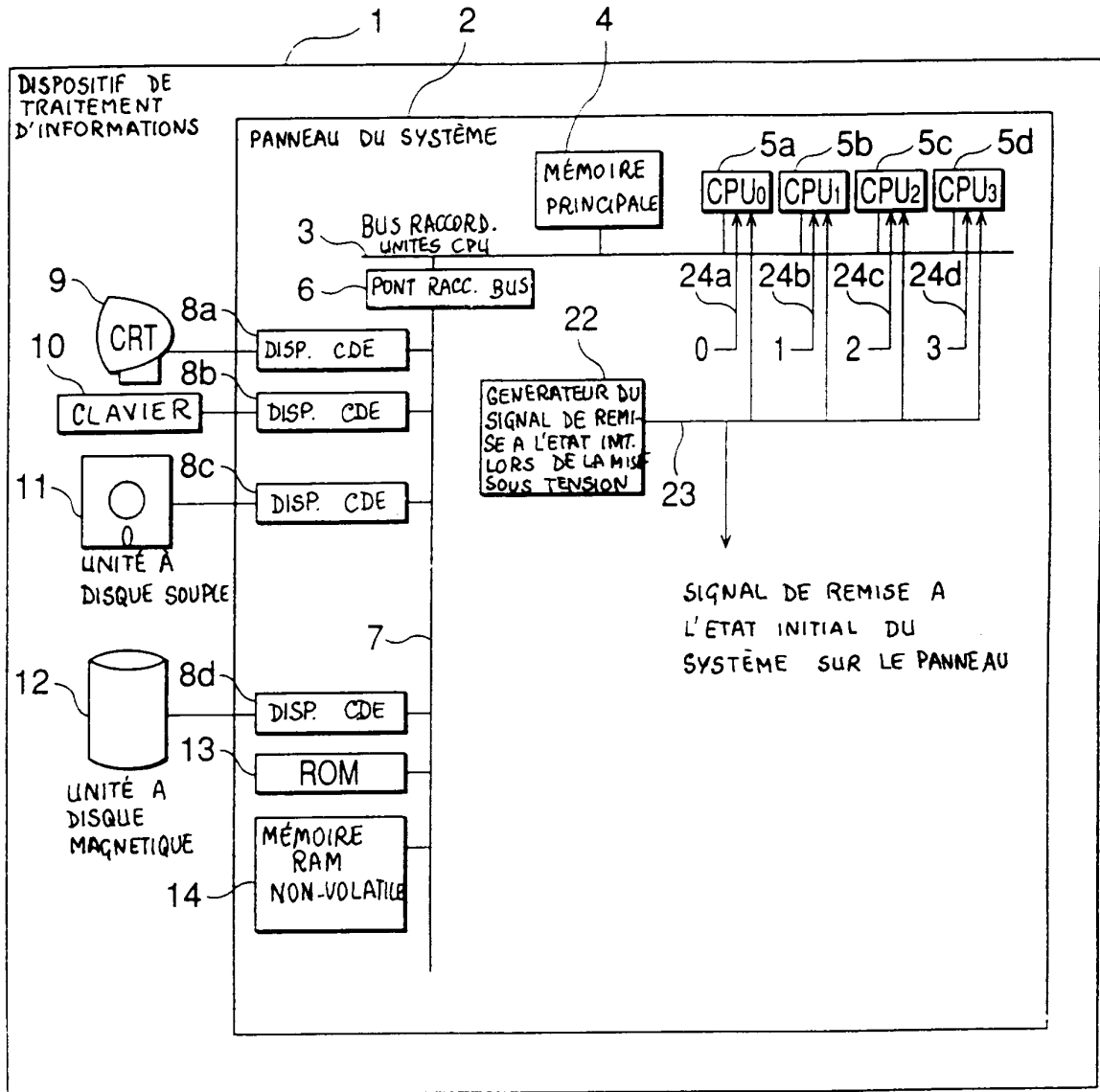
FIG.15

INITIALISATION DU CONTRÔLEUR DE REMISE A L'ETAT INITIAL
ET LECTURE DE L'INFORMATION DE COMMANDE DE CONFIGURATION
DES UNITÉS CPU



16/17

FIG.16



17/17

FIG.17

TRAITEMENT D'INITIALISATION DU SYSTÈME

