(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3768744号
(P3768744)
(45)発行日　平成18年4月19日(2006.4.19)　(24)登録日　平成18年2月10日(2006.2.10)

(51)Int.Cl.　F I
H01L 25/18 (2006.01)　H01L 25/08 Z
H01L 25/07 (2006.01)　H01L 23/50 X
H01L 25/065 (2006.01)
H01L 23/50 (2006.01)

請求項の数 15　(全 20 頁)

(21)出願番号　特願平11-268731
(22)出願日　平成11年9月22日(1999.9.22)
(65)公開番号　特開2001-94040(P2001-94040A)
(43)公開日　平成13年4月6日(2001.4.6)
審査請求日　平成16年3月26日(2004.3.26)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　増田　正親
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体グループ内

審査官　酒井　英夫

最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【特許請求の範囲】

【請求項１】

裏面同士が対向するように重ね合わされた第１および第２半導体チップの側面近傍に固定電位リードが配置され、前記第１および第２半導体チップは、それらの裏面の一部が重なり合わないように互いの位置をずらして対向配置され、前記固定電位リードの一部は、前記第１半導体チップの裏面の前記重なり合っていない領域に固着され、前記固定電位リードの他の一部は、前記第２半導体チップの裏面の前記重なり合っていない領域に固着され、複数の信号リードおよび前記固定電位リードそれぞれの一面と前記第１半導体チップの主面に形成された複数のボンディングパッドとが複数のワイヤによって電気的に接続され、前記複数の信号リードおよび前記固定電位リードのそれぞれの他面と前記第２半導体チップの主面に形成された複数のボンディングパッドとが複数のワイヤによって電気的に接続され、前記第１および第２半導体チップと、前記複数の信号リードと、前記固定電位リードと、前記複数のワイヤとが樹脂封止された半導体装置。

【請求項２】

請求項１記載の半導体装置において、前記第１および第２半導体チップのいずれか一方の主面には、前記第１および第２半導体チップを支持する吊りリードが固着されていることを特徴とする半導体装置。

【請求項３】

請求項２記載の半導体装置において、前記吊りリードは、絶縁フィルムを介在して前記第１および第２半導体チップのいずれか一方の主面に固着されていることを特徴とする半

導体装置。
【請求項４】
請求項１記載の半導体装置において、前記固定電位リードの一部は、第１絶縁フィルムを介在して前記第１半導体チップの裏面に固着され、前記固定電位リードの他の一部は、第２絶縁フィルムを介在して前記第２半導体チップの裏面に固着されていることを特徴とする半導体装置。
【請求項５】
請求項１記載の半導体装置において、前記固定電位リードの一部は、前記第１および第２半導体チップの間に介在してそれらの裏面に固着され、前記固定電位リードの他の一部は、前記第１および第２半導体チップの側面から外方に延在していることを特徴とする半導体装置。
【請求項６】
請求項５記載の半導体装置において、前記固定電位リードの一部は、絶縁フィルムを介在して前記第１半導体チップの裏面および前記第２半導体チップの裏面に固着されていることを特徴とする半導体装置。
【請求項７】
請求項１記載の半導体装置において、前記第１および第２半導体チップの裏面同士は、接着剤によって互いに固着されていることを特徴とする半導体装置。
【請求項８】
請求項１記載の半導体装置において、前記第１および第２半導体チップの積層方向における前記樹脂の厚さは、１㎜以下であることを特徴とする半導体装置。
【請求項９】
請求項１記載の半導体装置において、前記第１および第２半導体チップは、同一の寸法で構成され、それぞれの主面には同一の集積回路が形成されていることを特徴とする半導体装置。
【請求項１０】
請求項１記載の半導体装置において、前記第１および第２半導体チップのそれぞれの主面には、同一の記憶容量を有するメモリＬＳＩが形成されていることを特徴とする半導体装置。
【請求項１１】
請求項１０記載の半導体装置において、前記メモリＬＳＩは、ＤＲＡＭであることを特徴とする半導体装置。
【請求項１２】
請求項１記載の半導体装置において、前記第１および第２半導体チップのそれぞれの主面に形成された前記複数のボンディングパッドは、前記主面のほぼ中央部に一列に配置されていることを特徴とする半導体装置。
【請求項１３】
請求項１記載の半導体装置において、前記第１および第２半導体チップのそれぞれの厚さは、前記複数の信号リードおよび前記固定電位リードのそれぞれの厚さ以下であることを特徴とする半導体装置。
【請求項１４】
請求項１記載の半導体装置において、前記第１および第２半導体チップの厚さは、１００μm以下であることを特徴とする半導体装置。
【請求項１５】
以下の工程を有する半導体装置の製造方法；
（ａ）搭載されるべき半導体チップの側面近傍に配置される固定電位リードと、複数の信号リードとが形成されたリードフレームを用意する工程、
（ｂ）第１半導体チップの裏面に前記固定電位リードの一面の一部を固着し、前記第１半導体チップの側面近傍に延在する前記固定電位リードおよび前記複数の信号リードのそれぞれの一面と、前記第１半導体チップの主面に形成された複数のボンディングパッドとを

複数のワイヤによって電気的に接続する工程、
（ｃ）前記第１半導体チップの裏面と対向するように配置された第２半導体チップの裏面に前記固定電位リードの他面の一部を固着し、前記第２半導体チップの側面近傍に延在する前記固定電位リードおよび前記複数の信号リードのそれぞれの他面と、前記第２半導体チップの主面に形成された複数のボンディングパッドとを複数のワイヤによって電気的に接続する工程、
（ｄ）前記第１および第２半導体チップと、前記複数の信号リードと、前記固定電位リードと、前記複数のワイヤとを樹脂封止する工程。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体装置およびその製造技術に関し、特に、２枚の半導体チップを積層して樹脂封止した半導体装置に適用して有効な技術に関する。
【０００２】
【従来の技術】
ＤＲＡＭ(Dynamic Random Access Memory)やＳＲＡＭ(Static Random Access Memory) などのメモリＬＳＩを形成した半導体チップの高密度実装を目的とした樹脂封止型半導体装置が、特開平７－５８２８１号公報に記載されている。
【０００３】
上記公報に記載された樹脂封止型半導体装置は、ＳＯＪ(Small Outline J-leaded)型のパッケージで構成され、トランスファ・モールド法によって成形された樹脂封止体の内部には、同じ記憶容量のメモリＬＳＩを形成した２個の半導体チップが上下に積層された状態で封止されている。
【０００４】
上記２個の半導体チップは、それぞれの素子形成面が互いに対向するように配置され、それぞれの回路形成面上には、複数本のリードのインナーリード部が絶縁フィルムを介して配置されている。すなわち、この樹脂封止型半導体装置は、半導体チップの回路形成面上にインナーリード部を配置するＬＯＣ(Lead On Chip)構造で構成され、それぞれのインナーリード部は、ワイヤを介して半導体チップの対応するボンディングパッドと電気的に接続されている。
【０００５】
上記２個の半導体チップの一方は、第１のリードフレームのリードに固定された状態で樹脂封止され、他方は、第２のリードフレームのリードに固定された状態で樹脂封止される。すなわち、この樹脂封止型半導体装置は、２枚のリードフレームを使って製造される。
【０００６】
上記２個の半導体チップの一方に接続されたリードのインナーリード部と他方に接続されたリードのインナーリード部とは、樹脂封止体の内部で互いに接近する方向に折り曲げられ、レーザによって溶接接合されている。これらのリードのうち、一方の半導体チップに接続されたリードの他端部は、樹脂封止体の側面から外部に引き出されてアウターリード部を構成している。これに対し、もう一方の半導体チップに接続されたリードの他端部は、上記レーザによる溶接接合工程の後、トランスファ・モールド工程に先立って樹脂封止体の内部で切断されるため、樹脂封止体の外部には引き出されない。すなわち、樹脂封止体から引き出されたアウターリード部は、２個の半導体チップに共通の外部接続端子を構成している。
【０００７】
なお、本発明者は、本発明の完成後に公知例調査を行った。その結果、樹脂封止体の内部に２個の半導体チップを積層して封止する半導体装置に関する上記以外の従来技術として、さらに特開平５－８２７１９号公報および特表平１０－５０６２２６号公報を見出した。しかしながら、後に詳述する本発明の半導体装置におけるリードフレーム構造に関しては、これらの公報のいずれにも記載がなされていない。

【０００８】
【発明が解決しようとする課題】
第１リードフレームのリードに固定された第１半導体チップと第２リードフレームのリードに固定された第２半導体チップとを積層して樹脂封止する前記特開平７－５８２８１号公報記載のＳＯＪ型パッケージは、２枚のリードフレームを使用するために、１枚のリードフレームを使用する通常のＳＯＪ型パッケージに比べて部材点数が多くなり、その分、パッケージの製造コストが増加する。
【０００９】
また、上記ＳＯＪ型パッケージは、第１半導体チップの回路形成面上に第１リードフレームのインナーリード部を配置し、第２半導体チップの回路形成面上に第２リードフレームのインナーリード部を配置するＬＯＣ構造を採用しているため、半導体チップの積層方向における樹脂封止体の厚さを薄くすることが困難となる。
【００１０】
本発明の目的は、２個の半導体チップを積層して樹脂封止した半導体装置の製造コストを低減する技術を提供することにある。
【００１１】
本発明の他の目的は、２個の半導体チップを積層して樹脂封止した半導体装置の薄型化を推進する技術を提供することにある。
【００１２】
本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。
【００１３】
【課題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。
【００１４】
本発明の半導体装置は、裏面同士が対向するように重ね合わされた第１および第２半導体チップの側面近傍に固定電位リードが配置され、複数の信号リードおよび前記固定電位リードそれぞれの一面と前記第１半導体チップの主面に形成された複数のボンディングパッドとが複数のワイヤによって電気的に接続され、前記複数の信号リードおよび前記固定電位リードのそれぞれの他面と前記第２半導体チップの主面に形成された複数のボンディングパッドとが複数のワイヤによって電気的に接続され、前記第１および第２半導体チップと、前記複数の信号リードと、前記固定電位リードと、前記複数のワイヤとが樹脂封止されている。
【００１５】
また、本発明の半導体装置は、前記第１および第２半導体チップのいずれか一方の主面に、前記第１および第２半導体チップを支持する吊りリードが固着されている。
【００１６】
また、本発明の半導体装置は、前記第１および第２半導体チップが、それらの裏面の一部が重なり合わないように互いの位置をずらして対向配置され、前記固定電位リードの一部は、前記第１半導体チップの裏面の前記重なり合っていない領域に固着され、前記固定電位リードの他の一部は、前記第２半導体チップの裏面の前記重なり合っていない領域に固着されている。
【００１７】
また、本発明の半導体装置は、前記固定電位リードの一部が前記第１および第２半導体チップの間に介在してそれらの裏面に固着され、前記固定電位リードの他の一部が前記第１および第２半導体チップの側面から外方に延在している。
【００１８】
【発明の実施の形態】
以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、実施形態を説明するた

めの全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【００１９】

（実施の形態１）

図１は、本実施形態の半導体装置の上面をモールド樹脂の一部を除去した状態で示す平面図、図２は、この半導体装置の下面（実装面）をモールド樹脂の一部を除去した状態で示す平面図、図３は、この半導体装置の短辺方向（図１のIII －III 線）に沿った断面図、図４は、同じく長辺方向（図１のIV－IV線）に沿った断面図である。

【００２０】

本実施形態の半導体装置は、２枚の半導体チップ（以下、単にチップという）１Ａ、１Ｂを積層してモールド樹脂２で封止したＴＳＯＰ(Thin Small Out-line Package) である。このＴＳＯＰ１の平面形状は長方形であり、その幅（短辺の長さ）は例えば４００ミル(mil)、厚さは例えば１mmである。

【００２１】

モールド樹脂２で封止された上記２枚のチップ１Ａ、１Ｂは、それぞれの裏面が対向するように積層されている。すなわち、下層のチップ（第１半導体チップ）１Ａは、その下面が回路形成面（主面）となっており、上層のチップ（第２半導体チップ）１Ｂは、その上面が回路形成面（主面）となっている。チップ１Ａの裏面とチップ１Ｂの裏面とは、接着剤６によって互いに固着されている。

【００２２】

上記２枚のチップ１Ａ、１Ｂは、同一の外形寸法を有する長方形の単結晶シリコンチップであり、それらの回路形成面には、例えば６４メガビット（Mbit ）×４ビット(bit) のワード×ビット構成を有するＤＲＡＭが形成されている。すなわち、本実施形態のＴＳＯＰ１は、６４メガビット×４ビットのワード×ビット構成を有する同一品種のＤＲＡＭチップ１Ａ、１Ｂを積層し、これらをモールド樹脂２で封止することによって１２８メガビット×８ビットのワード×ビット構成を有する大容量のＤＲＡＭパッケージを実現している。

【００２３】

上記２枚のチップ１Ａ、１Ｂのそれぞれの回路形成面の中央部には、その長辺方向に沿って一列に配置された複数のボンディングパッドＢＰ（外部端子）が形成されている。すなわち、これらのチップ１Ａ、１Ｂは、回路形成面の中央部にボンディングパッドＢＰを配置するセンターパッド方式を採用している。２枚のチップ１Ａ、１Ｂは、一方のチップ１Ａの回路形成面と他方のチップ１Ｂの回路形成面とがこのボンディングパッドＢＰ列を対称軸として互いにミラー反転された状態で積層されている。

【００２４】

上記２枚のチップ１Ａ、１Ｂは、それらの長辺方向に沿って平行に延在する２本の吊りリード３Ａ、３Ａによって支持され、モールド樹脂２の内部の中央に配置されている。これらの吊りリード３Ａは、例えば両面に接着剤（図示せず）が塗布されたポリイミドなどの耐熱性樹脂からなる絶縁フィルム４を介して下層のチップ１Ａの回路形成面（下面）に固着されている。図４に示すように、吊りリード３Ａの一部は、上層のチップ１Ｂの上部と下層のチップ１Ａの下部とでモールド樹脂２の厚さをほぼ均等にするために、チップ１Ａ、１Ｂの短辺近傍で下方に折り曲げられている。

【００２５】

上記モールド樹脂２の二つの長辺の側面には、ＴＳＯＰ１の外部接続端子を構成する複数本のバスバーリード（固定電位リード）３Ｂおよびリード（信号リード）３Ｃが設けられている。バスバーリード３Ｂおよびリード３Ｃのそれぞれは、モールド樹脂２の内外に亘って延在しており、モールド樹脂２の内側の部分がインナーリード部、外側の部分がアウターリード部と呼ばれている。

【００２６】

図１および図２に示すように、上記バスバーリード３Ｂおよびリード３Ｃのそれぞれのアウターリード部には、１番から５４番までの端子番号が付されている。ＴＳＯＰ１をその

上方から見た場合（図１）、左側列最上部のバスバーリード３Ｂが１番端子となり、以降、反時計回り方向に順次番号が増加し、右側列最上部のバスバーリード３Ｂが５４番端子となっている。１番端子のバスバーリード３Ｂおよび２７番端子のバスバーリード３Ｂは、モールド樹脂２の内側で一体に構成されている。また、２８番端子のバスバーリード３Ｂおよび５４番端子のバスバーリード３Ｂは、モールド樹脂２の内側で一体に構成されている。

【００２７】

また、上記バスバーリード３Ｂおよびリード３Ｃのそれぞれのアウターリード部には、端子名が付されている。図１に表示した端子名は、上層のチップ１Ｂの端子名であり、図２に表示した端子名は、下層のチップ１Ａの端子名である。

【００２８】

Ｖccは電源電位（例えば３［Ｖ］）に電位固定される電源電位端子、Ｖssは基準電位（例えぱ０［Ｖ］）に電位固定される基準電位端子である。ＲＡＳはロウアドレスストローブ端子、ＣＡＳはカラムアドレスストローブ端子、ＷＥはリード／ライトイネーブル端子、ＤＱＭは入出力マスク端子、ＣＬＫはクロック端子、ＣＬＥはクロックイネーブル端子、ＣＳはチップセレクト端子、A_0 ～A_{13}はアドレス入力端子である。これらの端子は、いずれも２枚のチップ１Ａ、１Ｂに共通の端子である。

【００２９】

DQ_0 ～DQ_7 はデータ入出力端子である。これらの端子のうち、図１に示すDQ_0 ～DQ_3 は上層のチップ１Ｂのデータ入出力端子であり、これらの端子名が付されたリード３Ｃ（５３番、５０番、４７番、４４番）は、下層のチップ１ＡのＮＣ（空き）端子になっている（図２）。また、図２に示すDQ_4 ～DQ_7 は下層のチップ１Ａのデータ入出力端子であり、これらの端子名が付されたリード３Ｃ（１１番、８番、５番、２番）は、上層のチップ１ＢのＮＣ（空き）端子になっている（図１）。なお、４番、７番、１０番、１３番、１５番、３６番、４０番、４２番、４５番、４８番および５１番の番号が付されたリード３Ｃは、２枚のチップ１Ａ、１Ｂのいずれにも接続されていないＮＣ端子である。

【００３０】

モールド樹脂２の内部において、上記バスバーリード３Ｂは、主としてチップ１Ａ、１Ｂの二つの長辺の側面近傍に１本ずつ配置されている。一方のバスバーリード３Ｂの両端部（アウターリード部）はモールド樹脂２の外部に引き出され、１番および２７番の端子番号が付された電源電位端子（Ｖcc）を構成している。また、他方のバスバーリード３Ｂの両端部（アウターリード部）はモールド樹脂２の外部に引き出され、２８番および５４番の端子番号が付された基準電位端子（Ｖss）を構成している。これらのバスバーリード３Ｂ、３Ｂと上層のチップ１ＢのボンディングパッドＢＰとは、Ａｕなどの低抵抗金属からなるワイヤ５を介して電気的に接続されている（図１）。同様に、これらのバスバーリード３Ｂ、３Ｂと下層のチップ１ＡのボンディングパッドＢＰとは、ワイヤ５を介して電気的に接続されている（図２）。

【００３１】

モールド樹脂２の内部において、複数本のリード３Ｃのインナーリード部は、チップ１Ａ、１Ｂを囲むように配置され、それらの先端部はバスバーリード３Ｂよりも僅かに外側に位置している。これらのリード３Ｃのうち、２枚のチップ１Ａ、１Ｂに共通の端子である電源電位端子（Ｖcc）、基準電位端子（Ｖss）、ロウアドレスストローブ端子（ＲＡＳ）、カラムアドレスストローブ端子（ＣＡＳ）、リード／ライトイネーブル端子（ＷＥ）、入出力マスク端子（ＤＱＭ）、クロック端子（ＣＬＫ）、クロックイネーブル端子（ＣＬＥ）、チップセレクト端子（ＣＳ）およびアドレス入力端子（A_0 ～A_{13}）を構成するリード３Ｃのインナーリード部は、チップ１Ａの対応するボンディングパッドＢＰおよびチップ１Ｂの対応するボンディングパッドＢＰとそれぞれワイヤ５を介して電気的に接続されている（図１、図２）。

【００３２】

また、上層のチップ１Ｂのデータ入出力端子（DQ_0 ～DQ_3 ）を構成するリード３Ｃの

インナーリード部は、チップ１Ｂの対応するボンディングパッドＢＰとワイヤ５を介して電気的に接続されており（図１）、下層のチップ１Ａのデータ入出力端子（DQ_4 ～DQ_7）を構成するリード３Ｃのインナーリード部は、チップ１Ａの対応するボンディングパッドＢＰとワイヤ５を介して電気的に接続されている（図２）。

【００３３】

次に、上記のように構成されたＴＳＯＰ１の製造方法を図５～図１４を用いて工程順に説明する。

【００３４】

図５は、ＴＳＯＰ１の製造に用いるリードフレームＬＦ１の平面図である。このリードフレームＬＦ１は、長方形の枠体１０の内側に吊りリード３Ａ、バスバーリード２Ｂおよびリード３Ｃなどの部材を形成した構成になっている。

【００３５】

上記バスバーリード２Ｂおよびリード３Ｃのうち、図の左側のリード群は、リードフレームＬＦ１の長辺方向に延在する１本のダムバー１１Ａによって互いに連結されている。同様に、図の右側のリード群は、リードフレームＬＦ１の長辺方向に延在するもう１本のダムバー１１Ｂによって互いに連結されている。これらのダムバー１１Ａ、１１Ｂは、後述する製造工程でモールド樹脂２を成形する際に、溶融樹脂がモールド金型のキャビティから外部に漏出するのを防止するための部材である。

【００３６】

上記リードフレームＬＦ１は、例えば４２アロイのような鉄（Ｆｅ）－ニッケル（Ｎｉ）合金あるいは銅（Ｃｕ）などからなる薄い板材をエッチング加工して枠体１０、吊りリード３Ａ、バスバーリード２Ｂ、リード３Ｃおよびダムバー１１Ａ、１１Ｂなどの部材を形成した後、吊りリード３Ａの一部をプレス加工で前記図４に示すような形状に折り曲げることによって製造される。リードフレームＬＦ１を構成する板材の厚さは例えば０．１㎜～０．１２㎜、ダムバー１１Ａ、１１Ｂの近傍におけるバスバーリード２Ｂおよびリード３Ｃの幅は例えば０．４㎜、ピッチは例えば１．２７㎜である。なお、実際のリードフレームＬＦ１は、５～６個程度のＴＳＯＰを同時に成形できるような多連構造になっているが、図５にはＴＳＯＰ１個分の領域が示されている。

【００３７】

上記リードフレームＬＦ１を使ってＴＳＯＰ１を製造するには、まず、図６および図７（図６のVII －VII 線に沿った概略断面図）に示すように、リードフレームＬＦ１の中央部に第１のチップ１Ａを搭載する。リードフレームＬＦ１にチップ１Ａを搭載するには、例えば両面にアクリル／エポキシ樹脂系の接着剤を塗布した絶縁フィルム４をチップ１Ａの主面（回路形成面）に貼り付け、次いでこの絶縁フィルム４をリードフレームＬＦ１の吊りリード３Ａに貼り付ける。あるいは、あらかじめ吊りリード３Ａに絶縁フィルム４を貼り付けておき、この絶縁フィルム４にチップ１Ａの主面を貼り付けてもよい。ＴＳＯＰ１の厚さを１㎜以下にまで薄くするためには、あらかじめチップ１Ａ（およびチップ１Ｂ）の裏面を研磨し、その厚さを２００μｍ 以下、望ましくは１００μｍ 以下にまで薄くしておく。また、絶縁フィルム４としては、厚さ５０μｍ 以下、望ましくは３０μｍ 以下のものを使用する。

【００３８】

次に、図８に示すように、チップ１Ａを搭載したリードフレームＬＦ１をワイヤボンディング装置（図示せず）のヒートステージ２０に搭載し、チップ１Ａの裏面を真空吸着などによってヒートステージ２０に固定した後、リードフレームＬＦ１のバスバーリード２Ｂおよびリード３Ｃとチップ１Ａの対応するボンディングパッドＢＰとをワイヤ５で電気的に接続する。ワイヤ５としては、例えば金（Ａｕ）ワイヤを使用する。また、ワイヤ５による接続方法としては、例えば熱圧着と超音波振動とを併用したワイヤボンディング方法を使用する。

【００３９】

次に、図９および図１０に示すように、チップ１Ａの裏面に第２のチップ１Ｂの裏面を重

ね合わせ、Ａｇペーストなどの接着剤６を使って裏面同士を接着した後、図１１および図１２に示すように、リードフレームＬＦ１のバスバーリード３Ｂおよびリード３Ｃとチップ１Ｂの対応するボンディングパッドＢＰとをワイヤ５で電気的に接続する。

【００４０】

次に、上記リードフレームＬＦ１をモールド金型（図示せず）に装着し、図１３および図１４に示すように、２枚のチップ１Ａ、１Ｂおよびワイヤ５をリードフレームＬＦ１の一部と共にモールド樹脂２で封止する。モールド樹脂２としては、例えばシリカが含有されたエポキシ系樹脂を使用する。

【００４１】

その後、モールド樹脂２の外部に露出したリードフレームＬＦ１の表面に半田メッキを施した後、リードフレームＬＦ１の不要個所（ダムバー１１Ａ、１１Ｂおよび枠体１０）の切断除去およびモールド樹脂２の側面とダムバー１１Ａ、１１Ｂとの隙間に残った樹脂の除去（バリ取り）などを行い、続いてモールド樹脂２の外部に露出したバスバーリード２Ｂおよびリード３Ｃのアウターリード部をガルウィング状に成形することにより、前記図１～図４に示すＴＳＯＰ１が完成する。

【００４２】

このように、本実施の形態によれば、ＤＲＡＭが形成された２枚のチップ１Ａ、１Ｂを積層してモールド樹脂２で封止したことにより、一枚のチップをモールド樹脂で封止したＴＳＯＰに比べて実質的に２倍の容量を有するＤＲＡＭパッケージを実現することができる。すなわち、本実施形態のＴＳＯＰ１をモジュール基板に実装することにより、パソコンやＷＳ（ワークステーション）などのメインメモリに用いて好適な大容量ＤＩＭＭ(Dual In-line Memory Module)を実現することができる。なお、本実施形態のＴＳＯＰ１は、通常のＴＳＯＰと同じ方法でモジュール基板に実装することができる。

【００４３】

本実施の形態によれば、２枚のチップ１Ａ、１Ｂを一枚のリードフレームＬＦ１の吊りリード３Ａで支持することにより、部材点数の増加が抑制されるので、２枚のチップ１Ａ、１Ｂをモールド樹脂２で封止するＴＳＯＰの製造コストを低減することができる。また、２枚のチップ１Ａ、１Ｂのそれぞれの主面上にリードを配置するＬＯＣ構造に比べてチップ１Ａ、１Ｂの積層方向におけるモールド樹脂２の厚さを薄くすることができるので、超薄型のＴＳＯＰ１を実現することもできる。

【００４４】

（実施の形態２）

図１５は、本実施形態の半導体装置の上面をモールド樹脂の一部を除去した状態で示す平面図、図１６は、この半導体装置の下面（実装面）をモールド樹脂の一部を除去した状態で示す平面図、図１７および図１８は、この半導体装置の短辺方向に沿った断面図、図１９（ａ）、（ｂ）は、この半導体装置の長辺方向に沿った断面図である。

【００４５】

前記実施形態１のＴＳＯＰ１は、裏面同士を重ね合わせて積層した２枚のチップ１Ａ、１Ｂを２本の吊りリード３Ａ、３Ａによって支持したが、本実施形態のＴＳＯＰ２は、裏面同士を重ね合わせて積層した２枚のチップ１Ａ、１Ｂを２本のバスバーリード３Ｂ、３Ｂによって支持している。すなわち、このＴＳＯＰ２は、バスバーリード３Ｂが前記ＴＳＯＰ１の吊りリード３Ａを兼ねた構成になっている。

【００４６】

上記２枚のチップ１Ａ、１Ｂは、互いの位置がそれらの短辺方向に僅かにずれており、両者の重なり合った領域のみが接着剤６によって互いに固着されている。すなわち、下層のチップ１Ａは、一方の長辺の近傍において上面（裏面）の一部が上層のチップ１Ｂと重なり合っておらず、この領域には絶縁フィルム４を介して一本のバスバーリード３Ｂが固着されている。同様に、上層のチップ１Ｂは、一方の長辺の近傍において下面（回路形成面）の一部が下層のチップ１Ａと重なり合っておらず、この領域には絶縁フィルム４を介してもう一本のバスバーリード３Ｂが固着されている。絶縁フィルム４としては、前記実施

形態１と同様、両面に接着剤（図示せず）が塗布されたものを使用する。

【００４７】

図１８に示すように、上記チップ１Ａ、１Ｂの長辺近傍において、チップ１Ａの上面に固着されたバスバーリード３Ｂおよびチップ１Ｂの下面に固着されたバスバーリード３Ｂのそれぞれには、その延在方向と直交する方向に延在する複数本の短い分岐リード３Ｄが形成されており、チップ１Ａ、１Ｂとバスバーリード３Ｂとを電気的に接続するワイヤ５の一端は、これらの分岐リード３Ｄの先端部にボンディングされている。また、図１９（ａ）、（ｂ）に示すように、２本のバスバーリード３Ｂの一方は、チップ１Ａ、１Ｂの短辺近傍で上方に折り曲げられ、他方はチップ１Ａ、１Ｂの短辺近傍で下方に折り曲げられている。

【００４８】

図１５および図１６に示すように、上記バスバーリード３Ｂおよびリード３Ｃのそれぞれのアウターリード部には、１番から５４番の端子番号が付されている。それらの端子名は前記実施形態１と同じであるため、その表示は省略する。

【００４９】

図２０は、上記ＴＳＯＰ２の製造に用いるリードフレームＬＦ２の平面図である。このリードフレームＬＦ２は、長方形の枠体１０の内側にバスバーリード３Ｂ、リード３Ｃおよびダムバー１１Ａ、１１Ｂなどの部材などを形成した構成になっている。

【００５０】

上記リードフレームＬＦ２を使ったＴＳＯＰ２の製造は、前記実施形態１で説明した方法に準じて行えばよい。すなわち、図示は省略するが、まずリードフレームＬＦ２に形成された２本のバスバーリード３Ｂの一方に絶縁フィルム４を介して第１のチップ１Ａを固着した後、バスバーリード２ＢおよびリードＣとチップ１Ａの対応するボンディングパッドＢＰとをワイヤ５で電気的に接続する。次に、もう一本のバスバーリード３Ｂに絶縁フィルム４を介して第２のチップ１Ｂを固着すると共にチップ１Ａ、１Ｂの裏面同士を接着剤６で固着した後、バスバーリード３ＢおよびリードＣとチップ１Ｂの対応するボンディングパッドＢＰとをワイヤ５で電気的に接続する。

【００５１】

次に、上記リードフレームＬＦ２をモールド金型に装着し、２枚のチップ１Ａ、１Ｂおよびワイヤ５をリードフレームＬＦ２の一部と共にモールド樹脂２で封止する。続いて、モールド樹脂２の外部に露出したリードフレームＬＦ２の表面に半田メッキを施し、さらにリードフレームＬＦ２の不要個所の切断除去およびモールド樹脂２のバリ取りなどを行った後、モールド樹脂２の外部に露出したバスバーリード２ＢおよびリードＣのアウターリード部をガルウィング状に成形することにより、前記図１５～図１９に示すＴＳＯＰ２が完成する。

【００５２】

（実施の形態３）

図２１は、本実施形態の半導体装置の上面をモールド樹脂の一部を除去した状態で示す平面図、図２２は、この半導体装置の下面（実装面）をモールド樹脂の一部を除去した状態で示す平面図、図２３は、この半導体装置の短辺方向に沿った断面図、図２４は、この半導体装置の長辺方向に沿った断面図である。

【００５３】

本実施形態のＴＳＯＰ３は、裏面同士を対向させた２枚のチップ１Ａ、１Ｂの間に、それらの長辺方向に沿って平行に延在する２本のバスバーリード３Ｂ、３Ｂを挟み込むことによってチップ１Ａ、１Ｂを支持している。これらのバスバーリード３Ｂは、両面に接着剤（図示せず）が塗布された絶縁フィルム４を介してチップ１Ａ、１Ｂのそれぞれの裏面に固着されている。すなわち、このＴＳＯＰ３は、バスバーリード３Ｂが前記ＴＳＯＰ１の吊りリード３Ａを兼ねた構成になっている。

【００５４】

チップ１Ａ、１Ｂの間に挟まれた上記２本のバスバーリード３Ｂ、３Ｂのそれぞれの一部

は、チップ１Ａ、１Ｂの側面から外方に延在しており、そこに形成された分岐リード３Ｄの先端部には、チップ１Ａ、１Ｂとバスバーリード３Ｂとを電気的に接続するワイヤ５の一端がボンディングされている。

【００５５】

図２１および図２２に示すように、上記バスバーリード３Ｂおよびリード３Ｃのそれぞれのアウターリード部には、１番から５４番の端子番号が付されている。それらの端子名は前記実施形態１と同じであるため、その表示は省略する。

【００５６】

図２５は、上記ＴＳＯＰ３の製造に用いるリードフレームＬＦ３の平面図である。このリードフレームＬＦ３は、長方形の枠体１０の内側にバスバーリード３Ｂ、リード３Ｃおよびダムバー１１Ａ、１１Ｂなどの部材などを形成した構成になっている。

【００５７】

上記リードフレームＬＦ３を使ったＴＳＯＰ３の製造は、前記実施形態１で説明した方法に準じて行えばよい。すなわち、図示は省略するが、まずリードフレームＬＦ２に形成された２本のバスバーリード３Ｂの片面に絶縁フィルム４を介して第１のチップ１Ａを固着した後、バスバーリード２ＢおよびリードＣとチップ１Ａの対応するボンディングパッドＢＰとをワイヤ５で電気的に接続する。次に、バスバーリード３Ｂのもう一方の面に絶縁フィルム４を介して第２のチップ１Ｂを固着した後、バスバーリード３ＢおよびリードＣとチップ１Ｂの対応するボンディングパッドＢＰとをワイヤ５で電気的に接続する。

【００５８】

次に、上記リードフレームＬＦ３をモールド金型に装着し、２枚のチップ１Ａ、１Ｂおよびワイヤ５をリードフレームＬＦ３の一部と共にモールド樹脂２で封止する。続いて、モールド樹脂２の外部に露出したリードフレームＬＦ３の表面に半田メッキを施し、さらにリードフレームＬＦ３の不要個所の切断除去およびモールド樹脂２のバリ取りなどを行った後、モールド樹脂２の外部に露出したバスバーリード２ＢおよびリードＣのアウターリード部をガルウィング状に成形することにより、前記図２１～図２４に示すＴＳＯＰ３が完成する。

【００５９】

以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【００６０】

例えば図２６に示すように、２枚のチップ１Ａ、１Ｂを支持する吊りリード３Ａの長さを前記実施形態１の吊りリード３Ａより短くしてもよい。このようにすると、前記実施形態１に比べてチップ１Ａと吊りリード３Ａとの接触面積が減少するのでチップ１Ａ、１Ｂの安定性が若干低下するが、チップ１Ａと吊りリード３Ａとの間に介在する絶縁フィルム（４）の面積も減少するので、絶縁フィルム（４）の吸湿量が少なくなり、ＴＳＯＰ１のリフロークラック耐性が向上するという効果が得られる。

【００６１】

同様に、前記実施形態２や前記実施形態３において、バスバーリード３Ｂの機能を損なわない範囲でその形状や長さを変更することもできる。

【００６２】

また、リードフレームＬＦのバスバーリード３Ｂ（またはリードＣ）とチップ１Ａ、１Ｂのボンディングパッド ＢＰとをワイヤ５で接続する際は、図２７に示すように、バスバーリード３Ｂ（またはリード３）の表面にワイヤ５の一端を接続（ファースト・ボンディング）してからボンディングパッドＢＰの表面にワイヤ５の他端を接続（セカンド・ボンディング）するリバース・ボンディング方式を採用してもよい。このようにすることにより、ワイヤ５のループ高さを低くすることができるので、ＴＳＯＰの厚さをさらに薄くすることができる。

【００６３】

本発明はＴＳＯＰに限定されるものではなく、例えばＴＳＯＪなど、アウターリード部の形状が異なる他の樹脂封止型半導体装置に適用することもできる。また、チップはＤＲＡＭに限定されるものではなく、例えばＳＲＡＭやフラッシュメモリなどのメモリＬＳＩを形成したチップを使用することもできる。

【００６４】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【００６５】

本発明によれば、２個の半導体チップを積層して樹脂封止する半導体装置の製造コストを低減することができる。

【００６６】

本発明によれば、２個の半導体チップを積層して樹脂封止する半導体装置の薄型化を推進することができる。

【図面の簡単な説明】

【図１】本発明の実施形態１である半導体装置の上面を示す平面図である。

【図２】本発明の実施形態１である半導体装置の下面を示す平面図である。

【図３】図１のIII －III 線に沿った半導体装置の断面図である。

【図４】図１のIV－IV線に沿った半導体装置の断面図である。

【図５】本発明の実施形態１である半導体装置の製造に用いるリードフレームの平面図である。

【図６】本発明の実施形態１である半導体装置の製造方法を示す平面図である。

【図７】本発明の実施形態１である半導体装置の製造方法を示す断面図である。

【図８】本発明の実施形態１である半導体装置の製造方法を示す断面図である。

【図９】本発明の実施形態１である半導体装置の製造方法を示す平面図である。

【図１０】本発明の実施形態１である半導体装置の製造方法を示す断面図である。

【図１１】本発明の実施形態１である半導体装置の製造方法を示す平面図である。

【図１２】本発明の実施形態１である半導体装置の製造方法を示す断面図である。

【図１３】本発明の実施形態１である半導体装置の製造方法を示す平面図である。

【図１４】本発明の実施形態１である半導体装置の製造方法を示す断面図である。

【図１５】本発明の実施形態２である半導体装置の上面を示す平面図である。

【図１６】本発明の実施形態２である半導体装置の下面を示す平面図である。

【図１７】本発明の実施形態２である半導体装置の断面図である。

【図１８】本発明の実施形態２である半導体装置の断面図である。

【図１９】（ａ）、（ｂ）は、本発明の実施形態２である半導体装置の断面図である。

【図２０】本発明の実施形態２である半導体装置の製造に用いるリードフレームの平面図である。

【図２１】本発明の実施形態３である半導体装置の上面を示す平面図である。

【図２２】本発明の実施形態３である半導体装置の下面を示す平面図である。

【図２３】本発明の実施形態３である半導体装置の断面図である。

【図２４】本発明の実施形態３である半導体装置の断面図である。

【図２５】本発明の実施形態３である半導体装置の製造に用いるリードフレームの平面図である。

【図２６】本発明の他の実施形態である半導体装置の上面を示す平面図である。

【図２７】本発明の他の実施形態である半導体装置の製造方法を示す断面図である。

【符号の説明】

１Ａ、１Ｂ　半導体チップ

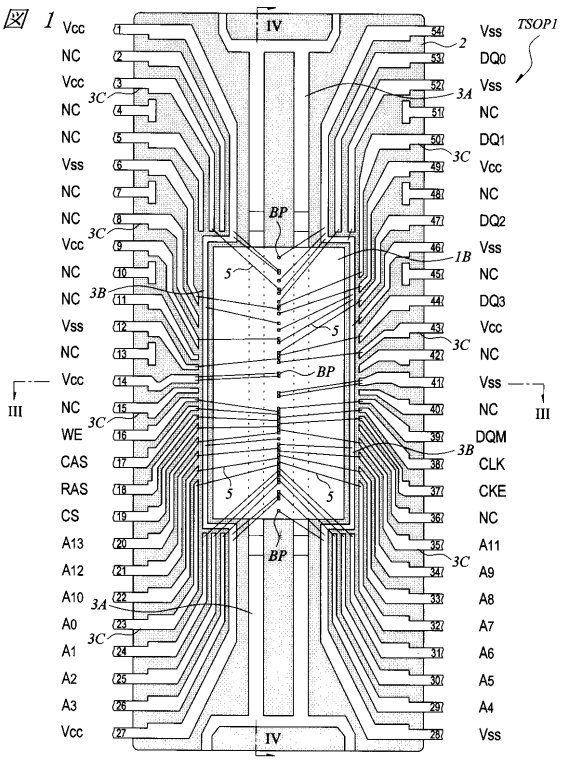
２　モールド樹脂

３Ａ　吊りリード

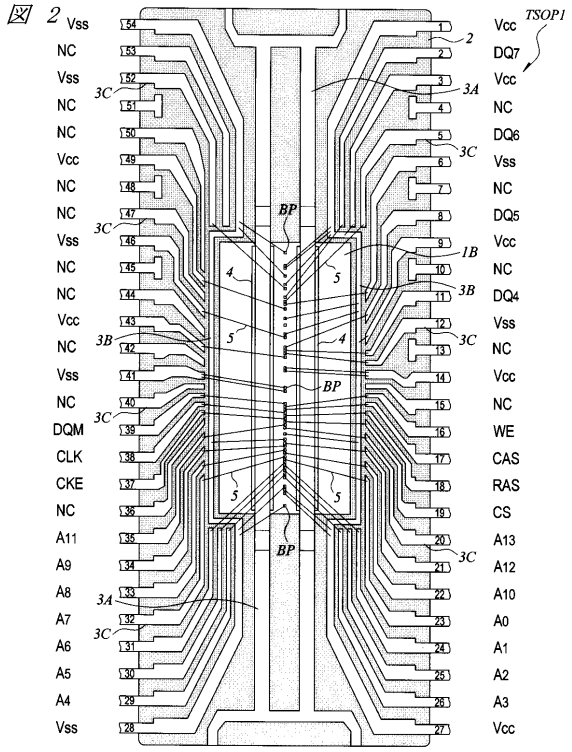
３Ｂ　バスバーリード（固定電位リード）

３Ｃ　リード（信号リード）
３Ｄ　分岐リード
４　絶縁フィルム
５　ワイヤ
６　接着剤
１０　枠体
１１Ａ、１１Ｂ　ダムバー
２０　ステージ
ＢＰ　ボンディングパッド
ＬＦ１～ＬＦ３　リードフレーム

【図１】

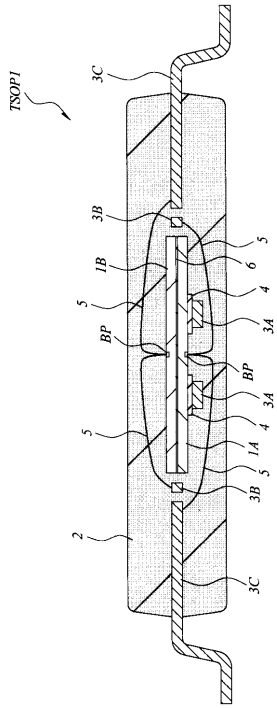


【図２】



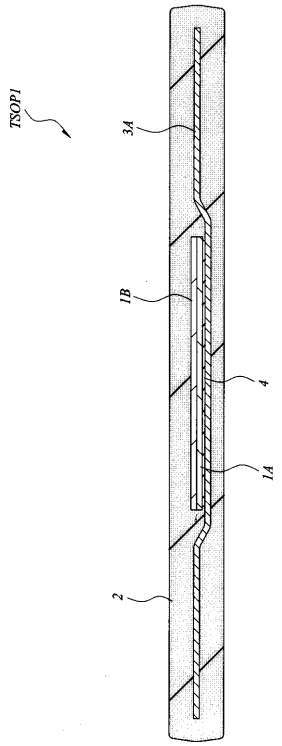
【図３】

図 3



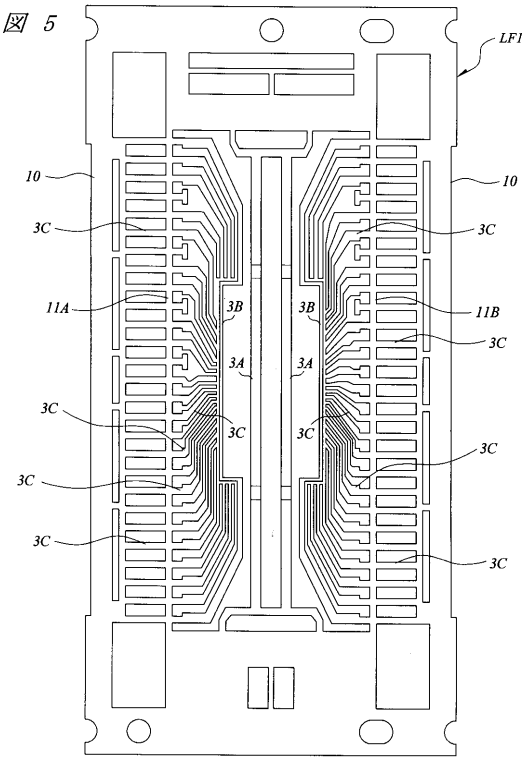
【図４】

図 4



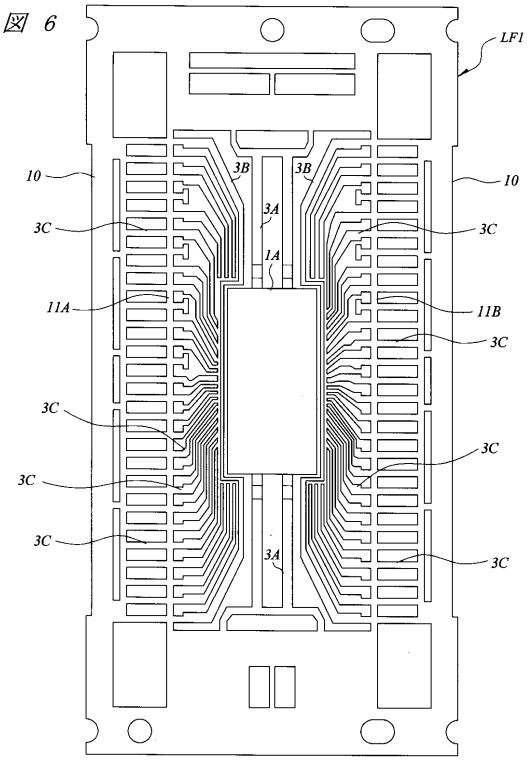
【図５】

図 5



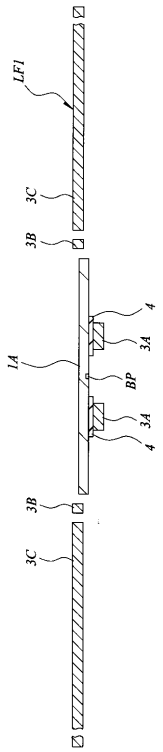
【図６】

図 6



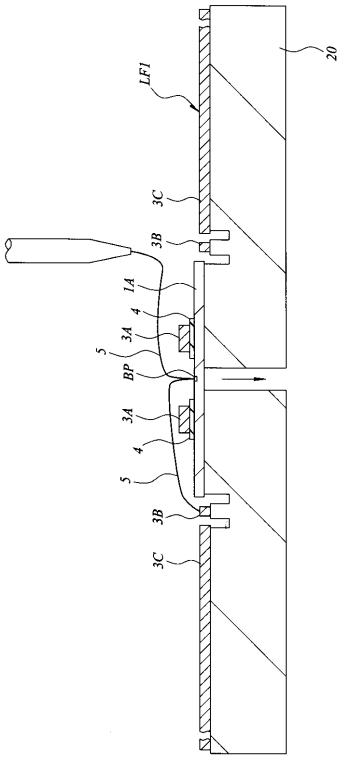
【図７】

図 7



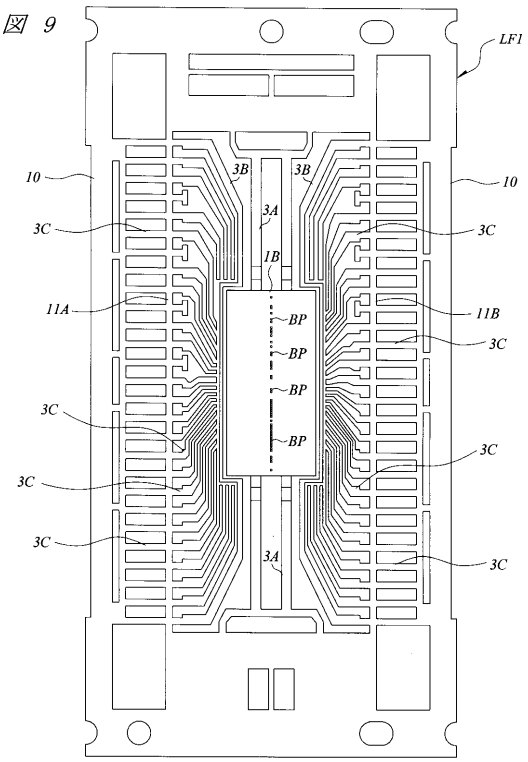
【図８】

図 8



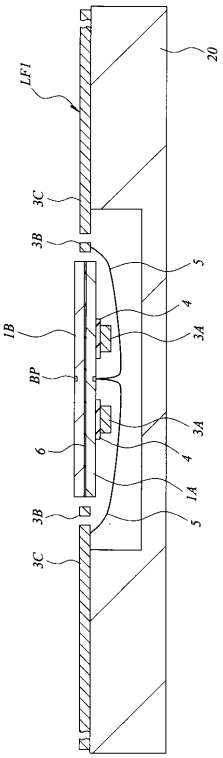
【図９】

図 9



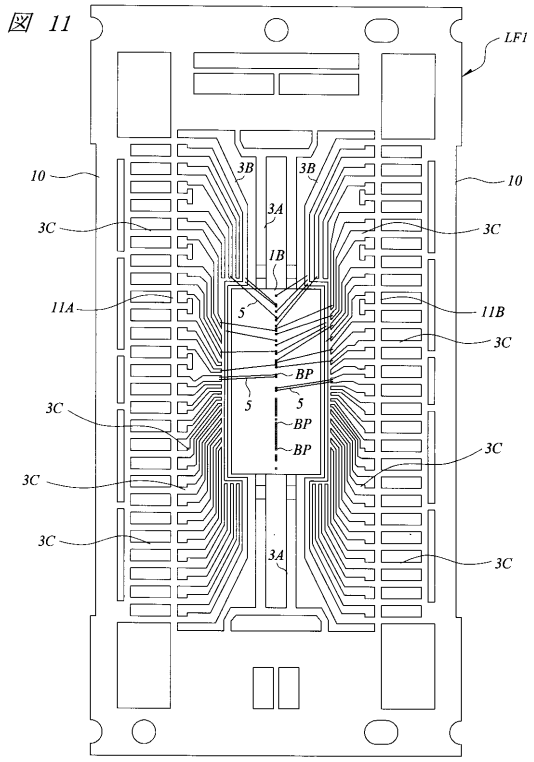
【図１０】

図 10



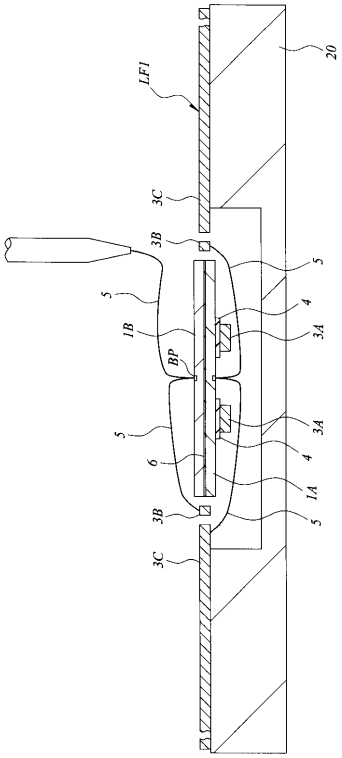
【図１１】

図 11



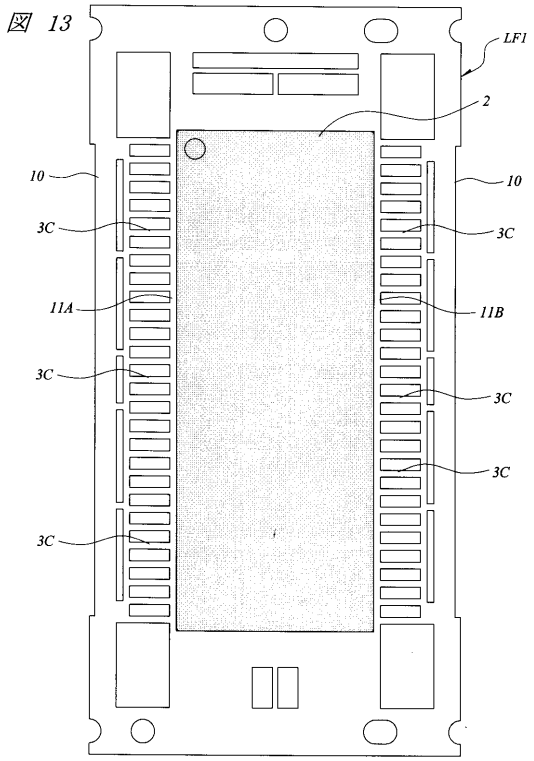
【図１２】

図 12



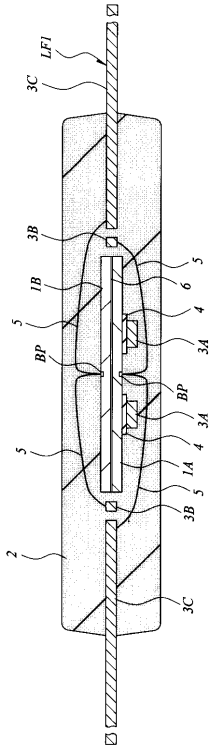
【図１３】

図 13



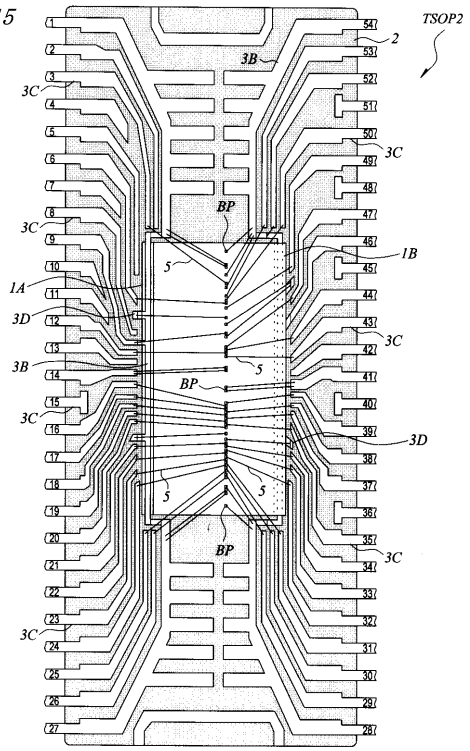
【図１４】

図 14



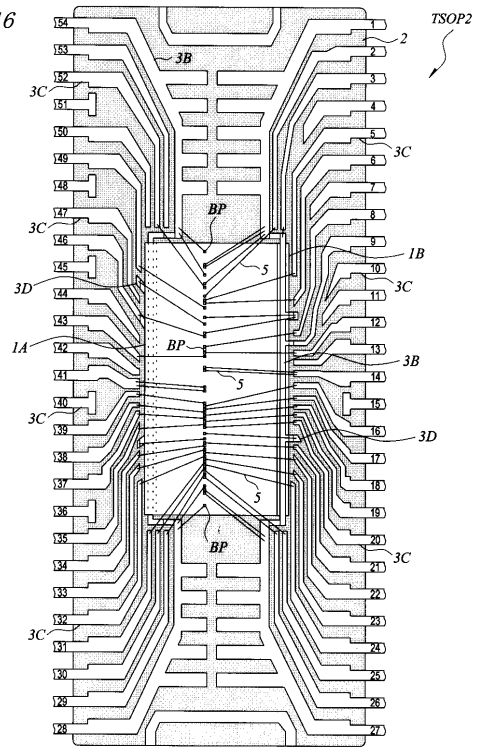
【図１５】

図 15



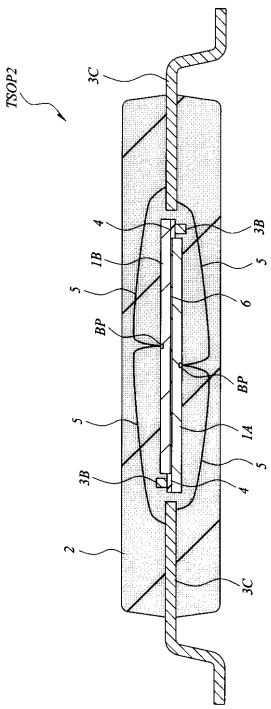
【図１６】

図 16



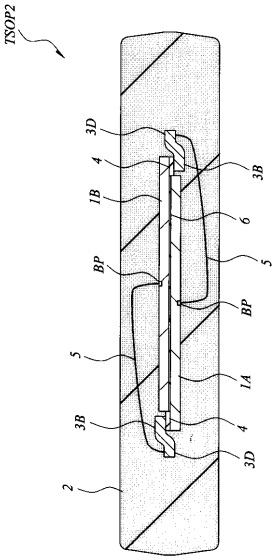
【図１７】

図 17



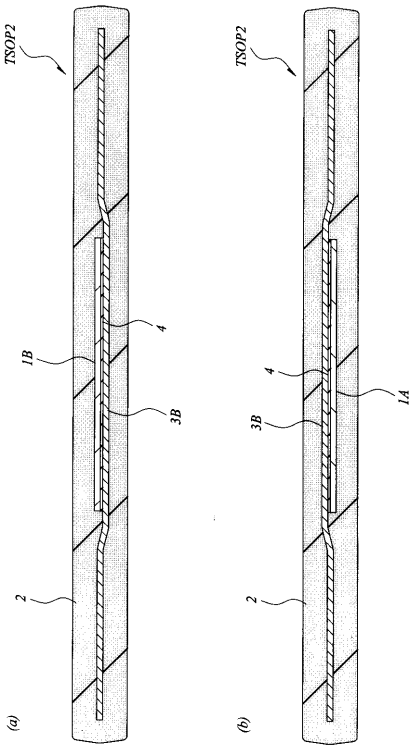
【図１８】

図 18



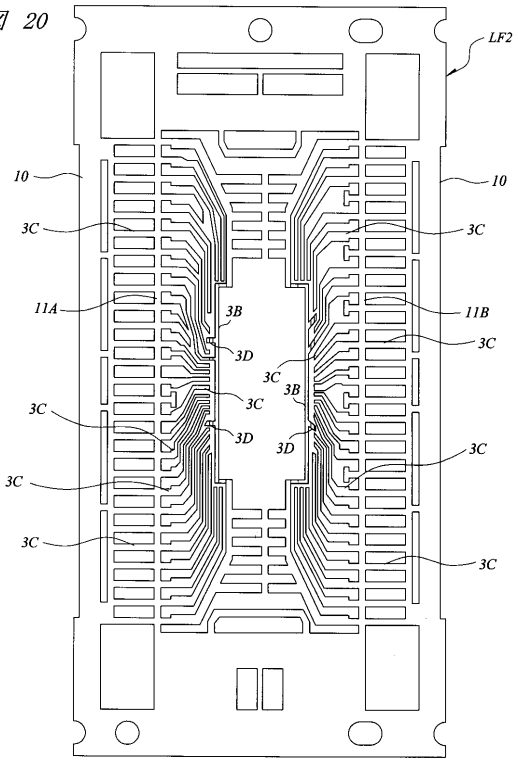
【図１９】

図 19



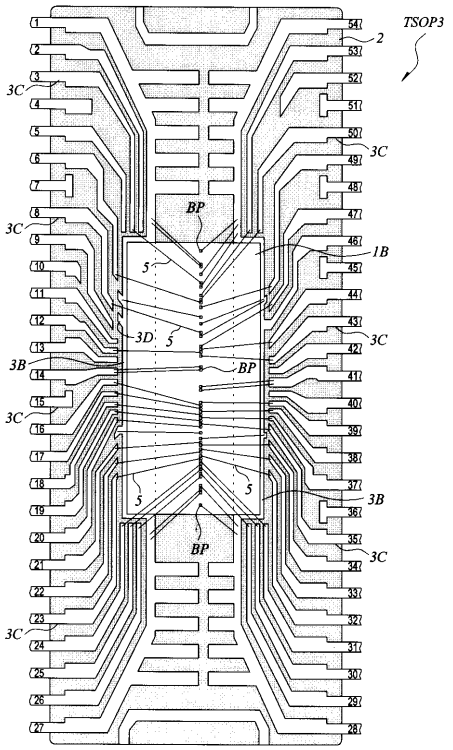
【図２０】

図 20



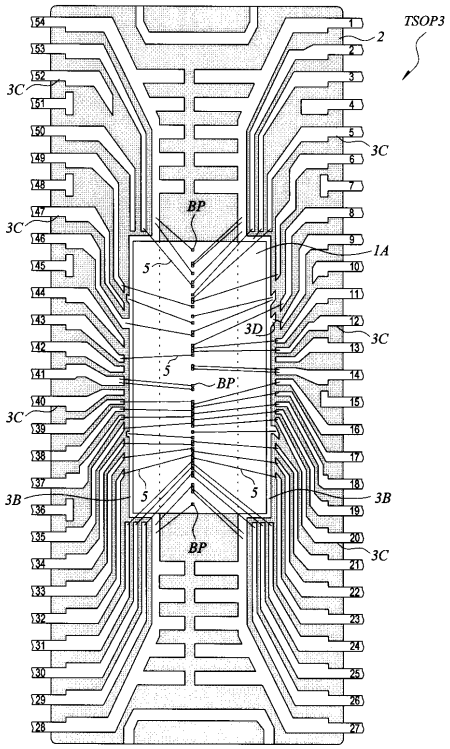
【図２１】

図 21



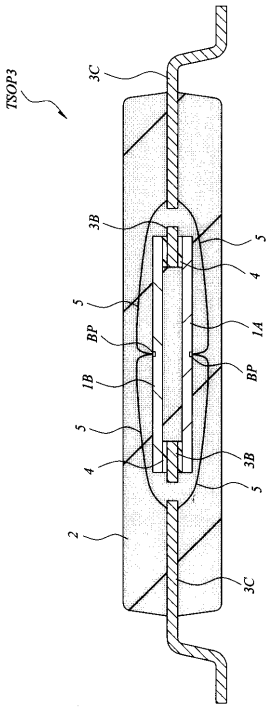
【図２２】

図 22



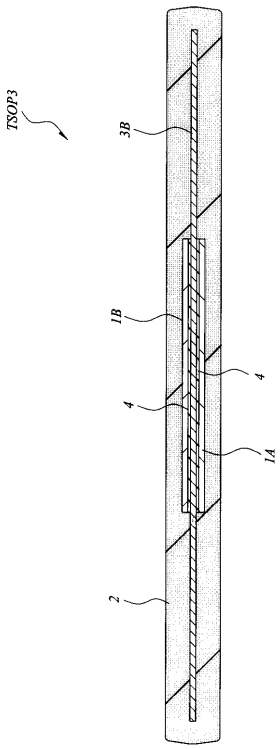
【図２３】

図 23



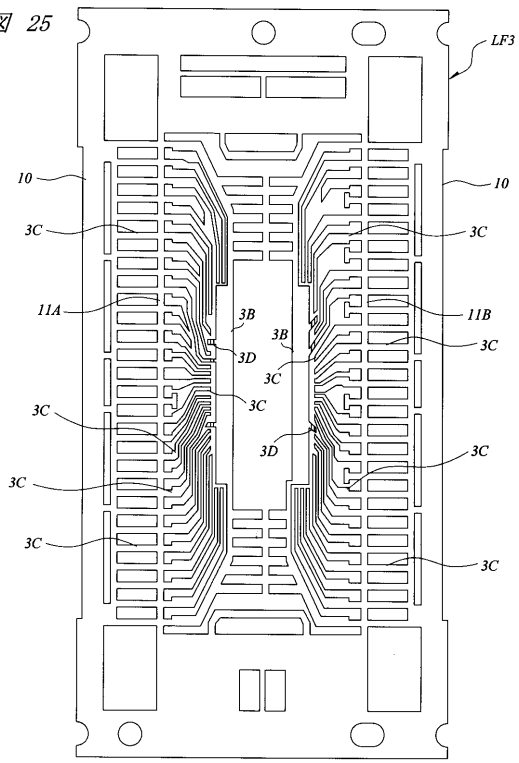
【図２４】

図 24



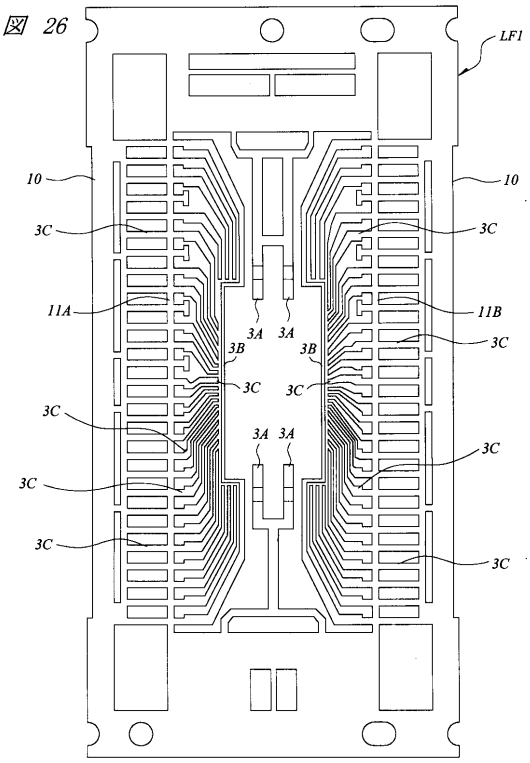
【図２５】

図 25



【図２６】

図 26



【図２７】

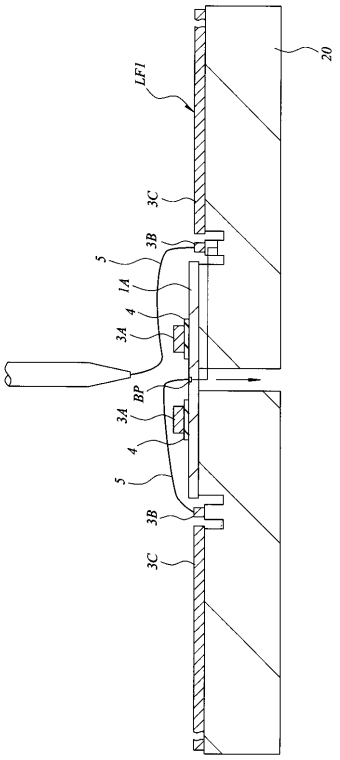


図 27

フロントページの続き

(56)参考文献 特開平０８－３３０５０８（ＪＰ，Ａ）
特開平０８－２７９５８４（ＪＰ，Ａ）
特開昭６２－０７８８６４（ＪＰ，Ａ）
実開平０２－０５２４５２（ＪＰ，Ｕ）
特開平０２－１７４２５４（ＪＰ，Ａ）
特開平１１－００８３４６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 25/00-25/18,23/48-23/50