



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 300 716**

51 Int. Cl.:
H03M 13/11 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Número de solicitud europea: **04255344 .6**

86 Fecha de presentación : **03.09.2004**

87 Número de publicación de la solicitud: **1513258**

87 Fecha de publicación de la solicitud: **09.03.2005**

54 Título: **Método y sistema para la codificación de códigos de verificación de paridad de baja densidad (LDPC) de longitud de bloque corto.**

30 Prioridad: **04.09.2003 US 500109 P**
27.10.2003 US 514683 P
07.11.2003 US 518199 P

73 Titular/es: **The Directv Group, Inc.**
2250 E. Imperial Highway
El Segundo, California 90245, US

45 Fecha de publicación de la mención BOPI:
16.06.2008

72 Inventor/es: **Eroz, Mustafa;**
Sun, Feng-Wen y
Lee, Lin-Nan

45 Fecha de la publicación del folleto de la patente:
16.06.2008

74 Agente: **Elzaburu Márquez, Alberto**

ES 2 300 716 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

ES 2 300 716 T3

DESCRIPCIÓN

Método y sistema para la codificación de códigos de verificación de paridad de baja densidad (LDPC) de longitud de bloque corto.

5 **Campo de la invención**

El invento actual está relacionado con los sistemas de comunicaciones y más específicamente a los sistemas codificados.

10 **Antecedentes de la invención**

15 Los sistemas de comunicación emplean la codificación para asegurar una comunicación confiable a través de canales de comunicaciones ruidosos. Por ejemplo, en un sistema inalámbrico (o de radio), como una red satelital, las fuentes de ruido abundan, de factores geográficos y ambientales. Estos canales de comunicación exhiben una capacidad fija que se puede expresar en términos de bits por símbolo, en cierta relación señal/ruido (SNR), definiendo un límite superior teórico (conocido como el límite de Shannon). Consecuentemente, la codificación de diseño ha apuntado a lograr índices que se acercan al límite de Shannon. Este objetivo es particularmente útil para los sistemas satelitales limitados en ancho de banda. Uno de los códigos que se acercan al límite de Shannon es el código de verificación de paridad de baja densidad (LDPC). 20

Tradicionalmente, no se han instalado extensamente los códigos LDPC debido a un número de desventajas. Una desventaja es que la técnica de codificación de LDPC es muy compleja. La codificación de un código de LDPC que usa su matriz de generador requeriría almacenar una matriz dispersa muy grande. Además, los códigos de LDPC requieren que los bloques grandes sean eficaces; por lo tanto, aunque las matrices de verificación de paridad de los códigos de LDPC son dispersas, es un problema almacenar estas matrices. 25

Desde la perspectiva de la implementación, se enfrentan un número de retos. Por ejemplo, el almacenamiento es una razón importante por la que los códigos de LDPC no han llegado a ser extensos en la práctica. Por consiguiente, la longitud de los códigos de LDPC requiere un mayor espacio de almacenamiento. También, un reto clave en la implementación del código de LDPC ha sido cómo lograr la red de conexión entre varios motores de proceso (nodos) en el decodificador. Además, la carga de cómputo en el proceso de decodificación, específicamente las operaciones del nodo de verificación, plantea un problema. 30

35 Le Goff S.Y.: "Channel capacity of bit-interleaved coded modulation scheme using 8-ary signal constellations", IEE Electronic Letters, vol. 38, no. 4, 14 de febrero de 2002 (XP006017828) que describe la modulación codificada de bit entrelazado con las constelaciones de señal 8-aria.

40 Le Goff S.Y.: "Signal constellations for bit-interleaved coded modulation", IEEE Trans. on Inf Theory, vol. 49, No. 1, enero de 2003, páginas 307-313 describe la modulación codificada de bit entrelazado utilizado junto con los códigos turbo.

45 Le Goff S.Y.: "Signalling constellations for power-efficient bit-interleaved coded modulation schemes", IEE PROCEEDINGS: COMMUNICATIONS, INSTITUTION OF ELECTRICAL ENGINEERS, GB, 13 de junio de 2003, páginas, 141-148 (XP006020428) que describe constelaciones de señal diferentes para los esquemas de modulación codificada de entrelazado de bit.

50 Hou J. *et al.*: "Capacity-approaching bandwidth-efficient coded modulation schemes based on low-density parity-check codes", IEEE Trans. on Inform Theory, vol. 49, No. 9, páginas 2141-2155 que describe los esquemas de modulación codificada de ancho de banda eficiente basados en los códigos de verificación de paridad de baja densidad (LDPC).

55 Richardson T.: "The renaissance of Gallager's low-density parity-check codes", IEEE Communications Magazine, agosto de 2003, páginas 126-131 (XP001177711) que revela información de 20 antecedentes de los códigos de verificación de paridad de baja densidad (LDPC).

60 Calzolari G.P.: "Report on DVB-S2 channel coding standardization effort", CCSDS Sub-Panel 1B Channel Coding, 7 de abril de 2003, Matera, Italia (XP002311762) que analiza la posibilidad del uso de varios esquemas de modulación en conjunto con los códigos de verificación de paridad de baja densidad (LDPC).

65 Todavía hay la necesidad de un sistema de comunicación LDPC que utilice procesos de codificación y decodificación sencillos. También hay la necesidad del uso eficiente de los códigos LDPC para admitir altas velocidades de datos sin introducir complejidades mayores. También está la necesidad de mejorar el rendimiento de los codificadores y decodificadores de LDPC. También está la necesidad de minimizar los requerimientos de almacenamiento para la implementación de la codificación LDPC.

Resumen de la invención

La actual invención trata éstas y otras necesidades, donde se proporciona un enfoque para codificar códigos de la verificación de paridad de baja densidad (LDPC). Un codificador genera un código de LDPC que tiene un código externo Bose Chaudhuri Hocquenghem (BCH) según una de las tablas 2-8 para la transmisión como la señal codificada LDPC. Cada una de las tablas 2-8 especifica la dirección de los acumuladores de bit de paridad. Se producen los códigos cortos de LDPC con la utilización de los códigos matrices de LDPC que se basan en las tablas 2-8. k_{ldpc} de los bits codificados BCH que están precedidos por ceros ficticios $k_m - k_{ldpc}$. Los bits resultantes se codifican sistemáticamente para generar los bits n_m . Se borran los primeros ceros ficticios $k_m - k_{ldpc}$ para lograr un código reducido. Para un código LDPC con índice de código de 3/5 que utiliza la modulación 8-PSK (modulación por desplazamiento de fase), un dispositivo de entrelazado asegura los bits de entrelazado del código LDPC de salida con la escritura en serie de los datos asociados con el código LDPC por columnas en una tabla y leyendo los datos por filas de derecha a izquierda. El enfoque proporciona una codificación conveniente ventajosa así como la decodificación de los códigos, mientras se minimizan los recursos de almacenamiento y de procesamiento.

Un aspecto de la presente invención es un método para respaldar transmisión de una señal de verificación de paridad de baja densidad (LDPC) como especificado en las reivindicaciones agregadas.

Según otro aspecto de una presentación de la actual invención, se transmite la señal codificada LDPC modulada por un enlace de satélite en favor de una aplicación satelital de banda ancha.

Son evidentes todavía otros aspectos, características y ventajas de la actual invención de la descripción detallada siguiente, simplemente con la ilustración de un número de presentaciones e implementaciones determinadas, con la inclusión del mejor modo contemplado para realizar la actual invención. La actual invención es también capaz de otras y de diversas presentaciones y se pueden modificar sus varios detalles en los varios aspectos obvios, todos sin salir del rango de la actual invención. Por consiguiente, se deben considerar el dibujo y la descripción como puramente ilustrativos y no como restrictivos.

Breve descripción de los dibujos

La presente invención se ilustra por medio de un modo de ejemplo y no limitándola de esta manera, en las figuras de los dibujos que la acompañan y en los cuáles los números de referencia se refieren a elementos similares y en los que:

La fig. 1 es un diagrama de un sistema de comunicaciones configurado para utilizar los códigos de verificación de paridad de baja densidad (LDPC), según una presentación de la actual invención;

Las figs. 2A y 2B son diagramas de decodificadores LDPC de ejemplo desplegado en el transmisor de la fig. 1:

Las figs. 2C y 2D son diagramas de flujo de los procesos de codificación del codificador LDPC de la fig. 2B para generar códigos de LDPC de longitud de trama corta, según una presentación de la actual invención;

La fig. 3 es un diagrama de un receptor de ejemplo en el sistema de la fig.1;

La fig. 4 es un diagrama de una matriz dispersa de verificación de paridad, según una presentación de la actual invención;

La fig. 5 es un diagrama de un gráfico dividido en dos partes de un código LDPC de la matriz de la fig.4;

La fig. 6 es un diagrama de una submatriz de una matriz dispersa de verificación de paridad, donde la submatriz contiene valores de la verificación de paridad restringida a la región triangular inferior, según una presentación de la actual invención;

La fig. 7 es un gráfico de rendimiento de los códigos de LDPC en los varios índices de código y los esquemas de modulación admitidos por el transmisor de la fig. 2B;

La fig. 8 es un gráfico de rendimiento de los códigos cortos de LDPC en los varios índices de código y los esquemas de modulación admitidos por el transmisor de la fig. 2B; y

La fig. 9 es un diagrama de un sistema informático que puede realizar el proceso de codificación de LDPC, según las presentaciones de la actual invención.

Descripción de la presentación preferida

Se describen un sistema, un método y un software para la codificación eficiente de los códigos de la verificación de paridad de baja densidad (LDPC) de longitud de trama corta. En la siguiente descripción, para propósitos de explicación, se disponen los numerosos detalles específicos para proporcionar a una comprensión completa de la actual invención. Es evidente, sin embargo, para el experto en la técnica que se puede practicar la actual invención sin

ES 2 300 716 T3

estos detalles específicos o con un arreglo equivalente. En otros casos, se muestran las estructuras y los dispositivos bien conocidos en forma de un diagrama en bloque para evitar confusiones innecesarias de la actual invención.

La fig. 1 es un diagrama de un sistema de comunicaciones configurado para utilizar los códigos de verificación de paridad de baja densidad (LDPC), según una presentación de la actual invención. Un sistema de comunicaciones digital 100 incluye un transmisor 101 que genera formas de onda de la señal a través de un canal de comunicaciones 103 a un receptor 105. En este sistema de comunicaciones discreto 100, el transmisor 101 tiene una fuente de mensaje que produce un conjunto discreto de mensajes posibles; cada uno de los mensajes posibles tiene una forma de onda correspondiente de la señal. Se atenúan o de lo contrario se alteran estas formas de onda de la señal por el canal de comunicaciones 103. Para combatir el canal de ruido 103, se utilizan los códigos de LDPC.

A modo de ejemplo, el canal 103 es un enlace satelital que sirve a terminales satelitales (por ejemplo, terminales de apertura muy pequeñas (VSATs)) en favor de las aplicaciones satelitales de banda ancha. Estas aplicaciones incluyen transmisiones satelitales y servicios interactivos (y en conformidad con Transmisión de Vídeo Digital (DVB) - norma S2). Se ha adoptado ampliamente en todo el mundo la norma de transmisión de vídeo digital por satélite (DVB-S) para proporcionar, por ejemplo, la programación de televisión digital por satélite.

Los códigos de LDPC que son generados por el transmisor 101 permiten la implementación de alta velocidad sin incurrir en ninguna pérdida del rendimiento. La salida estructurada de estos códigos de LDPC del transmisor 101 evita la asignación de un número pequeño de nodos de verificación a los nodos de bit ya vulnerables a los errores de canal en virtud del esquema de la modulación (por ejemplo, 8-PSK).

Estos códigos LDPC tienen un algoritmo de decodificación que se pueden poner en paralelo (a diferencia de los códigos turbo), que implica de forma ventajosa operaciones sencillas como la adición, la comparación y la búsqueda en tablas. Además, los códigos LDPC cuidadosamente diseñados no presentan ninguna señal de base de error.

Según una presentación de la actual invención, el transmisor 101 genera, con una técnica de codificación relativamente simple, códigos de LDPC basados en las matrices de verificación de paridad (que facilitan un acceso a memoria eficiente durante la decodificación) para comunicarse con el receptor 105. El transmisor 101 emplea los códigos de LDPC que pueden superar códigos concatenados de turbo+RS (Reed-Solomon), siempre que la longitud del bloque sea suficientemente grande.

Las figs. 2A y 2B son diagramas de codificadores de ejemplo de LDPC desplegados en el transmisor de la fig. 1. Según lo visto en la fig. 2A, un transmisor 200 está equipado con un codificador 203 de LDPC que valida la entrada de información de una fuente de información 201 y saque la secuencia codificada de una redundancia mayor conveniente para el procesamiento de corrección de error en el receptor 105. La fuente de información 201 genera las señales k de un alfabeto discreto, X . Se especifican los códigos de LDPC con las matrices de verificación de paridad. Por otro lado, la codificación de los códigos LDPC requiere, por lo general, la especificación de las matrices del generador. Aunque es posible obtener las matrices del generador de las matrices de verificación de paridad usando la eliminación Gaussiana, la matriz resultante ya no es dispersa y puede ser complejo almacenar una matriz grande de generador.

El codificador 203 genera señales del alfabeto Y a un modulador 205 con una técnica de codificación sencilla que utiliza solamente la matriz de verificación de paridad con la imposición de una estructura en la matriz de verificación de paridad. Específicamente, se pone una restricción en la matriz de verificación de paridad obligando a que cierta porción de la matriz sea triangular. Se describe más detalladamente la construcción de esta matriz de verificación de paridad a continuación en la fig. 6. Esta restricción da lugar a una pérdida insignificante del rendimiento y por lo tanto, constituye una atractiva compensación.

El modulador 205 asocia los mensajes codificados del codificador 203 a las formas de onda de la señal que se transmiten a una antena 207 de transmisión, que emite estas formas de onda por el canal de comunicaciones 103. Por consiguiente, los mensajes codificados se modulan y se distribuyen a una antena 207 de transmisión. Las transmisiones de la antena 207 de transmisión se propagan a un receptor (mostrado en fig. 3), según lo discutido a continuación.

La fig. 2B muestra un codificador de LDPC utilizado con un codificador de Bose Chaudhuri Hocquenghem (BCH) y un codificador de comprobación de redundancia cíclica (CRC), según una presentación de la actual invención. En estas circunstancias, los códigos generados por el codificador 203 de LDPC, junto con el codificador 209 de CRC y el codificador 211 de BCH, tienen un código externo concatenado de BCH y código interno de verificación de paridad de baja densidad (LDPC). Además, se logra la detección de error con los códigos de comprobación de redundancia cíclica (CRC). El codificador CRC 209, en una presentación de ejemplo, codifica con un código CRC de ocho bits con un generador polinómico $(x^5+x^4+x^3+x^2+1)(x^2+x+1)(x+1)$. Se saca el código CRC al codificador BCH 211.

El codificador LDPC 203 codifica sistemáticamente un bloque de información de tamaño K_{ldpc} , $i = (i_0, i_1, \dots, i_{k_{\text{ldpc}}-1})$ en una palabra codificada de tamaño n_{ldpc} , $c = (i_0, i_1, \dots, i_{k_{\text{ldpc}}-1}, p_0, p_1, \dots, p_{n_{\text{ldpc}}-k_{\text{ldpc}}-1})$. La transmisión de la palabra de código comienza en el orden dado de i_0 y termina con $p_{n_{\text{ldpc}}-k_{\text{ldpc}}-1}$. Se dan los parámetros del código LDPC en la siguiente tabla 1.

ES 2 300 716 T3

TABLA 1

Parámetros del código LDPC (n_{ldpc}, k_{ldpc})		
Índice de código	Longitud de bloque no codificado de LDPC k_{ldpc}	Longitud de bloque codificado de LDPC n_{ldpc}
1/2	32400	64800
2/3	43200	64800
3/4	48600	64800
4/5	51840	64800
5/6	54000	64800
3/5	38880	64800
8/9	57600	64800

La tarea del codificador LDPC 203 es determinar los bits de paridad $n_{ldpc} - k_{ldpc}$ ($p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1}$) para cada bloque k_{ldpc} de bits de información ($i_0, i_1, \dots, i_{k_{ldpc}-1}$). El procedimiento es de la siguiente manera. Primeramente, se inician los bits de paridad; $p_0 = p_1 = p_2 = \dots = p_{n_{ldpc}-k_{ldpc}-1} = 0$. El primer bit de información, i_0 , se acumula en la dirección del bit de paridad especificado en la primera fila de las tablas 2-8. Por ejemplo, para el índice 2/3 (tabla 4), los resultados son siguientes:

$$p_0 = p_0 \oplus i_0$$

$$p_{10491} = p_{10491} \oplus i_0$$

$$p_{16043} = p_{16043} \oplus i_0$$

$$p_{506} = p_{506} \oplus i_0$$

$$p_{12826} = p_{12826} \oplus i_0$$

$$p_{8065} = p_{8065} \oplus i_0$$

$$p_{8226} = p_{8226} \oplus i_0$$

$$p_{2767} = p_{2767} \oplus i_0$$

$$p_{240} = p_{240} \oplus i_0$$

$$p_{18673} = p_{18673} \oplus i_0$$

$$p_{9279} = p_{9279} \oplus i_0$$

$$p_{10579} = p_{10579} \oplus i_0$$

$$p_{20928} = p_{20928} \oplus i_0$$

(Todas las adiciones están en GF(2)).

Entonces, para los siguientes 356 bits de información, $i_m, m = 1, 2, \dots, 359$, estos bits se acumulan en las direcciones de los bits de paridad $\{x + m \bmod 360 \times q\} \bmod (n_{ldpc} - k_{ldpc})$ donde x es la dirección del bit de paridad del acumulador de bit de paridad correspondiente al primer bit i_0 y q es una constante dependiente del índice de código especificado en la tabla 9. Continuando con el ejemplo, $q = 60$ para un índice de 2/3. A manera de ejemplo, para el bit de información i_1 se realizan las siguientes operaciones:

ES 2 300 716 T3

$$p_{60} = p_{60} \oplus i_1$$

$$p_{10551} = p_{10551} \oplus i_1$$

$$p_{16103} = p_{16103} \oplus i_1$$

$$p_{566} = p_{566} \oplus i_1$$

$$p_{12886} = p_{12886} \oplus i_1$$

$$p_{8125} = p_{8125} \oplus i_1$$

$$p_{8286} = p_{8286} \oplus i_1$$

$$p_{2827} = p_{2827} \oplus i_1$$

$$p_{300} = p_{300} \oplus i_1$$

$$p_{18733} = p_{18733} \oplus i_1$$

$$p_{9339} = p_{9339} \oplus i_1$$

$$p_{10639} = p_{10639} \oplus i_1$$

$$p_{20988} = p_{20988} \oplus i_1$$

Para el bit de información número 361, i_{360} , se dan las direcciones de los acumuladores bits de paridad en la segunda fila de las tablas 2-8. De una manera similar, se obtienen las direcciones de los acumuladores de bit de paridad para los siguientes 359 bits de información i_m , $m = 361, 362, \dots, 719$ usando la fórmula $\{x + m \bmod 360 \times q\} \bmod (n_{ldpc} - k_{ldpc})$, donde x denota la dirección del acumulador del bit de paridad que corresponde al bit de información i_{360} es decir, las entradas en la segunda fila de las tablas 2-8. De una manera similar, para cada grupo de 360 bits de información nuevos, se utiliza una nueva fila de las tablas 2-8 para encontrar las direcciones de los acumuladores del bit de paridad.

Se dan las direcciones de los acumuladores del bit de paridad en las tablas 2-8.

TABLA 2

Dirección de los acumuladores de bit de paridad (Índice 1/2)							
15	5604	5754	7705	4356	6844	8186	4014
16	5341	2456	6053	4571	5034	8521	1858
17	5207	8819	4926	8482	7518	8225	2585
18	4948	1285	6825	8840	3454	8255	3137
19	672	263	6959	5970	2556	1273	6091
20	712	2386	6354	4061	1062	5045	5158
21	2543	5748	4822	2348	3089	6328	5876
22	926	5701	269	3693	2438	3190	3507
23	2802	4520	3577	5324	1091	4667	4449
24	5140	2003	1263	4742	6497	1185	6202
0	4046	6934					
1	2855	66					
2	6694	212					
3	3439	1158					
4	3850	4422					
5	5924	290					
6	1467	4049					
7	7820	2242					
8	4606	3080					
9	4633	7877					
10	3884	6868					
11	8935	4996					
12	3028	764					
13	5988	1057					
14	7411	3450					

ES 2 300 716 T3

TABLA 3

5
10
15
20
25
30
35
40
45
50
55
60
65

Dirección de los acumuladores de bit de paridad (Índice 3/5)												
2765	5713	6426	3596	1374	4811	2182	544	3394	2840	4310	771	
4951	211	2208	723	1246	2928	398	5739	265	5601	5993	2615	
210	4730	5777	3096	4282	6238	4939	1119	6463	5298	6320	4016	
4167	2063	4757	3157	5664	3956	6045	563	4284	2441	3412	6334	
4201	2428	4474	59	1721	736	2997	428	3807	1513	4732	6195	
2670	3081	5139	3736	1999	5889	4362	3806	4534	5409	6384	5809	
5516	1622	2906	3285	1257	5797	3816	817	875	2311	3543	1205	
4244	2184	5415	1705	5642	4886	2333	287	1848	1121	3595	6022	
2142	2830	4069	5654	1295	2951	3919	1356	884	1786	396	4738	
0	2161	2653										
1	1380	1461										
2	2502	3707										
3	3971	1057										
4	5985	6062										
5	1733	6028										
6	3786	1936										
7	4292	956										
8	5692	3417										
9	266	4878										
10	4913	3247										
11	4763	3937										
12	3590	2903										
13	2566	4215										
14	5208	4707										
15	3940	3388										
16	5109	4556										
17	4908	4177										

ES 2 300 716 T3

TABLA 4

Dirección de los acumuladores de bit de paridad (Índice 2/3)	
5	
	0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
	1 122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 5108
10	2 259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
	3 342 3529
	4 4198 2147
	5 1880 4836
15	6 3864 4910
	7 243 1542
	8 3011 1436
	9 2167 2512
20	10 4606 1003
	11 2835 705
	12 3426 2365
	13 3848 2474
25	14 1360 1743
	0 163 2536
	1 2583 1180
	2 1542 509
30	3 4418 1005
	4 5212 5117
	5 2155 2922
	6 347 2696
	7 226 4296
35	8 1560 487
	9 3926 1640
	10 149 2928
40	11 2364 563
	12 635 688
	13 231 1684
	14 1129 3894
45	
50	
55	
60	
65	

ES 2 300 716 T3

TABLA 5

5
10
15
20
25
30
35
40
45
50
55
60
65

Dirección de los acumuladores de bit de paridad (Índice 3/4)											
0	3576	1576	3860	1290	4199	815	2978	3428	3639	2181	1750
1	1960	2307	2697	4240	3238	3555	265	379	128	2911	3653
2	99	1389	3627	830	2448	1185	3034	2946	2598	1960	1032
3	3198	478	4207	1481	1009	2616	1924	3437	554	683	1801
4	2681	2135									
5	3107	4027									
6	2637	3373									
7	3830	3449									
8	4129	2060									
9	4184	2742									
10	3946	1070									
11	2239	984									
0	1458	3031									
1	3003	1328									
2	1137	1716									
3	132	3725									
4	1817	638									
5	1774	3447									
6	3632	1257									
7	542	3694									
8	1015	1945									
9	1948	412									
10	995	2238									
11	4141	1907									
0	2480	3079									
1	3021	1088									
2	713	1379									
3	997	3903									
4	2323	3361									
5	1110	986									
6	2532	142									
7	1690	2405									
8	1298	1881									
9	615	174									
10	1648	3112									
11	1415	2808									

ES 2 300 716 T3

TABLA 6

Dirección de los acumuladores de bit de paridad (Índice 4/5)	
5	
	0 2319 198 789 902 1314 2806 143 2088 3525 1972
	1 1285 1816 2194 1037 3293 509 3417 2294 2438 3111
10	2 704 1967 1228 1486 842 3400 1075 2776 3473 3327
	3 1501 63 3235 2253 661 2968 1819 252 360 2174
	4 3040 2231 2531 2690 1527 2605 2130 791 1786 1699
	5 896 1565
15	6 2493 184
	7 212 3210
	8 727 1339
	9 3428 612
20	0 2663 1947
	1 230 2695
	2 2025 2794
	3 3039 283
25	4 862 2889
	5 376 2110
	6 2034 2286
	7 951 2068
30	8 3108 3542
	9 307 1421
	0 2272 1197
	1 1800 3280
35	2 331 2308
	3 465 2552
	4 1038 2479
	5 1383 343
40	6 94 236
	7 2619 121
	8 1497 2774
	9 2116 1855
45	0 722 1584
	1 2767 1881
	2 2701 1610
	3 3283 1732
	4 168 1099
50	5 3074 243
	6 3460 945
	7 2049 1746
	8 566 1427
55	9 3545 1168
60	
65	

ES 2 300 716 T3

TABLA 7

	Dirección de los acumuladores de bit de paridad (Índice 5/6)
5	0 1752 825 2637 402 2730 1838 1945 2490 1627 2137 1202 2188
	1 1501 1900 2147 1967 1757 2803 555 2020 333 2266 2577 1399
10	2 1675 799 422 488 945 1536 2288 999 1727 2214 1923 2152
	3 2409 499 1481 908 559 716 1270 333 2508 2264 1702 2805
	4 2447 1926
	5 414 1224
15	6 2114 842
	7 212 573
	0 2383 2112
	1 2286 2348
20	2 545 819
	3 1264 143
	4 1701 2258
	5 964 166
25	6 114 2413
	7 2243 81
	0 1245 1581
	1 775 169
30	2 1696 1104
	3 1914 2831
	4 532 1450
	5 91 974
35	6 497 2228
	7 2326 1579
	0 2482 256
	1 1117 1261
40	2 1257 1658
	3 1478 1225
	4 2511 980
	5 2320 2675
45	6 435 1278
	7 228 503
	0 1885 2369
	1 57 483
50	2 838 1050
	3 1231 1990
	4 1738 68
	5 2392 951
55	6 163 645
	7 2644 1704

60

65

ES 2 300 716 T3

TABLA 8

Dirección de los acumuladores de bit de paridad (Índice 8/9)	
5	0 1558 712 805
	1 1450 873 1337
10	2 1741 1129 1184
	3 294 806 1566
	4 482 605 923
15	0 926 1578
	1 777 1374
	2 608 151
	3 1195 210
	4 1484 692
20	0 427 488
	1 828 1124
	2 874 1366
	3 1500 835
25	4 1496 502
	0 1006 1701
	1 1155 97
	2 657 1403
30	3 1453 624
	4 429 1495
	0 809 385
	1 367 151
35	2 1323 202
	3 960 318
	4 1451 1039
	0 1098 1722
40	1 1015 1428
	2 1261 1564
	3 544 1190
	4 1472 1246
45	0 508 630
	1 421 1704
	2 284 898
	3 392 577
50	4 1155 556
	0 631 1000
	1 732 1368
	2 1328 329
55	3 1515 506
	4 1104 1172

60 Después que se hayan terminado todos los bits de información, se obtiene el último bit de paridad de la siguiente manera. Primero, se realizan las siguientes operaciones comenzando con $i=1$ $p_i = p_i \oplus p_{i-1}$, $i= 1,2,\dots,n_{ldpc}-k_{ldpc}-1$.

El contenido final de p_i , $i = 0,1,\dots, n_{ldpc} - k_{ldpc} - 1$ es igual al bit de paridad p_i .

65

ES 2 300 716 T3

TABLA 9

Índice de código	q
2/3	60
5/6	30
1/2	90
3/4	45
4/5	36
3/5	72
8/9	20

El generador polinómico del codificador 211 BCH de corrección de errores t se obtiene con la multiplicación de los primeros polinomios t de la siguiente lista de la tabla 10.

TABLA 10

$g_1(x)$	$1+x^2+x^3+x^5+x^{16}$
$g_2(x)$	$1+x+x^4+x^5+x^6+x^8+x^{16}$
$g_3(x)$	$1+x^2+x^3+x^4+x^5+x^7+x^8+x^9+x^{10}+x^{11}+x^{16}$
$g_4(x)$	$1+x^2+x^4+x^6+x^9+x^{11}+x^{12}+x^{14}+x^{16}$
$g_5(x)$	$1+x+x^2+x^3+x^5+x^8+x^9+x^{10}+x^{11}+x^{12}+x^{16}$
$g_6(x)$	$1+x^2+x^4+x^5+x^7+x^8+x^9+x^{10}+x^{12}+x^{13}+x^{14}+x^{15}+x^{16}$
$g_7(x)$	$1+x^2+x^5+x^6+x^8+x^9+x^{10}+x^{11}+x^{13}+x^{15}+x^{16}$
$g_8(x)$	$1+x+x^2+x^5+x^6+x^8+x^9+x^{12}+x^{13}+x^{14}+x^{16}$
$g_9(x)$	$1+x^5+x^7+x^9+x^{10}+x^{11}+x^{16}$
$g_{10}(x)$	$1+x+x^2+x^5+x^7+x^8+x^{10}+x^{12}+x^{13}+x^{14}+x^{16}$
$g_{11}(x)$	$1+x^2+x^3+x^5+x^9+x^{11}+x^{12}+x^{13}+x^{16}$
$g_{12}(x)$	$1+x+x^5+x^6+x^7+x^9+x^{11}+x^{12}+x^{16}$

Se logra la codificación BCH de bits de información $m = (m_{k_{\text{bch}}-1}, m_{k_{\text{bch}}-2}, \dots, m_1, m_0, \dots, d_{n_{\text{bch}}-k_{\text{bch}}-2}, \dots, d_1, d_0)$ en una palabra de código $c = (m_{k_{\text{bch}}-1}, m_{k_{\text{bch}}-2}, \dots, m_1, m_0, \dots, d_{n_{\text{bch}}-k_{\text{bch}}-2}, \dots, d_1, d_0)$ de la siguiente manera. El mensaje polinómico $m(x) = m_{k_{\text{bch}}-1}x^{k_{\text{bch}}-1} + m_{k_{\text{bch}}-2}x^{k_{\text{bch}}-2} + \dots + m_1x + m_0$ se multiplica por $x^{n_{\text{bch}}-k_{\text{bch}}}$. Seguidamente $x^{n_{\text{bch}}-k_{\text{bch}}}m(x)$ se divide por $g(x)$. Con $d(x) = d_{n_{\text{bch}}-k_{\text{bch}}-1}x^{n_{\text{bch}}-k_{\text{bch}}-1} + \dots + d_1x + d_0$ como el residuo, la palabra de código polinómica se establece de la siguiente manera: $c(x) = x^{n_{\text{bch}}-k_{\text{bch}}}m(x) + d(x)$.

Según lo visto en la fig. 2B, las salidas del codificador 203 de LDPC a un dispositivo de entrelazado de bit 213. A modo de ejemplo, se utilizan los formatos de modulación 8-PSK, 16-APSK, y 32-APSK. Los datos se escriben en serie por columnas en el dispositivo de entrelazado (de arriba a abajo) y se lee en serie por columnas (de izquierda a derecha). Sin embargo, en el caso del índice de código 3/5 con 8-PSK, se ha determinado que la lectura de los datos de derecha a izquierda, en vez de izquierda a derecha, produce un mejor rendimiento (según lo ilustrado en la fig. 7).

Está especificada en la tabla 11 la configuración del dispositivo de entrelazado en bloque para cada formato de modulación.

TABLA 11

Estructura del dispositivo de entrelazado de bit			
Modulación	Filas (para $n_{\text{ldpc}}=64800$)	Filas (para $n_{\text{ldpc}}=16200$)	Columnas
8-PSK	21600	5400	3
16-APSK	16200	4050	4
32-APSK	12960	3240	5

ES 2 300 716 T3

Las figs. 2C y 2D son diagramas de flujo de los procesos de codificación del codificador LDPC de la fig. 2B para generar códigos de LDPC de longitud de trama corta, según una presentación de la actual invención; En el paso 211, los bits de información se reciben y se procesan en la cadena de codificadores 209, 211, y 203. Por lo tanto, el codificador 203 de LDPC genera códigos de LDPC con los códigos externos de BCH basados en los bits de información recibidos, como en el paso 223. Los códigos también contienen el código de CRC. En el paso 225, el dispositivo de entrelazado 213 altera los bits codificados, como se describe anteriormente. Después, se representan los códigos de LDPC por las señales que están moduladas, por el paso 227, para la transmisión por el canal 103, que en una expresión ejemplar, es un enlace satelital a uno o más terminales satelitales (paso 229).

Según lo analizado, se codifican sistemáticamente los bits k_{ldpc} para generar bits n_{ldpc} . Según una presentación de la actual invención, n_{ldpc} es 16200 bits, que es una longitud corta de bloque. Dada la longitud relativamente corta de estos códigos, los códigos de LDPC que tienen longitudes aproximadas de 16200 bits o menos se consideran códigos de longitud de bloque "corto".

Según una presentación de la actual invención, los códigos de bloque corto se generan a partir de versiones reducidas de códigos "madre" ligeramente más largos (k_m, n_m) de tamaño de bloque $n_m > 16200$. Como se muestra en la figura 2D, k_{ldpc} de los bits codificados BCH están precedidos por $k_m - k_{ldpc}$ que son ceros ficticios (según el paso 251). Los bits resultantes k_m se codifican sistemáticamente para generar bits n_m , como en el paso 253. Se borran los primeros ceros ficticios $k_m - k_{ldpc}$, como en el paso 255 y se transmitirán (paso 257) los bits resultantes $n_{ldpc} = 16200$. Se observa que $k_m - k_{ldpc} = n_m - n_{ldpc}$.

Se proporcionan los parámetros de códigos de longitud de trama corta en la tabla 12 de la siguiente manera:

TABLA 12

Índice de código madre k_m/n_m	k_{ldpc}	k_m	n_m	k_{bch}	Corrección BCH (bits)	Velocidad efectiva $k_{bch}/16200$
1/2	7200	9000	18000	7032	12	0,434
3/5	9720	9720	16200	9552	12	0,589
2/3	10800	10800	16200	10632	12	0,656
3/4	11880	12960	17280	11712	12	0,722
4/5	12600	14400	18000	12432	12	0,767
5/6	13320	14400	17280	13152	12	0,811
8/9	14400	14400	16200	14232	12	0,878

Se realizaron las simulaciones de rendimiento de estos códigos como se muestra en la fig. 8.

Las tablas 13-15 proporcionan otros índices de código de ejemplo, 1/3, 1/5 y 2/5 para n_{ldpc} , de 16200 bits:

ES 2 300 716 T3

TABLA 13

Dirección de los acumuladores de bit de paridad (Índice 1/3)												
5	416	8909	4156	3216	3112	2560	2912	6405	8593	4969	6723	6912
	8978	3011	4339	9312	6396	2957	7288	5485	6031	10218	2226	3575
	3383	10059	1114	10008	10147	9384	4290	434	5139	3536	1965	2291
	2797	3693	7615	7077	743	1941	8716	6215	3840	5140	4582	5420
10	6110	8551	1515	7404	4879	4946	5383	1831	3441	9569	10472	4306
	1505	5682	7778									
	7172	6830	6623									
	7281	3941	3505									
15	10270	8669	914									
	3622	7563	9388									
	9930	5058	4554									
	4844	9609	2707									
	6883	3237	1714									
20	4768	3878	10017									
	10127	3334	8267									

25

TABLA 14

Dirección de los acumuladores de bit de paridad (Índice 1/5)												
30	6295	9626	304	7695	4839	4936	1660	144	11203	5567	6347	12557
	10691	4988	3859	3734	3071	3494	7687	10313	5964	8069	8296	11090
	10774	3613	5208	11177	7676	3549	8746	6583	7239	12265	2674	4292
	11869	3708	5981	8718	4908	10650	6805	3334	2627	10461	9285	11120
	7844	3079	10773									
35	3385	10854	5747									
	1360	12010	12202									
	6189	4241	2343									
	9840	12726	4977									

40

TABLA 15

Dirección de los acumuladores de bit de paridad (Índice 2/5)												
45	5650	4143	8750	583	6720	8071	635	1767	1344	6922	738	6658
	5696	1685	3207	415	7019	5023	5608	2605	857	6915	1770	8016
	3992	771	2190	7258	8970	7792	1802	1866	6137	8841	886	1931
50	4108	3781	7577	6810	9322	8226	5396	5867	4428	8827	7766	2254
	4247	888	4367	8821	9660	324	5864	4774	227	7889	6405	8963
	9693	500	2520	2227	1811	9330	1928	5140	4030	4824	806	3134
	1652	8171	1435									
55	3366	6543	3745									
	9286	8509	4645									
	7397	5790	8972									
	6597	4422	1799									
60	9276	4041	3847									
	8683	7378	4946									
	5348	1993	9186									
	6724	9015	5646									
65	4502	4439	8474									
	5107	7342	9442									
	1387	8910	2660									

El enfoque anterior para el diseño de códigos de LDPC, en la manera prevista en las tablas 2-8 y 13-15, permite un almacenamiento ventajoso y la recuperación de la información relevante con respecto a los grupos de nodos de bit y de los nodos de verificación repartidos que se colocarán siempre en ubicaciones de memoria contiguas dentro de la memoria (por ejemplo, memoria de acceso aleatorio (RAM)). Además, esto permite la utilización de un solo banco de RAM, de esta manera se minimiza el tamaño del circuito integrado. Como mencionado, los códigos LDPC arriba se puede utilizar en diversas aplicaciones de vídeo digital, como transmisión en paquete MPEG (Motion Pictures Expert Group).

La Fig. 3 es un diagrama de un receptor de ejemplo en el sistema de la Fig. 1. En el lado de la recepción, un receptor 300 incluye un demodulador 301 que realiza la demodulación de señales recibidas del transmisor 200. Estas señales se reciben en una antena 303 de recepción para la demodulación. Después de la demodulación, las señales recibidas se envían a un decodificador 305, que intenta reconstruir los mensajes originales de la fuente generando mensajes, x' , conjuntamente con un generador métrico 307 de bit. El generador métrico 307 de bit puede intercambiar información con el decodificador 305 hacia delante y hacia atrás (iterativamente) durante el proceso de decodificación. Se describen más completamente estos enfoques de decodificación en la aplicación pendiente, titulada "Method and System for Routing in Low Density Parity Check (LDPC) Decoders," archivado el 3 de julio de 2003 (No. de serie 10/613.824; caso del abogado PD-203009). Para apreciar las ventajas ofrecidas por la actual invención, es instructivo examinar cómo se generan los códigos de LDPC, según lo discutido en la Fig. 4.

La Fig. 4 es un diagrama de una matriz dispersa de verificación de paridad, según una presentación de la actual invención. Los códigos LDPC son códigos en bloque largos y lineales con una matriz dispersa de verificación de paridad $H_{(n-k) \times n}$. Por lo general, la longitud n del bloque, que abarca desde los miles a las decenas de miles de bits. Por ejemplo, se muestra en la Fig. 4 una matriz de verificación de paridad para un código LDPC de longitud $n=8$ e índice $1/2$. Se puede representar de manera equivalente el mismo código con el gráfico en dos partes, según la Fig. 5.

La Fig. 5 es un diagrama de un gráfico en dos partes de un código de LDPC de la matriz de la Fig. 4. Las ecuaciones de verificación de paridad significan que para cada nodo de verificación, la suma (por GF (Campo Galois)(2)) de todos los nodos adyacentes de bit es igual a cero. Según lo considerado en la figura, los nodos de bit ocupan el lado izquierdo del gráfico y se asocian a uno o más nodos de verificación, según una relación predeterminada. Por ejemplo, correspondiente al nodo de verificación m_1 , existe la expresión siguiente $n_1 + n_4 + n_5 + n_8 = 0$ con respecto a los nodos de bit.

De regreso al receptor 303, el decodificador 305 de LDPC se considera un decodificador de paso de mensaje, por el que el decodificador 305 intenta encontrar los valores de los nodos de bit. Para lograr esta tarea, los nodos de bit y los nodos de verificación se comunican iterativamente entre sí. Se describe a continuación la naturaleza de esta comunicación.

De los nodos de verificación a los nodos de bit, cada nodo de verificación proporciona a un nodo adyacente de bit un estimado ("opinión") con respecto al valor de ese nodo de bit basado en la información que venía de otros nodos adyacentes de bit. Por ejemplo, en el ejemplo anterior si la suma de n_4 , n_5 y n_8 , "parece" un 0 para m_1 , entonces m_1 , indicaría a n_1 , que el valor de n_1 , se cree que sea 0 (ya que $n_1 + n_4 + n_5 + n_8 = 0$); si no m_1 , indica a n_1 , que el valor de n_1 , se cree que sea 1. Además, para la decodificación de decisión cuantificada, se agrega una medida de confiabilidad.

De los nodos de bit a los nodos de verificación, cada nodo de bit transmite a un nodo adyacente de verificación un estimado sobre su propio valor basado en la retroalimentación que viene de sus otros nodos adyacentes de verificación. En el ejemplo anterior n_1 tiene solamente dos nodos adyacentes de verificación m_1 y m_3 . Si la retroalimentación que viene de m_3 a n_1 indica que el valor de n_1 es probablemente 0, entonces n_1 notificaría a m_1 que un estimado del valor propio de n_1 es 0. Para el caso en el que el nodo de bit tiene más de dos nodos adyacentes de verificación, el nodo de bit realiza una mayoría de votos (decisión cuantificada) en la retroalimentación que viene de sus otros nodos adyacentes de verificación antes de informar esa decisión al nodo de verificación con el que se comunica. Se repite el proceso anterior hasta que se considere que están correctos todos los nodos de bit (es decir, están satisfechas todas las ecuaciones de verificación de paridad) o hasta que se alcanza un número máximo predeterminado de iteraciones, por el que se declara un fallo de decodificación.

La Fig. 6 es un diagrama de una submatriz de una matriz dispersa de verificación de paridad, donde la submatriz contiene valores de la verificación de paridad restringida a la región triangular inferior, según una presentación de la actual invención. Según se describe anteriormente, el codificador 203 (de las Figs. 2A y 2B) puede utilizar una técnica de codificación sencilla con la restricción de los valores del área triangular inferior de la matriz de verificación de paridad. Según una presentación de la actual invención, la restricción impuesta en la matriz de verificación de paridad es de la forma:

$$H_{(n-k) \times n} = [A_{(n-k) \times k} B_{(n-k) \times (n-k)}]$$

donde B es el triangular inferior.

ES 2 300 716 T3

Cualquier bloque de información $i = (i_0, i_1, \dots, i_{k-1})$ está codificado en una palabra de código $c = (i_0, i_1, \dots, i_{k-1}, p_0, p_1, \dots, p_{n-k-1})$ utilizando $Hc^T=0$, y resolviendo repetidamente para los bits de paridad, por ejemplo,

$$a_{00}i_0 + a_{01}i_1 + \dots + a_{0,k-1}i_{k-1} + p_0 = 0 \rightarrow \text{resuelve a } p_0$$

$$a_{10}i_0 + a_{11}i_1 + \dots + a_{1,k-1}i_{k-1} + b_{10}p_0 + p_1 = 0 \rightarrow \text{resuelve a } p_1$$

y de forma similar para $p_2, p_3, \dots, p_{n-k-1}$.

La Fig. 7 es un gráfico de rendimiento de los códigos de LDPC en los varios índices de código y los esquemas de modulación admitidos por el transmisor de la Fig. 2B; Según lo considerado, el índice de 3/5, 8-PSK rivaliza con el rendimiento de los códigos de LDPC que utilizan QPSK.

La Fig. 8 muestra los resultados de la simulación de códigos de LDPC de tamaño de bloque corto, según una presentación de la actual invención. La tabla 16 proporciona el rendimiento estimado en el índice de error de paquete (PER) de 10^{-7} para códigos cortos ($n_{ldpc} = 16200$).

TABLA 16

Modo	Es/No estimado (dB)
QPSK 0,444	0,65
QPSK 3/5	2,45
QPSK 2/3	3,35
QPSK 0,733	4,35
QPSK 0,777	4,90
QPSK 0,822	5,40
QPSK 8/9	6,50

La Fig. 9 ilustra un sistema informático en el que se puede implementar una presentación según la actual invención. El sistema informático 900 incluye un 901 u otro mecanismo de comunicación para la comunicación de la información y un procesador 903 acoplado al bus 901 para el procesamiento de la información. El sistema informático 900 también incluye la memoria principal 905, como la memoria de acceso aleatorio (RAM) u otro dispositivo de almacenamiento dinámico, acoplado al bus 901 para guardar la información y las instrucciones que debe ejecutar el procesador 903. También se puede utilizar la memoria principal 905 para guardar las variables temporales u otra información intermedia durante la ejecución de las instrucciones que debe ejecutar el procesador 903. El sistema informático 900 incluye además una memoria de sólo lectura (ROM) 907 u otro dispositivo de almacenamiento estático acoplado al bus 901 para guardar la información y las instrucciones estáticas para el procesador 903. Se acopla además un dispositivo de almacenamiento 909, como un disco magnético o disco óptico, es adicionalmente acoplado al bus 901 para guardar la información y las instrucciones.

Se puede acoplar el ordenador, sistema 900 por medio del bus 901 a una pantalla 911, como un tubo de rayos catódicos (CRT), una pantalla de cristal líquido, una pantalla de matriz activa o una pantalla de plasma, para la visualización de la información para el usuario del ordenador. Se acopla al bus 901 un dispositivo de entrada 913, como un teclado incluyendo teclas alfanuméricas y otras para la información de comunicación y la selección de comando para el procesador 903. Otro tipo de dispositivo de entrada de información del usuario es el control de cursor 915, como un ratón, una bola de control del cursor (trackball) o las teclas de dirección del cursor para la comunicación de la información de la dirección y de las selecciones de comando para el procesador 903 y para el control del movimiento del cursor en la pantalla 911.

Según una presentación de la invención, el sistema informático 900 proporciona la generación de los códigos de LDPC en respuesta al procesador 903 que ejecuta un arreglo de instrucciones contenidas en la memoria principal 905. Se pueden leer estas instrucciones en la memoria principal 905 de otro medio de lectura por computador, como el dispositivo de almacenamiento 909. La ejecución del arreglo de instrucciones contenidas en la memoria principal 905 hace al procesador 903 realizar los pasos de proceso descritos aquí. Se pueden también emplear uno o más procesadores en un arreglo de procesamiento múltiple para ejecutar las instrucciones contenidas en la memoria principal 905. En presentaciones alternativas, se puede utilizar la circuitería cableada en lugar de o conjuntamente con las instrucciones del software para implementar la presentación de la actual invención. Por consiguiente, las presentaciones de la actual invención no están limitadas a ninguna combinación específica de circuitería de hardware y de software.

El sistema informático 900 también incluye una interfaz de comunicaciones 917 acoplado al bus 901. El interfaz de comunicaciones 917 proporciona a una comunicación de datos de dos vías acoplada a un enlace de red 919 conectada a una red local 921. Por ejemplo, el interfaz de comunicaciones 917 puede ser una tarjeta de línea de suscriptor digital

ES 2 300 716 T3

(DSL) o un módem, una tarjeta de red digital de servicios integrados (ISDN), un módem de cable, o un módem telefónico para proporcionar a una conexión de comunicación de datos el tipo de línea telefónica correspondiente. Como otro ejemplo, el interfaz de comunicaciones 917 puede ser una tarjeta de red de área local (LAN) (por ejemplo, para Ethernet™ o una red del modo de transferencia asíncrona (ATM)) para proporcionar a una conexión de comunicación de datos LAN compatible. Se pueden también implementar los enlaces inalámbricos. En cualquiera de estas implementaciones, el interfaz de comunicaciones 917 envía y recibe las señales eléctricas, electromagnéticas u ópticas que llevan las secuencias global de datos de paquete ahora llamada comúnmente "Internet") o al equipo de datos operado por el suministrador del servicio. La red local 921 y la red 925 utilizan señales eléctricas, electromagnéticas u ópticas para transportar la información y las instrucciones. Las señales a través de las varias redes y las señales en el enlace de red 919 y a través del interfaz de comunicaciones 917, que comunican datos digitales con el sistema informático 900, son formas de ejemplo de las ondas de portadora que llevan la información y las instrucciones.

Por lo general, el enlace 919 de red proporciona la comunicación de datos a través de una o más redes a otros dispositivos de datos. Por ejemplo, el enlace 919 de red puede proporcionar una conexión a través de la red local 921 a un ordenador principal 923, que tiene conectividad a una red 925 (por ejemplo, una red de área amplia (WAN) o la red de comunicaciones global de datos de paquete ahora llamada comúnmente "Internet") o al equipo de datos operado por el suministrador del servicio. La red local 921 y la red 925 utilizan señales eléctricas, electromagnéticas u ópticas para transportar la información y las instrucciones. Las señales a través de las varias redes y las señales en el enlace de red 919 y a través del interfaz de comunicaciones 917, que comunican datos digitales con el sistema informático 900, son formas de ejemplo de las ondas de portadora que llevan la información y las instrucciones.

El sistema informático 900 puede enviar mensajes y recibir datos, incluyendo el código del programa, a través de la(s) red(es), del enlace 919 de red y del interfaz de comunicaciones 917. En el ejemplo de Internet, un servidor (no mostrado) pudo transmitir el código solicitado que pertenecía a un programa de aplicación para poner una presentación en ejecución de la actual invención a través de la red 925, de la red local 921 y del interfaz de comunicaciones 917. El procesador 903 puede ejecutar el código transmitido mientras que se recibe y/o guarda el código en el dispositivo de almacenamiento 99 o en otro almacenamiento permanente para ser ejecutada con posterioridad. De esta manera, el sistema informático 900 puede obtener el código de aplicación como una onda de portadora.

El término "medio de lectura por ordenador" según lo utilizado aquí se refiere a cualquier medio que participe en el suministro de instrucciones al procesador 903 para la ejecución. Este medio puede tomar muchas formas, con la inclusión pero no limitado a medio permanente, medio volátil y medio de transmisión. Los medios permanentes incluyen, por ejemplo, discos ópticos o magnéticos, como el dispositivo de almacenamiento 909. Los medios volátiles incluyen la memoria dinámica, como la memoria principal 905. Los medios de transmisión incluyen los cables coaxiales, cable de cobre y la fibra óptica, incluyendo los cables que comprende el bus 901. Los medios de transmisión pueden también tomar la forma de ondas acústicas, ópticas o electromagnéticas, como los generados durante las comunicaciones de datos infrarrojas (IR) de radiofrecuencia (RF). Las formas comunes de medios de lectura por ordenador incluyen, por ejemplo, el disquete, el disco flexible, el disco duro, la cinta magnética, cualquier otro soporte magnético, un CD-ROM, un CDRW, un DVD, cualquier otro medio óptico, tarjetas perforadas, cinta de papel, hojas de marca óptica, cualquier otro medio físico con patrones de orificios u otro instrumento ópticamente reconocible, una RAM, una PROM y una EPROM, una FLASH EPROM, cualquier chip o cartucho de memoria, una onda portadora o cualquier otra forma que el ordenador pueda leer.

Pueden estar involucradas varias formas de medios de lectura por ordenador en el suministro de las instrucciones a un procesador para la ejecución. Por ejemplo, puede que las instrucciones para llevar a cabo al menos una parte de la actual invención estén inicialmente en un disco magnético de un ordenador remoto. En esas circunstancias, el ordenador remoto carga las instrucciones en la memoria principal y envía las instrucciones por una línea telefónica con un módem. Un módem de un sistema informático local recibe los datos por la línea telefónica y utiliza un transmisor infrarrojo para convertir los datos a una señal infrarroja y para transmitir la señal infrarroja a un dispositivo de cómputo portátil, como una PDA (Personal Digital Assistance) y un ordenador portátil. Un detector infrarrojo en el dispositivo de cómputo portátil recibe la información y las instrucciones llevadas por la señal infrarroja y coloca los datos en un bus. El bus transporta los datos a la memoria principal, de la que un procesador extrae y ejecuta las instrucciones. Las instrucciones recibidas por la memoria principal se pueden almacenar de manera opcional en un dispositivo de almacenamiento antes o después de que el procesador las ejecute.

Por consiguiente, los varios ejemplos de la actual invención proporcionan que un codificador LDPC genere un código de LDPC que tiene un código externo Bose Chaudhuri Hocquenghem (BCH) según una de las Tablas 2-8 para la transmisión como una señal codificada de LDPC. Cada una de las Tablas 2-8 especifica la dirección de los acumuladores de bit de paridad. Se producen los códigos cortos de LDPC con la utilización de los códigos matrices de LDPC que se basan en las Tablas 2-8. k_{ldpc} de los bits codificados BCH que están precedidos por ceros ficticios $k_m - k_{ldpc}$. Se codifican sistemáticamente los bits resultantes k_m para generar bits n_m . Se borran los primeros ceros ficticios $k_m - k_{ldpc}$ para producir un código más corto. Para un código de LDPC con índice del código de 3/5 que utiliza modulación 8-PSK (modulación por desplazamiento de fase), un dispositivo de entrelazado proporciona los bits entrelazados del código de la salida LDPC con la escritura en serie de los datos por columna asociados al código de LDPC en una tabla y leyendo los datos por filas de derecha a izquierda. El enfoque anterior produce una complejidad reducida sin sacrificar el rendimiento.

Mientras que la actual invención se ha descrito en conexión con un número de presentaciones y de implementaciones, la actual invención no está así limitada pero cubre varias modificaciones obvias y arreglos equivalentes, que caen dentro del ámbito de las declaraciones añadidas.

ES 2 300 716 T3

REIVINDICACIONES

1. Un transmisor (200) para respaldar la transmisión de una señal codificada de verificación de paridad de baja densidad LDPC, comprende:

un codificador de verificación de paridad de baja densidad LDPC (203) configurado para entregar, basado en los bits de información recibida, un código LDPC; un dispositivo de entrelazado de bit (213) y

un modulador (205) configurado para modular la señal codificada de LDPC según una constelación de señal que incluye una modulación por desplazamiento de fase 8-PSK;

caracterizado en que el dispositivo de entrelazado de bits (213) está configurado para entrelazar los bits de salida del código LDPC escribiendo los datos en serie por columna asociados con el código LDPC en una tabla y leyendo los datos por filas de derecha a izquierda, donde la señal codificada de LDPC representa el código LDPC entrelazado, y el codificador LDPC (203) está configurado para entregar el código LDPC con un índice de código 3/5 y para generar el código LDPC por acumulación de los bits de información recibida en las direcciones de bits de paridad, las direcciones de bits de paridad estando decididas basado en siguiente tabla especificando direcciones de acumuladores de bits de paridad:

Dirección de los acumuladores de bit de paridad (Índice 3/5)											
2765	5713	6426	3596	1374	4811	2182	544	3394	2840	4310	771
4951	211	2208	723	1246	2928	398	5739	265	5601	5993	2615
210	4730	5777	3096	4282	6238	4939	1119	6463	5298	6320	4016
4167	2063	4757	3157	5664	3956	6045	563	4284	2441	3412	6334
4201	2428	4474	59	1721	736	2997	428	3807	1513	4732	6195
2670	3081	5139	3736	1999	5889	4362	3806	4534	5409	6384	5809
5516	1622	2906	3285	1257	5797	3816	817	875	2311	3543	1205
4244	2184	5415	1705	5642	4886	2333	287	1848	1121	3595	6022
2142	2830	4069	5654	1295	2951	3919	1356	884	1786	396	4738
0	2161	2653									
1	1380	1461									
2	2502	3707									
3	3971	1057									
4	5985	6062									
5	1733	6028									
6	3786	1936									
7	4292	956									
8	5692	3417									
9	266	4878									
10	4913	3247									
11	4763	3937									
12	3590	2903									
13	2566	4215									
14	5208	4707									
15	3940	3388									
16	5109	4556									
17	4908	4177									

2. Un transmisor (200) según la reivindicación 1, comprende además:

un codificador Bose Chaudhuri Hocquenghem BCH (211) acoplado al codificador LDPC (203) y configurado para proporcionar un código externo al código LDPC.

3. Un transmisor (200) según la reivindicación 1, donde la señal modulada se transmite por un enlace satelital (103) a favor de una aplicación satelital de banda ancha.

ES 2 300 716 T3

4. Un método de transmisión para respaldar la transmisión de la señal del código de verificación de paridad de baja densidad LDPC, el método comprende los pasos del método de:

5 salida, basado en los bits de información recibidos, de un código LDPC utilizando un codificador LDPC (203);

entrelazar bits del código de salida LDPC; y

10 modulación de la señal codificada LDPC según una constelación de señal que incluye la modulación por desviación de fase 8-PSK,

10 **caracterizado** en que:

15 el paso del método de entrelazar comprende escribir en serie datos asociados con el código LDPC por columnas en una tabla y leer los datos por fila de derecha a izquierda, en donde la señal codificada LDPC representa el código LDPC entrelazado, la tabla especificando direcciones de acumuladores de bits de paridad:

Dirección de los acumuladores de bit de paridad (Índice 3/5)	
20	2765 5713 6426 3596 1374 4811 2182 544 3394 2840 4310 771
	4951 211 2208 723 1246 2928 398 5739 265 5601 5993 2615
	210 4730 5777 3096 4282 6238 4939 1119 6463 5298 6320 4016
25	4167 2063 4757 3157 5664 3956 6045 563 4284 2441 3412 6334
	4201 2428 4474 59 1721 736 2997 428 3807 1513 4732 6195
	2670 3081 5139 3736 1999 5889 4362 3806 4534 5409 6384 5809
	5516 1622 2906 3285 1257 5797 3816 817 875 2311 3543 1205
30	4244 2184 5415 1705 5642 4886 2333 287 1848 1121 3595 6022
	2142 2830 4069 5654 1295 2951 3919 1356 884 1786 396 4738
	0 2161 2653
	1 1380 1461
	2 2502 3707
35	3 3971 1057
	4 5985 6062
	5 1733 6028
	6 3786 1936
40	7 4292 956
	8 5692 3417
	9 266 4878
	10 4913 3247
45	11 4763 3937
	12 3590 2903
	13 2566 4215
	14 5208 4707
50	15 3940 3388
	16 5109 4556
	17 4908 4177

55 y en donde el paso del método de salida comprende entregar el código LDPC con un índice de código 3/5 y generar el código LDPC por acumulación de los bits de información recibidos en las direcciones de bits de paridad, estando basadas las direcciones de bits de paridad en las siguientes.

60 5. Un método según la reivindicación 4, comprende además:

la realización de la codificación Bose Chaudhuri Hocquenghem BCH de los bits de información recibidos para proporcionar un código externo al código LDPC.

65 6. Un método según la reivindicación 5, donde la señal modulada se transmite por un enlace satelital (103) a favor de una aplicación satelital de banda ancha.

FIG. 1

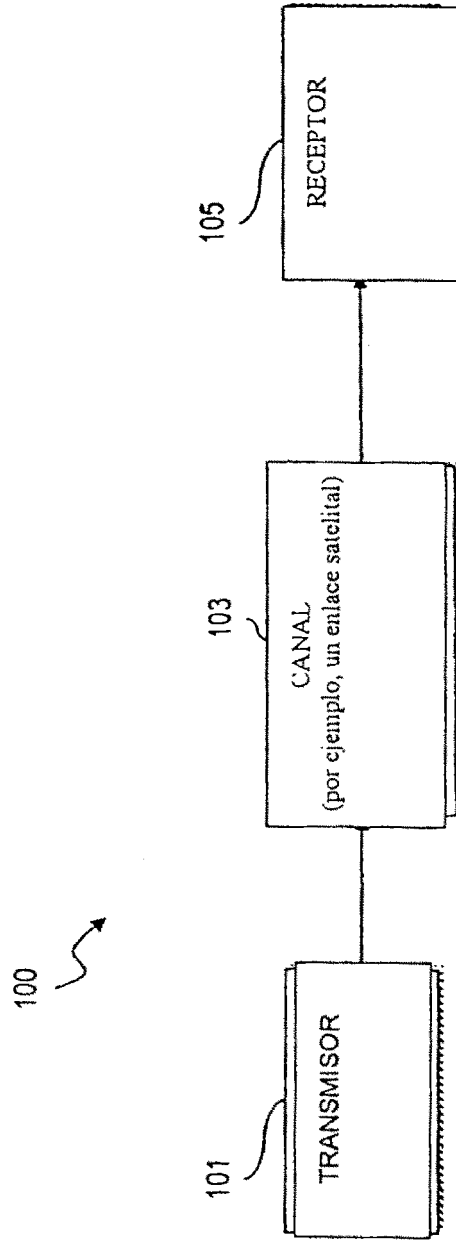


FIG. 2A

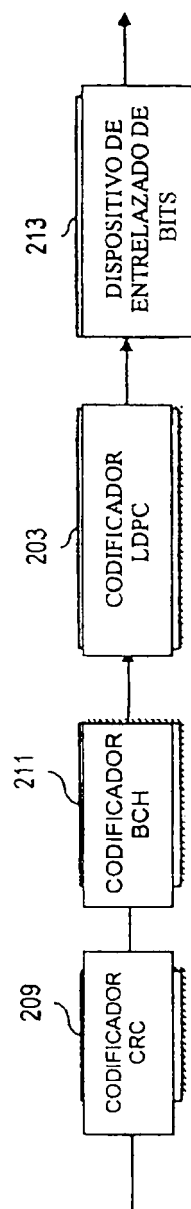
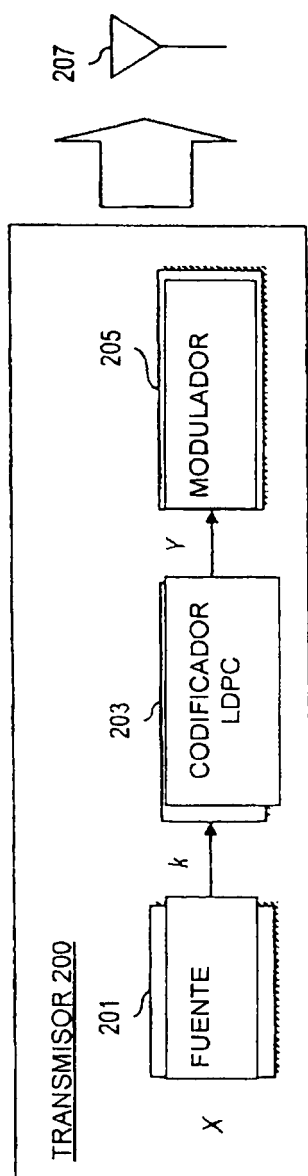


FIG. 2B

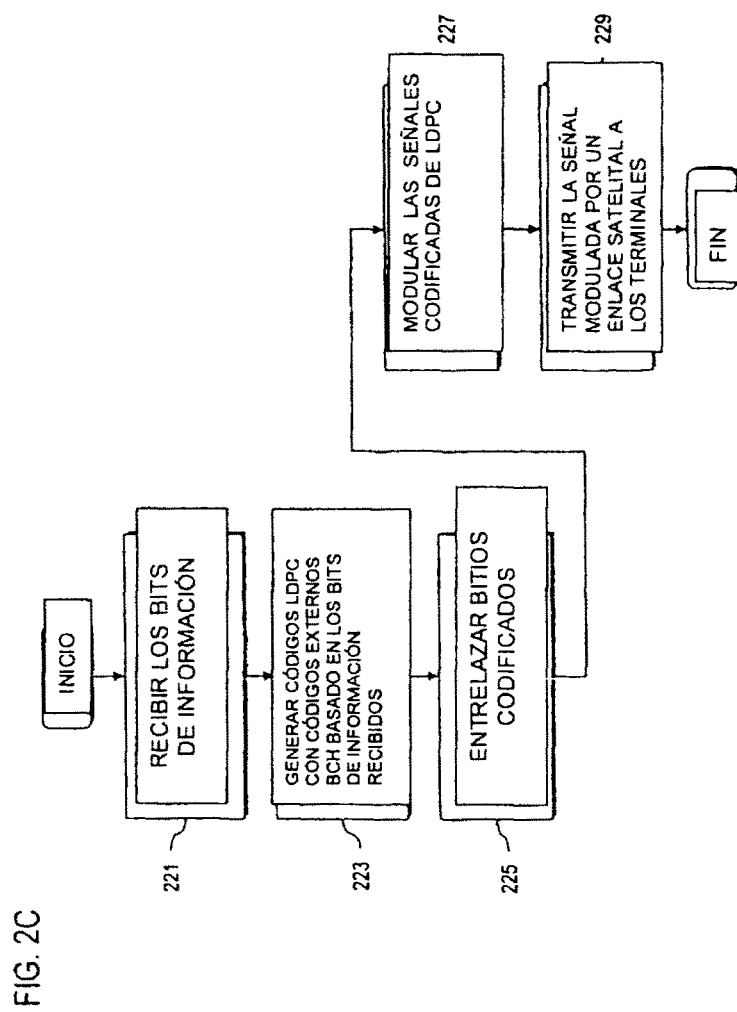


FIG. 2D

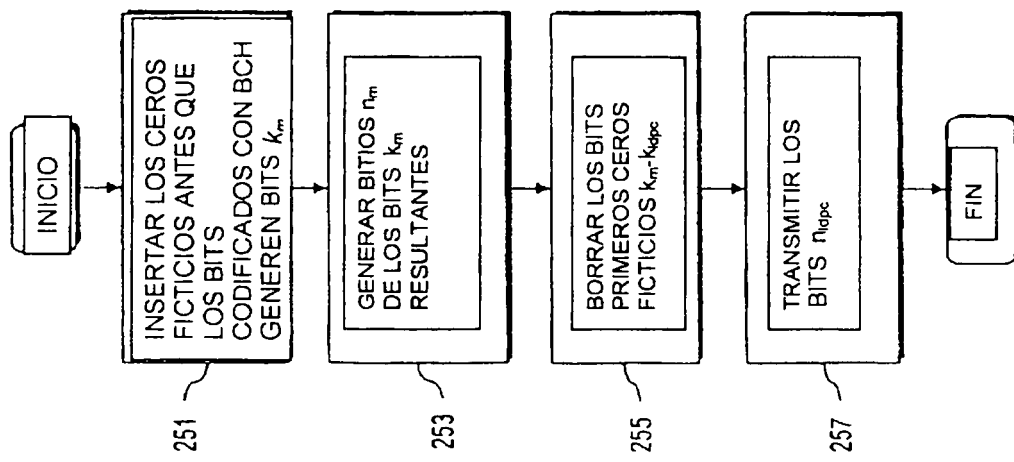


FIG. 3

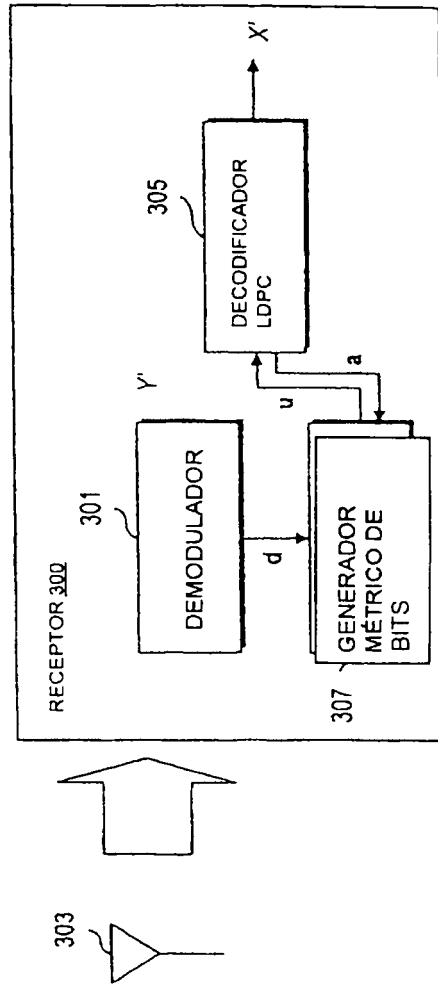
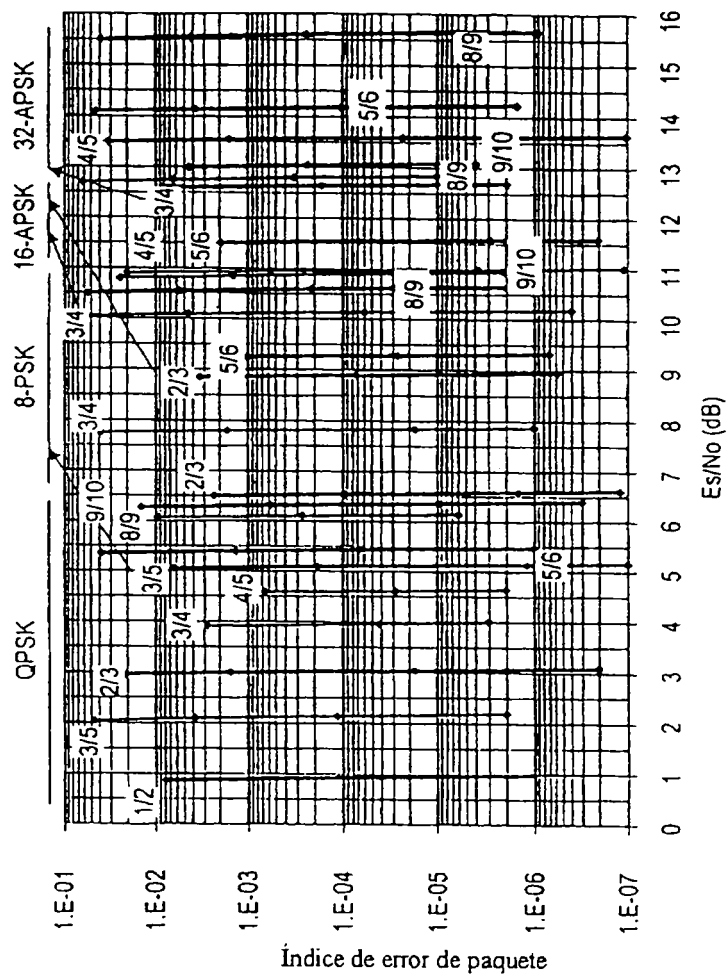


FIG. 7



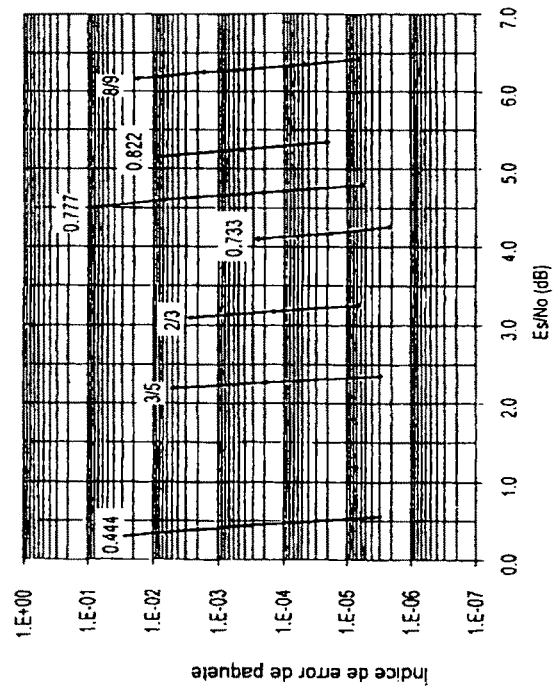


FIG. 8

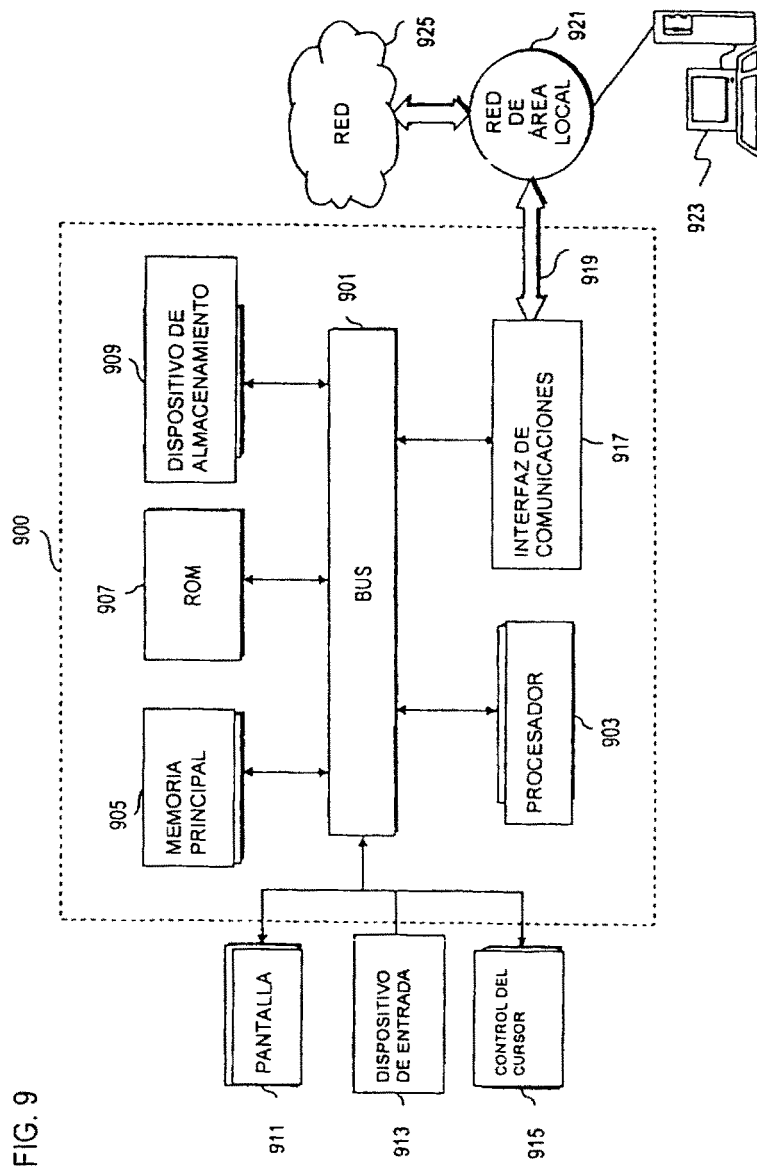


FIG. 9