

明 細 書

発明の名称：シフトレジスタ及び表示装置

技術分野

[0001] 本発明は、シフトレジスタ及び表示装置に関し、特に表示装置の駆動回路に用いられるシフトレジスタに関する。

本願は、２０１３年１０月８日に、日本に出願された特願２０１３－２１１４２０号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 近年、アクティブマトリックス型の表示装置において、画素へ電荷を注入するための画素用薄膜トランジスタ（Thin Film Transistor）と、画素用薄膜トランジスタに接続された走査線または信号線を駆動するための駆動回路などの周辺回路を構成する周辺回路用薄膜トランジスタとを、同一のガラス基板上に形成する、いわゆるモノリシック回路技術が普及してきている。

[0003] この種の表示装置では、走査線駆動回路により、２次元状に配列された表示素子を行単位で選択し、選択した表示素子に表示データに応じた電圧を書き込むことにより、画像を表示している。この走査線線駆動回路として、クロック信号に基づき出力信号を順にシフトするシフトレジスタが用いられている。点順次駆動を行う表示装置では、信号線を駆動するための信号線駆動回路の内部に同様のシフトレジスタが設けられる。

[0004] 走査線駆動回路と信号線駆動回路にシフトレジスタを用いる場合、液晶表示装置の電源回路をオンまたはオフしたときに、シフトレジスタの動作が不安定になり、画像に乱れが生じる場合がある。この場合、シフトレジスタの全出力端子からハイレベルの出力信号を同時に出力させる全オン動作を実施させれば、画面に表示される画像の乱れを緩和することができる。このような全オン動作を可能とするシフトレジスタが、例えば国際公開第２０１２／０２９７９９号（特許文献１）に開示されている。

[0005] 図２２は、国際公開第２０１２／０２９７９９号に開示された従来技術に

よるシフトレジスタの構成例を示す図である。同図に示すシフトレジスタは、複数段のシフトレジスタ単位回路SRU1, SRU2, SRU3, ..., SRUn (nは2以上の自然数) を従属接続して構成される。シフトレジスタ単位回路SRU1, SRU2, SRU3, ..., SRUnのそれぞれには、クロック信号CK1, CK2、全オン制御信号AON, AONB (AONBはAONの反転信号) が供給される。また、初段のシフトレジスタ単位回路SRU1のセット端子SETにはスタートパルス信号STが入力され、2段目以降のシフトレジスタ単位回路SRU2, SRU3, ..., SRUnの各セット端子SETには、前段のシフトレジスタ単位回路の出力端子OUTが接続されている。シフトレジスタ単位回路SRU1, SRU2, SRU3, ..., SRUnの各出力端子OUTはそれぞれ走査線GL1, GL2, GL3, ..., GLnに接続されている。シフトレジスタ単位回路SRU1, SRU2, SRU3, ..., SRUnのそれぞれは同一の構成を有しており、以下では、シフトレジスタ単位回路SRU1, SRU2, SRU3, ..., SRUnのうちの任意の一つを指すときは、「シフトレジスタ単位回路SRU」と称する。

[0006] 図23は、上述の図22に示す従来技術によるシフトレジスタ単位回路SRUの構成例を示す図である。シフトレジスタ単位回路SRUは、nチャンネル型のMOS (Metal Oxide Semiconductor) 電界効果トランジスタ (以下、「NMOSTランジスタ」と称する。) Q1~Q9、抵抗R1、コンデンサCA, CBから構成されている。このうち、NMOSTランジスタQ5, Q6, Q7、抵抗R1、コンデンサCBは、非アクティブ出力制御部SRUAを構成し、NMOSTランジスタQ1, Q4, Q8は、アクティブ出力制御部SRUBを構成し、NMOSTランジスタQ2, Q9およびコンデンサCAは、アクティブ出力部SRUCを構成し、NMOSTランジスタQ3は非アクティブ出力部SRUDを構成している。アクティブ出力制御部SRUBは、アクティブ出力部SRUCを制御して出力信号をハイレベルにし、非アクティブ出力制御部SRUAは、非アクティブ出力部SRUDを制御して出力

信号をローレベルにする。

[0007] 複数段のシフトレジスタ単位回路SRU1, SRU2, SRU3, ..., SRUnのうち、奇数段のシフトレジスタ単位回路SRUのクロック端子CKおよびクロック端子CKBには、それぞれ、クロック信号CK1およびクロック信号CK2が入力され、偶数段のシフトレジスタ単位回路SRUのクロック端子CKおよびクロック端子CKBには、奇数段のシフトレジスタ単位回路とは逆に、それぞれ、クロック信号CK2およびクロック信号CK1が入力される。クロック信号CK1とクロック信号CK2は、例えば位相が相互に180°だけずれたクロック信号であり、同時にハイレベルにならないように各信号のローレベルの区間が設定されている。ただし、クロック信号CK1とクロック信号CK2の位相差は180°に制限されるものではなく、クロック信号CK1およびクロック信号CK2は、お互いにハイレベルの期間が重複しないことを限度として、任意のクロック信号であり得る。

[0008] 次に、上述の従来技術によるシフトレジスタの動作を説明する。

図24A及び図24Bは、従来技術によるシフトレジスタの動作例を説明するためのタイムチャートであり、図24Aは通常動作時のタイムチャートであり、図24Bは全オン動作時のタイムチャートである。図24A及び図24Bにおいて、スタートパルス信号ST、クロック信号CK1, CK2のハイレベルおよびローレベルは、それぞれ、シフトレジスタに供給される電源電圧VDDおよび接地電圧VSSに対応している。また、図24A及び図24Bにおいて、N11, N21は、初段のシフトレジスタ単位回路SRU1のノードN1, N2を表し、N12, N22は、2段目のシフトレジスタ単位回路SRU2のノードN1, N2を表し、N1n, N2nは、n段目のシフトレジスタ単位回路SRUnのノードN1, N2を表し、OUT1, OUT2, OUTnは、初段、2段目、n段目のシフトレジスタ単位回路SRUの出力信号を表している。

[0009] まず、通常動作について説明する。通常動作では、全オン制御信号AONはローレベルに設定され、その反転信号である全オン制御信号AONBはハ

イレベルに設定される。時刻 t_0 にて、初段のシフトレジスタ単位回路 $S R U_1$ のセット端子 $S E T$ にスタートパルス信号 $S T$ が入力されると、アクティブ出力制御部 $S R U B$ において、 $N M O S$ トランジスタ Q_1 がオンし、ノード N_{11} が、電源電圧 V_{DD} から $N M O S$ トランジスタ Q_1 の閾値電圧 V_{th} 分だけ降下した電圧 ($V_{DD} - V_{th}$) にプリチャージされる。

[0010] この場合、非アクティブ出力制御部 $S R U A$ において、クロック端子 $C K B$ に入力されるクロック信号 $C K_2$ と、セット端子 $S E T$ に入力されるスタートパルス信号 $S T$ が共にハイレベルになるため、 $N M O S$ トランジスタ Q_5 , Q_6 , Q_7 の全てがオンするが、抵抗 R_1 が高抵抗であるため、ノード N_{21} の電圧が接地電圧 V_{SS} 付近のローレベルになる。これにより、 $N M O S$ トランジスタ Q_3 , Q_4 のゲートの信号レベルがローレベルとなり、これら $N M O S$ トランジスタ Q_3 , Q_4 が共にオフ状態となる。

[0011] この後、クロック端子 $C K B$ に入力されるクロック信号 $C K_2$ とセット端子 $S E T$ に入力されるスタートパルス信号 $S T$ の各信号レベルが接地電圧 V_{SS} のローレベルになると、 $N M O S$ トランジスタ Q_5 , Q_7 がオフするため、ノード N_{21} はフローティング状態になるが、このノード N_{21} の電圧はコンデンサ $C B$ により保持される。また、セット端子 $S E T$ に入力されるスタートパルス信号 $S T$ の信号レベルが接地電圧 V_{SS} のローレベルになると、 $N M O S$ トランジスタ Q_1 がオフするため、ノード N_{11} はフローティング状態になるが、このノード N_{11} の電圧はコンデンサ $C A$ により保持される。

[0012] 続いて、時刻 t_1 にて、クロック端子 $C K$ に入力されるクロック信号 $C K_1$ がハイレベルに遷移すると、 $N M O S$ トランジスタ Q_2 のソース電圧が上昇する。 $N M O S$ トランジスタ Q_2 のソース電圧が上昇すると、コンデンサ $C A$ によるブートストラップ効果により、ノード N_{11} の電圧が電源電圧 V_{DD} よりも高い電圧に押し上げられる。 $N M O S$ トランジスタ Q_2 のゲート電圧が高電圧になると、 $N M O S$ トランジスタ Q_2 は、その閾値電圧 V_{th} による電圧降下を生じることなく、クロック端子 $C K$ に入力されるクロック

信号CK1のハイレベルを出力端子OUT1に伝達する。これにより、出力信号OUT1がハイレベルとなってアクティブ化される。

[0013] その後、時刻 t_2 にて、クロック端子CKBに入力されるクロック信号CK2がハイレベルに遷移すると、NMOSトランジスタQ5がオンすることにより、ノードN21の電圧が上昇する。ノードN21の電圧が上昇すると、NMOSトランジスタQ3とNMOSトランジスタQ4のゲート電圧が上昇し、これらNMOSトランジスタQ3とNMOSトランジスタQ4が共にオンして、ノードN11のディスチャージと出力端子OUTのプルダウンを同時に行う。これにより、出力信号OUT1がローレベルとなって非アクティブ化される。その後、クロック端子CKBに入力されるクロック信号CK2の信号レベルが周期的にハイレベルになるたびにNMOSトランジスタQ5がオンし、これにより、ノードN21の信号レベルがハイレベルに維持される。この結果、時刻 t_2 以降、NMOSトランジスタQ3、Q4が共にオン状態に維持され、出力信号OUT1がローレベルに維持される。

[0014] 次段のシフトレジスタ単位回路SRU2についても同様であり、時刻 t_1 にて初段のシフトレジスタ単位回路SRU1の出力端子OUT1の出力信号が2段目のシフトレジスタ単位回路SRU2のセット端子SETに入力されることにより、ノードN12がプリチャージされる。そして、時刻 t_2 にて、2段目のシフトレジスタ単位回路SRU2の出力端子OUTから出力信号OUT2が出力される。そして、時刻 t_3 にて、クロック信号CK1がハイレベルに遷移すると、2段目のシフトレジスタ単位回路SRU2におけるノードN12のディスチャージと出力端子OUTのプルダウンが同時に行われ、出力信号OUT2がローレベルとなって非アクティブ化される。

[0015] 以下、最終段のシフトレジスタ単位回路SRUnまで、同様の動作を繰り返す。この結果、複数のシフトレジスタ単位回路SRU1、SRU2、SRU3、…、SRUnは、シフト動作を実施し、走査線GL1、GL2、GL3、…、GLnにハイレベルのパルス信号を順次的に出力する。

このシフトレジスタによれば、貫通電流を発生させることなく、入力信号

として、2相のクロック信号CK1, CK2と前段の出力信号のみを用いて、安定したシフト動作を行うことができる。

[0016] 次に、シフトレジスタを構成する複数のシフトレジスタ単位回路SRU1, SRU2, SRU3, ..., SRUnの全出力端子OUTからハイレベルの出力信号を同時に出力させる全オン動作について説明する。

全オン動作を起動させる場合、全オン制御信号AONはハイレベルに設定され、その反転信号である全オン制御信号AONBはローレベルに設定される。また、この例では、スタートパルス信号ST、クロック信号CK1, CK2は何れもハイレベルに設定される。

[0017] 全オン制御信号AONがハイレベルに設定され、全オン制御信号AONBがローレベルに設定されると、初段のシフトレジスタ単位回路SRU1において、NMOSトランジスタQ9がオン状態となり、NMOSトランジスタQ8がオフ状態になる。また、この場合、NMOSトランジスタQ6がオフし、NMOSトランジスタQ7がオンするため、ノードN21がローレベル（接地電圧VSS）になり、ノードN21にゲートが接続されたNMOSトランジスタQ3がオフする。これにより、出力端子OUTをローレベルに駆動する要素が存在しなくなる。このような状態でNMOSトランジスタQ9がオン状態になると、出力端子OUTにはハイレベルの出力信号OUT1が出力される。

[0018] 2段目以降のシフトレジスタ単位回路SRU2, SRU3, ..., SRUnにおいては、そのセット端子SETに前段の出力端子OUTからハイレベルの出力信号が入力されるため、2段目以降のシフトレジスタ単位回路も初段と同様に動作する。よって、シフトレジスタ単位回路SRU1, SRU2, SRU3, ..., SRUnから走査線GL1, GL2, GL3, ..., GLnに出力される全出力信号がハイレベルとなり、これにより全オン動作が行われる。

[0019] ここで、特許文献1に記載の技術によれば、全オン動作時に、全オン制御信号AONおよびセット端子SETに入力されるスタートパルス信号STが

ハイレベルになると、NMOSトランジスタQ5, Q7が共にオンするが、全オン制御信号AONBがローレベルとなり、NMOSトランジスタQ6がオフするため、非アクティブ出力制御部SRUA内の貫通電流は遮断される。

[0020] また、全オン動作時に、全オン制御信号AONがハイレベルとなり、全オン制御信号AONBがローレベルになると、NMOSトランジスタQ6と共に薄膜トランジスタQ8がオフする。これにより、アクティブ出力制御部SRUB内の貫通電流が遮断される。また、NMOSトランジスタQ6がオフすると、ノードN2の信号レベルは、セット端子SETに入力される信号に基づいてNMOSトランジスタQ7によりローレベルとされる。ノードN2の信号レベルがローレベルになると、ノードN2にゲートが接続されたNMOSトランジスタQ3がオフするため、NMOSトランジスタQ2, Q3を流れる貫通電流も防止される。

先行技術文献

特許文献

[0021] 特許文献1：国際公開第2012/029799号

発明の概要

発明が解決しようとする課題

[0022] 表示装置の更なる狭額縁化のためにはシフトレジスタのトランジスタ数を減らす必要がある。しかしながら、上述の従来技術によれば、全オン動作時の貫通電流を防止する等の必要上、NMOSトランジスタQ6, Q8を備えているため、シフトレジスタのトランジスタ数が増加するという問題がある。また、NMOSトランジスタQ1とNMOSトランジスタQ8が直列接続されているため、ノードN1をチャージする場合、NMOSトランジスタQ1とNMOSトランジスタQ8の閾値電圧 V_{th} やオン抵抗等により、ノードN1のチャージ電圧が低下する。このため、ゲートがノードN1に接続されたNMOSトランジスタQ2から出力される出力信号の信号レベルが低下

するという弊害もある。

本発明の一態様は、上記課題に鑑みてなされたものであり、その目的は、トランジスタ数を低減させることができるシフトレジスタおよび該シフトレジスタを備えた表示装置を提供することにある。

課題を解決するための手段

[0023] 本発明の一態様によるシフトレジスタは、複数の単位回路を従属接続してなるシフトレジスタであって、前記単位回路は、第1クロック信号が与えられるクロック端子と出力端子との間に電流路が接続された第1出力トランジスタと、前記出力端子と所定電位ノードとの間に電流路が接続された第2出力トランジスタと、前記複数の単位回路の出力信号の信号レベルを所定の信号レベルに設定するための制御信号がアクティブである場合、前記出力端子の信号レベルを前記所定の信号レベルに設定する設定部と、前記制御信号がアクティブである場合、前記制御信号に応答して前記第1出力トランジスタをオフさせ、前記制御信号が非アクティブである場合、前記第1クロック信号に続く第2クロック信号、または前記第1クロック信号に同期した信号に応答して入力信号を前記第1出力トランジスタの制御電極に供給して前記第1出力トランジスタをオンさせる第1出力制御部と、前記制御信号がアクティブである場合、前記第2出力トランジスタをオフさせ、前記制御信号が非アクティブである場合、前記第1クロック信号に続く第2クロック信号に応答して前記第1出力トランジスタをオフさせると共に前記第2出力トランジスタをオンさせる第2出力制御部と、を備えたシフトレジスタの構成を有する。

発明の効果

[0024] 本発明の一態様によれば、シフトレジスタを構成するトランジスタ数を低減させることができる。

図面の簡単な説明

[0025] [図1]本発明の第1実施形態における表示装置の構成例を示す概略ブロック図である。

[図2]第1実施形態におけるシフトレジスタの構成例を示す概略ブロック図である。

[図3]第1実施形態におけるシフトレジスタ単位回路の構成例を示す回路図である。

[図4A]第1実施形態におけるシフトレジスタの第1動作例を示すタイムチャートである。

[図4B]第1実施形態におけるシフトレジスタの第2動作例を示すタイムチャートである。

[図5]第1実施形態による表示装置のオンシーケンスにおける動作例を説明するためのタイムチャートである。

[図6A]第1実施形態による表示装置のオフシーケンスにおける第1動作例を説明するためのタイムチャートである。

[図6B]第1実施形態による表示装置のオフシーケンスにおける第2動作例を説明するためのタイムチャートである。

[図7]第1実施形態による表示装置の強制遮断時の動作例を説明するためのタイムチャートである。

[図8]第2実施形態におけるシフトレジスタ単位回路の構成例を示す回路図である。

[図9A]第2実施形態におけるシフトレジスタの第1動作例を示すタイムチャートである。

[図9B]第2実施形態におけるシフトレジスタの第2動作例を示すタイムチャートである。

[図10]第3実施形態におけるシフトレジスタ単位回路の構成例を示す回路図である。

[図11]第4実施形態におけるシフトレジスタ単位回路の構成例を示す回路図である。

[図12]第5実施形態におけるシフトレジスタ単位回路の構成例を示す回路図である。

[図13]第6実施形態におけるシフトレジスタ単位回路の構成例を示す回路図である。

[図14A]第6実施形態におけるシフトレジスタの第1動作例を示すタイムチャートである。

[図14B]第6実施形態におけるシフトレジスタの第2動作例を示すタイムチャートである。

[図15]第7実施形態におけるシフトレジスタ単位回路の構成例を示す回路図である。

[図16]第8実施形態におけるシフトレジスタの構成例を示す概略ブロック図である。

[図17]第8実施形態におけるシフトレジスタ単位回路の構成例を示す回路図である。

[図18A]第8実施形態におけるシフトレジスタ単位回路の第1詳細例を示す回路図である。

[図18B]第8実施形態におけるシフトレジスタ単位回路の第2詳細例を示す回路図である。

[図18C]第8実施形態におけるシフトレジスタ単位回路の第3詳細例を示す回路図である。

[図19A]第8実施形態におけるシフトレジスタの第1動作例を示すタイムチャートである。

[図19B]第8実施形態におけるシフトレジスタの第2動作例を示すタイムチャートである。

[図19C]第8実施形態におけるシフトレジスタの第3動作例を示すタイムチャートである。

[図20]第9実施形態におけるシフトレジスタ単位回路の構成例を示す回路図である。

[図21A]第9実施形態におけるシフトレジスタの第1動作例を示すタイムチャートである。

[図21B]第9実施形態におけるシフトレジスタの第1動作例を示すタイムチャートである。

[図22]従来技術によるシフトレジスタの構成例を示すブロック図である。

[図23]従来技術によるシフトレジスタ単位回路の構成例を示す回路図である。

[図24A]従来技術によるシフトレジスタの第1動作例を示すタイムチャートである。

[図24B]従来技術によるシフトレジスタの第2動作例を示すタイムチャートである。

発明を実施するための形態

[0026] [第1実施形態]

(構成の説明)

本発明の第1実施形態について説明する。

図1は、本発明の第1実施形態による表示装置100の構成例を示す概略ブロック図である。表示装置100は、例えばアクティブマトリクス型の液晶表示装置であり、表示部110、走査線駆動回路（ゲートドライバ）120、信号線駆動回路（ソースドライバ）130、表示制御回路140、電源回路150、信号線選択用薄膜トランジスタ（アナログスイッチ）TS1, TS2, ..., TS_m、その他の回路を備えている。

[0027] 表示部110は、垂直ライン方向に延在するように配置された複数本の信号線SL1, SL2, ..., SL_m（_m：自然数）と、水平ライン方向に延在するように配置された複数本の走査線GL1, GL2, ..., GL_n（_n：自然数）と、複数の画素部PIXとを備えている。

[0028] 複数の画素部PIXは、信号線SL1, SL2, ..., SL_mと走査線GL1, GL2, ..., GL_nとの交差点に位置するようにして行列状に配置され、表示装置100の表示領域を形成する。また、複数の画素部PIXのそれぞれは、2枚の基板の間に配置された液晶（液晶材料）LCと、一方の基板上に設けられた画素用薄膜トランジスタTCと、上記液晶LCにより形成さ

れる画素容量部（補助容量） C_S と、他方の基板に設けられた対向電極（透明電極） T_{com} とを備えている。

[0029] 画素用薄膜トランジスタ T_C は、上述の交差点を通過する走査線 GL_p （ $p: 1 \leq p \leq n$ を満たす任意の整数）にゲートが接続され、信号線 SL_q （ $q: 1 \leq q \leq m$ を満たす任意の整数）にソースが接続され、画素容量部 C_S の第1端子にドレインが接続されている。画素容量部 C_S は、表示装置100に映像（画像）を表示するデータ信号に基づく各画素値（階調値）に対応する電圧を保持する。画素容量部 C_S の第2端子は補助容量電極線 CSL に接続されている。

なお、本実施形態では、 VA (Vertical Alignment)方式を想定して補助容量電極線 CSL を備えるものとするが、この例に限定されることなく、本発明は、 IPS (In Plane Switching)方式等、任意の方式に適用可能であり、例えば、画素容量部 C_S の第2電極は対向電極 T_{com} に接続されてもよい。

[0030] 本実施形態では、画素用薄膜トランジスタ T_C は、 n チャネル型電界効果トランジスタである。ただし、画素用薄膜トランジスタ T_C は、 n チャネル型薄膜トランジスタに限定されず、任意の種類のトランジスタを用いることができる。

[0031] 走査線駆動回路120は、シフトレジスタ121を備えて構成され、このシフトレジスタ121により走査線 $GL_1, GL_2, \dots, GL_n$ に走査信号（後述するゲート信号 $G_1, G_2, \dots, G_n$ ）を順次的に供給する。シフトレジスタ121から供給される走査信号に応答して、画素部 P_{IX} が水平ライン単位で駆動される。走査線駆動回路120は、シフトレジスタ121がゲートクロック信号 GCK_1, GCK_2 に同期してゲートスタートパルス信号 GST を順次的にシフトすることによって、所定の時間間隔をおいて走査信号を走査線 $GL_1, GL_2, \dots, GL_n$ のそれぞれに出力する。また、走査線駆動回路120は、シフトレジスタの全出力端子からハイレベルの出力信号を同時に出力させる全オン動作時に、ゲート全オン制御信号 $GAON$ に基

づいて、走査線GL1, GL2, ..., GLnに供給される走査信号の全てをハイレベル（所定の信号レベル）に設定する機能を有している。走査線駆動回路120は、上述した画素用薄膜トランジスタTCと同一のガラス基板上に形成された周辺回路用薄膜トランジスタにより構成されている。この周辺回路用薄膜トランジスタは、画素用薄膜トランジスタTCと同様に、nチャネル型電界効果トランジスタである。

[0032] 信号線駆動回路130は、シフトレジスタ131を備えて構成される。信号線駆動回路130は、ソースクロック信号SCK1, SCK2に同期してソーススタートパルス信号SSTを順次的にシフトすることによって、信号線選択用薄膜トランジスタTS1, TS2, ..., TSmを順次を選択し、信号線選択用薄膜トランジスタTS1, TS2, ..., TSmを介して、各画素部PIXに画素値（階調値）に対応する電圧を供給するデータ信号VSI Gを信号線SL1, SL2, ..., SLmに出力する。この場合、信号線駆動回路130は、1水平ライン分のデータ信号VSI Gを、信号線選択用薄膜トランジスタTS1, TS2, ..., TSmにより選択される信号線SL1, SL2, ..., SLmを介して各画素部PIXに供給する。

[0033] 信号線駆動回路130は、全オン動作時に、ソース全オン制御信号SAONに基づいて、信号線選択用薄膜トランジスタTS1, TS2, ..., TSmにより信号線SL1, SL2, ..., SLmの全てを選択してハイレベル（所定の信号レベル）に設定する機能を有している。また、信号線駆動回路130は、走査線駆動回路120と同様に、画素用薄膜トランジスタTCと同一のガラス基板上に形成された周辺回路用薄膜トランジスタにより構成されている。

なお、本実施形態では、走査線駆動回路120および信号線駆動回路130は、画素用薄膜トランジスタTCと同一のガラス基板上に形成されるものとするが、この例に限定されることなく、走査線駆動回路120のみを画素用薄膜トランジスタTCと同一のガラス基板上に形成するものとし、信号線駆動回路130の機能を備える外部のIC(Integrated Circuit)からデータ

信号を供給するように構成してもよい。また、信号線駆動回路 130 のみを画素用薄膜トランジスタ TC と同一のガラス基板上に形成し、走査線駆動回路 120 を外部に備えることも可能である。

[0034] 表示制御回路 140 は、表示部 110 に画像を表示するために必要な各種の制御信号を生成して走査線駆動回路 120 および信号線駆動回路 130 に供給するものである。本実施形態では、表示制御回路 140 は、画像の表示期間において表示部 110 に画像を表示させるための制御信号を生成して走査線駆動回路 120 および信号線駆動回路 130 に供給する。例えば、表示制御回路 140 は、上述のゲートクロック信号 GCK1, GCK2、ソースクロック信号 SCK1, SCK2、ゲートスタートパルス信号 GST、ソーススタートパルス信号 SST、ゲート全オン制御信号 GAON、ソース全オン制御信号 SAON、データ信号 VSI G等を生成する。

[0035] 電源回路 150 は、走査線駆動回路 120 と信号線駆動回路 130 の動作電源電圧 (VDD、VH、VL等) を供給するためのものである。電源回路 150 と走査線駆動回路 120 との間の電源配線には容量 C120 が形成され、電源回路 150 と信号線駆動回路 130 との間の電源配線には、容量 C130 が形成されている。

[0036] 次に、図2を参照して、第1実施形態におけるシフトレジスタ 121 の構成について説明する。図2は、第1実施形態におけるシフトレジスタ 121 の構成例を示す概略ブロック図である。図2に示すように、シフトレジスタ 121 は、複数の走査線 GL1, GL2, GL3, ..., GLn に対応した複数のシフトレジスタ単位回路 121₁, 121₂, 121₃, ..., 121_n を備えている。これら複数のシフトレジスタ単位回路 121₁, 121₂, 121₃, ..., 121_n は縦続接続されている。

[0037] 複数のシフトレジスタ単位回路 121₁, 121₂, 121₃, ..., 121_n のそれぞれは、同様の構成を有しており、以下では、適宜、シフトレジスタ単位回路 121₁, 121₂, 121₃, ..., 121_n のそれぞれを指すときは、「シフトレジスタ単位回路 1211」と総称する。シフトレジスタ単位回

路 1 2 1 1 は、クロック端子 C K、C K B、セット端子 S E T、出力端子 O U T、全オン制御端子 A O N を備えている。

[0038] 複数のシフトレジスタ単位回路 1 2 1₁, 1 2 1₂, 1 2 1₃, ..., 1 2 1_n のうち、奇数段のシフトレジスタ単位回路のクロック端子 C K にはゲートクロック信号 G C K 1 が入力され、クロック端子 C K B にはゲートクロック信号 G C K 2 が入力される。逆に、偶数段のシフトレジスタ単位回路のクロック端子 C K にはゲートクロック信号 G C K 2 が入力され、クロック端子 C K B にはゲートクロック信号 G C K 1 が入力される。複数のシフトレジスタ単位回路 1 2 1₁, 1 2 1₂, 1 2 1₃, ..., 1 2 1_n の全オン制御端子 A O N にはゲート全オン制御信号 G A O N が入力される。複数のシフトレジスタ単位回路 1 2 1₁, 1 2 1₂, 1 2 1₃, ..., 1 2 1_n のうち、初段のシフトレジスタ単位回路 1 2 1₁ のセット端子 S E T にはゲートスタートパルス信号 G S T が入力され、2 段目以降のシフトレジスタ単位回路のセット端子 S E T には、それぞれ、前段のシフトレジスタ単位回路の出力信号が入力される。

[0039] 複数段のシフトレジスタ単位回路 1 2 1₁, 1 2 1₂, 1 2 1₃, ..., 1 2 1_n から構成されたシフトレジスタ 1 2 1 は、表示制御回路 1 4 0 からゲートスタートパルス信号 G S T を受け取ると、ゲートクロック信号 G C K 1, G C K 2 に基づいてシフト動作を実施し、走査線 G L 1, G L 2, G L 3, ..., G L n にゲート信号 G 1, G 2, G 3, ..., G n を順次的に出力する。本実施形態では、ゲートクロック信号 G C K 1 の位相とゲートクロック信号 G C K 2 の位相は、後述する図 4 A 及び図 4 B に示すように、互いに 1 8 0 度だけ異なっている。また、ゲートクロック信号 G C K 1 とゲートクロック信号 G C K 2 が同時にハイレベルにならないように、それらのローレベルの区間が設定されている。ただし、ゲートクロック信号 G C K 1 とゲートクロック信号 G C K 2 の位相差は 1 8 0 ° に制限されるものではなく、クロック信号 C K 1 およびクロック信号 C K 2 は、相互にハイレベルの期間が重複しないことを限度として任意のクロック信号であり得る。また、ゲートクロック信号 G C K 1 およびゲートクロック信号 G C K 2 の各論理（正論理／負論理）

に応じて、上記の重複しない期間における各信号レベルは任意であり得る。
ソースクロック信号 SCK1, SCK2 についても同様である。

[0040] 次に、図3を参照して、本実施形態におけるシフトレジスタ単位回路1211の構成を説明する。図3は、第1実施形態におけるシフトレジスタ単位回路1211の構成例を示す回路図である。

シフトレジスタ単位回路1211は、nチャネル型電界効果トランジスタである薄膜トランジスタT1, T2, T3A, T3B, T4, T5, T6, T7と抵抗R1とを備えている。薄膜トランジスタT1は、そのドレインに電源電圧VDDが与えられ、そのゲートがクロック端子CKBに接続される。クロック端子CKBにはゲートクロック信号GCK2が入力される。薄膜トランジスタT1は、クロック端子CKBに入力されるゲートクロック信号GCK2がハイレベルになったときに、そのゲート電圧を基準として薄膜トランジスタT1の閾値電圧 V_{th} 分だけ降下した電圧をソースから出力する。

[0041] 抵抗R1は、その一端が薄膜トランジスタT1のソースに接続され、その他端が薄膜トランジスタT2のドレインに接続される。抵抗R1の抵抗値は、薄膜トランジスタT1と薄膜トランジスタT2の双方がオンした状態で、薄膜トランジスタT2のドレイン電圧が、薄膜トランジスタT4, T6をオフさせるに足るローレベルとなるように、高い値に設定される。

なお、抵抗R1の配置位置と薄膜トランジスタT1の配置位置とを入れ替えてもよい。

具体的には、抵抗R1の一端に電源電圧VDDが与えられ、抵抗R1の他端に薄膜トランジスタT1のドレインが接続され、薄膜トランジスタT1のソースに薄膜トランジスタT2のドレインが接続されてもよい。

[0042] 薄膜トランジスタT2は、そのソースがグランドノード（所定電位ノード）に接続され、そのゲートがセット端子SETに接続されている。セット端子SETには、ゲートスタートパルス信号GSTまたは前段のシフトレジスタ単位回路の出力信号が入力される。具体的には、初段のシフトレジスタ単

位回路 $1\ 2\ 1_1$ のセット端子 S E T にはゲートスタートパルス信号 G S T が入力され、2 段目以降のシフトレジスタ単位回路 $1\ 2\ 1_2$, $1\ 2\ 1_3$, ..., $1\ 2\ 1_n$ のセット端子 S E T には、それぞれ、前段のシフトレジスタ単位回路の出力信号が入力される。薄膜トランジスタ T 2 は、セット端子 S E T に入力される信号がハイレベルになったときにオン状態となり、そのドレインから接地電圧 V S S に相当するローレベルを出力する。

[0043] 薄膜トランジスタ T 3 A のドレインは、入力信号が与えられるセット端子 S E T に接続され、そのゲートはゲートクロック信号 G C K 2 が与えられるクロック端子 C K B に接続され、そのソースは薄膜トランジスタ T 4 のドレインに接続されている。薄膜トランジスタ T 3 A は、クロック端子 C K B に入力されるゲートクロック信号 G C K 2 がハイレベルであり、且つ、セット端子 S E T に入力される入力信号がハイレベルである場合、そのゲート電圧を基準として薄膜トランジスタ T 3 A の閾値電圧 V_{th} 分だけ降下した電圧をソースから出力する。薄膜トランジスタ T 3 A のソースと薄膜トランジスタ T 4 のドレインとの間の接続点には、薄膜トランジスタ T 5 のゲートが接続されている。また、薄膜トランジスタ T 3 A のソースと薄膜トランジスタ T 4 のドレインとの間の接続点には、薄膜トランジスタ T 3 B のドレインが接続され、薄膜トランジスタ T 3 B のソースはグランドノード (V S S) に接続され、薄膜トランジスタ T 3 B のゲートは、ゲート全オン制御信号 G A O N が与えられる全オン制御端子 A O N に接続されている。

[0044] 薄膜トランジスタ T 4 は、そのドレインが薄膜トランジスタ T 3 A のソースに接続され、そのゲートが薄膜トランジスタ T 2 のドレインと抵抗 R 1 との間の接続点に接続され、そのソースがグランドノードに接続されている。薄膜トランジスタ T 4 は、薄膜トランジスタ T 2 と抵抗 R 1 との間の接続点の信号レベルがハイレベルになったときにオン状態となり、そのドレインから接地電圧 V S S に相当するローレベルを出力する。

[0045] 薄膜トランジスタ T 5 (第 1 出力トランジスタ) は、そのドレインがクロック端子 C K に接続され、そのゲートが薄膜トランジスタ T 3 A のソースと

薄膜トランジスタT4のドレインとの間の接続点に接続され、そのソースが出力端子OUTに接続されている。クロック端子CKにはゲートクロック信号GCK1が入力される。薄膜トランジスタT5は、薄膜トランジスタT3Aのソースと薄膜トランジスタT4のドレインとの間の接続点の信号レベルがハイレベルになったときに、クロック端子CKに入力されるゲートクロック信号GCK1の信号レベルを出力端子OUTに伝送する。このとき、例えば薄膜トランジスタT5のゲートとソースとの間の寄生容量に基づくブートストラップ効果により、ゲートクロック信号GCK1のハイレベルは、薄膜トランジスタT5の閾値電圧 V_{th} に起因した電圧降下を生じることなく、薄膜トランジスタT5を通じて出力端子OUTに供給される。

[0046] 薄膜トランジスタT6（第2出力トランジスタ）は、そのドレインが出力端子OUTに接続され、そのゲートが、薄膜トランジスタT2のドレインと抵抗R1との間の接続点に接続され、そのソースがグランドノードに接続されている。薄膜トランジスタT6は、薄膜トランジスタT2のドレインと抵抗R1との間の接続点の信号レベルがハイレベルになったときにオン状態となり、そのドレインから出力端子OUTに接地電圧VSSに相当するローレベルを出力する。

[0047] 薄膜トランジスタT7は、そのドレインに電源電圧VDDが供給され、そのゲートが全オン制御端子AONに接続され、そのソースが出力端子OUTに接続されている。全オン制御端子AONには、ゲート全オン制御信号GAONが入力される。薄膜トランジスタT7は、全オン制御端子AONに入力されるゲート全オン制御信号GAONがハイレベルになったときに、そのゲート電圧（ゲート全オン制御信号GAONのハイレベル）を基準として薄膜トランジスタT7の閾値電圧 V_{th} 分だけ降下した電圧をソースから出力端子OUTに出力する。

なお、薄膜トランジスタT7は、いわゆるダイオード接続の形式で備えられてもよい。

具体的には、薄膜トランジスタT7のゲートはドレインに接続され、そのソ

ースが出力端子OUTに接続され、薄膜トランジスタT7のゲートとドレインとの接続点にゲート全オン制御信号AONが入力されてもよい。

[0048] 本実施形態では、上述の薄膜トランジスタT3Aのソースと薄膜トランジスタT4のドレインとの間の接続点はノードN1を形成し、抵抗R1と薄膜トランジスタT2のドレインとの間の接続点はノードN2を形成する。また、本実施形態では、薄膜トランジスタT5は、クロック信号CK1が与えられるクロック端子CKと出力端子OUTとの間に電流路が接続された第1出力トランジスタを構成する。また、薄膜トランジスタT6は、出力端子OUTとグラウンドノード（所定電位ノード）との間に電流路が接続された第2出力トランジスタを構成する。また、薄膜トランジスタT7は、複数のシフトレジスタ単位回路 121_1 , 121_2 , 121_3 , ..., 121_n の出力信号の信号レベルをハイレベル（所定の信号レベル）に設定するための全オン制御端子AONに入力されるゲート全オン制御信号GAONがアクティブである場合、出力端子OUTの信号レベルをハイレベル（所定の信号レベル）に設定する設定部 $1211A$ を構成する。

[0049] また、本実施形態では、薄膜トランジスタT3A, T3Bは、ゲート全オン制御信号GAONがアクティブである場合、このゲート全オン制御信号GAONに応答して薄膜トランジスタT5をオフさせ、ゲート全オン制御信号GAONが非アクティブである場合、ゲートクロック信号GCK1に続くゲートクロック信号GCK2、またはゲートクロック信号GCK1に同期した信号に응答してセット端子SETの入力信号を薄膜トランジスタT5の制御電極に供給して薄膜出力トランジスタT5をオンさせる第1出力制御部 $1211B$ を構成する。図3の例では、第1出力制御部 $1211B$ は、ゲート全オン制御信号GAONが非アクティブである場合、クロック端子CKBに入力されるゲートクロック信号GCK2に응答してセット端子SETの入力信号を薄膜トランジスタT5の制御電極に供給するものとなっている。ただし、第1出力制御部 $1211B$ は、ゲート全オン制御信号GAONが非アクティブである場合、ゲートクロック信号GCK2またはゲートクロック信号G

C K 1 の何れかに同期した信号に応答して入力信号を薄膜トランジスタ T 5 の制御電極に供給してもよい。

[0050] 上述の第 1 出力制御部 1 2 1 1 B が備える薄膜トランジスタ T 3 A, T 3 B のうち、薄膜トランジスタ T 3 A は、ゲート全オン制御信号 G A O N が非アクティブのときにノード N 1 の信号レベルをセットするセット部として機能する。また、薄膜トランジスタ T 3 B は、ゲート全オン制御信号 G A O N がアクティブのときにノード N 1 をディスチャージするディスチャージ回路として機能する。

[0051] また、薄膜トランジスタ T 1, T 2, T 4 および抵抗 R 1 は、全オン制御端子 A O N に入力されるゲート全オン制御信号 G A O N がアクティブである場合、薄膜トランジスタ T 6 をオフさせ、ゲート全オン制御信号 G A O N が非アクティブである場合、ゲートクロック信号 G C K 1 に続くゲートクロック信号 G C K 2、またはゲートクロック信号 G C K 1 に同期した信号に응答して薄膜トランジスタ T 5 をオフさせると共に薄膜トランジスタ T 6 をオンさせる第 2 出力制御部 1 2 1 1 C を構成する。なお、本実施形態では、表示制御回路 1 4 0 がゲートクロック信号 G C K 1 およびゲートクロック信号 G C K 2 を生成して走査線駆動回路 1 2 0 に供給するものとしているが、走査線駆動回路 1 2 0 に供給された 1 つのクロック信号から走査線駆動回路 1 2 0 内部でゲートクロック信号 G C K 1 とゲートクロック信号 G C K 2 を派生的に生成してもよい。上述の「ゲートクロック信号 G C K 1 に同期した信号」は、走査線駆動回路 1 2 0 内部で 1 つのクロック信号からゲートクロック信号 G C K 1 と共に派生的に生成した場合のゲートクロック信号 G C K 2 に相当する信号である。即ち、ゲートクロック信号 G C K 1 とゲートクロック信号 G C K 2 の生成手法は任意であり、走査線駆動回路 1 2 0 の外部で生成してもよく、走査線駆動回路 1 2 0 の内部で生成してもよい。

[0052] このような構成を有するシフトレジスタ単位回路 1 2 1 1 は、見かけ上、クロック端子 C K B に入力されるゲートクロック信号 G C K 2 に同期したタイミングでセット端子 S E T に入力される信号を取り込み、この取り込んだ

信号を、クロック端子C Kに入力されるゲートクロック信号G C K 1に同期したタイミングで出力端子O U Tに転送する。これにより、シフトレジスタ単位回路1 2 1 1は、いわゆるマスター・スレーブ型のフリップフロップとして機能する。

[0053] 次に、信号線駆動回路1 3 0について説明する。

信号線駆動回路1 3 0が備えるシフトレジスタ1 3 1は、基本的に、走査線駆動回路1 2 0が備えるシフトレジスタ1 2 1と同様の構成を有しているが、m本の信号線S L 1, S L 2, ..., S L mに対応したm段のシフトレジスタ単位回路を備える点で走査線駆動回路1 2 0のシフトレジスタ1 2 1と異なる。シフトレジスタ1 3 1を構成するシフトレジスタ単位回路の構成は、図3に示すシフトレジスタ単位回路1 2 1 1と同様である。

[0054] ただし、図3に示すシフトレジスタ単位回路1 2 1 1の構成において、シフトレジスタ1 3 1を構成する奇数段のシフトレジスタ単位回路のクロック端子C Kにはソースクロック信号S C K 1が入力され、クロック端子C K Bにはソースクロック信号S C K 2が入力され、逆に、偶数段のシフトレジスタ単位回路のクロック端子C Kにはソースクロック信号S C K 2が入力され、クロック端子C K Bにはソースクロック信号S C K 1が入力される。

[0055] また、信号線駆動回路1 3 0を構成するm段のシフトレジスタ単位回路の全オン制御端子A O Nにはソース全オン制御信号S A O Nが入力される。また、信号線駆動回路1 3 0を構成するm段のシフトレジスタ単位回路のうち、初段のシフトレジスタ単位回路のセット端子S E Tにはソーススタートパルス信号S S Tが入力され、2段目以降のシフトレジスタ単位回路のセット端子S E Tには、それぞれ、前段のシフトレジスタ単位回路の出力信号が入力される。

[0056] シフトレジスタ1 3 1を構成するm段のシフトレジスタ単位回路は、表示制御回路1 4 0からソーススタートパルス信号S S Tを受け取ると、ソースクロック信号S C K 1, S C K 2に基づいてシフト動作を実施し、信号線選択用薄膜トランジスタT S 1, T S 2, ..., T S mの各ゲートに選択信号を

順次的に出力する。ソースクロック信号 SCK 1 の位相とソースクロック信号 SCK 2 の位相は、上述のゲートクロック信号 GCK 1, GCK 2 と同様に、互いに 180 度だけ異なっており、また、ソースクロック信号 SCK 1 とソースクロック信号 SCK 2 が同時にハイレベルにならないように、それらのローレベルの区間が設定されている。

なお、本実施形態では、走査線駆動回路 120 および信号線駆動回路 130 を構成するシフトレジスタ単位回路 121 は、出力信号のローレベルとしてグラウンドノードの接地電圧 VSS を出力し、出力信号のハイレベルとして正の電源電圧 VDD を出力するものとするが、この例に限定されず、ローレベルとして負電圧 VL（例えば -5 V）を出力し、ハイレベルとして正電圧 VH（例えば +10 V）を出力するものとしてもよい。この場合、各図において示される接地電圧 VSS（所定電位）は負の電圧を表す。

[0057] （動作の説明）

次に、本実施形態による画像表示装置 100 の動作を説明する。

本実施形態による表示装置 100 の動作上の特徴は、走査線駆動回路 120 を構成するシフトレジスタ 121 と、信号線駆動回路 130 を構成するシフトレジスタ 131 の動作にある。そこで、以下では、走査線駆動回路 120 を構成するシフトレジスタ 121 の動作を詳細に説明する。信号線駆動回路 130 を構成するシフトレジスタ 131 の動作は基本的にシフトレジスタ 121 と同様であり、その動作の説明は省略する。

[0058] 図 4 A 及び図 4 B は、第 1 実施形態におけるシフトレジスタ 121 の動作例を示すタイムチャートであり、図 4 A は通常動作時のタイムチャートであり、図 4 B は全オン動作時のタイムチャートである。図 4 A 及び図 4 B において、ゲートスタートパルス信号 GST、ゲートクロック信号 GCK 1, GCK 2 のハイレベルおよびローレベルは、それぞれ、シフトレジスタに供給される動作電源の電圧 VDD および接地電圧 VSS に相当する信号レベルである。また、通常動作では、ゲート全オン制御信号 GAON はローレベルに設定される。また、図 4 A 及び図 4 B において、N11、N21 は、初段の

シフトレジスタ単位回路 121_1 のノード $N1$ 、 $N2$ を表し、 $N1_2$ 、 $N2_2$ は、2 段目のシフトレジスタ単位回路 121_2 のノード $N1$ 、 $N2$ を表し、 $N1_n$ 、 $N2_n$ は、 n 段目のシフトレジスタ単位回路 121_n のノード $N1$ 、 $N2$ を表し、 $OUT1$ 、 $OUT2$ 、 OUT_n は、初段、2 段目、 n 段目のシフトレジスタ単位回路の出力信号を表している。

なお、図中の“H”は、ハイレベルを示し、“L”は、ローレベルを示している。

[0059] <通常動作>

まず、図4Aを参照して、シフトレジスタ 121 の通常動作を説明する。

概略的には、シフトレジスタ 121 の通常動作では、セット端子 SET の入力信号とクロック端子 CKB のゲートクロック信号 $GCK2$ に基づいて薄膜トランジスタ $T3A$ によりノード $N1$ のプリチャージが行われる。

[0060] 詳細には、通常動作では、ゲート全オン制御信号 $GAON$ がローレベルに設定される。

これにより、薄膜トランジスタ $T7$ 、 $T3B$ はオフ状態に維持される。この場合、図4Aに示すように、時刻 $t0$ にて、初段のシフトレジスタ単位回路 121_1 のセット端子 SET に入力されるゲートスタートパルス信号 GST がハイレベルに遷移し、クロック端子 CKB に入力されるゲートクロック信号 $GCK2$ がハイレベルに遷移すると、薄膜トランジスタ $T3A$ がオンする。また、時刻 $t0$ では、クロック端子 CKB に入力されるゲートクロック信号 $GCK2$ がハイレベルに遷移し、セット端子 SET に入力されるゲートスタートパルス信号 GST もハイレベルに遷移するため、薄膜トランジスタ $T1$ および薄膜トランジスタ $T2$ が共にオンする。このとき、抵抗 $R1$ により、薄膜トランジスタ $T1$ から供給される電流が抑制されるので、ノード $N21$ の信号レベルは、薄膜トランジスタ $T2$ により接地電圧 VSS 付近のローレベルとなる。ノード $N21$ がローレベルになると、薄膜トランジスタ $T4$ および薄膜トランジスタ $T6$ が共にオフする。この結果、ノード $N11$ が、薄膜トランジスタ $T3A$ により電源電圧 VDD (クロック端子 CKB に入力さ

れるゲートクロック信号GCK2のハイレベル)から閾値電圧 V_{th} 分だけ降下した電圧($V_{DD} - V_{th}$)にチャージされる。

[0061] この後、セット端子SETに入力されるゲートスタートパルス信号GSTとクロック端子CKBに入力されるゲートクロック信号GCK2がローレベルに遷移すると、薄膜トランジスタT1および薄膜トランジスタT2が共にオフする。これにより、ノードN21はフローティング状態になり、このノードN21の信号レベルがローレベルに保持される。

また、セット端子SETに入力されるゲートスタートパルス信号GSTとクロック端子CKBに入力されるゲートクロック信号GCK2がローレベルになると、薄膜トランジスタT3Aがオフする。このため、ノードN11もフローティング状態となり、ノードN11にチャージされた電圧($V_{DD} - V_{th}$)が保持される。

[0062] 続いて、時刻 t_1 で、クロック端子CKに入力されるゲートクロック信号GCK1がハイレベルに遷移すると、このクロック端子CKにドレインが接続された薄膜トランジスタT5を通じて、ゲートクロック信号GCK1のハイレベルが出力端子OUTに伝達され、出力信号OUT1の信号レベルが上昇を開始する。出力信号OUT1の信号レベルが上昇すると、薄膜トランジスタT5のゲートとソースとの間の容量成分によるブートストラップ効果により、ノードN11の信号レベルが押し上げられる。このため、薄膜トランジスタT5のゲート電圧は、薄膜トランジスタT5のソース電圧よりも高くなり薄膜トランジスタT5がオンする。これにより、クロック端子CKに入力されるゲートクロック信号GCK1のハイレベル(電源電圧 V_{DD} に相当する信号レベル)は、薄膜トランジスタT5の閾値電圧 V_{th} による電圧降下を生じることなく、出力端子OUTに伝達される。この結果、シフトレジスタ単位回路121₁は、出力信号OUT1として、電源電圧 V_{DD} に相当するハイレベルを有するゲート信号G1を出力する。

[0063] 続いて、時刻 t_2 にて、クロック端子CKBに入力されるゲートクロック信号GCK2がハイレベルに遷移すると、薄膜トランジスタT1がオンし、

この薄膜トランジスタT1と抵抗R1を通じてノードN21がチャージされ、ノードN21の電圧が上昇する。これにより、ノードN21にゲートが接続された薄膜トランジスタT4、T6が共にオンし、これら薄膜トランジスタT4、T6は、それぞれ、ノードN11と出力端子OUTをプルダウンする。この結果、ノードN11にゲートが接続された薄膜トランジスタT5がオフすると共に出力信号OUT1がローレベルに遷移する。

[0064] 以降、セット端子SETに入力されるゲートスタートパルス信号GSTはローレベルに維持されるので、薄膜トランジスタT2はオフ状態に維持される。また、クロック端子CKBに周期的に入力されるゲートクロック信号GCK2のハイレベルに応答して薄膜トランジスタT1が周期的にオンすることにより、ノードN21がハイレベルにチャージされた状態に維持される。これにより、ノードN21にゲートが接続された薄膜トランジスタT4、T6がオン状態に維持される。また、この場合、ゲートクロック信号GCK2のハイレベルのパルスが到来する都度、薄膜トランジスタT3Aが周期的にオン状態になり、ローレベルにあるゲートスタートパルス信号GSTが、薄膜トランジスタT3Aを通じてノードN11に伝送される。これにより、ノードN11が薄膜トランジスタT3Aを通じて周期的にディスチャージされる。しかも、この場合、ノードN11はオン状態にある薄膜トランジスタT4によりプルダウンされるので、ノードN11の信号レベルは接地電位VSSに相当するローレベルに維持される。この結果、ノードN11にゲートが接続された薄膜トランジスタT5がオフ状態に維持され、出力信号OUT1は、オン状態に維持された薄膜トランジスタT6によりローレベルに維持される。

[0065] 2段目のシフトレジスタ単位回路121₂の動作は、初段のシフトレジスタ単位回路121₁の出力信号OUT1を受けて、初段のシフトレジスタ単位回路121₁の動作に対して2分の1クロックだけ遅れて実施される。その動作自体は初段のシフトレジスタ単位回路121₁と同様であり、シフトレジスタ単位回路121₂は、初段のシフトレジスタ単位回路121₁の出力信号OU

T₁よりも2分の1クロックだけ遅い時刻t₂で出力信号OUT₂をハイレベルに遷移させる。以下同様にして、3段目以降のシフトレジスタ単位回路121₃, ..., 121_nは、それぞれ、前段のシフトレジスタ単位回路の出力信号に対して2分の1クロックだけ遅らせて、出力信号OUT₃, ..., OUT_nを順次出力する。

[0066] <全オン動作>

次に、図4Bを参照して、シフトレジスタ121の全オン動作を説明する。

概略的には、シフトレジスタ121の全オン動作では、薄膜トランジスタT_{3A}がオフ状態になり、且つ、ノードN₁が薄膜トランジスタT_{3B}によりプルダウンされる。

詳細には、全オン動作では、ゲート全オン制御信号GAONがハイレベルに設定される。また、図4Bに示すように、ゲートスタートパルス信号GSTはハイレベルに設定され、ゲートクロック信号GCK₁, GCK₂はローレベルに設定される。この場合、初段のシフトレジスタ単位回路121₁において、ローレベルに設定されたゲートクロック信号GCK₂が入力されるクロック端子CKBにゲートが接続された薄膜トランジスタT₁がオフする。また、ハイレベルに設定されたゲートスタートパルス信号GSTが入力されるセット端子SETにゲートが接続された薄膜トランジスタT₂がオンする。これにより、ノードN₂₁が薄膜トランジスタT₂によりプルダウンされ、ノードN₂₁の信号レベルがローレベルになる。この結果、ノードN₂₁にゲートが接続された薄膜トランジスタT₄, T₆が共にオフする。

[0067] また、ローレベルに設定されたゲートクロック信号GCK₂が入力されるクロック端子CKBにゲートが接続された薄膜トランジスタT_{3A}がオフする。一方、ハイレベルのゲート全オン制御信号GAONが与えられた全オン制御端子AONにゲートが接続された薄膜トランジスタT_{3B}がオン状態になり、ノードN₁₁をプルダウンする。これにより、全オン動作において薄膜トランジスタT₅はオフ状態に制御される。

[0068] また、ハイレベルに設定されたゲート全オン制御信号 G_{AON} が与えられる全オン制御端子 AON にゲートが接続された薄膜トランジスタ T_7 がオンする。薄膜トランジスタ T_7 がオンすると、電源電圧 VDD が薄膜トランジスタ T_7 を通じて出力端子 OUT に供給され、薄膜トランジスタ T_7 により出力端子 OUT の信号レベルがハイレベルに設定される。ここで、上述したように、出力端子 OUT に接続された薄膜トランジスタ T_5 , T_6 は共にオフ状態となるから、これら薄膜トランジスタ T_5 , T_6 の影響を受けることなく、薄膜トランジスタ T_7 により出力端子 OUT の信号レベルがハイレベルに設定される。

これにより、初段のシフトレジスタ単位回路 121_1 は、ハイレベルの出力信号 OUT_1 を出力する。

[0069] 複数のシフトレジスタ単位回路 121_1 , 121_2 , 121_3 , ..., 121_n のうち、初段のシフトレジスタ単位回路 121_1 と同様にゲートクロック信号 GCK_1 , GCK_2 が入力される奇数段のシフトレジスタ単位回路は、全オン動作において初段のシフトレジスタ単位回路 121_1 と同様に動作し、ハイレベルの出力信号を出力する。また、偶数段のシフトレジスタ単位回路については、奇数段のシフトレジスタ単位回路に対し、クロック端子 CK , CKB に入力されるゲートクロック信号 GCK_1 , GCK_2 が逆であるが、全オン動作時には、これらゲートクロック信号 GCK_1 , GCK_2 の信号レベルは何れもローレベルに設定される。このため、全オン動作時には、偶数段のシフトレジスタ単位回路の各端子に入力される信号レベルは、奇数段のシフトレジスタ単位回路の各端子に入力される信号レベルと同じになる。従って、偶数段のシフトレジスタ単位回路の全オン動作についても奇数段のシフトレジスタ単位回路と同様に説明され、全オン動作において偶数段のシフトレジスタ単位回路はハイレベルの出力信号を出力する。

以上により、シフトレジスタ 121 は、ゲート信号 G_1 , G_2 , ..., G_n として、ハイレベルの出力信号 OUT_1 , OUT_2 , ..., OUT_n を出力し、全オン動作が実施される。

信号線駆動回路 130 を構成するシフトレジスタ 131 の全オン動作についても、上述の走査線駆動回路 120 を構成するシフトレジスタ 121 と同様に説明される。

[0070] <オンシーケンスへ適用した場合の動作>

次に、シフトレジスタ 121 の全オン動作を、表示装置 100 の電源を投入するときに実施されるオンシーケンスに適用した場合について説明する。

図 5 は、第 1 実施形態による表示装置 100 のオンシーケンスにおける動作を説明するためのタイムチャートである。

[0071] 電源投入直後は、ビデオ信号線（データ信号 V I G の信号線）の電位、対向電極 T c o m の電位、あるいは補助容量電極線 C S L の電位が不安定になるため、画素部 P I X に意図しない電荷が蓄積される場合がある。このような現象は、電源回路 150 が確実に立ち上がっていない場合に装置内の回路のロジック制御が正常に行われないことに起因している。具体的には、この現象は、データ信号 V S I G の信号線から不要な電荷が画素部 P I X に入り込み、また、対向電極 T c o m の電位や補助容量電極線 C S L の電位が不安定になるため、対向電極 T c o m と画素電極（図示なし）との間に電位差が生じ、この電位差により画素部 P I X に不要な電荷が蓄積されることに起因している。この現象は、画像ノイズを発生させる原因になる。

[0072] このような現象に対しては、電源投入時に、画素部 P I X の画素用薄膜トランジスタ T C を導通させ、全ての画素部 P I X から電荷を瞬時に放出させることが有効である。画素部 P I X から電荷が瞬時に放出されれば、人間の視覚には画像の変化として知覚されないため、視聴者にほとんど違和感を与えることがなくなる。

[0073] そこで、電源投入時のオンシーケンスにおいて、時刻 t 0 にて電源が投入された直後の時刻 t 1 において、ゲート全オン制御信号 G A O N およびソース全オン制御信号 S A O N をアクティブ状態（ハイレベル）に設定して全オン動作を実施させる。これにより、全ての画素部 P I X の画素用薄膜トランジスタ T C を導通状態とし、データ信号 V S I G として、例えば黒を表す初

期電圧を画素部 P I X に書き込む。その後、ゲート全オン制御信号 G A O N およびソース全オン制御信号 S A O N をアクティブ状態に維持し、電源回路 1 5 0 において生成される正電源電圧 V H （正の高電圧）および負電源電圧 V L （負の高電圧）が確定した時刻 t 4 にてゲート全オン制御信号 G A O N およびソース全オン制御信号 S A O N を非アクティブ状態（ローレベル）とし、全オン動作を停止させる。その後、時刻 t 5 にて、ゲートスタートパルス信号 G S T およびゲートクロック信号 G C K 1 , G C K 2 を発生させ、時刻 t 6 にて通常動作に移行させる。これにより、電源投入直後の電源電圧が不安定な期間において全オン動作が実施され、この全オン動作において全ての画素部 P I X に黒を表す初期電圧が書き込まれ、画面全体に黒が表示される。これにより、電源投入時の画像の乱れが抑制され、視聴者に与える違和感を緩和することが可能になる。

ただし、データ信号 V S I G の初期電圧として、黒に限らず、任意の階調を表す電圧を設定することも可能である。

[0074] <オフシーケンスへ適用した場合の動作>

次に、シフトレジスタ 1 2 1 の全オン動作を、表示装置 1 0 0 の電源を遮断するとき実施されるオフシーケンスに適用した場合について説明する。

図 6 A 及び図 6 B は、第 1 実施形態による表示装置 1 0 0 のオフシーケンスにおける動作を説明するためのタイムチャートであり、図 6 A は、全オン動作において走査線をハイレベルに制御する場合の動作を示し、図 6 B は、全オン動作において、走査線と信号線の双方をハイレベルに制御する場合の動作を示している。

[0075] まず、図 6 A を参照して、走査線をハイレベルに制御して全オン動作を実施する場合のオフシーケンスを説明する。この場合、ゲート全オン制御信号 G A O N がアクティブ状態に設定され、ソース全オン制御信号 S A O N は非アクティブ状態に設定される。電源を遮断する旨の指示が表示装置 1 0 0 に与えられるか、或いは、そのような指示が表示装置 1 0 0 内部で発生すると、全オン動作を開始する所定のタイミングにあたる時刻 t 3 において、ゲー

ト全オン制御信号 $G A O N$ がハイレベルに設定される。この場合、走査線駆動回路 120 のシフトレジスタ 121 が、前述した全オン動作を実施し、シフトレジスタ 121 から走査線 $G L 1, G L 2, \dots, G L n$ に供給されるゲート信号 $G 1, G 2, \dots, G n$ が全てハイレベルになる。これにより、全ての画素部 $P I X$ の画素用薄膜トランジスタ $T C$ が一斉に導通状態となる。

[0076] ここで、表示装置 100 は、時刻 $t 3$ 以前の通常動作において、例えばドット反転駆動または走査信号線反転駆動等により画像表示動作を実施している。このため、同一の信号線 $S L$ に接続された複数の画素部 $P I X$ には、それぞれ、表示画像の内容に応じて、正の電荷または負の電荷が蓄積された状態となっている。即ち、同一の信号線 $S L$ に接続された複数の画素部 $P I X$ のうち、一部の画素部 $P I X$ には正の電荷が蓄積され、他の一部の画素部 $P I X$ には負の電荷が蓄積された状態となっている。このため、時刻 $t 3$ において、図 1 に示す信号線選択用薄膜トランジスタ $T S 1, T S 2, \dots, T S m$ を全てオフ状態に制御すれば、時刻 $t 3$ から時刻 $t 5$ の全オン動作期間において、同一の信号線 $S L$ に接続された複数の画素部 $P I X$ 間で正負の電荷の打ち消し合いが行われる。これにより、対向電極 $T c o m$ が無電圧状態に移行するときに、全画素部 $P I X$ の表示階調が概ね揃った状態で終状態へと移行することができる。従って、電源遮断時に表示装置 100 により表示される画像の階調が概ね均一になり、画像の乱れを抑制することが可能になる。

[0077] 次に、図 6 B を参照して、走査線と信号線の両方をハイレベルに制御して全オン動作を実施する場合のオフシーケンスを説明する。この場合、ゲート全オン制御信号 $G A O N$ およびソース全オン制御信号 $S A O N$ の両方がアクティブ状態とされる。全オン動作を開始する所定のタイミングにあたる時刻 $t 3$ において、ゲート全オン制御信号 $G A O N$ およびソース全オン制御信号 $S A O N$ の両方をアクティブ状態とし、信号線駆動回路 130 のシフトレジスタ 131 の出力信号を一斉にハイレベルに制御すると共に、走査線駆動回路 120 のシフトレジスタ 121 の出力信号を一斉にハイレベルとする。これにより、時刻 $t 3$ 以前の通常動作において、表示装置 100 が、ドット反

転駆動、走査信号線反転駆動、データ信号線反転駆動など、何れの交流駆動を実施していたとしても、時刻 t_3 から時刻 t_5 の期間での全オン動作において、全画素部 $P \mid X$ の電荷状態が所定状態に揃うように各画素部 $P \mid X$ の放電または充電が行われる。このため、上述の図 6 A に示す例に比較して、よりいっそう安定的に電源遮断時の画像の乱れを抑制することができる。

[0078] <強制遮断時の動作>

次に、表示装置 100 の表示部に画像が表示された状態で、例えば停電等により電源回路 150 の動作が強制的に停止された場合の動作を説明する。

図 7 は、第 1 実施形態による表示装置 100 の強制遮断時の動作を説明するためのタイムチャートである。同図において、時刻 t_0 から時刻 t_3 の期間では、走査線駆動回路 120 が通常動作を実施している。この場合、ゲート全オン制御信号 $G A O N$ およびソース全オン制御信号 $S A O N$ は何れも非アクティブ状態（即ち、ローレベル）となっている。

このような通常動作が行われている状態で、時刻 t_4 において電源回路 150 の動作が強制的に停止されると、この電源回路 150 の動作の停止と同時に、表示制御回路 140 は、ゲート全オン制御信号 $G A O N$ およびソース全オン制御信号 $S A O N$ をアクティブ状態（即ち、ハイレベル）に設定する。ここで、電源回路 150 の出力配線には、容量 $C 120$ 、 $C 130$ 等が形成されているため、電源回路 150 が動作を停止しても、表示制御回路 140 が出力するゲート全オン制御信号 $G A O N$ およびソース全オン制御信号 $S A O N$ の信号レベルは、瞬時には接地電圧 $V S S$ にならず、電源回路 150 の出力配線の容量による時定数に応じて接地電圧 $V S S$ に向けて徐々に低下する。この場合、他の制御信号の信号レベルも同様に低下するので、ゲート全オン制御信号 $G A O N$ およびソース全オン制御信号 $S A O N$ は相対的にアクティブ状態に維持され、時刻 t_4 以降も全オン動作が継続される。

[0079] 時刻 t_4 でゲート全オン制御信号 $G A O N$ およびソース全オン制御信号 $S A O N$ がアクティブ状態（ハイレベル）に設定されると、走査線駆動回路 120 のシフトレジスタ 121 は全オン動作を実施し、走査線 $G L 1$ 、 $G L 2$

, ..., GL_n にハイレベルの出力信号 OUT_1 , OUT_2 , ..., OUT_n を出力する。同様に、信号線駆動回路 130 のシフトレジスタ 131 も全オン動作を実施し、信号線 SL_1 , SL_2 , ..., SL_m にハイレベルの出力信号を出力する。このとき、上述のように、電源回路 150 の出力配線には、容量 C_{120} , C_{130} 等が形成されているため、電源回路 150 が動作を停止しても、電源回路 150 から出力された正電源電圧 V_H は、瞬時には接地電圧 V_{SS} に相当するレベルにならず、容量 C_{120} , C_{130} による時定数に応じて接地電圧 V_{SS} に向けて徐々に低下する。図 7 の例では、電源回路 150 の正電源電圧 V_H が、時刻 t_4 で低下を開始し、時刻 t_5 において接地電位 V_{SS} に相当するローレベルにまで低下している。同様に、電源回路 150 から出力された負電源電圧 V_L も瞬時には接地電圧 V_{SS} に相当するレベルにならず、容量 C_{120} , C_{130} による時定数に応じて接地電圧 V_{SS} に向けて徐々に上昇する。また、走査線 GL_1 , GL_2 , ..., GL_n 上のゲート信号 G_1 , G_2 , G_3 , ..., G_n は、電源回路 150 から出力される正電源電圧 V_H の低下に従って、時刻 t_4 から徐々に低下し、時刻 t_5 で接地電圧 V_{SS} に相当するローレベルとなる。

[0080] このように、電源回路 150 が強制的に遮断された場合、シフトレジスタ 121 が全オン動作を実施することにより、走査線 GL_1 , GL_2 , ..., GL_n の信号レベルの全てが瞬時的にハイレベルになり、その後、一定の時定数で徐々に低下する。即ち、全ての走査線 GL_1 , GL_2 , ..., GL_n の信号レベルが同一に揃えられる。これにより、上述したオフシーケンスと同様に、画像の乱れが抑制され、視聴者に与える違和感を緩和することができる。

[0081] 上述した第 1 実施形態によれば、前述の従来技術の貫通電流遮断用に特に設けた NMOS トランジスタ Q_6 , Q_8 を備える必要がなく、また、ノード N_1 を 1 個の薄膜トランジスタ T_{3A} でチャージするので、走査線駆動回路 120 および信号線駆動回路 130 を構成する各シフトレジスタのトランジスタ数を低減することができ、装置構成を簡略化することができる。従って

、走査線駆動回路 120 および信号線駆動回路 130 を構成するシフトレジスタのレイアウト面積を減らすことができ、全オン動作機能を備えた表示装置 100 の狭額縁化が可能になる。

[0082] また、第 1 実施形態によれば、全オン動作を制御するための制御信号として、ゲート全オン制御信号 G A O N の反転信号であるゲート全オン制御信号 G A O N B を使用せず、ゲート全オン制御信号 G A O N のみを使用するので、全オン動作を制御するための端子数、信号数および配線数を削減することができ、更なる狭額縁化が可能になる。

[0083] また、第 1 実施形態によれば、全オン動作時に、薄膜トランジスタ T 1 (図 3) がオフするので、薄膜トランジスタ T 1 , 抵抗 R 1、薄膜トランジスタ T 2 によって形成される貫通電流経路が遮断される。また、全オン動作時に、薄膜トランジスタ T 4 がオフするので、薄膜トランジスタ T 3 A と薄膜トランジスタ T 4 によって形成される貫通電流経路が遮断される。更に、全オン動作時に、薄膜トランジスタ T 5 , T 6 が共にオフするので、これら薄膜トランジスタ T 5 , T 6 によって形成される貫通電流経路も遮断される。従って、本実施形態によれば、全オン動作時のシフトレジスタにおける貫通電流を防止することもできる。

[0084] また、第 1 実施形態によれば、通常動作時に、1 つの薄膜トランジスタ T 3 A を通じて、ハイレベルに設定されたセット端子 S E T の入力信号が薄膜トランジスタ T 5 のゲートに供給されるので、薄膜トランジスタ T 5 のゲート電圧の低下を最小限に留めることができる。即ち、ノード N 1 を 1 個の薄膜トランジスタ T 3 A でチャージするため、トランジスタの閾値電圧 V_{th} による電圧降下を最小限に抑えることができ、動作マージンを改善することができる。従って、通常動作時に、シフトレジスタのシフト動作を安定化させることが可能になる。

[0085] なお、上述の例では、ゲート全オン制御信号 G A O N およびソース全オン制御信号 S A O N の信号レベルがアクティブになるときの信号レベルをハイレベルとしているが、停電時には全ての信号がローレベル（接地電圧 V_{SS}

）に収束することを考慮すれば、ゲート全オン制御信号G A O Nおよびソース全オン制御信号S A O Nの信号レベルがアクティブになるときの信号レベルをローレベルとしてもよい。この場合、通常動作時にはゲート全オン制御信号G A O Nおよびソース全オン制御信号S A O Nの信号レベルがハイレベルに設定された状態となっており、強制遮断時にゲート全オン制御信号G A O Nおよびソース全オン制御信号S A O Nの信号レベルがローレベルに設定されるので、強制遮断後の全オン動作を安定的に維持することが可能になる。

[0086] [第2実施形態]

次に、本発明の第2実施形態を説明する。

第2実施形態では、第1実施形態で用いた図1および図2を援用する。

第2実施形態による表示装置は、上述の第1実施形態において、図2に示すシフトレジスタ121を構成するシフトレジスタ単位回路121₁, 121₂, 121₃, ..., 121_n（即ち、図3に示すシフトレジスタ単位回路1211）に代えて、図8に示すシフトレジスタ単位回路1212を備える。その他の構成は第1実施形態と同様である。

[0087] 図8は、第2実施形態におけるシフトレジスタ単位回路1212の構成例を示す回路図である。シフトレジスタ単位回路1212は、図3に示す第1実施形態におけるシフトレジスタ単位回路1211の構成において、薄膜トランジスタT8を更に備える。薄膜トランジスタT8は、クロック端子C K Bと薄膜トランジスタT3Aのゲートとの間に電流路が介挿され、そのゲートには、薄膜トランジスタT8をオンさせる信号レベルを与える電源電圧V D D（所定電位）が印加されている。薄膜トランジスタT8の電流路と薄膜トランジスタT3Aのゲートとの間の接続点はノードN3を形成している。その他の構成は第1実施形態におけるシフトレジスタ単位回路1211と同様である。

[0088] なお、本実施形態では、図2に示す第1実施形態におけるシフトレジスタ単位回路121₁, 121₂, 121₃, ..., 121_nのそれぞれが図8に示す

シフトレジスタ単位回路 1 2 1 2 で置き換えられるが、説明の便宜上、図 2 に示す「シフトレジスタ単位回路 1 2 1₁, 1 2 1₂, 1 2 1₃, ..., 1 2 1_n」なる表現をそのまま援用する。従って、本実施形態において、「シフトレジスタ単位回路 1 2 1₁, 1 2 1₂, 1 2 1₃, ..., 1 2 1_n」のそれぞれは、図 8 に示すシフトレジスタ単位回路 1 2 1 2 を指す。第 8 実施形態を除き、後述の各実施形態においても同様である。

[0089] 次に、図 9 A 及び図 9 B を参照して、シフトレジスタ 1 2 1 2 の動作を説明する。

図 9 A 及び図 9 B は、第 2 実施形態におけるシフトレジスタ 1 2 1 2 の動作例を示すタイムチャートであり、図 9 A は通常動作時のタイムチャートであり、図 9 B は全オン動作時のタイムチャートである。なお、図 9 A 及び図 9 B において、N 1 1、N 3 1 は、初段のシフトレジスタ単位回路 1 2 1₁ のノード N 1、N 3 を表し、N 1 2、N 3 2 は、2 段目のシフトレジスタ単位回路 1 2 1₂ のノード N 1、N 3 を表し、N 1 n、N 3 n は、n 段目のシフトレジスタ単位回路 1 2 1_n のノード N 1、N 3 を表し、O U T 1、O U T 2、O U T n は、初段、2 段目、n 段目のシフトレジスタ単位回路の出力信号を表している。

なお、図中の“H”は、ハイレベルを示し、“L”は、ローレベルを示している。

[0090] まず、図 9 A を参照して、シフトレジスタ 1 2 1 2 の通常動作を説明する。

図 9 A に示すように、時刻 t 0 にて、初段のシフトレジスタ単位回路 1 2 1₁（即ち、初段のシフトレジスタ単位回路 1 2 1 2）のクロック端子 C K B に入力されるクロック信号 G C K 2 がハイレベルに遷移すると、このクロック信号 G C K 2 の信号レベルが薄膜トランジスタ T 8 を通じて薄膜トランジスタ T 3 A のゲートに伝達される。これにより、薄膜トランジスタ T 3 A のゲートと薄膜トランジスタ T 8 との間のノード N 3 1 がチャージされ、このノード N 3 1 の電圧が上昇を開始する。

- [0091] ノードN31の電圧が上昇すると、薄膜トランジスタT3Aがオンする。ここで、薄膜トランジスタT3Aのドレインが接続されたセット端子SETには、ハイレベルに設定された入力信号としてゲートスタートパルス信号GSTが与えられているので、薄膜トランジスタT3Aがオンすると、そのソース電圧が、ゲート電圧から閾値電圧 V_{th} だけ降下した電圧となる。このため、薄膜トランジスタT3Aのソースが接続されたノードN11が、薄膜トランジスタT3Aのゲートが接続されたノードN31に追従してチャージされ、ノードN11の電圧が上昇を開始する。
- [0092] また、ノードN31の電圧が、薄膜トランジスタT8のゲート電圧（電源電圧VDD）から薄膜トランジスタT8の閾値電圧 V_{th} だけ降下した電圧に達すると、薄膜トランジスタT8がオフし、ノードN31はフローティング状態になる。その後、薄膜トランジスタT3AによりノードN11がチャージされてノードN11の電圧が上昇する過程で、薄膜トランジスタT3Aのソースとゲートとの間の容量成分や、薄膜トランジスタT3Aのチャネルとゲートとの間の容量成分等を通じて、ノードN31の電圧がノードN11の電圧により押し上げられる。
- [0093] ここで、ノードN11に付随する容量成分、例えばトランジスタT5のゲート容量等が大きい程、薄膜トランジスタT3AのチャージによるノードN11の電圧の上昇が遅くなり、ノードN31がフローティング状態になった後にノードN11の電圧が上昇を開始し始める。この場合、ノードN11の電圧の上昇分が大きくなるので、ノードN11の電圧により押し上げられるノードN31の電圧の上昇分も大きくなる。これによりノードN31の電圧が上昇し、ゲートスタートパルス信号GSTのハイレベル（電源電圧VDD）に薄膜トランジスタT3Aの閾値電圧 V_{th} を加えた電圧以上になると、薄膜トランジスタT3Aの閾値電圧 V_{th} による電圧降下を生じることなく、ノードN11が薄膜トランジスタT3Aにより電源電圧VDDまでチャージされる。
- [0094] この後、クロック端子CKBに入力されるゲートクロック信号GCK2が

ハイレベルからローレベルに遷移すると、クロック端子CKBに電流路の一端が接続された薄膜トランジスタT8がオン状態になる。このため、薄膜トランジスタT8により、ノードN31はディスチャージされ、ノードN31の信号レベルがローレベルになる。ノードN31の信号レベルがローレベルになると、ノードN31にゲートが接続された薄膜トランジスタT3Aがオフする。このとき、ノードN11はフローティング状態となり、電源電圧VDDにチャージされた状態に維持されるので、ノードN11にゲートが接続された薄膜トランジスタT5はオン状態に維持される。

続いて、時刻t1にて、クロック端子CKに入力されるゲートクロック信号GCK1がハイレベルに遷移すると、このゲートクロック信号GCK1の信号レベル（ハイレベル）が薄膜トランジスタT5を通じて出力端子OUTに伝達され、出力信号OUT1としてハイレベルが出力される。その他の動作は、第1実施形態におけるシフトレジスタ1211と同様である。

[0095] 全オン動作については、図9Bに示すように、上述の第1実施形態と同様である。

即ち、全オン動作では、ゲート全オン制御信号GAONがハイレベルに設定される。また、図9Bに示すように、ゲートスタートパルス信号GSTはハイレベルに設定され、ゲートクロック信号GCK1、GCK2はローレベルに設定される。この場合、初段のシフトレジスタ単位回路121₁において、薄膜トランジスタT1がオフし、薄膜トランジスタT2がオンする。これにより、ノードN21が薄膜トランジスタT2によりプルダウンされ、その信号レベルがローレベルになる。この結果、ノードN21にゲートが接続された薄膜トランジスタT4、T6が共にオフする。

[0096] また、ローレベルに設定されたゲートクロック信号GCK2が入力されるクロック端子CKBが薄膜トランジスタT8を通じて薄膜トランジスタT3Aのゲートに与えられるので、薄膜トランジスタT3Aがオフする。このため、ハイレベルに設定された入力信号としてセット端子SETに入力されるゲートスタートパルス信号GSTはノードN11に伝達されない。この場合

、ノードN11とグランドノードとの間に接続された薄膜トランジスタT3Bがオンする。これにより、ノードN11がローレベルとなり、ノードN11にゲートが接続された薄膜トランジスタT5がオフする。

[0097] また、ハイレベルに設定されたゲート全オン制御信号GAONが与えられる全オン制御端子AONにゲートが接続された薄膜トランジスタT7がオンする。薄膜トランジスタT7がオンすると、薄膜トランジスタT7を通じて電源電圧VDDが出力端子に供給され、これにより出力端子OUTがハイレベルに設定される。ここで、出力端子OUTに接続された薄膜トランジスタT5、T6は共にオフ状態となるから、これら薄膜トランジスタT5、T6の影響を受けることなく、出力端子OUTは薄膜トランジスタT7によりハイレベルに設定される。これにより、初段のシフトレジスタ単位回路121₁は、ハイレベルの出力信号OUT1を出力する。2段目以降のシフトレジスタ単位回路121₂、121₃、…、121_nの出力信号OUT2、OUT3、…、OUTnも、初段のシフトレジスタ単位回路121₁の出力信号OUT1と同様にハイレベルに設定される。

以上により、本実施形態によるシフトレジスタ単位回路121₂から構成された走査線駆動回路120は、ゲート信号G1、G2、…、Gnとして、ハイレベルの出力信号OUT1、OUT2、…、OUTnを出力し、全オン動作が実施される。

[0098] 第2実施形態によれば、薄膜トランジスタT3Aのゲート電圧が、第1実施形態に比較して高くなる。これにより、薄膜トランジスタT3Aを通じて伝達される信号の波形歪を抑制することができる。従って、例えば、初期特性、温度特性、劣化等の影響を受けて薄膜トランジスタの閾値電圧V_{th}が上昇しても、シフトレジスタ内の信号の劣化を抑制することができ、シフトレジスタの動作マージンを改善することができる。

[0099] [第3実施形態]

次に、本発明の第3実施形態を説明する。

本実施形態でも、第1実施形態で用いた図1および図2を援用する。

第3実施形態による表示装置は、上述の第2実施形態において援用する図2に示すシフトレジスタ121を構成するシフトレジスタ単位回路121₁, 121₂, 121₃, ..., 121_n（即ち、図3に示すシフトレジスタ単位回路1211）に代えて、図10に示すシフトレジスタ単位回路1213を備える。その他の構成は第2実施形態と同様である。

[0100] 図10は、第3実施形態におけるシフトレジスタ単位回路1213の構成例を示す回路図である。シフトレジスタ単位回路1213は、図8に示す第2実施形態におけるシフトレジスタ単位回路1212の構成において、コンデンサC1, C2, C3を更に備える。

コンデンサC1は、薄膜トランジスタT5のドレインとゲートとの間に接続される。コンデンサC3は、薄膜トランジスタT3Aのドレインとゲートとの間に接続される。コンデンサC2は、薄膜トランジスタT4, T6の各ゲート等が接続されたノードN2とグランドノード（所定電位ノード）との間に接続される。その他の構成は第2実施形態におけるシフトレジスタ単位回路1212と同様である。

なお、コンデンサC1, C2, C3の全てを備える必要はなく、そのうちの任意の一つまたは二つを備えてもよい。

[0101] 基本的な動作は上述の第2実施形態におけるシフトレジスタ単位回路1212と同様であるが、本実施形態では、コンデンサC1により、通常動作における薄膜トランジスタT5のセルフブートストラップ効果を高めることができる。これにより、薄膜トランジスタT5がオンするときの薄膜トランジスタT5のゲート電圧を有効に高めることができる。

従って、薄膜トランジスタT5を通じてクロック端子CKから出力端子OUTに伝送される信号レベルを損なうことなく、その信号レベルを出力端子OUTに伝送することができる。

[0102] また、コンデンサC3により、薄膜トランジスタT3Aのブートストラップ効果を高めることができる。これにより、セット端子SETに与えられる入力信号がハイレベルに遷移して薄膜トランジスタT3Aがオンするときの

薄膜トランジスタT3Aのゲート電圧を有効に高めることができる。従って、薄膜トランジスタT3Aを通じてセット端子SETからノードN1に信号レベルを損なうことなく伝達することができる。

更に、コンデンサC2により、ノードN2の電圧の保持能力を高めることができる。これにより、ノードN1がチャージされている期間、薄膜トランジスタT4、T6を安定的にオフ状態に維持することができ、シフト動作を安定化させることができる。

[0103] 本実施形態によれば、第2実施形態に比較して、ブートストラップ効果によるノードN1またはノードN3の電圧の上昇分を改善することができるので、薄膜トランジスタT3A、T5を安定的にオン状態に制御することができる。従って、シフトレジスタの動作マージンを改善することが可能になる。

なお、全オン動作については、上述の第1および第2実施形態と同様である。

[0104] [第4実施形態]

次に、本発明の第4実施形態を説明する。

本実施形態でも、第1実施形態で用いた図1および図2を援用する。

第4実施形態による表示装置は、上述の第3実施形態において援用する図2に示すシフトレジスタ121を構成するシフトレジスタ単位回路121₁, 121₂, 121₃, ..., 121_n（即ち、図3に示すシフトレジスタ単位回路1211）に代えて、図11に示すシフトレジスタ単位回路1214を備える。その他の構成は第3実施形態と同様である。

[0105] 図11は、第4実施形態におけるシフトレジスタ単位回路1214の構成例を示す回路図である。シフトレジスタ単位回路1214は、図10に示す第3実施形態におけるシフトレジスタ単位回路1213の構成において、薄膜トランジスタT9を更に備える。薄膜トランジスタT9は、そのゲートが薄膜トランジスタT6のドレインに接続され、そのドレインが薄膜トランジスタT6のゲートに接続され、そのソースがグランドノード（所定電位ノード）

ド)に接続されている。即ち、薄膜トランジスタT6と薄膜トランジスタT9は、ゲートとドレインが交差結合されている。その他の構成は第3実施形態におけるシフトレジスタ単位回路1213と同様である。

[0106] 基本的な動作は上述の第3実施形態におけるシフトレジスタ単位回路1212と同様であるが、本実施形態では、前述の第2実施形態における図9Aに示す時刻t1から時刻t2の期間において、出力端子OUTの出力信号のハイレベルを安定的に維持することができる。このことについて、図9Aのタイムチャートを援用して説明する。通常動作において、時刻t0でゲートスタートパルス信号GSTとゲートクロック信号GCK2がハイレベルに遷移すると、前述したように、薄膜トランジスタT1、T2がオン状態になり、このうち、薄膜トランジスタT2によりノードN2がローレベルに駆動される。この後、ゲートスタートパルス信号GSTとゲートクロック信号GCK2がローレベルに遷移すると、薄膜トランジスタT1、T2はオフ状態になり、ノードN2はフローティング状態になる。これにより、ノードN2のそれまでの信号レベル（即ちローレベル）はノードN2に形成された容量（例えばコンデンサC2の容量等）により保持される。さらに、時刻t1でゲートクロック信号GCK1がハイレベルに遷移すると、前述したように薄膜トランジスタT5を通じて出力端子OUTにハイレベルが出力される。

[0107] ここで、時刻t1から薄膜トランジスタT5を通じて出力端子OUTにハイレベルが出力されている期間、薄膜トランジスタT6はオフ状態に維持されている必要がある。この点について、上述の第1から第3実施形態では、時刻t1で出力端子OUTの出力信号がハイレベルになる期間、薄膜トランジスタT6のゲートが接続されたノードN2はフローティング状態に維持されるので、薄膜トランジスタT6のゲートの信号レベルはノードN2に形成された容量によりローレベルに維持され、その信号レベルは不安定な状態にある。従って、例えばノイズやリーク経路の存在により、ノードN2の信号レベルが上昇すると、薄膜トランジスタT6がオン状態となって出力端子OUTの信号レベル（ハイレベル）を引き下げるおそれがある。

[0108] これに対し、第4実施形態では、上述のノイズやリーク経路の存在により出力端子OUTの信号レベルがハイレベルになると、薄膜トランジスタT9のゲートの信号レベルがハイレベルになる。このため、薄膜トランジスタT9がオン状態になり、薄膜トランジスタT6のゲートが接続されたノードN2をローレベル（接地電圧VSS）に駆動する。これにより、時刻t1から出力端子OUTの信号レベルがハイレベルになっている期間、薄膜トランジスタT6は薄膜トランジスタT9により強制的にオフ状態に維持される。従って、本実施形態によれば、通常動作において、出力信号をハイレベルに安定的に維持することができ、出力信号の信号レベルが低下することによる誤動作を防止することができる。

従って、シフトレジスタの動作マージンを改善することが可能になる。

なお、全オン動作については、上述の第1から第3実施形態と同様である。

[0109] [第5実施形態]

次に、本発明の第5実施形態を説明する。

本実施形態でも、第1実施形態で用いた図1および図2を援用する。

第5実施形態による表示装置は、上述の第4実施形態において援用する図2に示すシフトレジスタ121を構成するシフトレジスタ単位回路121₁, 121₂, 121₃, ..., 121_n（即ち、図3に示すシフトレジスタ単位回路1211）に代えて、図12に示すシフトレジスタ単位回路1215を備える。その他の構成は第4実施形態と同様である。

[0110] 図12は、第5実施形態におけるシフトレジスタ単位回路1215の構成例を示す回路図である。シフトレジスタ単位回路1215は、図11に示す第4実施形態におけるシフトレジスタ単位回路1214の構成において、薄膜トランジスタT10を更に備える。薄膜トランジスタT10は、そのソースが薄膜トランジスタT6および薄膜トランジスタT4の各ゲートが接続されるノードN2に接続され、そのゲートとドレインには初期化信号INITが印加される。即ち、薄膜トランジスタT10は、ダイオード接続され、そ

のアノードに相当するノードには初期化信号 $INIT$ が与えられ、そのカソードに相当するノードは、薄膜トランジスタ T_4 、 T_6 の各ゲートが接続されたノード N_2 に接続される。

その他の構成は第4実施形態におけるシフトレジスタ単位回路 1214 と同様である。

[0111] 初期化信号 $INIT$ は、電源投入時や、電源オフ時、または、シフトレジスタを一旦初期状態にする場合等に、例えば表示制御回路 140 によりアクティブ状態（ハイレベル）に設定される信号である。ただし、全オン動作では、初期化信号 $INIT$ は非アクティブ状態（ローレベル）に設定される。初期化信号 $INIT$ をアクティブ状態にすると、薄膜トランジスタ T_{10} のドレインとゲートの電圧が上昇し、薄膜トランジスタ T_{10} のソースには、そのドレイン電圧を閾値電圧 V_{th} 分だけ降下させた電圧が発生する。例えば、初期化信号 $INIT$ のハイレベルを電源電圧 V_{DD} とすれば、薄膜トランジスタ T_{10} のソースには、電源電圧 V_{DD} から薄膜トランジスタ T_{10} の閾値電圧 V_{th} を減じた電圧 ($V_{DD} - V_{th}$) が発生する。この薄膜トランジスタ T_{10} のソース電圧 ($V_{DD} - V_{th}$) がノード N_2 に与えられると、薄膜トランジスタ T_4 、 T_6 が強制的にオン状態とされる。このため、ノード N_1 が薄膜トランジスタ T_4 によりディスチャージされると共に、出力端子 OUT が薄膜トランジスタ T_6 によりプルダウンされる。この結果、シフトレジスタ単位回路 1215 の回路状態が初期化されると共に、出力信号の信号レベルがローレベルに初期化される。

[0112] 本実施形態によれば、初期化信号 $INIT$ をアクティブ状態に制御することにより、クロック端子 CK 、 CKB 、セット端子 SET 等に入力される信号とは関係なく、シフトレジスタの回路状態を構成的に初期化することができ、シフトレジスタを安定的に非アクティブ状態に制御すると共に出力信号をローレベルに設定することができる。

なお、本実施形態では、薄膜トランジスタ T_{10} をダイオード接続した構成としたが、薄膜トランジスタ T_{10} のドレインを電源電圧 V_{DD} に固定し

、そのゲートに初期化信号 I N I T を入力する構成としてもよい。

なお、全オン動作については、上述の第 1 から第 4 実施形態と同様である。

[0113] [第 6 実施形態]

次に、本発明の第 6 実施形態を説明する。

本実施形態でも、第 1 実施形態で用いた図 1 および図 2 を援用する。

第 6 実施形態による表示装置は、上述の第 5 実施形態において援用する図 2 に示すシフトレジスタ 1 2 1 を構成するシフトレジスタ単位回路 1 2 1₁, 1 2 1₂, 1 2 1₃, ..., 1 2 1_n (即ち、図 3 に示すシフトレジスタ単位回路 1 2 1 1) に代えて、図 1 3 に示すシフトレジスタ単位回路 1 2 1 6 を備える。その他の構成は第 5 実施形態と同様である。

[0114] 図 1 3 は、第 6 実施形態におけるシフトレジスタ単位回路 1 2 1 6 の構成例を示す回路図である。シフトレジスタ単位回路 1 2 1 6 は、図 1 2 に示す第 5 実施形態におけるシフトレジスタ単位回路 1 2 1 5 の構成において、薄膜トランジスタ T 1 1 を更に備える。薄膜トランジスタ T 1 1 は、その電流路が薄膜トランジスタ T 3 A のドレインと薄膜トランジスタ T 5 のゲートとの間に介挿されている。具体的には、薄膜トランジスタ T 1 1 の電流路を形成するソースおよびドレインの一方が薄膜トランジスタ T 3 A のソースに接続され、薄膜トランジスタ T 1 1 のソースおよびドレインの他方が薄膜トランジスタ T 5 のゲートに接続される。薄膜トランジスタ T 1 1 のゲートには、電源電圧 V D D (所定電位) が印加されている。本実施形態では、薄膜トランジスタ T 3 A のソースと、薄膜トランジスタ T 4 のドレインとの間の接続点はノード N 4 を形成し、薄膜トランジスタ T 1 1 の電流路と薄膜トランジスタ T 5 のゲートとの間の接続点はノード N 5 を形成している。その他の構成は第 5 実施形態におけるシフトレジスタ単位回路 1 2 1 5 と同様である。

[0115] 上述した第 5 実施形態におけるシフトレジスタ単位回路 1 2 1 5 によれば、コンデンサ C 1 によるブートストラップ効果によりノード N 1 の電圧が押

し上げられると、その電圧は電源電圧 VDD よりも高い高電圧 ($VDD + \alpha$) になる。このとき、コンデンサ $C3$ によるブートストラップ効果と相俟って、薄膜トランジスタ $T3A$ のゲートとドレインとの間、およびソースとドレインとの間には、高電圧 ($VDD + \alpha$) と接地電圧 VSS との差電圧が印加された状態となり、極めて高い電圧が印加された状態になる。薄膜トランジスタ $T4$ についても同様であり、薄膜トランジスタ $T4$ のゲートとドレインとの間、およびソースとドレインの間にも、高電圧 ($VDD + \alpha$) と接地電圧 VSS との差電圧が印加された状態となる。このような高電圧は、例えばトランジスタの劣化等の原因になり得る。第6実施形態では、次に説明するように、シフトレジスタ単位回路 1216 の動作において、第5実施形態における上述の高電圧の発生を薄膜トランジスタ $T11$ により防止している。

[0116] 本実施形態によるシフトレジスタ単位回路 1216 の動作を説明する。

図14A及び図14Bは、第6実施形態におけるシフトレジスタ単位回路 1216 を備えたシフトレジスタ 121 の動作例を示すタイムチャートであり、図14Aは通常動作時のタイムチャートであり、図14Bは全オン動作時のタイムチャートである。図14A及び図14Bにおいて、ゲートスタートパルス信号 GST 、ゲートクロック信号 $GCK1$ 、 $GCK2$ のハイレベルおよびローレベルは、それぞれ、シフトレジスタに供給される動作電源の電圧 VDD および接地電圧 VSS に相当する信号レベルである。また、通常動作では、ゲート全オン制御信号 $GAON$ はローレベルに設定される。また、図14A及び図14Bにおいて、 $N41$ 、 $N51$ は、初段のシフトレジスタ単位回路 121_1 のノード $N4$ 、 $N5$ を表し、 $N42$ 、 $N52$ は、2段目のシフトレジスタ単位回路 121_2 のノード $N4$ 、 $N5$ を表し、 $N4n$ 、 $N5n$ は、 n 段目のシフトレジスタ単位回路 121_n のノード $N4$ 、 $N5$ を表し、 $OUT1$ 、 $OUT2$ 、 $OUTn$ は、それぞれ、初段、2段目、 n 段目のシフトレジスタ単位回路の出力信号を表している。

なお、図中の“H”は、ハイレベルを示し、“L”は、ローレベルを示し

ている。

[0117] まず、図 1 4 A を参照して、シフトレジスタ 1 2 1 6 の通常動作を説明する。

シフトレジスタ単位回路 1 2 1 6 の基本的な動作は、上述の第 1 から第 5 実施形態の各シフトレジスタ単位回路 1 2 1 6 の通常動作と同等であるが、第 6 実施形態では、ノード N 4 をチャージして、出力信号としてハイレベルを出力するときの内部信号の振る舞いが上述の各実施形態と異なる。

[0118] 図 1 4 A に示すように、時刻 t_0 にて、初段のシフトレジスタ単位回路 1 2 1₁（即ち、初段のシフトレジスタ単位回路 1 2 1 6）のクロック端子 C K B に入力されるゲートクロック信号 G C K 2 がハイレベルに遷移すると、このゲートクロック信号 G C K 2 の信号レベルが薄膜トランジスタ T 8 を通じて薄膜トランジスタ T 3 A のゲートに伝達される。これにより、薄膜トランジスタ T 3 A のゲートと薄膜トランジスタ T 8 との間のノード N 3 1 がチャージされ、このノード N 3 1 の電圧が上昇を開始する。

[0119] ノード N 3 1 の電圧が上昇すると、薄膜トランジスタ T 3 A がオンする。ここで、薄膜トランジスタ T 3 A のドレインが接続されたセット端子 S E T には、ハイレベルに設定されたゲートスタートパルス信号 G S T が与えられているので、薄膜トランジスタ T 3 A がオンすると、そのソース電圧が、そのゲート電圧から閾値電圧 V_{th} 分だけ降下した電圧となる。このため、薄膜トランジスタ T 3 A のソースが接続されたノード N 4 1 が、薄膜トランジスタ T 3 A のゲートが接続されたノード N 3 1 に追従してチャージされ、ノード N 4 1 の電圧が上昇を開始する。

[0120] また、ノード N 3 1 の電圧が電源電圧 V D D から薄膜トランジスタ T 8 の閾値電圧 V_{th} だけ降下した電圧に達すると、薄膜トランジスタ T 8 がオフし、ノード N 3 1 はフローティング状態になる。その後、薄膜トランジスタ T 3 A によりノード N 4 1 がチャージされてノード N 4 1 の電圧が上昇する過程で、薄膜トランジスタ T 3 A のソース・ゲート間の結合容量（寄生容量）を通じて、ノード N 3 1 の電圧がノード N 4 1 の電圧により押し上げられ

る。

[0121] ノードN31の電圧が上昇し、電源電圧VDDに薄膜トランジスタT3Aの閾値電圧 V_{th} を加えた電圧以上になると、ノードN41は、薄膜トランジスタT3Aの閾値電圧 V_{th} による電圧降下を生じることなく、薄膜トランジスタT3Aにより電源電圧VDDまでチャージされる。ここで、薄膜トランジスタT11のゲートには電源電圧VDDが印加されており、薄膜トランジスタT11はオン状態にあるから、ノードN41がチャージされると、薄膜トランジスタT11を通じてノードN51もチャージされ、このノードN51の信号レベルが上昇する。このため、ノードN51にゲートが接続された薄膜トランジスタT5がオンする。

[0122] ただし、この時点では、クロック端子CKに接続された薄膜トランジスタT5のドレインに入力されるゲートクロック信号CK1の信号レベルはローレベルであるから、出力端子OUT1の出力信号の信号レベルはローレベルのままである。薄膜トランジスタT11を通じて、ノードN5が、電源電圧VDDから薄膜トランジスタT11の閾値電圧 V_{th} だけ降下した電圧にチャージされると、薄膜トランジスタT11がオフし、ノードN41とノードN51は電氣的に切り離される。

[0123] 続いて、時刻 t_1 にて、クロック端子CKに入力されるゲートクロック信号GCK1がハイレベルに遷移すると、このゲートクロック信号GCK1の信号レベル（ハイレベル）が薄膜トランジスタT5を通じて出力端子OUTに伝達され、出力信号OUT1としてハイレベルが出力される。このとき、コンデンサC1によるブートストラップ効果により、ノードN51の電圧が、出力端子OUTの出力信号の電圧により押し上げられて高電圧になる。これにより、クロック端子CKに入力されるゲートクロック信号GCK1のハイレベル（電源電圧VDD）が、薄膜トランジスタT5の閾値電圧 V_{th} による電圧降下を生じることなく、出力端子OUTに伝達される。

[0124] ここで、コンデンサC1によるブートストラップ効果によりノードN51の電圧が上昇しても、薄膜トランジスタT11がオフしているため、このコ

ンデンサC 1 によるブートストラップ効果によってノードN 4 1 の電圧が押し上げられることはなく、ノードN 4 1 の電圧は電源電圧VDDに維持される。このため、本実施形態によれば、薄膜トランジスタT 3 A, T 4 には電源電圧VDDと接地電圧VSSとの差電圧しか印加されず、高電圧が印加されない。

- [0125] また、ノードN 5 1 の電圧は、ノードN 4 1 の電圧から薄膜トランジスタT 1 1 の閾値電圧 V_{th} を減じた電圧にコンデンサC 1 による昇圧分に相当する電圧 α を加えた電圧($VDD - V_{th} + \alpha$)に留まる。このため、薄膜トランジスタT 1 1 には、ノードN 5 1 の電圧($VDD - V_{th} + \alpha$)とノードN 4 1 の電圧(VDD)との差電圧($\alpha - V_{th}$)しか印加されない。また、コンデンサC 1 によるブートストラップ効果による上昇分に相当する電圧 α は、クロック端子CKに入力されるゲートクロック信号GCK 1 の振幅($VDD - VSS$)よりも大きくなることはないので、薄膜トランジスタT 5 にも通常の駆動電圧以下の電圧しか印加されない。

その他の通常動作は、上述の各実施形態と同様である。

- [0126] 全オン動作については、図1 4 Bに示すように、上述の各実施形態と同様である。

即ち、全オン動作では、ゲート全オン制御信号GAONがハイレベルに設定される。また、図1 4 Bに示すように、ゲートスタートパルス信号GSTはハイレベルに設定され、ゲートクロック信号GCK 1, GCK 2はローレベルに設定される。この場合、初段のシフトレジスタ単位回路1 2 1₁において、薄膜トランジスタT 1 がオフし、薄膜トランジスタT 2 がオンする。これにより、ノードN 2 1 が薄膜トランジスタT 2 によりプルダウンされ、その信号レベルがローレベルになる。この結果、ノードN 2 1 にゲートが接続された薄膜トランジスタT 4, T 6 がオフする。

- [0127] また、ローレベルに設定されたゲートクロック信号GCK 2 が入力されるクロック端子CKBにゲートが接続された薄膜トランジスタT 3 Aがオフする。一方、ハイレベルのゲート全オン制御信号GAONが与えられた全オン

制御端子AONにゲートが接続された薄膜トランジスタT3Bがオン状態になり、ノードN11をプルダウンする。これにより、全オン動作において薄膜トランジスタT5はオフ状態に制御される。

[0128] また、ハイレベルに設定されたゲート全オン制御信号GAONが与えられる全オン制御端子AONにゲートが接続された薄膜トランジスタT7がオンする。薄膜トランジスタT7がオンすると、薄膜トランジスタT7を通じて電源電圧VDDが出力端子OUTに供給され、出力端子OUTがハイレベルに設定される。これにより、初段のシフトレジスタ単位回路121₁は、ハイレベルの出力信号OUT1を出力する。2段目以降のシフトレジスタ単位回路121₂, 121₃, ..., 121_nの出力信号OUT2, OUT3, ..., OUTnも、初段のシフトレジスタ単位回路121₁の出力信号OUT1と同様にハイレベルに設定される。

以上により、本実施形態によるシフトレジスタ単位回路1216から構成されたシフトレジスタ121は、ゲート信号G1, G2, ..., Gnとして、ハイレベルの出力信号OUT1, OUT2, ..., OUTnを出力し、全オン動作が実施される。

第6実施形態によれば、第5実施形態に比較して、各薄膜トランジスタに印加される電圧が緩和されるので、トランジスタの劣化等を抑制することができる。

[0129] [第7実施形態]

次に、本発明の第7実施形態を説明する。

本実施形態でも、第1実施形態で用いた図1および図2を援用する。

第7実施形態による表示装置は、上述の第6実施形態において援用する図2に示すシフトレジスタ121を構成するシフトレジスタ単位回路121₁, 121₂, 121₃, ..., 121_n（即ち、図3に示すシフトレジスタ単位回路1211）に代えて、図15に示すシフトレジスタ単位回路1217を備える。その他の構成は第6実施形態と同様である。

[0130] 図15は、第7実施形態におけるシフトレジスタ単位回路1217の構成

例を示す回路図である。シフトレジスタ単位回路 1 2 1 7 は、図 1 3 に示す第 6 実施形態におけるシフトレジスタ単位回路 1 2 1 6 の構成において、薄膜トランジスタ T 1 2 を更に備える。薄膜トランジスタ T 1 2 は、その電流路が、薄膜トランジスタ T 6 のゲートが接続されたノード N 2 とグランドノード（所定電位ノード）との間に接続されている。また、薄膜トランジスタ T 1 2 のゲートは全オン制御端子 A O N に接続され、そのゲートにはゲート全オン制御信号 G A O N が印加される。その他の構成は第 6 実施形態におけるシフトレジスタ単位回路 1 2 1 6 と同様である。

[0131] 次に、本実施形態におけるシフトレジスタ単位回路 1 2 1 7 の動作を説明する。

本実施形態において、通常動作は上述の第 6 実施形態と同様であるので、その説明は省略し、全オン動作について説明する。

全オン動作では、ゲート全オン制御信号 G A O N がハイレベルに設定される。また、ゲートクロック信号 G C K 1, G C K 2 はローレベルに設定される。ゲートスタートパルス信号 G S T はハイレベルであってもローレベルであってもよい。

[0132] セット端子 S E T に入力されるゲートスタートパルス信号 G S T がハイレベルである場合、上述の各実施形態と同様に、薄膜トランジスタ T 2 がオンとなり、この薄膜トランジスタ T 2 によりノード N 2 がディスチャージされる。この場合、全オン制御端子 A O N にゲートが接続された薄膜トランジスタ T 1 2 もオンするから、薄膜トランジスタ T 2 と共に、この薄膜トランジスタ T 1 2 を通じてノード N 2 がディスチャージされる。これにより、ノード N 2 にゲートが接続された薄膜トランジスタ T 4, T 6 が共にオフ状態に制御される。

[0133] また、クロック端子 C K B に入力されるゲートクロック信号 G C K 2 のローレベルは、薄膜トランジスタ T 8 を通じて薄膜トランジスタ T 3 A のゲートに与えられる。これにより、薄膜トランジスタ T 3 A がオフする。一方、薄膜トランジスタ T 3 B のゲートが接続された全オン制御端子 A O N にはハ

イレベルのゲート全オン制御信号 G_{AON} が与えられるので、薄膜トランジスタ T_{3B} がオンする。これにより、ノード N_4 が薄膜トランジスタ T_{3B} を通じてディスチャージされる。ディスチャージされたノード N_4 のローレベルは薄膜トランジスタ T_{11} を通じて薄膜トランジスタ T_5 のゲートに伝達され、これにより薄膜トランジスタ T_5 がオフする。この結果、出力端子 OUT に接続された薄膜トランジスタ T_5 、 T_6 の双方がオフする。

[0134] これに対し、ハイレベルに設定されたゲート全オン制御信号 G_{AON} が与えられる全オン制御端子 AON にゲートが接続された薄膜トランジスタ T_7 がオンする。薄膜トランジスタ T_7 がオンすると、薄膜トランジスタ T_7 を通じて電源電圧 V_{DD} が出力端子 OUT に供給され、出力端子 OUT がハイレベルに設定される。これにより、初段のシフトレジスタ単位回路 121_1 は、ハイレベルの出力信号 OUT_1 を出力する。2 段目以降のシフトレジスタ単位回路 121_2 、 121_3 、 $\dots$ 、 121_n の出力信号 OUT_2 、 OUT_3 、 $\dots$ 、 OUT_n も、初段のシフトレジスタ単位回路 121_1 の出力信号 OUT_1 と同様にハイレベルに設定される。これにより、ゲートスタートパルス信号 G_{ST} をハイレベルに設定した場合の全オン動作が実施される。

[0135] この結果、上述の各実施形態と同様に、ハイレベルに設定されたゲート全オン制御信号 G_{AON} が与えられる全オン制御端子 AON にゲートが接続された薄膜トランジスタ T_7 がオンすると、薄膜トランジスタ T_7 を通じて電源電圧 V_{DD} が出力端子 OUT に供給され、出力端子 OUT がハイレベルに設定される。これにより、初段のシフトレジスタ単位回路 121_1 は、ハイレベルの出力信号 OUT_1 を出力する。2 段目以降のシフトレジスタ単位回路 121_2 、 121_3 、 $\dots$ 、 121_n の出力信号 OUT_2 、 OUT_3 、 $\dots$ 、 OUT_n も、初段のシフトレジスタ単位回路 121_1 の出力信号 OUT_1 と同様にハイレベルに設定される。これにより、ゲートスタートパルス信号 G_{ST} をハイレベルに設定した場合の全オン動作が実施される。

[0136] 以上により、本実施形態によるシフトレジスタ単位回路 121_7 から構成されたシフトレジスタ 121 は、ゲート信号 G_1 、 G_2 、 $\dots$ 、 G_n としてハ

イレベルの出力信号OUT 1, OUT 2, ..., OUT nを出力し、全オン動作が実施される。

従って、第7実施形態によれば、セット端子SETに入力されるゲートスタートパルス信号GSTの信号レベルに関係なく、シフトレジスタを全オン動作させることができる。

[0137] [第8実施形態]

次に、本発明の第8実施形態を説明する。

本実施形態では、第1実施形態で用いた図1のみを援用する。

第8実施形態による表示装置は、上述の第7実施形態において援用する図2に示すシフトレジスタ121に代えて、図16に示すシフトレジ181を備える。その他の構成は、第1実施形態と同様である。

[0138] 図16は、第8実施形態におけるシフトレジスタ181の構成例を示す概略ブロック図である。図2に示すように、シフトレジスタ181は、複数の走査線GL 1, GL 2, GL 3, ..., GL nに対応した複数のシフトレジスタ単位回路181₁, 181₂, 181₃, ..., 181_nを備えている。これら複数のシフトレジスタ単位回路181₁, 181₂, 181₃, ..., 181_nは縦続接続されている。

[0139] 複数のシフトレジスタ単位回路181₁, 181₂, 181₃, ..., 181_nのそれぞれは、同様の構成を有しており、以下では、適宜、シフトレジスタ単位回路181₁, 181₂, 181₃, ..., 181_nのそれぞれを指すときは、「シフトレジスタ単位回路1811」と称する。シフトレジスタ単位回路1811は、クロック端子CK, CKB、2つのセット端子SET 1, SET 2、出力端子OUT、全オン制御端子AONを備えている。

[0140] 複数のシフトレジスタ単位回路181₁, 181₂, 181₃, ..., 181_nのうち、奇数段のシフトレジスタ単位回路のクロック端子CKにはゲートクロック信号GCK 1が入力され、クロック端子CKBにはゲートクロック信号GCK 2が入力される。逆に、偶数段のシフトレジスタ単位回路のクロック端子CKにはゲートクロック信号GCK 2が入力され、クロック端子CK

Bにはゲートクロック信号GCK1が入力される。複数のシフトレジスタ単位回路181₁, 181₂, 181₃, ..., 181_nの全オン制御端子AONにはゲート全オン制御信号GAONが入力される。

[0141] 複数のシフトレジスタ単位回路181₁, 181₂, 181₃, ..., 181_nのうち、初段のシフトレジスタ単位回路181₁のセット端子SET1にはゲートスタートパルス信号GSTが入力され、2段目以降のシフトレジスタ単位回路（即ち、2段目のシフトレジスタ単位回路からn段目のシフトレジスタ単位回路）のセット端子SET1には、それぞれ、前段のシフトレジスタ単位回路の出力信号が入力される。また、最終段のn段目のシフトレジスタ単位回路181_nのセット端子SET2にはゲートスタートパルス信号GSTが入力され、n-1段目以前のシフトレジスタ単位回路（即ち、初段のシフトレジスタ単位回路からn-1段目のシフトレジスタ単位回路）のセット端子SET2には、それぞれ、後段のシフトレジスタ単位回路の出力信号が入力される。例えば、シフトレジスタ単位回路181₂のセット端子SET1には、その前段のシフトレジスタ単位回路181₁の出力信号OUT1が入力され、シフトレジスタ単位回路181₂のセット端子SET2には、その後段のシフトレジスタ単位回路181₃の出力信号OUT3が入力される。

なお、図では省略されているが、複数のシフトレジスタ単位回路181₁, 181₂, 181₃, ..., 181_nのそれぞれには、走査方向（シフト方向）を切り替えるための後述の走査切替信号UD, UDBが入力される。

[0142] 図17は、第8実施形態におけるシフトレジスタ単位回路1811の構成例を示す回路図である。シフトレジスタ単位回路1811は、図15に示す第7実施形態におけるシフトレジスタ単位回路1217の構成において、選択回路SELを更に備える。その他の構成は、第7実施形態のシフトレジスタ単位回路1217と同様である。選択回路SELは、走査切替信号UD, UDBに基づいて、セット端子SET1に入力される前段のシフトレジスタ単位回路の出力信号（またはゲートスタートパルス信号GST）とセット端子SET2に入力される後段のシフトレジスタ単位回路の出力信号（または

ゲートスタートパルス信号G S T) とのうちの何れかを選択して入力信号として取り込むものである。

[0143] 例えば、2段目のシフトレジスタ単位回路181₂に備えられた選択回路S E Lは、初段のシフトレジスタ単位回路181₁の出力信号O U T 1と、3段目のシフトレジスタ単位回路181₃の出力信号O U T 3とのうちの何れかの出力信号を選択する。選択回路S E Lは、選択した出力信号を薄膜トランジスタT 2のゲートに供給すると共に、上述の第7実施形態においてセット端子S E Tに接続される薄膜トランジスタT 3 Aのドレインに供給する。

[0144] 本実施形態では、選択回路S E Lは、走査切替信号U D, U D Bに基づいて走査方向を切り替えるための走査切替回路として機能する。ここで、走査方向とは、図16に示す複数のシフトレジスタ単位回路181₁, 181₂, 181₃, ..., 181_nの出力信号O U T 1, O U T 2, O U T 3, ..., O U T nの出力順を指し、初段のシフトレジスタ単位回路181₁から最終段であるn段目のシフトレジスタ単位回路181_nに向かう昇順の走査方向で出力信号O U T 1, O U T 2, O U T 3, ..., O U T nが出力される場合の走査を順走査と称し、逆に、最終段であるシフトレジスタ単位回路181_nから初段のシフトレジスタ単位回路181₁に向かう降順の走査方向で出力信号O U T 1, O U T 2, O U T 3, ..., O U T nが出力される場合の走査を逆走査と称する。

[0145] 図18A～図18Cは、第8実施形態におけるシフトレジスタ単位回路の詳細例を示す回路図であり、選択回路S E Lの構成例を示す。図18Aに示す選択回路(走査切替回路)は、薄膜トランジスタT 8 1, T 8 2, T 8 3, T 8 4, T 8 5, T 8 6, T 8 7, T 8 8を備えている。ここで、薄膜トランジスタT 8 1のドレインには、走査切替信号U Dが供給され、そのゲートには走査切替信号U Dの反転信号である走査切替信号U D Bが供給される。薄膜トランジスタT 8 1のソースは薄膜トランジスタT 8 2のドレインに接続され、薄膜トランジスタT 8 2のゲートには電源電圧V D Dが供給される。薄膜トランジスタT 8 3のドレインには走査切替信号U Dが供給され、

そのゲートはドレインに接続され、そのソースは、上述の薄膜トランジスタ T 8 2 のソースと共に薄膜トランジスタ T 8 4 のゲートに接続される。即ち、薄膜トランジスタ T 8 3 はダイオード接続され、そのアノードに相当するノードには走査切替信号 U D が供給され、そのカソードに相当するノードは薄膜トランジスタ T 8 4 のゲートに接続される。薄膜トランジスタ T 8 4 の電流路の一端はセット端子 S E T 1 に接続され、その電流路の他端は出力端子 S O に接続される。

[0146] また、薄膜トランジスタ T 8 5 のソースには、走査切替信号 U D B が供給され、そのゲートには走査切替信号 U D が供給される。薄膜トランジスタ T 8 5 のドレインは薄膜トランジスタ T 8 6 のソースに接続され、薄膜トランジスタ T 8 6 のゲートには電源電圧 V D D が供給される。薄膜トランジスタ T 8 7 のソースには走査切替信号 U D B が供給され、そのゲートはソースに接続され、そのドレインは、上述の薄膜トランジスタ T 8 6 のドレインと共に薄膜トランジスタ T 8 8 のゲートに接続される。即ち、薄膜トランジスタ T 8 7 はダイオード接続され、そのアノードに相当するノードには走査切替信号 U D B が供給され、そのカソードに相当するノードは薄膜トランジスタ T 8 8 のゲートに接続される。

薄膜トランジスタ T 8 8 の電流路の一端はセット端子 S E T 2 に接続され、その電流路の他端は出力端子 S O に接続される。

[0147] 図 1 8 B に示す選択回路は、上述の図 1 8 A の構成において、薄膜トランジスタ T 8 1, T 8 3, T 8 5, T 8 7 を省略し、薄膜トランジスタ T 8 2 のドレインに走査切替信号 U D を供給し、薄膜トランジスタ T 8 6 のソースに走査切替信号 U D B を供給するように構成される。

図 1 8 C に示す選択回路は、上述の図 1 8 A の構成において、薄膜トランジスタ T 8 1, T 8 2, T 8 3, T 8 5, T 8 6, T 8 7 を省略し、薄膜トランジスタ T 8 4 のゲートに走査切替信号 U D を供給し、薄膜トランジスタ T 8 8 のゲートに走査切替信号 U D B を供給するように構成される。

[0148] 次に、本実施形態の動作を説明する。

先に選択回路SELの基本的動作を説明した後、この選択回路SELを備えた図16に示すシフトレジスタ単位回路181の動作を説明する。

[0149] <選択回路SELの動作>

まず、図18Aに示す選択回路の動作を説明する。

順走査を行う場合、走査切替信号UDはハイレベルに設定され、その反転信号である走査切替信号UDBはローレベルに設定される。この場合、ローレベルの走査切替信号UDBが与えられる薄膜トランジスタT81はオフ状態となり、ハイレベルの走査切替信号UDがドレインに与えられる薄膜トランジスタT83を通じて、薄膜トランジスタT84のゲートが、走査切替信号UDのハイレベルに相当する電源電圧VDDから薄膜トランジスタT83の閾値電圧 V_{th} 分だけ降下した電圧($VDD - V_{th}$)にチャージされる。従って、薄膜トランジスタT84がオン状態とされる。

[0150] 一方、ハイレベルの走査切替信号UDがゲートに与えられる薄膜トランジスタT85はオン状態となる。また、電源電圧VDDがゲートに与えられる薄膜トランジスタT86もオン状態にある。このため、薄膜トランジスタT88のゲートは薄膜トランジスタT85と薄膜トランジスタT86を通じてディスチャージされ、薄膜トランジスタT88のゲートにローレベルが印加される。従って、薄膜トランジスタT88がオフ状態とされる。この場合、薄膜トランジスタT87は、ソースとゲートにローレベルの走査切替信号UDBが供給されるので、オフ状態となる。

[0151] 上述のように薄膜トランジスタT84がオン状態になり、薄膜トランジスタT88がオフ状態になると、セット端子SET1が出力端子SOと電氣的に接続され、セット端子SET2は出力端子SOから電氣的に切り離された状態になる。このため、セット端子SET1に入力される信号が選択されて出力端子SOから出力される。このとき、薄膜トランジスタT84のゲートとチャネルとの間の容量成分によるブートストラップ効果により、薄膜トランジスタT84のゲート電圧が、セット端子SET1に入力される信号の信号レベルによって押し上げられる。このため、セット端子SET1に入力さ

れる信号は、薄膜トランジスタT84の閾値電圧 V_{th} による電圧降下を生じることなく出力端子SOに伝達される。

[0152] この場合、セット端子SET1には、前段のシフトレジスタ単位回路の出力信号が入力されるので、図16に示す複数のシフトレジスタ単位回路 $181_1, 181_2, 181_3, \dots, 181_n$ は、上述の各実施形態と同様に、出力信号OUT1, OUT2, OUT3, ..., OUTnを昇順で出力し、順走査が実施されることになる。

[0153] 次に、逆走査を行う場合、走査切替信号UDはローレベルに設定され、走査切替信号UDBはハイレベルに設定される。この場合、ハイレベルの走査切替信号UDBがゲートに与えられる薄膜トランジスタT81はオン状態となる。また、電源電圧VDDがゲートに与えられる薄膜トランジスタT82もオン状態にある。このため、薄膜トランジスタT84のゲートは薄膜トランジスタT81と薄膜トランジスタT82を通じてディスチャージされ、薄膜トランジスタT84のゲートにローレベルが印加される。従って、薄膜トランジスタT84がオフ状態とされる。この場合、薄膜トランジスタT83は、ソースとゲートにローレベルの走査切替信号UDBが供給されるので、オフ状態となる。

[0154] 一方、ローレベルの走査切替信号UDがゲートに与えられる薄膜トランジスタT85はオフ状態となり、ハイレベルの走査切替信号UDBがドレインに与えられる薄膜トランジスタT87を通じて、薄膜トランジスタT88のゲートが、走査切替信号UDBのハイレベルに相当する電源電圧VDDから薄膜トランジスタT87の閾値電圧 V_{th} 分だけ降下した電圧($VDD - V_{th}$)にチャージされる。従って、薄膜トランジスタT88がオン状態とされる。

[0155] 上述のように薄膜トランジスタT84がオフ状態になり、薄膜トランジスタT88がオン状態になると、セット端子SET2が出力端子SOと電氣的に接続され、セット端子SET1は出力端子SOから電氣的に切り離された状態になる。このため、セット端子SET2に入力される信号が選択されて

出力端子S Oから出力される。このとき、薄膜トランジスタT 8 8のゲートとチャネルとの間の容量成分によるブートストラップ効果により、薄膜トランジスタT 8 8のゲート電圧が、セット端子S E T 2に入力される信号の信号レベルによって押し上げられる。このため、セット端子S E T 2に入力される信号は、薄膜トランジスタT 8 8の閾値電圧 V_{th} による電圧降下を生じることなく出力端子S Oに伝達される。

[0156] この場合、セット端子S E T 2には、後段のシフトレジスタ単位回路の出力信号が入力されるので、図1 6に示す複数のシフトレジスタ単位回路1 8 1₁, 1 8 1₂, 1 8 1₃, ..., 1 8 1_nは、上述の各実施形態とは逆に、出力信号O U T 1, O U T 2, O U T 3, ..., O U T nを降順で出力し、逆走査が実施されることになる。

[0157] 上述したように、図1 8 Aに示す選択回路の構成によれば、薄膜トランジスタT 8 4, T 8 8の閾値電圧 V_{th} による電圧降下を生じることなく、セット端子S E T 1またはセット端子S E T 2から出力端子S Oに信号を伝送することができる。従って、シフトレジスタ単位回路の動作マージンを確保しながら、走査方向の切り替えを実施することができる。

[0158] また、図1 8 Aに示す選択回路の構成によれば、薄膜トランジスタT 8 4, T 8 8のゲート電圧がブートストラップ効果で上昇すると、薄膜トランジスタT 8 2, T 8 6がオフ状態になるので、ゲートにローレベルが印加されている薄膜トランジスタT 8 1, T 8 5のソースには、上述のブートストラップ効果で生じた高電圧が印加されない。従って、各薄膜トランジスタの劣化を抑制することができる。

[0159] 次に、図1 8 Bに示す選択回路の動作を説明する。

順走査を行う場合、走査切替信号U Dはハイレベルに設定され、走査切替信号U D Bはローレベルに設定される。この場合、ハイレベルの走査切替信号U Dは、薄膜トランジスタT 8 2を通じて薄膜トランジスタT 8 4のゲートに伝達される。このとき、薄膜トランジスタT 8 4のゲートは、走査切替信号U Dのハイレベルに相当する電源電圧V D Dから薄膜トランジスタT 8

2の閾値電圧 V_{th} 分だけ降下した電圧($V_{DD}-V_{th}$)にチャージされる。これにより、薄膜トランジスタT84がオン状態とされる。一方、ローレベルの走査切替信号UDBは、薄膜トランジスタT86を通じて薄膜トランジスタT88のゲートに伝達される。このとき、薄膜トランジスタT84のゲートは、走査切替信号UDのローレベルに相当する接地電圧 V_{SS} にディスチャージされる。これにより、薄膜トランジスタT88がオフ状態とされる。

[0160] 従って、上述の図18Aに示す選択回路と同様に、セット端子SET1が出力端子SOと電氣的に接続されるため、セット端子SET1に入力される信号が選択されて出力端子SOから出力される。また、薄膜トランジスタT84のゲートとチャネルとの間の容量成分によるブートストラップ効果により、セット端子SET1に入力される信号は、薄膜トランジスタT84の閾値電圧 V_{th} による電圧降下を生じることなく出力端子SOに伝達される。

逆走査を行う場合についても順走査の場合と同様に説明されるが、この場合、薄膜トランジスタT88がオン状態となり、セット端子SET2に入力される信号が選択されて出力端子SOから出力される。

[0161] 次に、図18Cに示す選択回路の動作を説明する。

順走査を行う場合、走査切替信号UDはハイレベルに設定され、走査切替信号UDBはローレベルに設定される。この場合、ハイレベルの走査切替信号UDは、薄膜トランジスタT84のゲートに伝達される。これにより、薄膜トランジスタT84がオン状態とされる。一方、ローレベルの走査切替信号UDBは、薄膜トランジスタT88のゲートに伝達される。これにより、薄膜トランジスタT88がオフ状態とされる。

[0162] 従って、上述の図18Aおよび図18Bにそれぞれ示す選択回路と同様に、セット端子SET1が出力端子SOと電氣的に接続されるため、セット端子SET1に入力される信号が選択されて出力端子SOから出力される。ただし、図18Cの選択回路によれば、薄膜トランジスタT84のゲートとチャネルとの間の容量成分によるブートストラップ効果を得ることはできない。

ので、セット端子SET1に入力される信号の信号レベルは、薄膜トランジスタT84の閾値電圧 V_{th} 分だけ降下されて出力端子SOに伝達されることになる。

逆走査を行う場合についても順走査の場合と同様に説明されるが、この場合、薄膜トランジスタT88がオン状態となり、セット端子SET2に入力される信号が選択されて出力端子SOから出力される。

[0163] 次に、図19A～図19Cを参照して、上述の選択回路SELを備えたシフトレジスタ単位回路1811の動作を説明する。

図19A～図19Cは、第8実施形態におけるシフトレジスタの動作例を示すタイムチャートであり、図19Aは順走査時のタイムチャートであり、図19Bは逆走査時のタイムチャートである。図19A～図19Cにおいて、ゲートスタートパルス信号GST、ゲートクロック信号GCK1, GCK2のハイレベルおよびローレベルは、それぞれ、シフトレジスタに供給される動作電源の電圧VDDおよび接地電圧VSSに相当する信号レベルである。また、通常動作では、ゲート全オン制御信号GAONはローレベルに設定される。また、図19A～図19Cにおいて、OUT1、OUT2、OUT $n-1$ 、OUT n は、それぞれ、初段、2段目、 $n-1$ 段目、 n 段目のシフトレジスタ単位回路1811の出力信号を表している。

なお、図中の“H”は、ハイレベルを示し、“L”は、ローレベルを示している。

[0164] <順走査時の動作>

順走査を行う場合、走査切替信号UDはハイレベルに設定され、その反転信号である走査切替信号UDBはローレベルに設定される。この場合、上述したように、選択回路SELにより、セット端子SET1に入力される信号が選択される。従って、初段のシフトレジスタ単位回路181₁には、セット端子SET1に入力されるゲートスタートパルス信号GSTが取り込まれ、2段目以降のシフトレジスタ単位回路181₂, 181₃, ..., 181 _{n} のセット端子SET1には、前段のシフトレジスタ単位回路の出力信号が取り込ま

れる。従ってこの場合、図19Aに示すように、前述した各実施形態と同様に、ゲートクロック信号GCK1, GCK2に同期して、シフトレジスタ単位回路181₁, 181₂, 181₃, ..., 181_nの出力信号OUT1, OUT2, OUT3, ..., OUTnが昇順で出力される。

[0165] <逆走査時の動作>

逆走査を行う場合、走査切替信号UDはローレベルに設定され、その反転信号である走査切替信号UDBはハイレベルに設定される。この場合、上述したように、選択回路SELにより、セット端子SET2に入力される信号が選択される。従って、最終段のn段目のシフトレジスタ単位回路181₁には、セット端子SET2に入力されるゲートスタートパルス信号GSTが取り込まれ、初段からn-1段目のフトレジスタ単位回路181₁, 181₂, ..., 181_{n-1}のセット端子SET2には、後段のシフトレジスタ単位回路の出力信号が取り込まれる。この場合、シフトレジスタ単位回路181₁, 181₂, 181₃, ..., 181_nは、それぞれ、上述の順走査におけるシフトレジスタ単位回路181_n, 181_{n-1}, ..., 181₂, 181₁に対応する動作を行う。従ってこの場合、図19Bに示すように、順走査とは逆に、ゲートクロック信号GCK1, GCK2に同期して、シフトレジスタ単位回路181₁, 181₂, 181₃, ..., 181_nの出力信号OUT1, OUT2, OUT3, ..., OUTnが降順で出力される。

[0166] <全オン動作>

全オン動作は、上述した第7実施形態と同様である。即ち、この場合、ゲート全オン制御信号GAONがハイレベルになると、セット端子SET1, SET2に入力されるゲートスタートパルス信号GSTの信号レベルに関係なく、即ち、選択回路SELの選択状態とは関係なく、図19Cに示すように、出力信号OUT1, OUT2, OUT3, ..., OUTnの全てがハイレベルに設定される。これにより、シフトレジスタが全オン動作を実施する。

以上、第8実施形態によれば、動作マージンを確保しながら、走査方向を切り替えることができる。

[0167] [第9実施形態]

次に、本発明の第9実施形態を説明する。

本実施形態でも、第1実施形態で用いた図1および図2を援用する。

第9実施形態による表示装置は、上述の第1実施形態において、図2に示すシフトレジスタ121を構成するシフトレジスタ単位回路121₁, 121₂, 121₃, ..., 121_n（即ち、図3に示すシフトレジスタ単位回路121₁）に代えて、図20に示すシフトレジスタ単位回路1219を備える。その他の構成は第1実施形態と同様である。

[0168] 図20は、第9実施形態におけるシフトレジスタ単位回路1219の構成例を示す回路図である。シフトレジスタ単位回路1219は、前述の第1実施形態における図3に示すシフトレジスタ単位回路121₁の構成において、*n*チャネル型電界効果トランジスタである薄膜トランジスタT1, T2, T3A, T3B, T4, T5, T6, T7を、それぞれ、*p*チャネル型電界効果トランジスタである薄膜トランジスタTP1, TP2, TP3A, TP3B, TP4, TP5, TP6, TP7に置き換えると共に、電源電圧VDDと接地電圧VSSとを入れ替えて構成される。本実施形態では、薄膜トランジスタTP3Aのソースと薄膜トランジスタTP4のドレインとの間の接続点はノードNP1を形成し、抵抗R1と薄膜トランジスタTP2のドレインとの間の接続点はノードNP2を形成する。また、本実施形態では、セット端子SET、クロック端子CK, CKB、全オン制御端子AONの各端子に入力される信号は、前述の第1実施形態における各端子に入力される信号を反転させたものになる。

[0169] 図21A及び図21Bは、第9実施形態におけるシフトレジスタの動作例を示すタイムチャートであり、図21Aは通常動作時のタイムチャートであり、図21Bは全オン動作時のタイムチャートである。図21A及び図21Bにおいて、ゲートスタートパルス信号GST、ゲートクロック信号GCK1, GCK2のハイレベルおよびローレベルは、それぞれ、シフトレジスタに供給される動作電源の電圧VDDおよび接地電圧VSSに相当する信号レ

ベルである。また、本実施形態の場合、通常動作では、ゲート全オン制御信号 $G A O N$ はハイレベルに設定される。逆に、全オン動作では、ゲート全オン制御信号 $G A O N$ はローレベルに設定される。また、図 2 1 A 及び図 2 1 B において、 $N P 1 1$ 、 $N P 2 1$ は、初段のシフトレジスタ単位回路 $1 2 1_1$ のノード $N P 1$ 、 $N P 2$ を表し、 $N P 1 2$ 、 $N P 2 2$ は、2 段目のシフトレジスタ単位回路 $1 2 1_2$ のノード $N P 1$ 、 $N P 2$ を表し、 $N P 1 n$ 、 $N P 2 n$ は、 n 段目のシフトレジスタ単位回路 $1 2 1_n$ のノード $N P 1$ 、 $N P 2$ を表し、 $O U T P 1$ 、 $O U T P 2$ 、 $O U T P n$ は、初段、2 段目、 n 段目のシフトレジスタ単位回路 $1 2 1_9$ の出力信号を表している。

なお、図中の“H”は、ハイレベルを示し、“L”は、ローレベルを示している。

[0170] シフトレジスタ単位回路 $1 2 1_9$ の動作は、基本的には、前述の第 1 実施形態におけるシフトレジスタ単位回路 $1 2 1_1$ の動作において各信号レベルを反転させれば、第 1 実施形態と同様に説明される。ただし、本実施形態では、図 2 1 A に示すように、複数のシフトレジスタ単位回路 $1 2 1_1$ 、 $1 2 1_2$ 、 $1 2 1_3$ 、 $\dots$ 、 $1 2 1_n$ の各出力信号 $O U T P 1$ 、 $O U T P 2$ 、 $O U T P 3$ 、 $\dots$ 、 $O U T P n$ は、通常動作では、ローレベルのパルス信号となり、全オン動作ではローレベルに維持される。

[0171] ここで、画素部 $P I X$ の画素用薄膜トランジスタ $T C$ として p チャネル型電界効果トランジスタを用いれば、全オン動作において、複数のシフトレジスタ単位回路 $1 2 1_1$ 、 $1 2 1_2$ 、 $1 2 1_3$ 、 $\dots$ 、 $1 2 1_n$ の各出力信号 $O U T P 1$ 、 $O U T P 2$ 、 $O U T P 3$ 、 $\dots$ 、 $O U T P n$ がローレベルとなることにより、全ての画素部 $P I X$ の画素用薄膜トランジスタ $T C$ を導通させることができる。また、第 1 実施形態と同様に、画素部 $P I X$ の画素用薄膜トランジスタ $T C$ として n チャネル型電界効果トランジスタを用いた場合、全オン動作において、全ての画素部 $P I X$ の画素用薄膜トランジスタ $T C$ を導通させるためには、走査線 $G L 1$ 、 $G L 2$ 、 $\dots$ 、 $G L n$ 上のゲート信号 $G 1$ 、 $G 2$ 、 $\dots$ 、 $G n$ をハイレベルに設定する必要がある。従ってこの場合、例えば

、シフトレジスタ単位回路 1 2 1 9 の出力信号 O U T P 1 , O U T P 2 , O U T P 3 , … , O U T P n の信号レベルを反転させるためのインバータ回路を設ければよい。

[0172] 本実施形態によれば、シフトレジスタ単位回路 1 2 1 9 を構成する薄膜トランジスタとして p チャネル電界効果トランジスタを用いたので、例えば、画素部 P I X の画素用薄膜トランジスタ T C として p チャネル型電界効果トランジスタを用いた場合に、トランジスタ数を増加させることなく、通常動作と全オン動作が可能なシフトレジスタを構成することができる。

なお、本実施形態では、前述の第 1 実施形態におけるシフトレジスタ単位回路 1 2 1 1 の各薄膜トランジスタを p チャネル型電界効果トランジスタに置き換えてシフトレジスタ単位回路 1 2 1 9 を構成したが、第 2 実施形態から第 8 実施形態における各シフトレジスタ単位回路についても同様に各薄膜トランジスタを p チャネル型電界効果トランジスタに置き換えることが可能である。

[0173] 以上、本発明の実施形態を説明したが、上述した第 1 から第 9 実施形態の各実施形態固有の特徴部分は、任意に組み合わせることができ、上述の変形例においても同様である。

また、本発明は、上述の実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で、種々の変形、変更、置換が可能である。

例えば、上述の各実施形態において、個々の薄膜トランジスタは、ゲートを共通にして、電流路（ソース・ドレイン）が直列または並列に接続された複数の薄膜トランジスタとして備えられてもよい。

産業上の利用可能性

[0174] 本発明の一態様は、トランジスタ数を低減できるシフトレジスタおよび表示装置などに適用することができる。

符号の説明

[0175] 1 0 0 表示装置

1 1 0 表示部

1 2 0 走査線駆動回路（ゲートドライバ）
1 2 1 シフトレジスタ
1 2 1₁～1 2 1_n, 1 2 1 1 シフトレジスタ単位回路
1 3 0 信号線駆動回路（ソースドライバ）
1 3 1 シフトレジスタ
1 4 0 表示制御回路
1 5 0 電源回路
1 2 0 走査線駆動回路
1 2 1 シフトレジスタ
1 3 0 信号線駆動回路
1 3 1 シフトレジスタ
1 4 0 表示制御回路
1 8 1₁～1 8 1_n シフトレジスタ単位回路
1 2 1 1 シフトレジスタ単位回路
1 2 1 1 A 設定部
1 2 1 1 B 第1出力制御部
1 2 1 1 C 第2出力制御部
C 1, C 2, C 3 コンデンサ
C S 画素容量部
G L 1～G L n 走査線
P I X 画素部
R 1 抵抗
S E L 選択回路
S L 1～S L m 信号線
T 1, T 2, T 3 A, T 3 B, T 4～T 1 2, T 8 1～T 8 8 薄膜トランジスタ
T c o m 対向電極
T P 1～T P 7 薄膜トランジスタ

T S 1 ~ T S m 信号線選択用薄膜トランジスタ

請求の範囲

[請求項1]

複数の単位回路を従属接続してなるシフトレジスタであって、
前記単位回路は、

第1クロック信号が与えられるクロック端子と出力端子との間に電流路が接続された第1出力トランジスタと、

前記出力端子と所定電位ノードとの間に電流路が接続された第2出力トランジスタと、

前記複数の単位回路の出力信号の信号レベルを所定の信号レベルに設定するための制御信号がアクティブである場合、前記出力端子の信号レベルを前記所定の信号レベルに設定する設定部と、

前記制御信号がアクティブである場合、前記制御信号に応答して前記第1出力トランジスタをオフさせ、前記制御信号が非アクティブである場合、前記第1クロック信号に続く第2クロック信号、または前記第1クロック信号に同期した信号に応答して入力信号を前記第1出力トランジスタの制御電極に供給して前記第1出力トランジスタをオンさせる第1出力制御部と、

前記制御信号がアクティブである場合、前記第2出力トランジスタをオフさせ、前記制御信号が非アクティブである場合、前記第1クロック信号に続く第2クロック信号、または前記第1クロック信号に同期した信号に応答して前記第1出力トランジスタをオフさせると共に前記第2出力トランジスタをオンさせる第2出力制御部と、

を備えたシフトレジスタ。

[請求項2]

前記第1出力制御部は、

前記入力信号が与えられる入力端子と前記第1出力トランジスタの制御電極との間に電流路が接続され、前記第1クロック信号に続く第2クロック信号、または前記第1クロック信号に同期した信号が与えられるクロック端子にゲートが接続された第1電界効果トランジスタと、

前記第 1 電界効果トランジスタのソースと前記所定電位ノードとの間に電流路が接続され、ゲートに前記制御信号が与えられる第 2 電界効果トランジスタと、

を備えた、請求項 1 に記載のシフトレジスタ。

[請求項3]

前記第 1 出力制御部は、

前記第 1 クロック信号に続く第 2 クロック信号、または前記第 1 クロック信号に同期した信号が与えられるクロック端子と前記第 1 出力制御部が備える前記第 1 電界効果トランジスタのゲートとの間に電流路が介挿され、ゲートに所定電位が与えられた第 3 電界効果トランジスタを更に備えた、請求項 2 に記載のシフトレジスタ。

[請求項4]

前記第 1 出力トランジスタは電界効果トランジスタであり、

前記第 1 出力トランジスタのドレインとゲートとの間に接続された第 1 コンデンサと、

前記第 1 電界効果トランジスタのドレインとゲートとの間に接続された第 2 コンデンサと、

を更に備えた、請求項 3 に記載のシフトレジスタ。

[請求項5]

前記第 2 出力トランジスタは電界効果トランジスタであり、

前記第 2 出力トランジスタのドレインにゲートが接続され、前記第 2 出力トランジスタのゲートにドレインが接続された第 4 電界効果トランジスタを更に備えた、請求項 4 に記載のシフトレジスタ。

[請求項6]

前記第 2 出力トランジスタのゲートにソースが接続され、ゲートとドレインに初期化信号が印加された第 5 電界効果トランジスタを更に備えた、請求項 5 に記載のシフトレジスタ。

[請求項7]

前記第 1 電界効果トランジスタのソースと前記第 1 出力トランジスタのゲートとの間に電流路が介挿され、ゲートに所定電位が与えられた第 6 電界効果トランジスタを更に備えた、請求項 6 に記載のシフトレジスタ。

[請求項8]

前記第 2 出力トランジスタのゲートと前記所定電位ノードとの間に

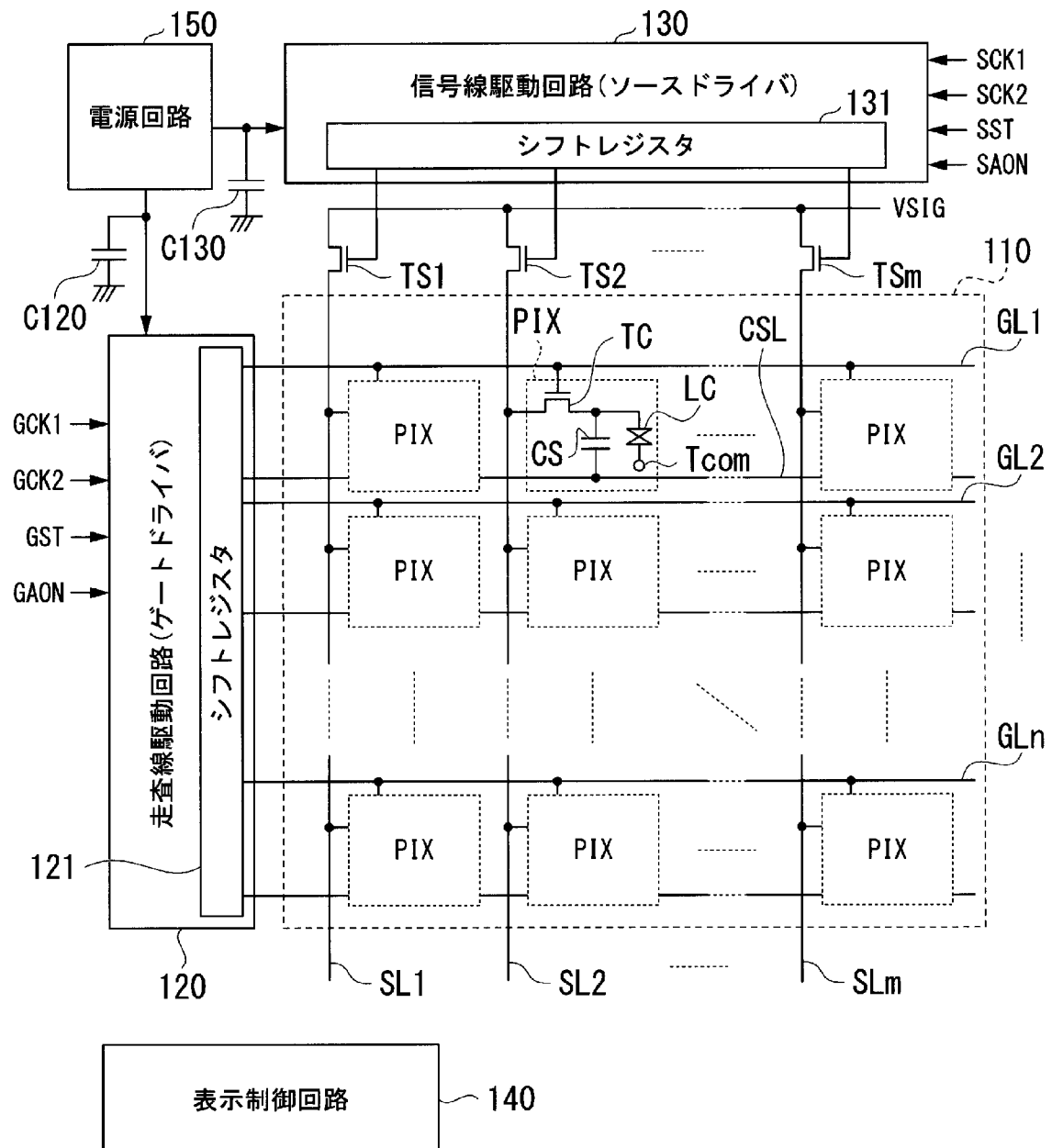
電流路が接続され、ゲートに前記制御信号が与えられる第7電界効果トランジスタを更に備えた、請求項7に記載のシフトレジスタ。

[請求項9] 前記複数の単位回路のそれぞれは、
前段の単位回路の出力信号と後段の単位回路の出力信号とのうちの何れかを選択して前記入力信号として取り込む選択回路を更に備えた、請求項1から8の何れか1項に記載のシフトレジスタ。

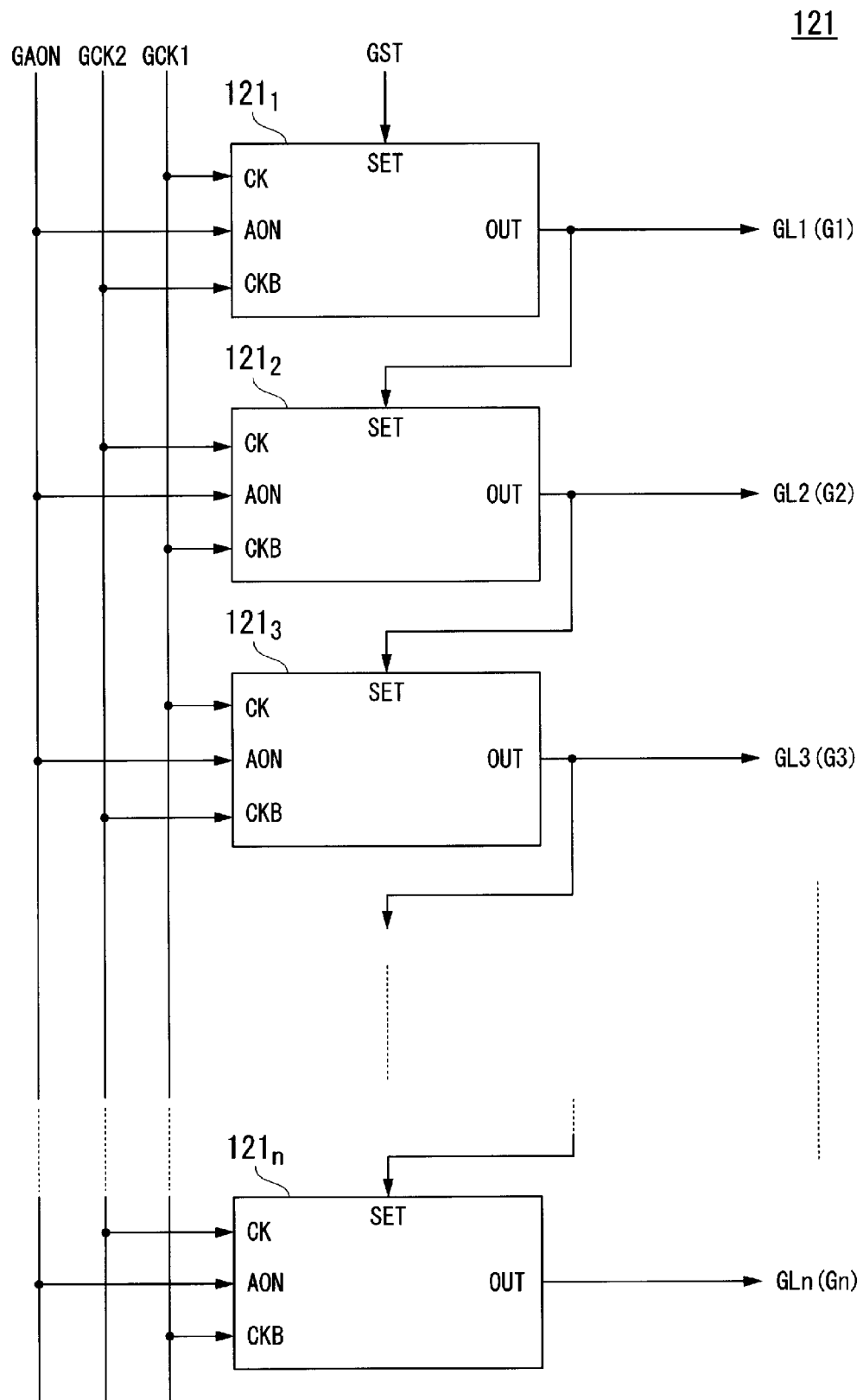
[請求項10] 前記第1出力トランジスタ、前記第2出力トランジスタ、前記第1電界効果トランジスタ、前記第3電界効果トランジスタ、前記第4電界効果トランジスタ、前記第5電界効果トランジスタ、前記第6電界効果トランジスタ、前記第7電界効果トランジスタ、前記第2電界効果トランジスタは、同一導電型の電界効果トランジスタであって、nチャネル型またはpチャネル型の何れかの電界効果トランジスタである、請求項8に記載のシフトレジスタ。

[請求項11] 前記請求項1から10の何れか1項に記載のシフトレジスタから構成された駆動回路を備えた表示装置。

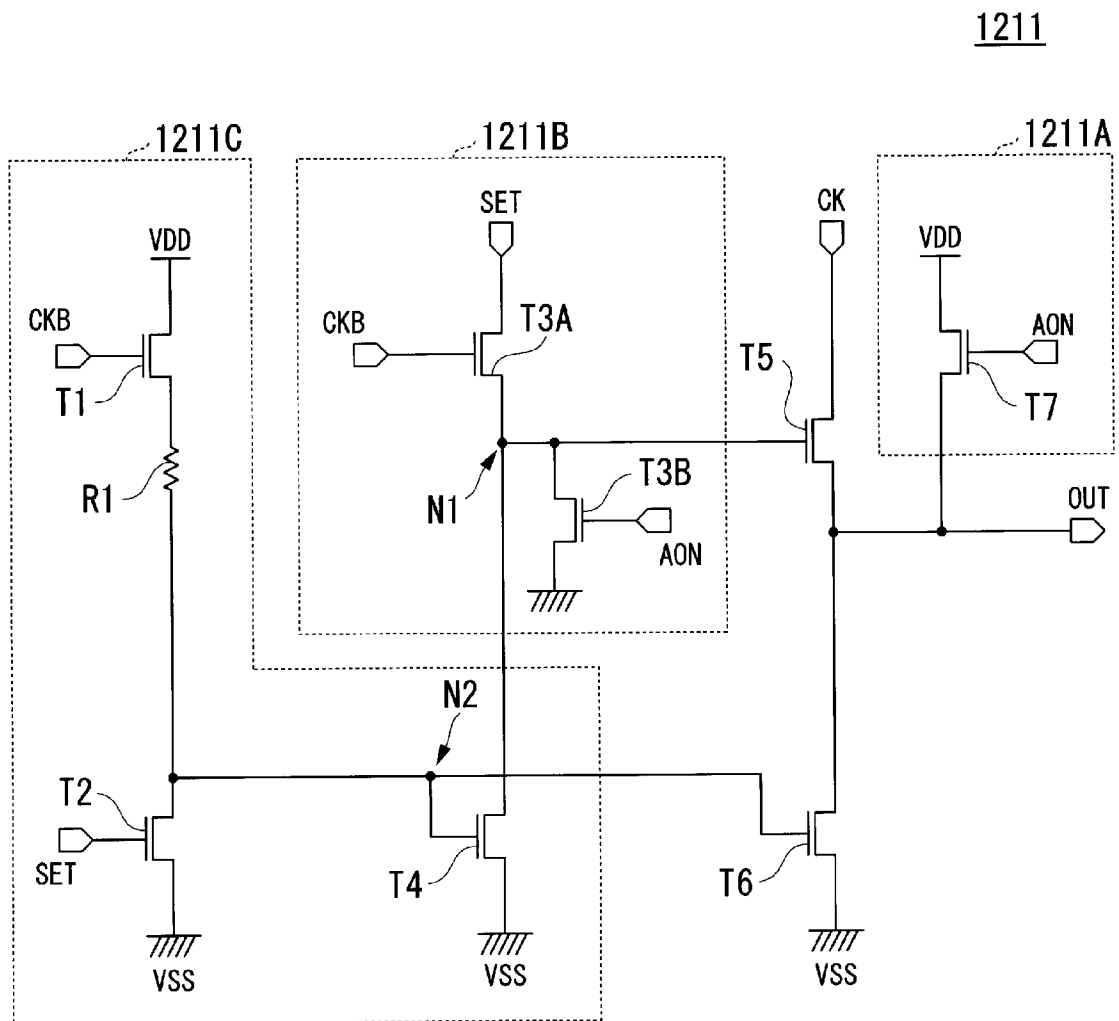
100



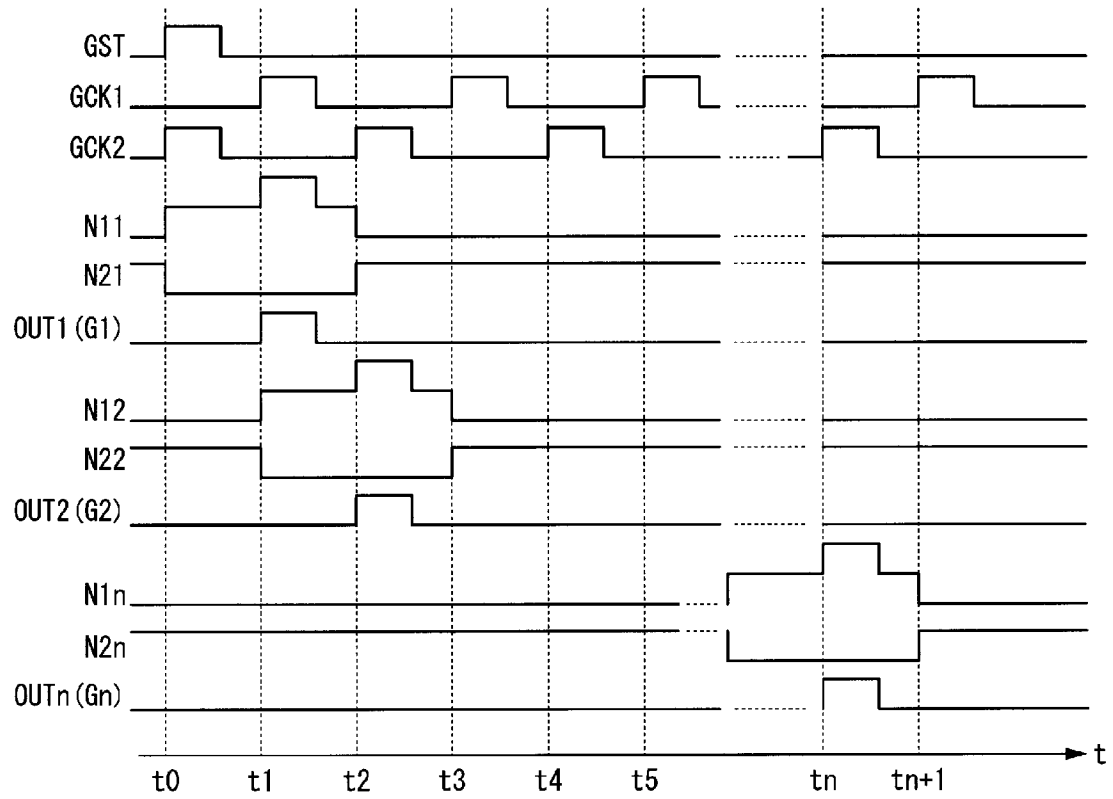
[図2]



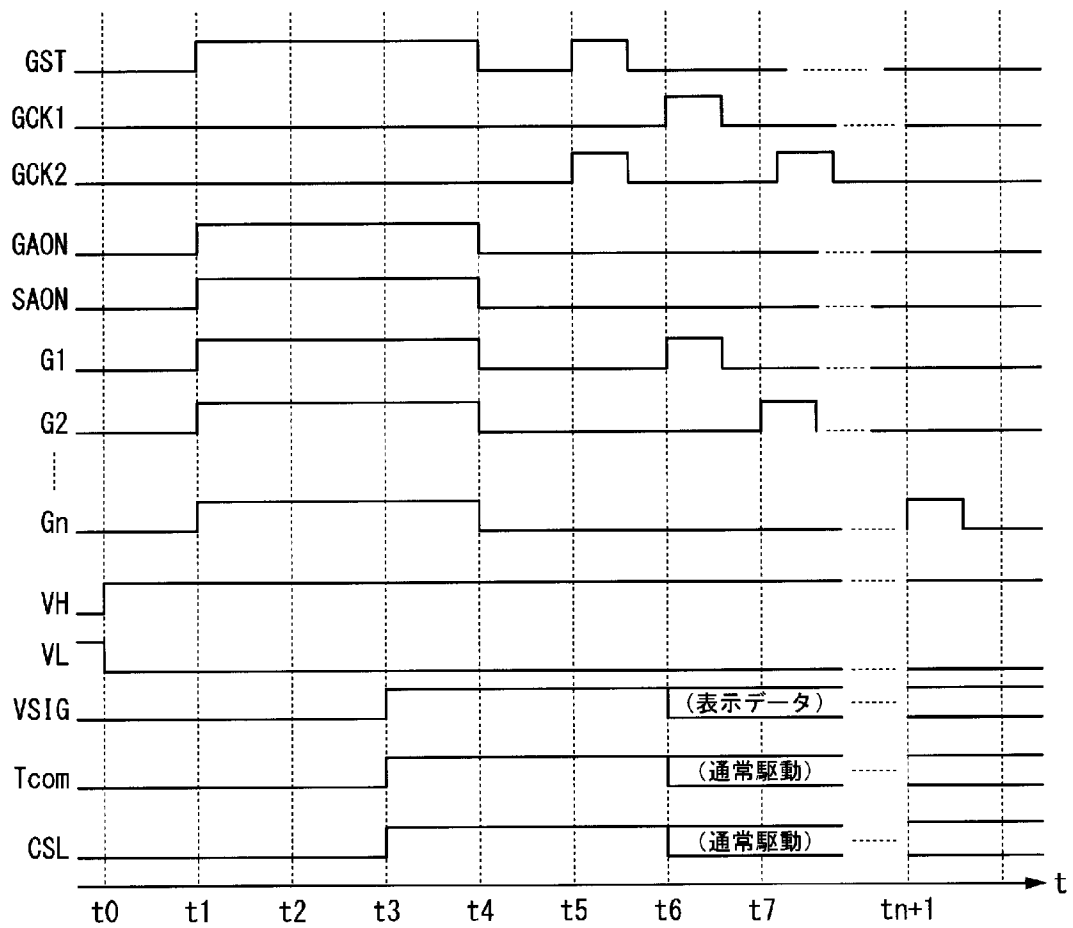
[図3]



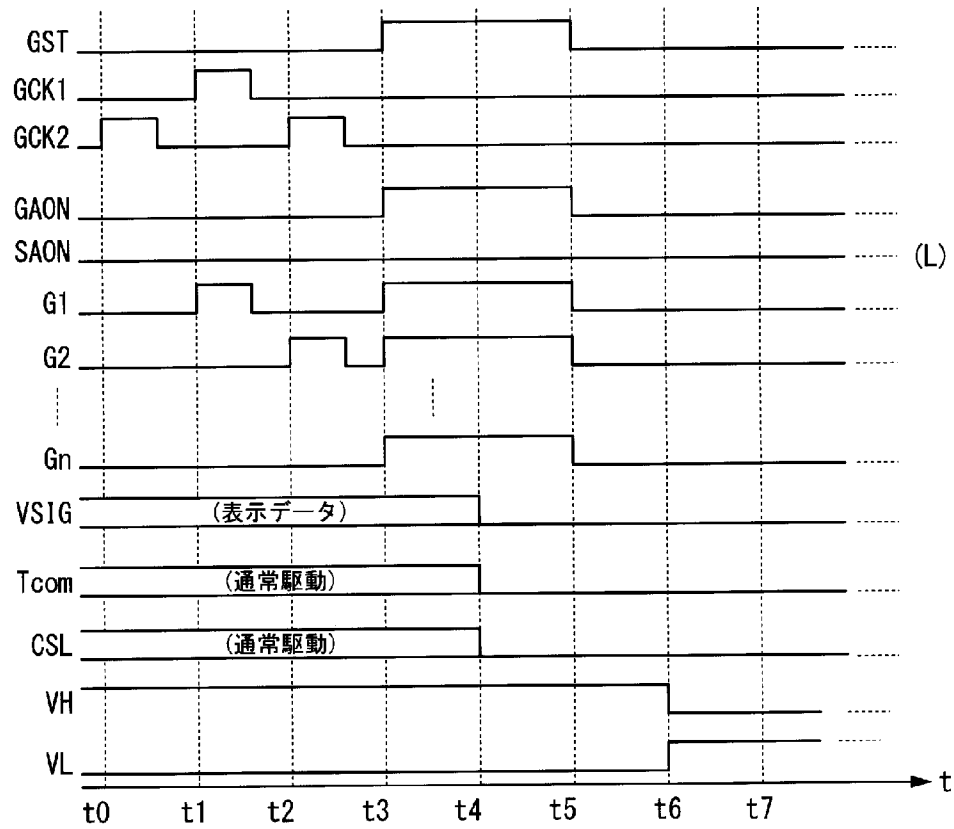
[図4A]



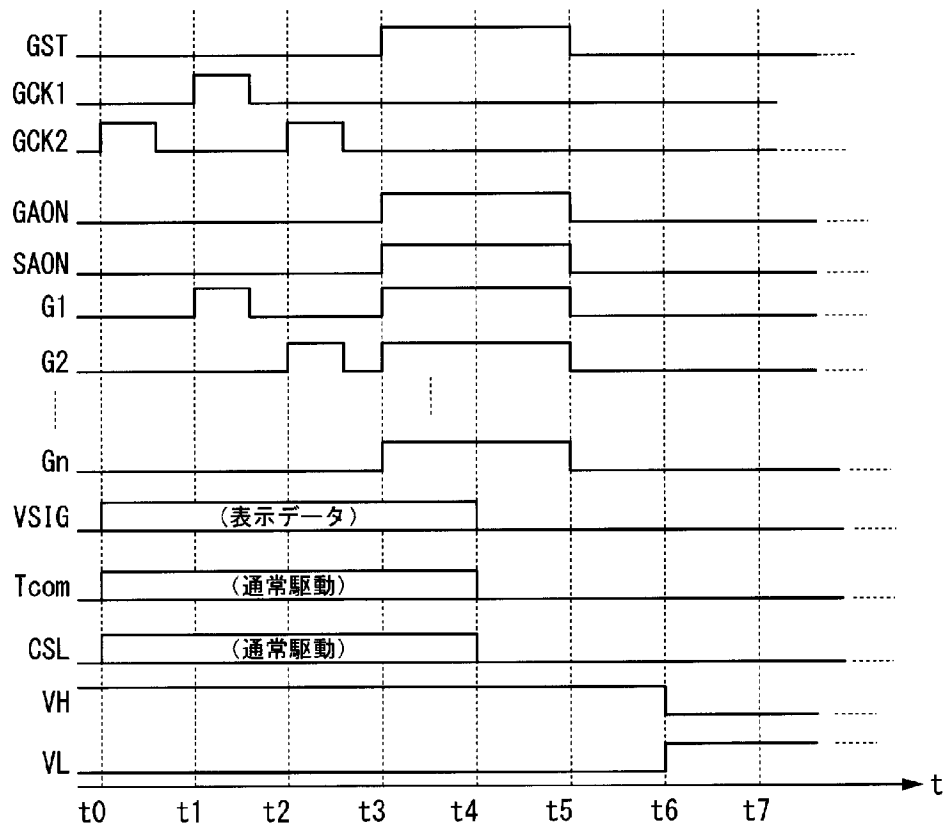
[図5]



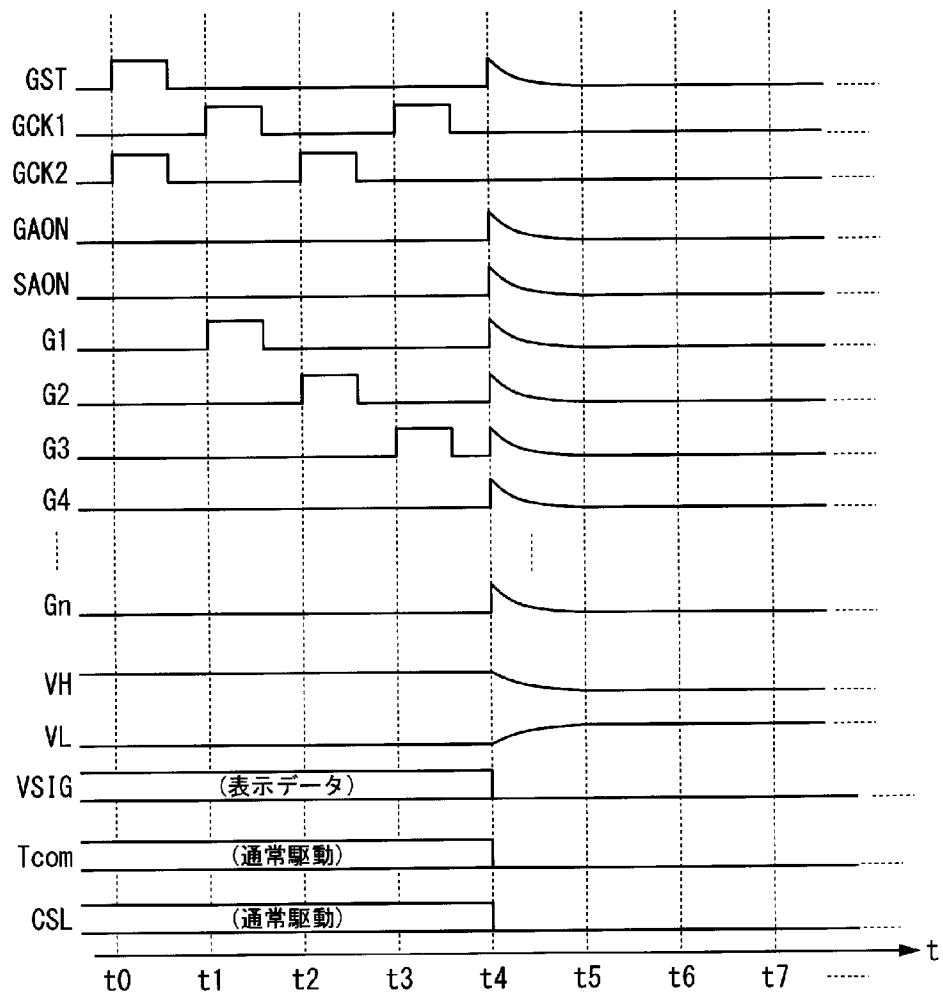
[図6A]



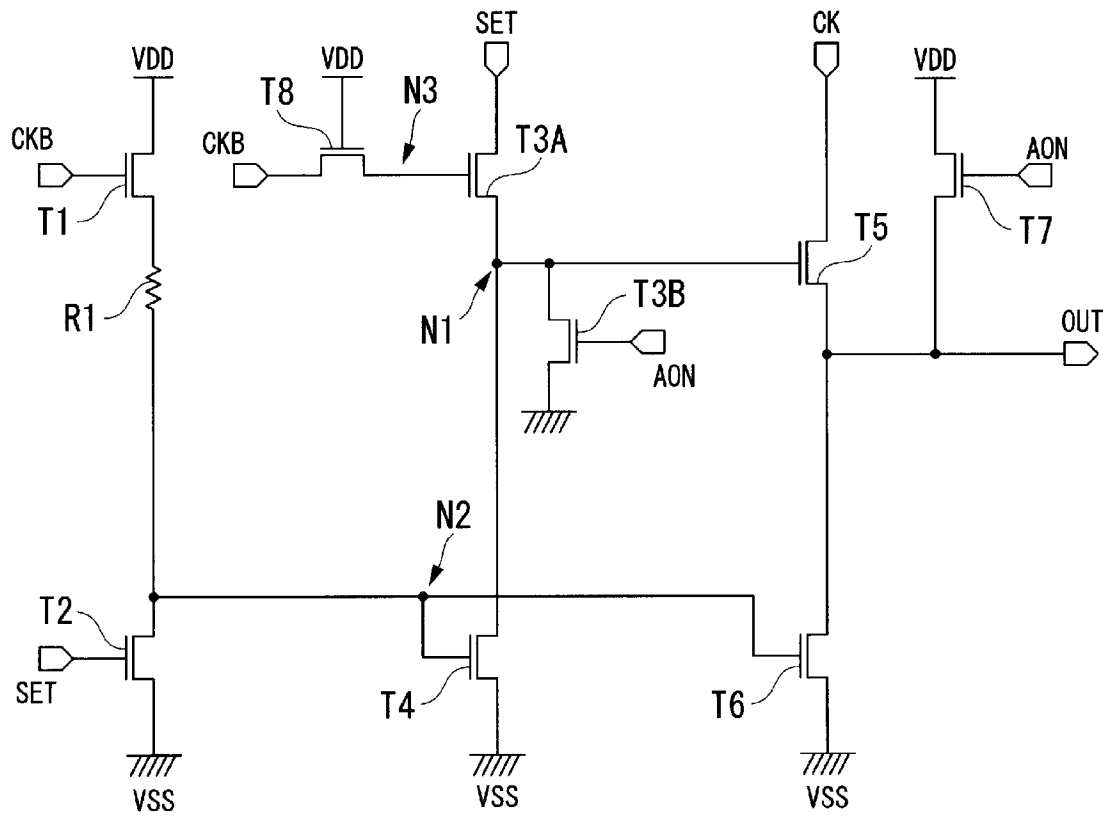
[図6B]



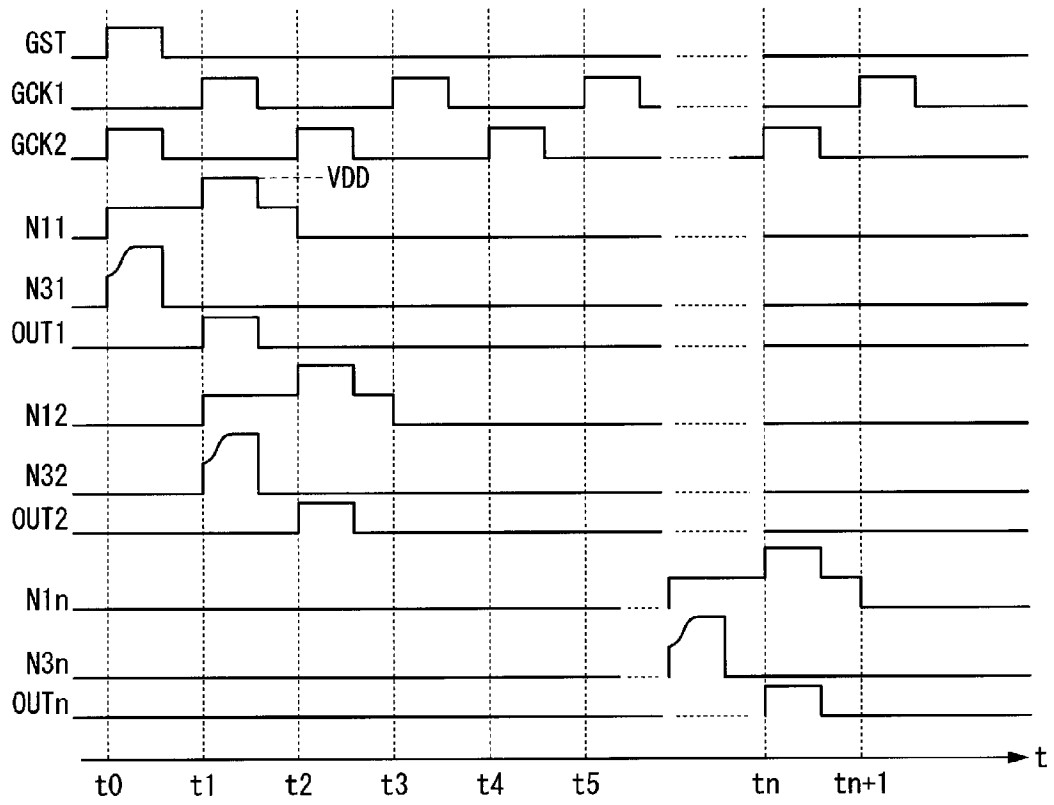
[図7]



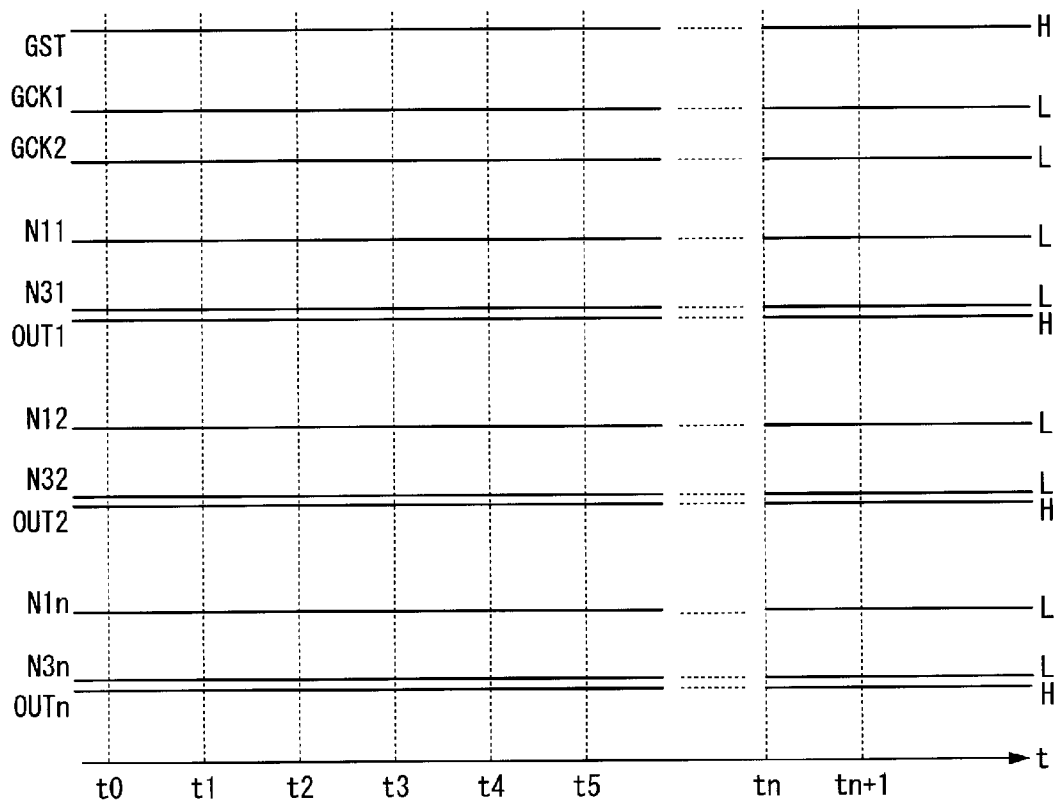
[図8]

1212

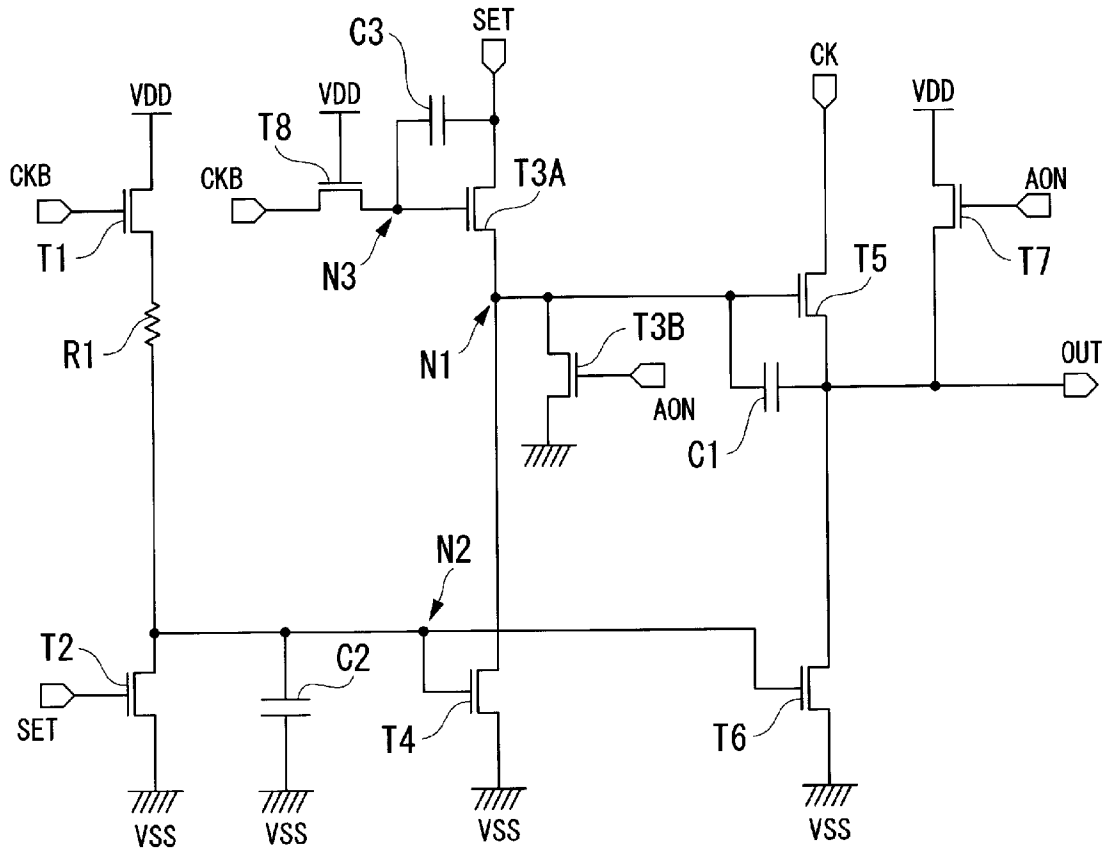
[図9A]



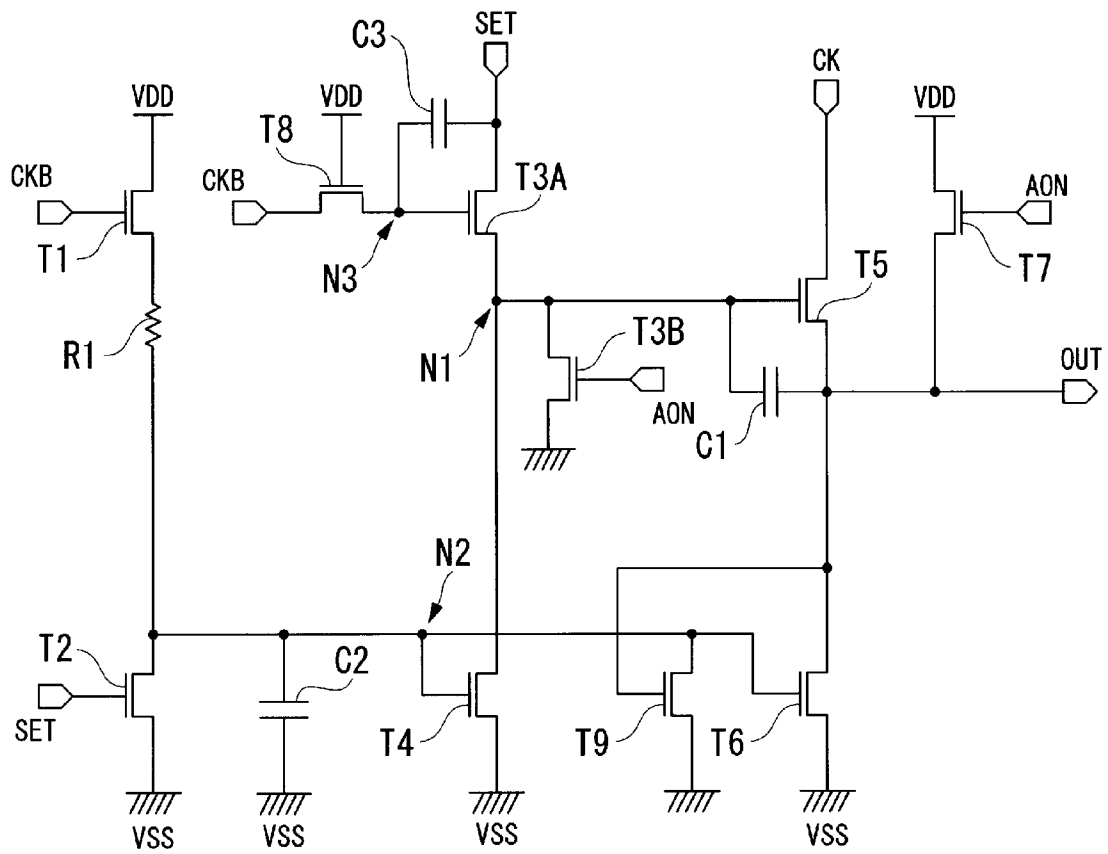
[図9B]



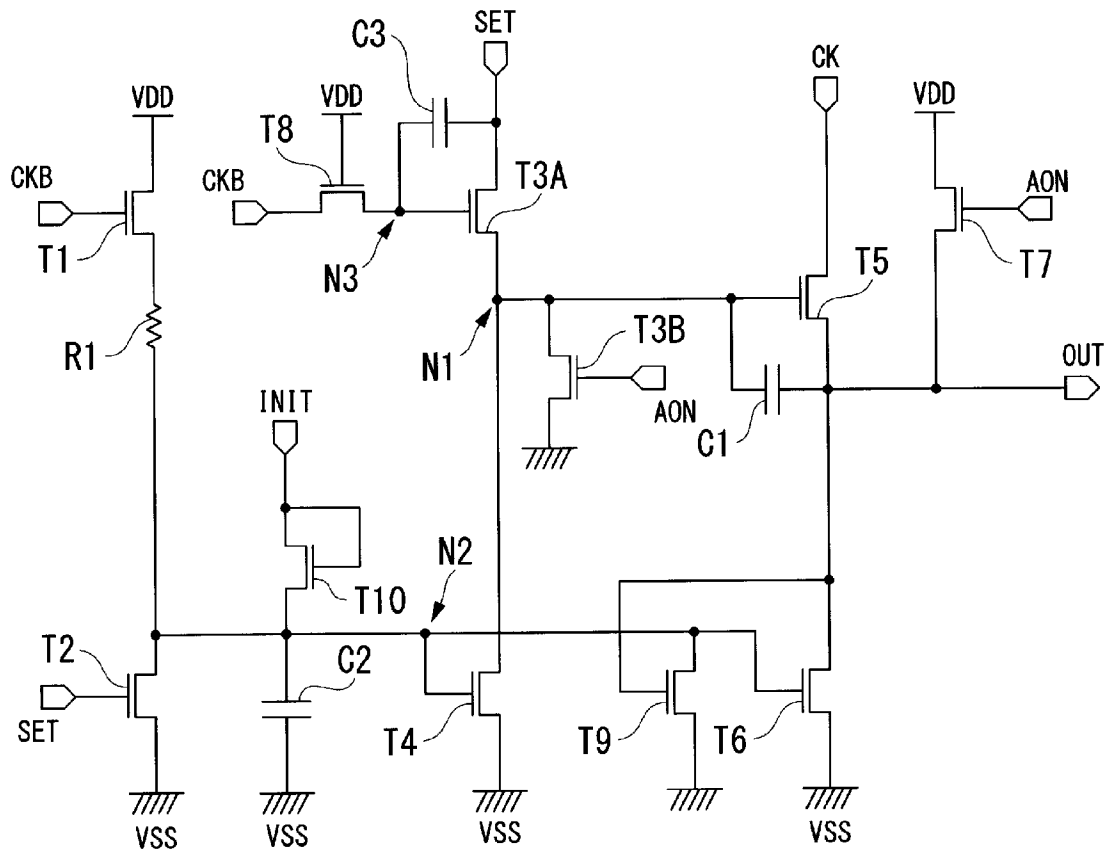
[図10]

1213

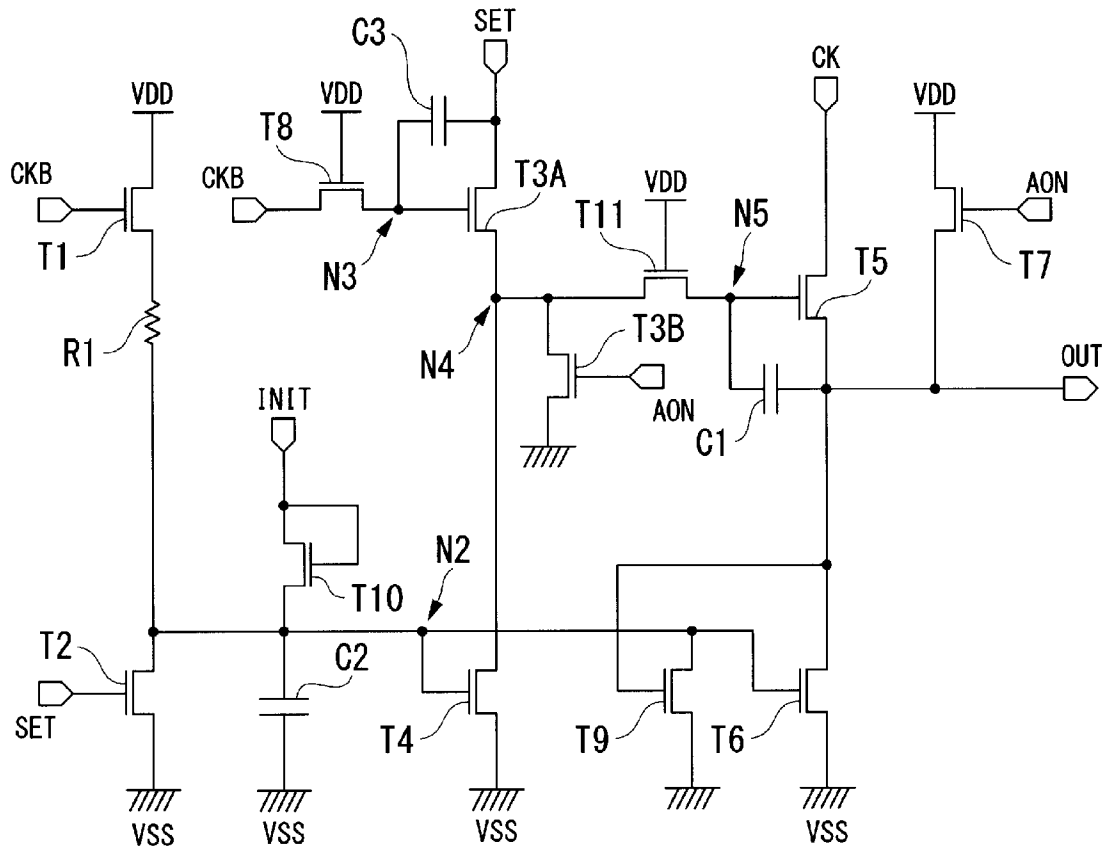
[図11]

1214

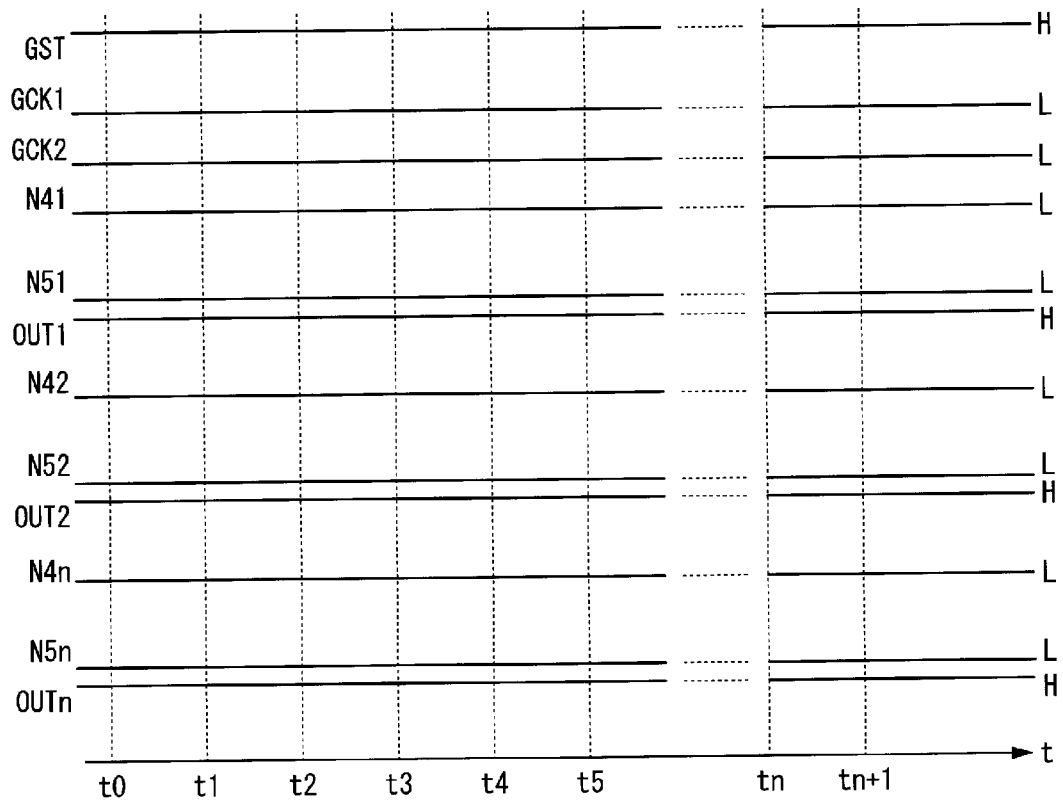
[図12]

1215

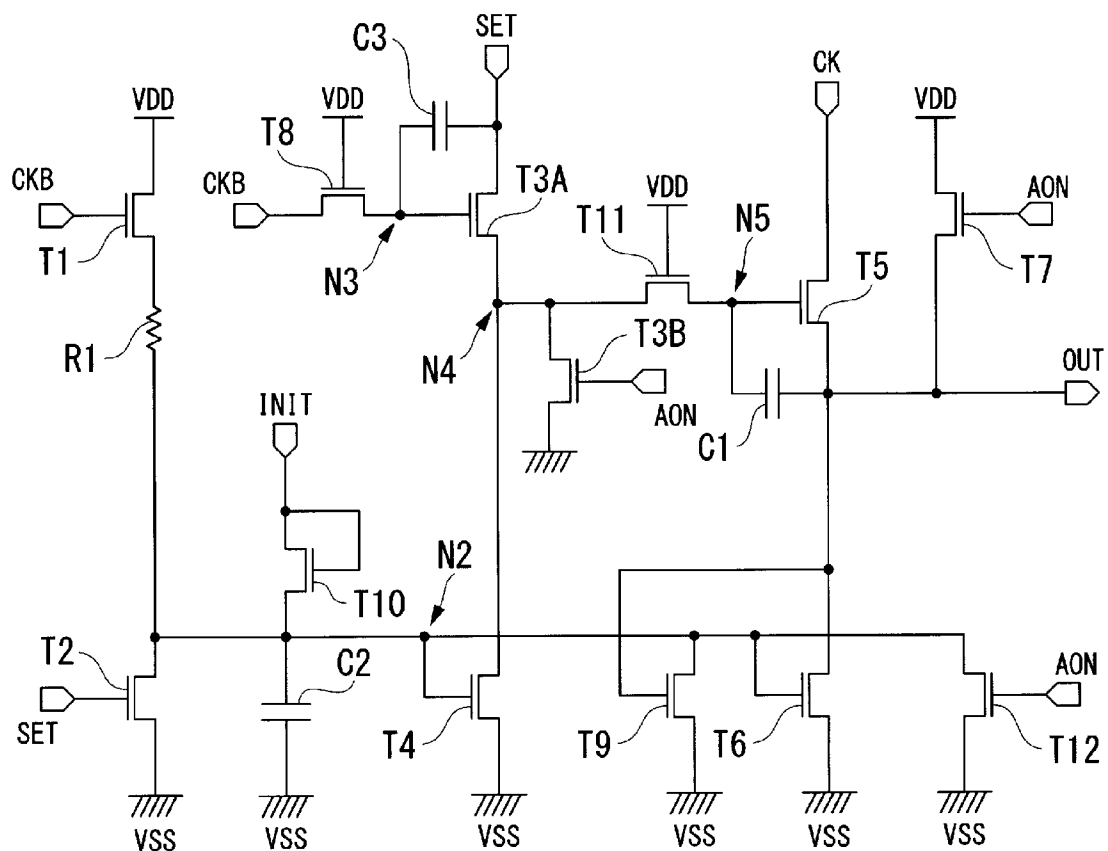
[図13]

1216

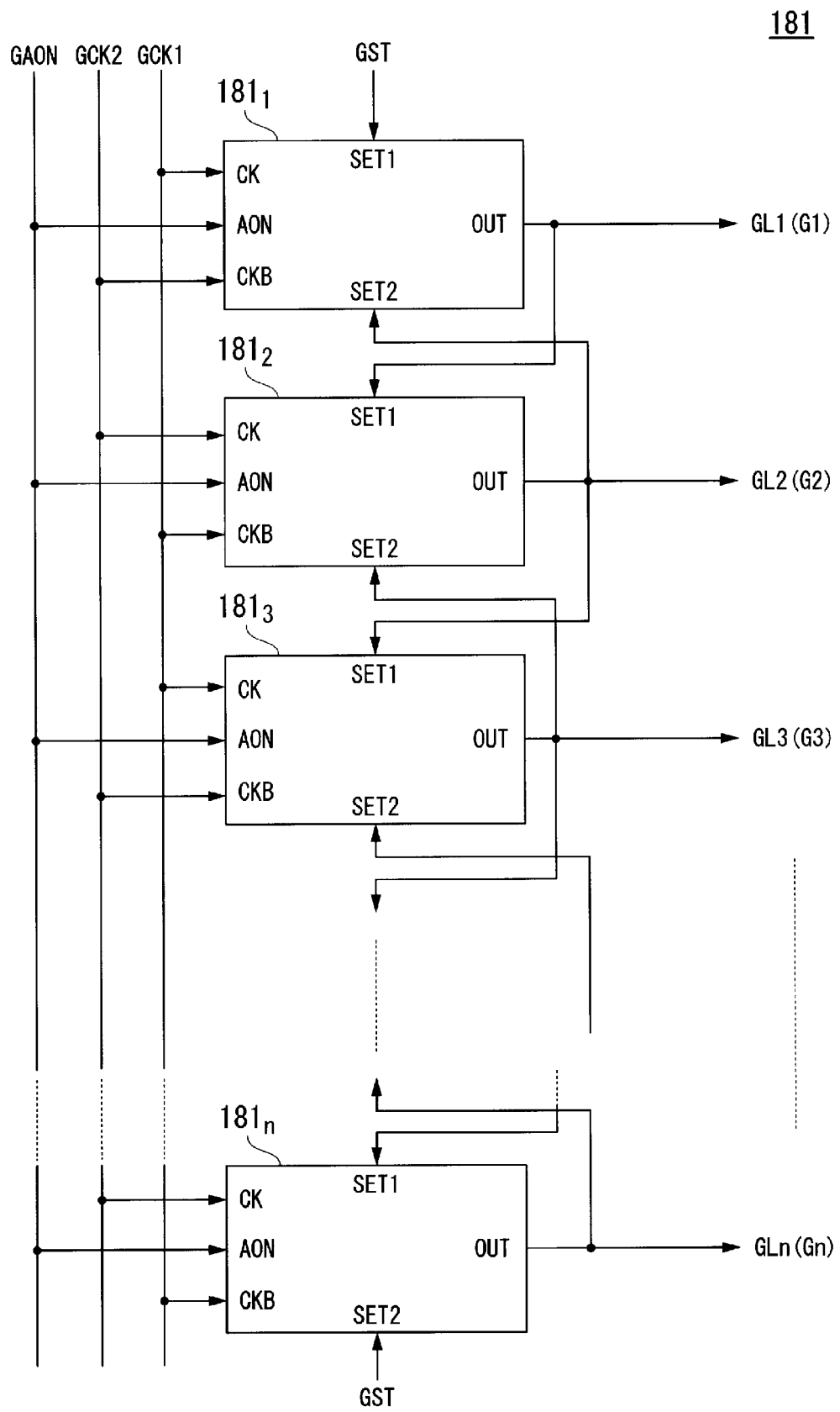
[図14B]



1217

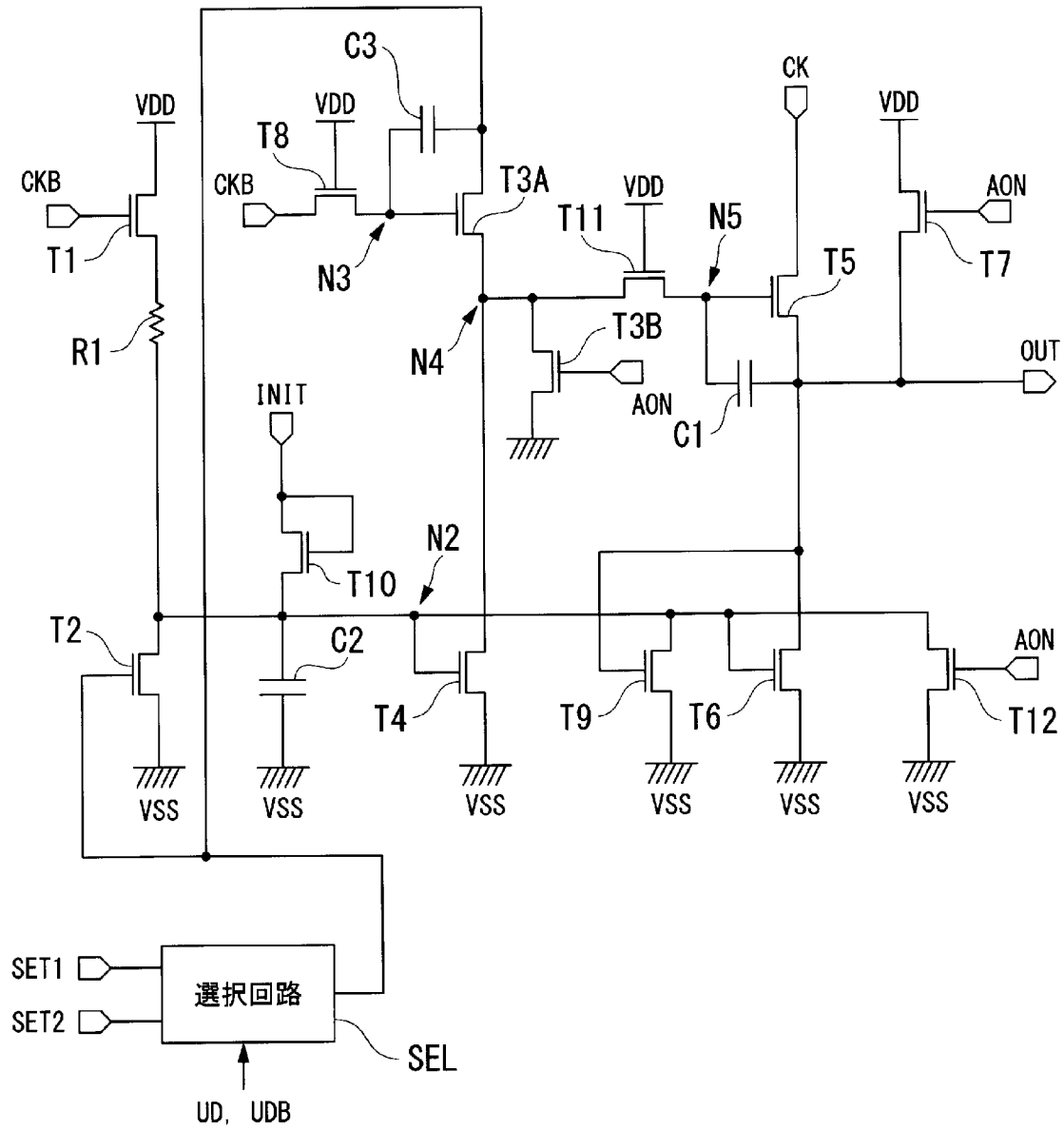


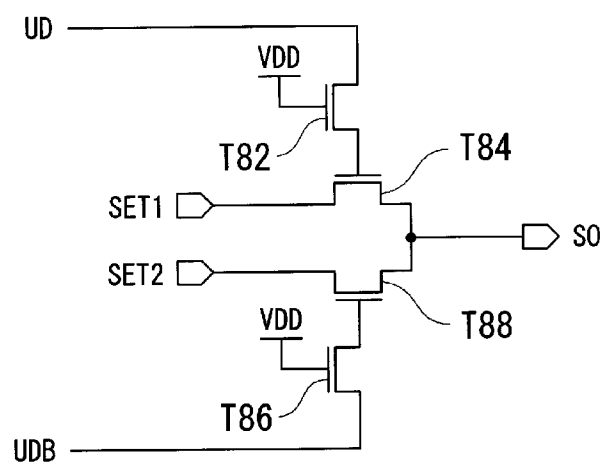
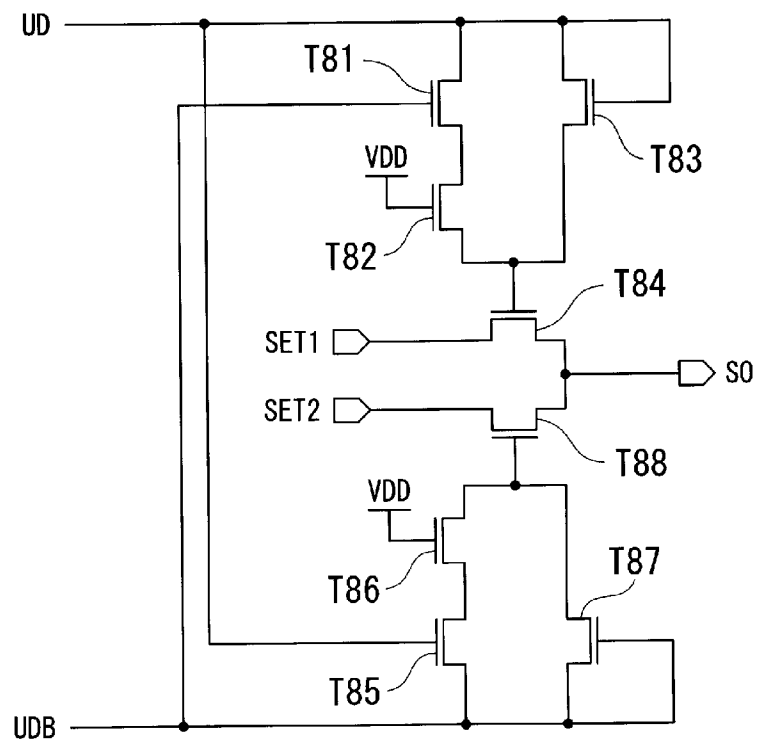
[図16]



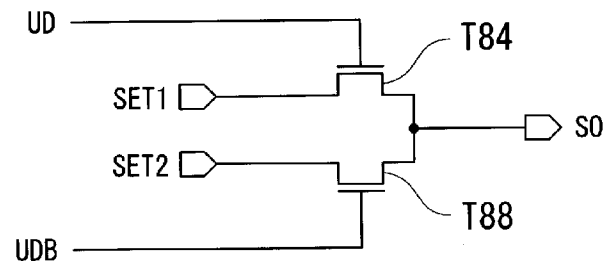
[図17]

1811

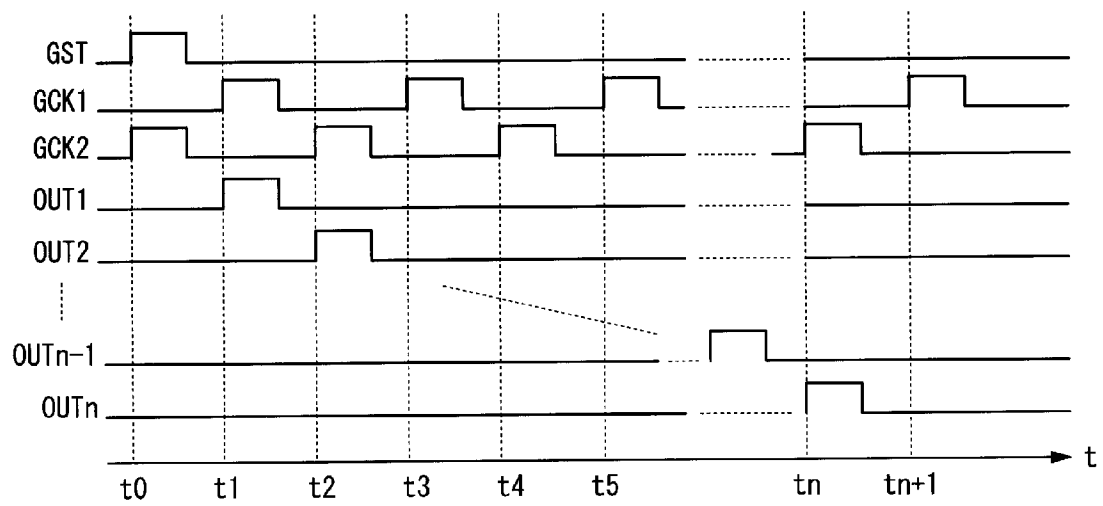




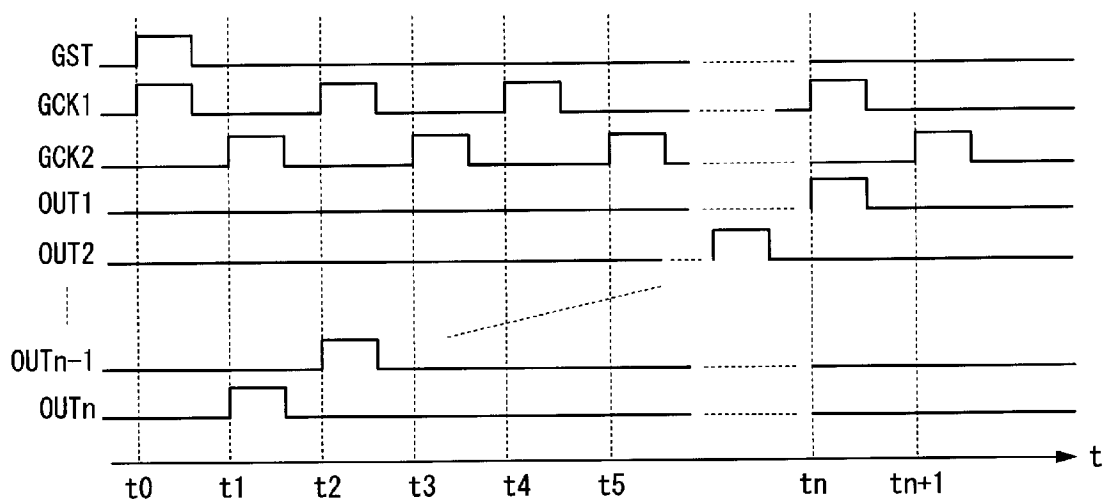
[図18C]



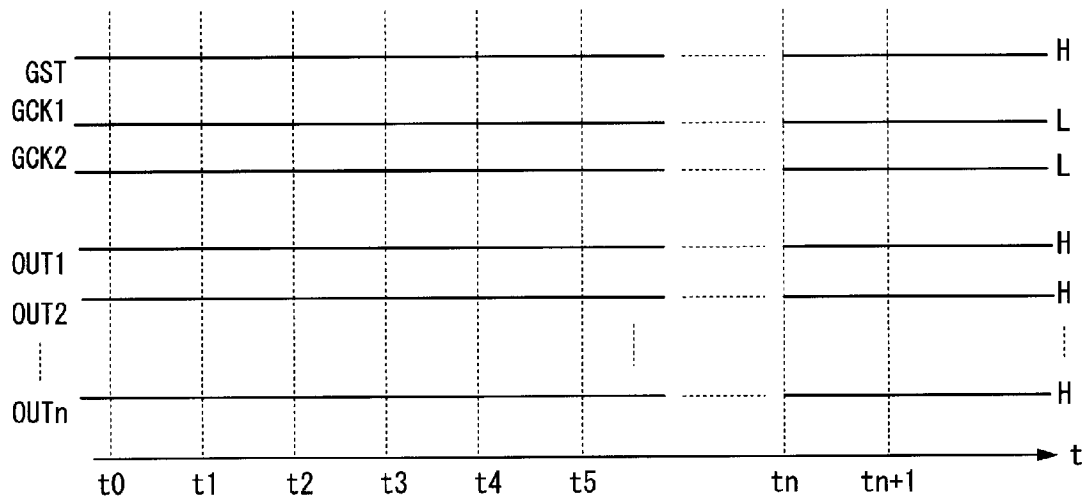
[図19A]



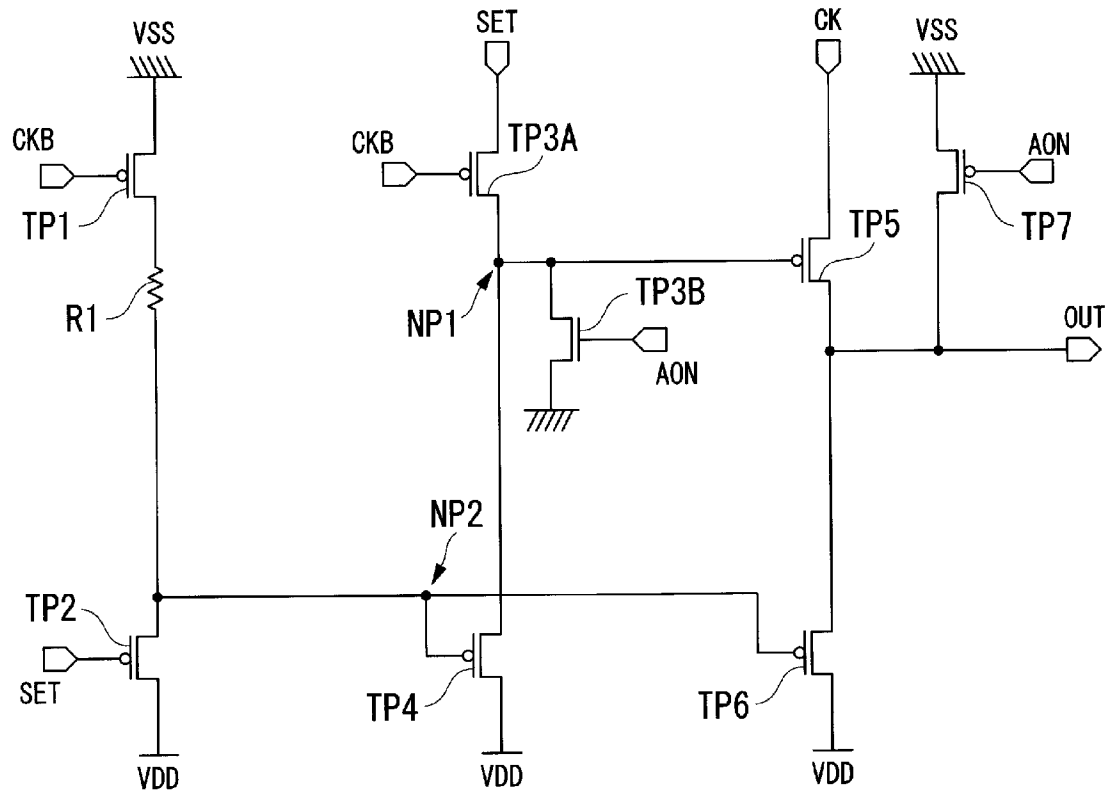
[図19B]



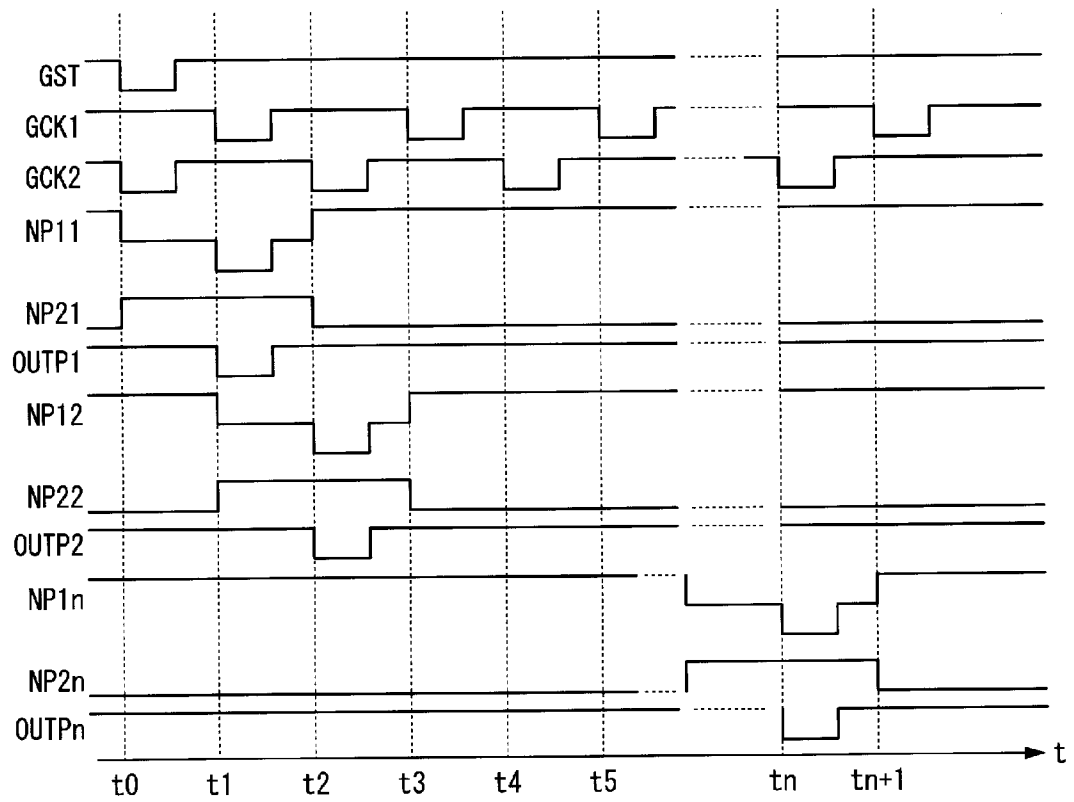
[図19C]



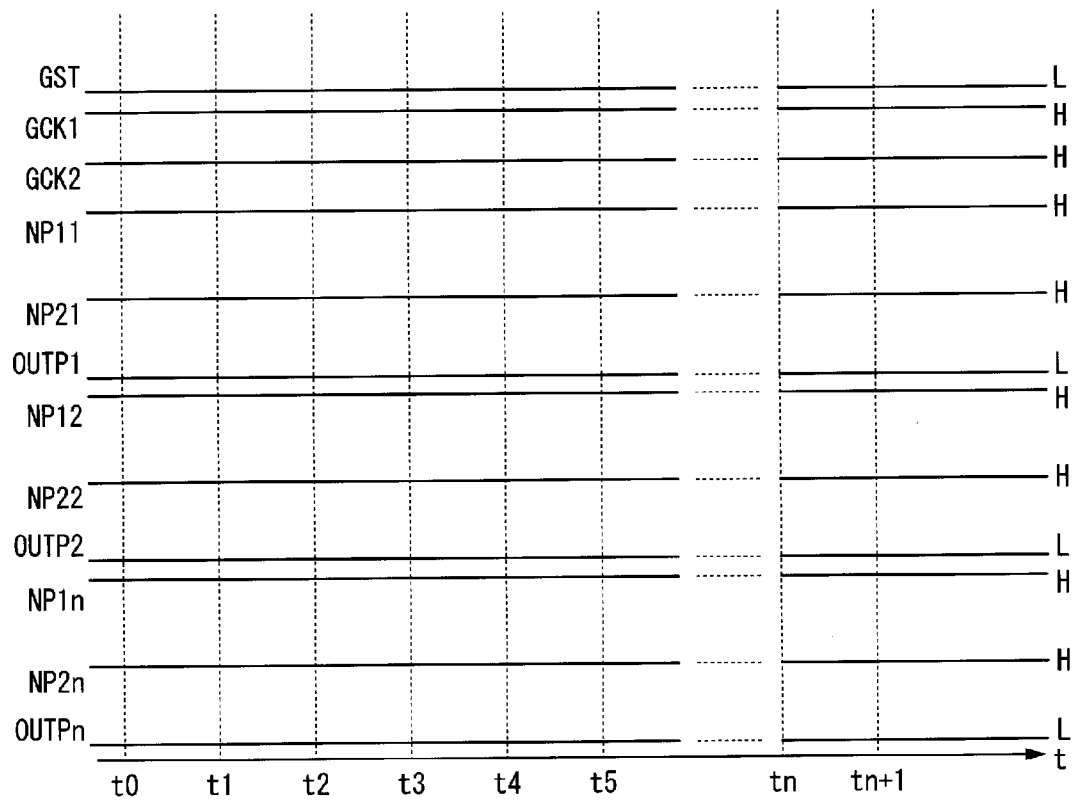
[図20]

1219

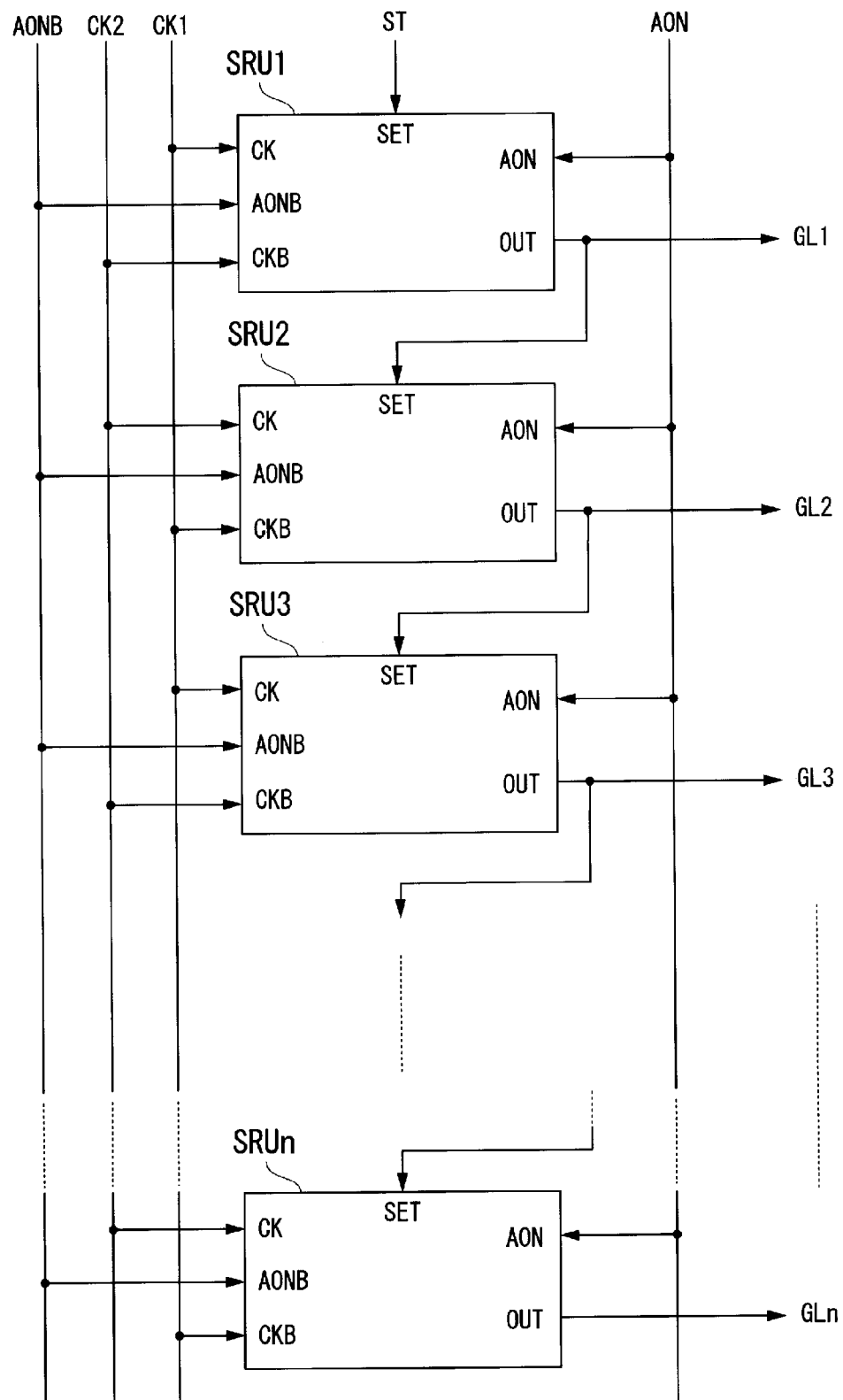
[図21A]



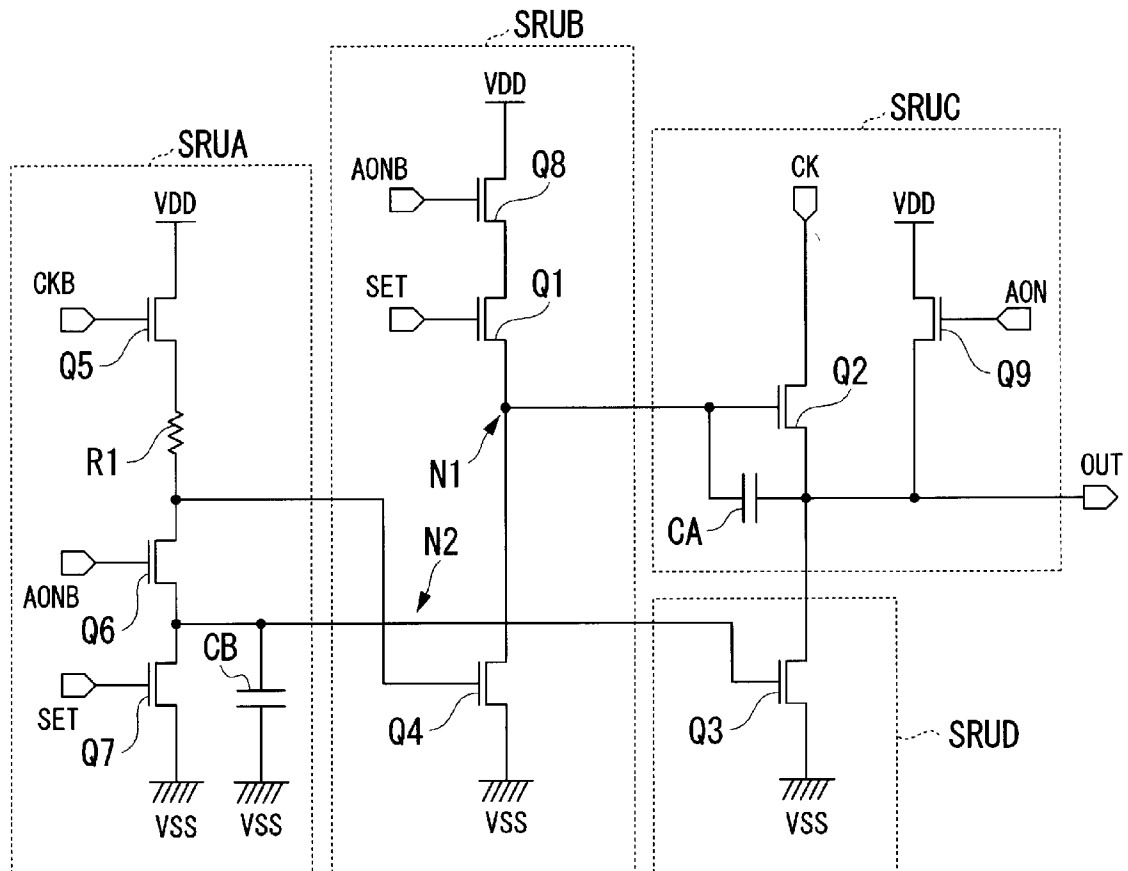
[図21B]



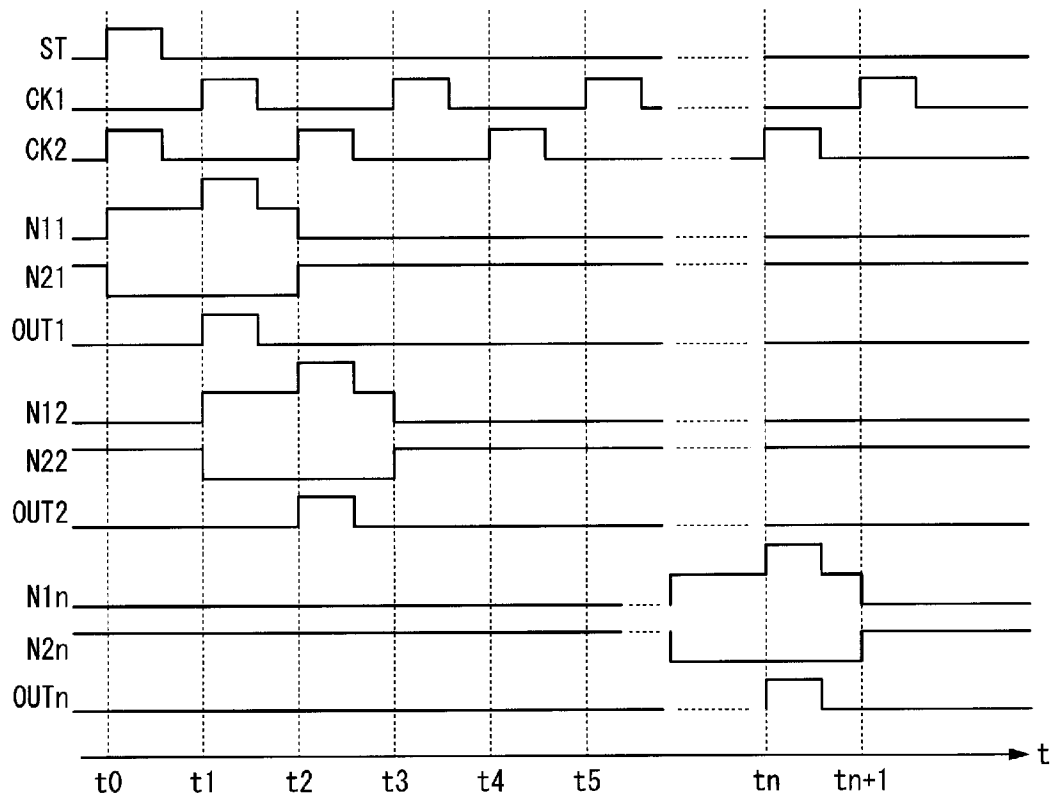
[図22]



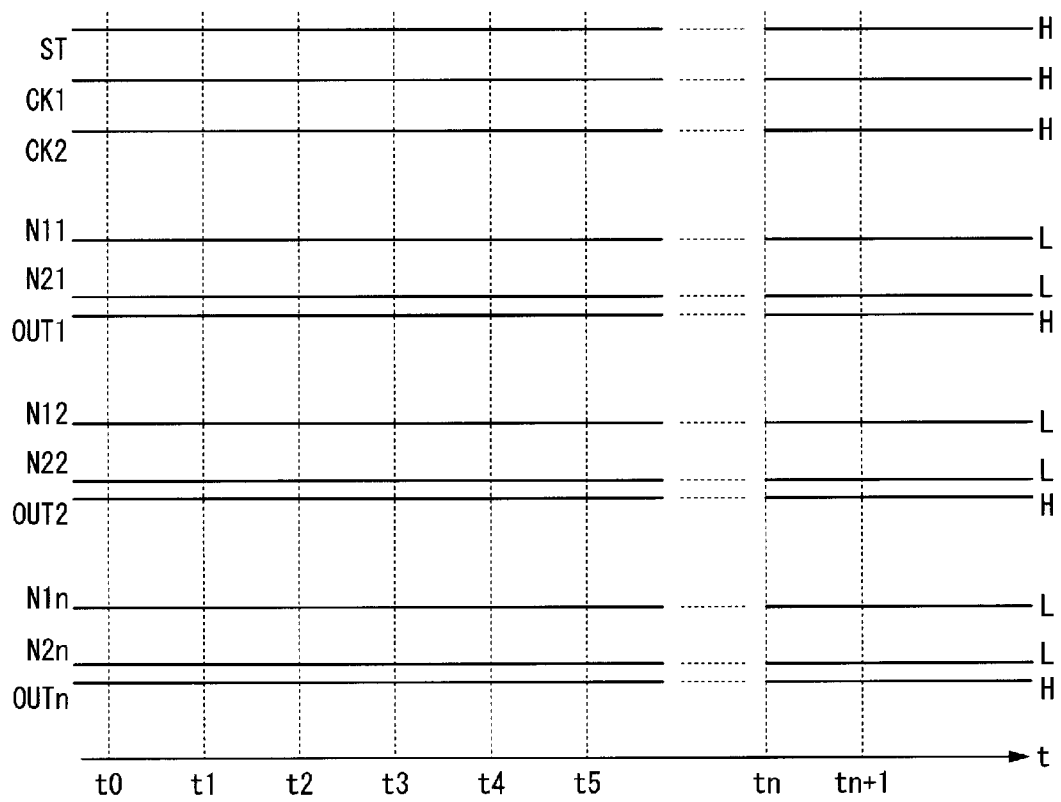
[図23]

SRU

[図24A]



[図24B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/072121

A. CLASSIFICATION OF SUBJECT MATTER

G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C19/28, G09G3/20, G09G3/36, G11C19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2012/029799 A1 (Sharp Corp.), 08 March 2012 (08.03.2012), paragraphs [0093] to [0100]; fig. 20 to 21 & US 2013/0155044 A1 & CN 103098140 A	1-11
A	WO 2009/084267 A1 (Sharp Corp.), 09 July 2009 (09.07.2009), paragraphs [0073] to [0080]; fig. 6 to 7 & JP 5063706 B & US 2010/0259525 A1 & EP 2234116 A1 & CN 101868833 A	1-11
A	US 2010/0158187 A1 (Su-Hwan MOON), 24 June 2010 (24.06.2010), paragraphs [0034] to [0079]; fig. 1 to 3 & KR 10-2010-0071389 A & CN 101752004 A	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 September, 2014 (22.09.14)

Date of mailing of the international search report
07 October, 2014 (07.10.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/072121

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010/0158186 A1 (LG DISPLAY CO., LTD.), 24 June 2010 (24.06.2010), paragraphs [0035] to [0092]; fig. 1 to 3 & KR 10-2010-0072139 A & CN 101752005 A	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C19/28, G09G3/20, G09G3/36, G11C19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2012/029799 A1（シャープ株式会社）2012.03.08, 段落【0093】-【0100】，第20-21図 & US 2013/0155044 A1 & CN 103098140 A	1-11
A	WO 2009/084267 A1（シャープ株式会社）2009.07.09, 段落【0073】-【0080】，第6-7図 & JP 5063706 B & US 2010/0259525 A1 & EP 2234116 A1 & CN 101868833 A	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 9 . 2 0 1 4

国際調査報告の発送日

0 7 . 1 0 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

堀田 和義

5 U

8 8 4 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2010/0158187 A1 (Su-Hwan MOON) 2010.06.24, 段落【0034】 - 【0079】 , 第1-3 図 & KR 10-2010-0071389 A & CN 101752004 A	1-11
A	US 2010/0158186 A1 (LG DISPLAY CO., LTD.) 2010.06.24, 段落【0035】 - 【0092】 , 第1-3 図 & KR 10-2010-0072139 A & CN 101752005 A	1-11