

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-537672

(P2005-537672A)

(43) 公表日 平成17年12月8日(2005.12.8)

(51) Int.Cl.<sup>7</sup>  
H01L 21/20F I  
H01L 21/20テーマコード (参考)  
5F152

審査請求 未請求 予備審査請求 有 (全 14 頁)

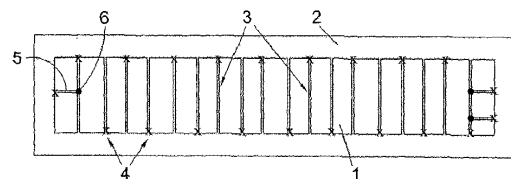
(21) 出願番号	特願2004-533596 (P2004-533596)	(71) 出願人	504441680
(86) (22) 出願日	平成15年8月12日 (2003.8.12)		ユニバーシティ オブ ワーウィク
(85) 翻訳文提出日	平成17年4月28日 (2005.4.28)		英国 シーヴィ4 フェーエル ワーウィ
(86) 国際出願番号	PCT/GB2003/003514		クシャー, コペントリー (番地なし)
(87) 国際公開番号	W02004/023536	(74) 代理人	100109726
(87) 国際公開日	平成16年3月18日 (2004.3.18)		弁理士 園田 吉隆
(31) 優先権主張番号	0220438.6	(74) 代理人	100101199
(32) 優先日	平成14年9月3日 (2002.9.3)		弁理士 小林 義教
(33) 優先権主張国	英国 (GB)	(72) 発明者	ケープウェル, アダム, ダニエル
			英国 シーヴィ31 1エルビー ワーウ
			イクシャー, レミントン スパ, カウ
			ドレイ クローズ 16

最終頁に続く

(54) 【発明の名称】 格子調整半導体基板の形成

## (57) 【要約】

格子調整半導体基板の形成方法であって、平行配置された酸化物壁(2)を表面の上に設けることによってSi表面から成る平行細片を画定する工程、第1SiGe層を細片の上に選択的に成長させて第1転位(3)が優先的に壁(2)の間の第1SiGe層を横切って延びて第1SiGe層の歪みを壁(2)に直交する方向に緩和する工程、及び第2SiGe層を第1SiGe層の上部の上に成長させて壁(2)を覆うように成長させ、第2転位が優先的に壁(2)上方の第2SiGe層の内部に形成されて、第2SiGe層の歪みを第1転位(3)と直交する方向に緩和する工程を含む。このようにして形成される転位は、材料を2つの互いに直交する方向に緩和するように形成されるが、他方では、これらの転位が空間的に分離されて2組の転位が互いに作用することができない。このように、貫通転位密度及び表面粗さの両方が大きく低減されるので、能動素子の電子散乱及び電子の移動速度の低下を招く原子格子の崩壊を減少させることにより仮想基板の性能が向上する。



## 【特許請求の範囲】

## 【請求項 1】

格子調整半導体基板の形成方法であって、

(a) 平行配置された絶縁手段(2; 11)によってSi表面から成る平行細片(12)を画定する工程、

(b) 第1SiGe層(13)を細片(12)の上に選択的に成長させて第1転位(14)が優先的に絶縁手段(2; 11)の間の第1SiGe層(13)を横切って延びることにより第1SiGe層(13)の歪みを絶縁手段(2; 11)に直交する方向に緩和させる工程、及び

(c) 絶縁手段(2; 11)を覆うように第1SiGe層(13)の上に第2SiGe層(13a)を成長させ、第2転位(15)が優先的に絶縁手段(2; 11)上方の第2SiGe層(13a)の内部に形成されて、第2SiGe層(13a)の歪みを第1転位(14)と直交する方向に緩和する工程を含む方法。 10

## 【請求項 2】

第1SiGe層(13)が層(13)内でほぼ一定のGe組成比を有する、請求項1記載の方法。

## 【請求項 3】

第2SiGe層(13a)が層(13a)内でほぼ一定のGe組成比を有する請求項1又は2記載の方法。 20

## 【請求項 4】

SiGe層(13, 13a)の少なくとも一つの層が、層内で、第1レベルから第1レベルよりも高い第2レベルに増加するGe組成比を有する、請求項1、2又は3記載の方法。

## 【請求項 5】

少なくとも第1SiGe層(13)を高温でアニールすることにより層(13)の歪みをほぼ完全に緩和する、請求項1ないし4のいずれか一項に記載の方法。

## 【請求項 6】

第1及び第2SiGe層(13, 13a)の成長を室温~1200、好適には350~900の温度で行ない、少なくとも第1SiGe層(13)のアニールを室温~1500、好適には500~1200の高温で行なう、請求項5記載の方法。 30

## 【請求項 7】

第1及び第2SiGe層(13, 13a)を単一の連続成長プロセスにより形成する請求項1ないし6のいずれか一項に記載の方法。

## 【請求項 8】

中間処理を第1SiGe層(13)の成長と第2SiGe層(13a)の成長との間に行なう請求項1ないし6のいずれか一項に記載の方法。

## 【請求項 9】

中間処理が、第1SiGe層(13)を高温でアニールして第1SiGe層(13)の歪みをほぼ完全に緩和する工程を含む、請求項8記載の方法。 40

## 【請求項 10】

中間処理工程が化学的機械研磨工程を含む請求項8又は9記載の方法。

## 【請求項 11】

第1SiGe層(13)を選択エピタキシャル成長プロセスにより成長させる請求項1ないし10のいずれか一項に記載の方法。

## 【請求項 12】

エピタキシャル成長プロセスが化学的気相成長(CVD)である請求項11記載の方法。

## 【請求項 13】

エピタキシャル成長プロセスが分子線エピタキシ(MBE)である請求項11記載の方 50

法。

【請求項 14】

Si 酸化物から成る細片は 10 nm ~ 1000 nm、好ましくは 400 nm ~ 700 nm の範囲の厚さを有する、請求項 1 ないし 13 のいずれか一項に記載の方法。

【請求項 15】

Si 酸化物から成る細片 (12) は 100 nm ~ 10 μm、好ましくは約 1 μm の幅を有する、請求項 1 ないし 14 のいずれか一項に記載の方法。

【請求項 16】

Si 酸化物から成る細片 (12) は互いに 100 nm ~ 100 μm、好ましくは 5 μm ~ 20 μm の距離を置いて配置される、請求項の 1 ないし 15 のいずれか一項に記載の方法。 10

【請求項 17】

第 1 及び第 2 Si Ge 層 (13, 13a) の上に、内部に一つ以上の半導体素子を形成できる歪み Si 層を成長させる工程を更に含む、請求項 1 ないし 16 のいずれか一項に記載の方法。

【請求項 18】

絶縁手段は Si 表面上に平行配置された Si 酸化物壁 (2; 11) を含む、請求項 1 ないし 17 のいずれか一項に記載の方法。

【請求項 19】

絶縁手段は Si 表面に平行配置されたトレンチを含む、請求項 1 ないし 17 のいずれか一項に記載の方法。 20

【請求項 20】

絶縁手段は Si 表面上に平行配置された Si 窒化物壁を含む、請求項 1 ないし 17 のいずれか一項に記載の方法。

【請求項 21】

請求項 1 ないし 20 のいずれか一項に記載の方法を用いて形成される格子調整半導体基板。

【発明の詳細な説明】

【発明の開示】

【0001】

30

本発明は格子調整半導体基板の形成に関し、これに限定されるものではないが、特に、内部に MOSFET のような能動半導体素子を形成することができる歪みシリコン (strained silicon) 活性層又は歪み Si Ge 活性層及び歪のない III-V 族半導体活性層の成長に適する緩和 Si Ge (シリコン/ゲルマニウム)「仮想基板」の形成に関する。

【0002】

歪み Si 層を Si ウェハの上に、緩和 Si Ge バッファ層を歪み Si 層と Si ウェハとの間に挟んで成長させ、MOSFET のような半導体素子を歪み Si 層の内部に形成して半導体素子の特性を向上させる方法が知られている。下地 Si 基板の格子間隔よりも格子間隔を大きくするためにバッファ層を設けるので、バッファ層は一般的に仮想基板と呼ばれている。 40

【0003】

シリコン及びゲルマニウムの合金 (Si Ge) をシリコン基板の上にエピタキシャル成長させてバッファ層を形成することが知られている。Si Ge の格子間隔は Si の正常な格子間隔よりも大きいので、バッファ層が緩和してもよい場合にはこのようなバッファ層を設けることによって格子間隔を所望通りに大きくすることができる。

【0004】

バッファ層が緩和すると必然的にバッファ層に転位が形成されて歪みが緩和される。これらの転位によって普通歪み界面に伸びて長い転位を形成するハーフループが下地表面から形成される。しかしながら、バッファ層の深さを貫通する転位が形成されると基板の品 50

質を劣化させてしまう。というのは、このような転位によって表面がでこぼこになり、能動半導体素子の内部で電子散乱が生じるからである。また、S i G e 層の歪みを緩和するために多くの転位が必要となるので、このような転位が必然的に相互に作用し合い、貫通転位のピンニングを生じさせる。更に多くの転位が緩和を一層促進するために必要となると、その結果として貫通転位密度が高くなる。

【0005】

米国特許第5442205号、米国特許第5221413号、国際公開番号WO98/00857、及び日本国特願平6-252046号に開示されているようなバッファ層を形成する公知の技術では、層のG e 組成に直線的な傾斜を持たせて、歪み界面を傾斜領域全体に渡って分散させる。これは、それによって形成される転位も傾斜領域全体に渡って分散されるので、転位が相互に作用し難くなることを意味する。しかしながらこのような技術では、転位の主要発生源が増倍機構であり、この機構では、多くの転位が同じ発生源から生成されるので、転位が群となって通常同じ原子英進面の上に集まるという不具合が生じる。これらの転位群から生じる歪み領域は仮想基板表面に大きなうねりを生じ、これら歪み領域及び大きなうねりの両方は、仮想基板の品質に悪影響を及ぼし、且つ貫通転位を閉じ込めてしまうという影響を更にもたらす。

10

【0006】

米国特許出願公開2002/0017642A1は、バッファ層を複数の積層膜から形成する技術について記載している。この技術では、複数の積層膜は、傾斜S i G e 層、及び傾斜S i G e 層の上の均一S i G e 層を交互に重ねた層を含み、傾斜S i G e 層は、傾斜S i G e 層の下地となる材料のG e 組成比からそれよりも大きな組成比にまで徐々に増加するG e 組成比を有し、均一S i G e 層は層の厚さ全体に渡ってほぼ一定の高い値のG e 組成比を有する。このように、傾斜S i G e 層及び均一S i G e 層を交互に重ねて形成して、バッファ層全体に渡ってG e 組成比に階段状の変化を持たせることにより、転位が界面で横方向に伝搬し易くなり、その結果、貫通転位が生じ難くなるので表面粗さが小さくなり易い。しかしながら、この技術において満足できる性能を得るためには、かなり厚く、細心の注意を払って傾斜を持たせた層を交互に設ける必要があり、しかも貫通転位が形成されることによって性能が劣化するという問題は依然として残る。

20

【0007】

本発明の一つの目的は、公知の技術に比べて貫通転位密度を減らすことにより性能を向上させた格子調整半導体基板の形成方法を提供することである。

30

【0008】

本発明によれば、格子調整半導体基板の形成方法が提供され、この方法は、  
(a) 平行配置された絶縁手段によってS i 表面から成る平行細片を画定すること、  
(b) 第1 S i G e 層を細片の上に選択的に成長させて第1 転位が優先的に絶縁手段の間の第1 S i G e 層を横切って延びて第1 S i G e 層の歪みを絶縁手段に直交する方向に緩和すること、及び  
(c) 絶縁手段を覆うように第2 S i G e 層を第1 S i G e 層の上部の上に成長させて、第2 転位が優先的に絶縁手段上方の第2 S i G e 層の内部に形成されて、第2 S i G e 層の歪みを第1 転位と直交する方向に緩和することを含む。

40

【0009】

このような技術は、極めて低いレベル、すなわち貫通転位が $1\text{ cm}^2$  当たり $10^6$  個未満からほぼゼロのレベルの貫通転位を含む高品質のS i G e 仮想基板を形成することができると考えられる。これは、転位がS i G e 材料を2つの互いに直交する方向に緩和するように形成される一方で、これらの転位が空間的に分離されて2組の転位が互いに作用することがなく、よってS i G e 材料の深さを貫通して延びる貫通転位が形成されないためである。

【0010】

その結果、所定のG e 組成について形成される仮想基板の厚さを小さくすることができ

50

、貫通転位密度及び表面起伏の両方が大幅に低減される。これによって、電力を一層容易に放散させることができる優れた仮想基板が得られる。仮想基板の表面の粗さが低減されることにより、表面研磨を最小限に止めるか又は全て無くすることができ、且つ表面のどここによる領域分離不良を最小限に抑える、という点で後続の処理が一層容易になる。形成される仮想基板の品質は、例えば超小型電子技術又はフルＣＭＯＳ集積回路システムのような特殊用途に適するレベルのものとなる。

【 0 0 1 1 】

本発明をより一層完全に理解するために、以下に添付の図を参照する。

【 実施例 】

【 0 0 1 2 】

後述は、ＳｉＧｅバッファ層を格子調整仮想Ｓｉ基板と下地Ｓｉ基板との間に配置する形で格子調整仮想Ｓｉ基板を下地Ｓｉ基板の上に形成する方法に行なわれる。しかしながら、本発明は、完全に緩和された純Ｇｅで終端してＩＩＩ－Ｖ族元素のＳｉとの結合を可能にする基板を含む他のタイプの格子調整半導体基板の形成にも適用することができることを理解されたい。本発明に従って、例えばアンチモンのような一つ以上の界面活性剤をエピタキシャル成長プロセスに取り入れて表面エネルギーを低くすることにより仮想基板表面を更に滑らかにし、且つ貫通転位密度を低くすることも可能である。

【 0 0 1 3 】

図１はＳｉＧｅ材料１から成る薄長のストライプを示しており、この材料は、ＳｉＧｅ材料を４辺で取り囲むＳｉ酸化物壁２による包囲領域内で成長する。エピタキシャル成長によるこの領域内でのＳｉＧｅ層の成長の間、転位３はこの領域の短辺に沿って、すなわち一方の長い方の酸化物壁から他方の反対側の長い方の酸化物壁に向かって優先的に形成される。これらの転位３は長い方の酸化物壁の内の一方又は他方に沿った転位核生成サイト４（各々の核生成サイトを図の「×」で示す）で形成される。これは通常、成長ゾーンのエピタキシャル成長の端で転位が形成され易いからである。転位が短辺に沿って形成される場合、これらの転位はほとんど何の抵抗もなくゾーンの反対側に延びることができる。しかしながら、ゾーンの長編に沿って形成されようとする転位は、短辺に沿って形成される転位に直ぐに妨害されるので、ゾーンの全長を横切ることができない。図１に、このような転位５がゾーンの一端から生じ、短辺に沿って延びる転位３によって直ぐにピンニング位置６で阻止された状態が示されている。

【 0 0 1 4 】

従ってこの場合のＳｉＧｅ材料は、短辺に沿って延びる転位が形成されることによって一方向の緩和が可能になるだけで、長辺に沿って形成される転位が形成されないで直交方向では緩和されないままである（但し、短辺が十分小さい場合には或る弾性緩和が生じ得る）。上に記載した達成困難な項目を、酸化物壁２内に閉じ込められた小領域内でのＳｉＧｅの成長に関して議論したが、同様な問題は、ＳｉＧｅを基板表面領域により制限される領域内、例えばエッチングにより形成されるメサ構造ピラーの上部の上に成長させる必要がある場合に観察される。

【 0 0 1 5 】

従って、歪みＳｉ活性層又は歪みＳｉＧｅ活性層、及び内部にＭＯＳＦＥＴのような能動半導体素子を形成することができる歪のないＩＩＩ－Ｖ族半導体活性層の成長に適する緩和ＳｉＧｅ仮想基板を形成する本発明の方法によれば、酸化物層をＳｉ基板１０の上に成長させ、次にエッチングすべき領域を画定した後に、例えばフォトレジスト層を酸化物層に塗布し、フォトレジスト層を選択的に露光し、現像してフォトレジストマスクを形成することにより酸化物層を選択的にエッチングする。エッチングの後、図２aに示すように、細長の酸化物壁１１が基板１０の長さに沿って互いにほぼ平行に延び、薄長の細片１２によって分離される。この図では、続いて、ＳｉＧｅ層を上記に説明した方法で成長させる。

【 0 0 1 6 】

続くエピタキシャル成長プロセスでは、図２bに示すように、ＳｉＧｅ層１３を酸化物

10

20

30

40

50

壁 1 1 間の薄長の各細片 1 2 の上に選択的に、室温 ~ 1 , 2 0 0 、好適には 3 5 0 ~ 9 0 0 の温度で成長させる。このような S i G e 成長は、酸化物壁 1 1 の上部に沿った S i G e に成長がほとんど生じないという点で選択的である。このような選択成長は化学的気相成長 ( C V D ) によって行なうことができる。

【 0 0 1 7 】

図 2 c に示すように、転位 1 4 は、各酸化物壁 1 1 に形成され、且つ反対側の酸化物壁 1 1 に向かって短辺に沿って延びるように生じる。このようにして、壁 1 1 間の領域の幅全体に渡って延びる転位 1 4 の方向に S i G e 材料が緩和する。

【 0 0 1 8 】

必要に応じて室温 ~ 1 , 5 0 0 、好適には 5 0 0 ~ 1 , 2 0 0 の高温で実施されるアニール工程によって容易になるこのような緩和に続いて、S i G e 材料のエピタキシャル成長が、室温 ~ 1 , 2 0 0 、好適には 3 5 0 ~ 9 0 0 の温度で継続して行なわれ、第 1 S i G e 層 1 3 に連続する形で更に別の S i G e 層 1 3 a が形成され、この S i G e 層 1 3 a の形成は、図 2 d に示すように、S i G e 材料が酸化物壁 1 1 の上部を覆う形で横方向に成長するまで行なわれる。最終的に、酸化物壁 1 1 の間の領域で種結晶となる S i G e の成長領域が互いに融合し、S i 基板の全面を覆う。このようにして成長させた S i G e 材料は単結晶層を形成するか、又は異なる成長ゾーンが融合した積層欠陥が生じ得る。いずれにしても、異なる成長ゾーンが接する箇所で表面がでこぼこになる。

【 0 0 1 9 】

S i G e の成長が続くと、緩和されない長さ方向の歪みは最終的には、且つウェハ上の任意の箇所を核として生じ得る長さ方向の転位が形成されることにより緩和される。このような核生成は、成長ゾーンの各辺の酸化物壁による核生成の活性化エネルギーよりもずっと大きい活性化エネルギーを有するので、このような長さ方向の転位 1 5 の形成は酸化物壁 1 1 により画定される窓の内側での転位 1 4 の形成よりもずっと後の段階で生じる。

【 0 0 2 0 】

長さ方向の転位 1 5 は窓の内側の転位 1 4 よりも高い位置に形成されるので、この 2 組の転位 1 4 , 1 5 は互いに作用することがなく、これらの転位はウェハの全表面を覆って延びることができる。更に、S i G e 材料には外部の壁 1 1 に直交する方向に歪みが生じないので、この方向に転位を生じさせ易い駆動力が生じない。更に、全ての転位相互作用が最小限に維持されるので、貫通転位がほとんど生じることがない。転位相互作用が生じる場合には貫通転位が S i G e 材料の上面で終端することになって表面が粗くなる。

【 0 0 2 1 】

このようにして、高品質の仮想基板が形成され、このような仮想基板を歪み S i 活性層又は歪み S i G e 活性層及び内部に能動半導体素子を形成することができる歪みのない I I I - V 族半導体活性層の成長に使用することができる。

【 0 0 2 2 】

上述の方法では、S i G e 材料の G e 組成に応じて酸化物壁 1 1 の高さは 1 0 n m ~ 1 , 0 0 0 n m の範囲で変化させることができ、普通この高さは 4 0 0 n m ~ 7 0 0 n m の範囲が望ましい。酸化物窓の幅は 1 0 0 n m ~ 1 0 0 μ m とすることができ、5 μ m ~ 2 0 μ m が最も多く使用される。酸化物壁 1 1 の幅はできる限り狭いことが好ましく、これによって横方向に延びて壁を完全に覆う形の成長が保証され、従って現在のところ、幅は 1 0 0 n m ~ 1 0 μ m 、好ましくは約 1 μ m である。

【 0 0 2 3 】

S i G e 材料内の G e 組成は層の厚さ全体に渡ってほぼ一定とすることができるが、G e 組成が層の低い位置の第 1 組成から層の高い位置の第 2 の高い組成に増加するように G e 組成を傾斜させることもできる。

【 0 0 2 4 】

上に記載した方法の種々の変形を本発明の範囲内で実施することができる。例えば、S i G e 材料が十分に成長して酸化物壁 1 1 の上部を覆った後、図 2 d に示すようにでこぼこの表面 1 6 が形成され、化学的機械研磨 ( C M P ) 工程を実施して表面を平坦化するこ

とによりこのでこぼこ表面の影響を無くした後、最終キャップ層を成長させて図 2 e に示す最終構造を得ることが出来る。更に別の変形では、アニール工程を実施して確実に全体を緩和させる。このようなアニール工程は、SiGe 成長プロセスのどの段階でも実施することができるが、この工程は酸化物壁 11 の間に SiGe を選択的に成長させた後で、且つ SiGe がさらに成長して酸化物壁 11 の上部を覆う前に実施することが好ましい。

【0025】

更に別の変形では、SiGe 材料を酸化物壁の間に成長させるのではなく、成長ゾーンを画定する非常に狭い間隔で配置されたメサ型ピラーの上部に SiGe を成長させる。この場合、細片間の絶縁は、絶縁酸化物壁を使用するのではなく、ピラー間のトレンチを使用して行ない、エピタキシャル成長プロセスを分子線エピタキシ (MBE) 又は CVD と

10

【0026】

更に、成長が選択領域にのみ生じるように、パターニングされたシリコンウェハ、又はパターニングされた酸化物層を有するウェハの上に仮想基板をエピタキシャル成長させることができる。従って、この形成技術を使用して、例えば先端回路機能が必要なチップの一つ以上の選択領域 (システムオンチップ集積回路設計に必要な領域等) にのみ仮想基板を形成することができる。

【0027】

本発明の方法は、仮想基板の形成を含む広範囲の用途に適用することができ、仮想基板を形成することによって、歪みを有する、又は歪みが緩和された Si、Ge 又は SiGe 層を成長させてバイポーラ接合トランジスタ (BJT)、電界効果トランジスタ (FET)、及び共鳴トンネルダイオード (RTD) のような素子を形成することができるだけでなく、III-V 族半導体層を成長させて CMOS 技術、及び発光ダイオード (LED) 及び半導体レーザを含むオプトエレクトロニクス用途の高速デジタルインターフェースを実現することができる。

20

【図面の簡単な説明】

【0028】

【図 1】歪み Si 基板が長さ方向に緩和されることを阻止する、長さ方向に直交する方向の転位の影響を示す説明図である。

30

【図 2】本発明による格子調整半導体基板の形成方法の連続工程を示す。

【 図 1 】

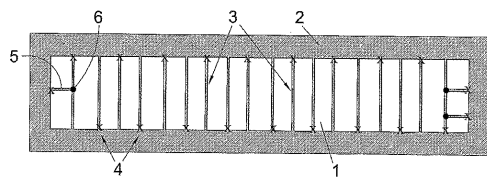


Fig. 1

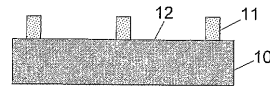


Fig. 2a

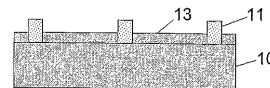


Fig. 2b

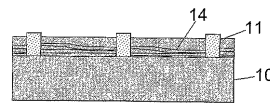


Fig. 2c

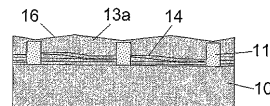


Fig. 2d

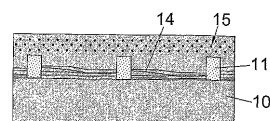


Fig. 2e

## 【 手続補正書 】

【 提出日 】 平成16年3月18日 (2004.3.18)

## 【 手続補正 1 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 0 6

【 補正方法 】 変更

【 補正の内容 】

【 0 0 0 6 】

米国特許出願公開2002/0017642A1は、バッファ層を複数の積層膜から形成する技術について記載している。この技術では、複数の積層膜は、傾斜SiGe層、及び傾斜SiGe層上の均一SiGe層を交互に重ねた層を含み、傾斜SiGe層は、傾斜SiGe層の下地となる材料のGe組成比からそれよりも大きな組成比にまで徐々に増加するGe組成比を有し、均一SiGe層は層の厚さ全体に渡ってほぼ一定の高い値のGe組成比を有する。このように、傾斜SiGe層及び均一SiGe層を交互に重ねて形成して、バッファ層全体に渡ってGe組成比に階段状の変化を持たせることにより、転位が界面で横方向に伝搬し易くなり、その結果、貫通転位が生じ難くなるので表面粗さが小さくなり易い。しかしながら、この技術において満足できる性能を得るためには、かなり厚く、細心の注意を払って傾斜を持たせた層を交互に設ける必要があり、しかも貫通転位が形成されることによって性能が劣化するという問題は依然として残る。

米国特許第5238869号には、Si基板上にSiO<sub>2</sub>の欠陥消滅格子を形成し、格子の上にGaAs層を成長させて、両者を格子の開口内で格子を分割する壁を覆うように延ばす方法が開示されている。格子により、大部分の転移は、半導体素子が形成される表面領域に伝播せず、格子で終端するので、格子は転移の「放出」を提供する。しかしながら、この方法では表面が平坦にならず、基板表面の大部分に半導体素子を必要とする用途には全く適さない。



## 【手続補正書】

【提出日】平成16年10月1日(2004.10.1)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

格子調整半導体基板の形成方法であって、

(a) 平行配置された絶縁手段(2; 11)によってSi表面から成る平行細片(12)を画定する工程、

(b) 第1SiGe層(13)を細片(12)の上に、但し細片間の絶縁手段(2; 11)上を除いて選択的に成長させて第1転位(14)が優先的に絶縁手段(2; 11)の間の第1SiGe層(13)を横切って延びることにより第1SiGe層(13)の歪みを絶縁手段(2; 11)に直交する方向に緩和させる工程、及び

(c) 絶縁手段(2; 11)を覆うように第1SiGe層(13)の上に第2SiGe層(13a)を成長させ、第2転位(15)が優先的に絶縁手段(2; 11)上方の第2SiGe層(13a)の内部に形成されて、第2SiGe層(13a)の歪みを第1転位(14)と直交する方向に緩和する工程を含む方法。

【請求項2】

第1SiGe層(13)が層(13)内でほぼ一定のGe組成比を有する、請求項1記載の方法。

【請求項3】

第2SiGe層(13a)が層(13a)内でほぼ一定のGe組成比を有する請求項1又は2記載の方法。

【請求項4】

SiGe層(13, 13a)の少なくとも一つの層が、層内で、第1レベルから第1レベルよりも高い第2レベルに増加するGe組成比を有する、請求項1、2又は3記載の方法。

【請求項5】

少なくとも第1SiGe層(13)を高温でアニールすることにより層(13)の歪みをほぼ完全に緩和する、請求項1ないし4のいずれか一項に記載の方法。

【請求項6】

第1及び第2SiGe層(13, 13a)の成長を室温~1200、好適には350~900の温度で行ない、少なくとも第1SiGe層(13)のアニールを室温~1500、好適には500~1200の高温で行なう、請求項5記載の方法。

【請求項7】

第1及び第2SiGe層(13, 13a)を単一の連続成長プロセスにより形成する請求項1ないし6のいずれか一項に記載の方法。

【請求項8】

中間処理を第1SiGe層(13)の成長と第2SiGe層(13a)の成長との間に行なう請求項1ないし6のいずれか一項に記載の方法。

【請求項9】

中間処理が、第1SiGe層(13)を高温でアニールして第1SiGe層(13)の歪みをほぼ完全に緩和する工程を含む、請求項8記載の方法。

【請求項10】

中間処理工程が化学的機械研磨工程を含む請求項8又は9記載の方法。

【請求項11】

第1 SiGe層(13)を選択エピタキシャル成長プロセスにより成長させる請求項1ないし10のいずれか一項に記載の方法。

【請求項12】

エピタキシャル成長プロセスが化学的気相成長(CVD)である請求項1記載の方法。

【請求項13】

エピタキシャル成長プロセスが分子線エピタキシ(MBE)である請求項1記載の方法。

【請求項14】

Si酸化物から成る細片は10nm~1000nm、好ましくは400nm~700nmの範囲の厚さを有する、請求項1ないし13のいずれか一項に記載の方法。

【請求項15】

Si酸化物から成る細片(12)は100nm~10μm、好ましくは約1μmの幅を有する、請求項1ないし14のいずれか一項に記載の方法。

【請求項16】

Si酸化物から成る細片(12)は互いに100nm~100μm、好ましくは5μm~20μmの距離を置いて配置される、請求項の1ないし15のいずれか一項に記載の方法。

【請求項17】

第1及び第2 SiGe層(13, 13a)の上に、内部に一つ以上の半導体素子を形成できる歪みSi層を成長させる工程を更に含む、請求項1ないし16のいずれか一項に記載の方法。

【請求項18】

絶縁手段はSi表面上に平行配置されたSi酸化物壁(2; 11)を含む、請求項1ないし17のいずれか一項に記載の方法。

【請求項19】

絶縁手段はSi表面に平行配置されたトレンチを含む、請求項1ないし17のいずれか一項に記載の方法。

【請求項20】

絶縁手段はSi表面上に平行配置されたSi窒化物壁を含む、請求項1ないし17のいずれか一項に記載の方法。

【請求項21】

請求項1ないし20のいずれか一項に記載の方法を用いて形成される格子調整半導体基板。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

その結果、所定のGe組成について形成される仮想基板の厚さを小さくすることができ、貫通転位密度及び表面起伏の両方が大幅に低減される。これによって、電力を一層容易に放散させることができる優れた仮想基板が得られる。さらに、必ず中間細片上での選択的成長を行った後で絶縁手段を覆う成長を行うことにより仮想基板の表面のでこぼこが低減され、このようにして仮想基板の表面の粗さが低減されることにより、表面研磨を最小限に止めるか又は全て無くすることができ、且つ表面のでこぼこによる領域分離不良を最小限に抑える、という点で後続の処理が一層容易になる。形成される仮想基板の品質は、例えば超小型電子技術又はフルCMOS集積回路システムのような特殊用途に適するレベルのものとなる。

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		Intern: Application No PCT/JP 03/03514
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 H01L21/20		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 01 01465 A (MASSACHUSETTS INST TECHNOLOGY) 4 January 2001 (2001-01-04) page 28, line 2-10; examples 12-15 ---	1-21
Y	US 2002/017642 A1 (SHIONO ICHIRO ET AL) 14 February 2002 (2002-02-14) cited in the application the whole document ---	1-21
Y	US 5 410 167 A (SAITO JUNJI) 25 April 1995 (1995-04-25) column 6, line 28 -column 7, line 52; figures 1,2,5 ---	1-21
Y	US 5 238 869 A (SHICHIJO HISASHI ET AL) 24 August 1993 (1993-08-24) column 2, line 26-40; claims; figures ---	1-21
-/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 12 December 2003		Date of mailing of the international search report 22/12/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Wolff, G

## INTERNATIONAL SEARCH REPORT

Internat	Application No
PCT, JP	03/03514

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 272 105 A (YACOBI BEN G ET AL) 21 December 1993 (1993-12-21) column 3, line 43-65; figure 2 -----	1-21
A	EP 1 052 684 A (TOYODA GOSEI KK) 15 November 2000 (2000-11-15) figures 1,3,4 -----	1-21
A	US 5 108 947 A (VAN DAELE PETER P ET AL) 28 April 1992 (1992-04-28) column 4, line 19 -column 7, line 7; figures 5,7,8 -----	1-21
A	GB 2 215 514 A (PLESSEY CO PLC) 20 September 1989 (1989-09-20) figures -----	1-21

## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP 03/03514

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 0101465	A	04-01-2001	EP 1192646 A1	03-04-2002
			EP 1192647 A1	03-04-2002
			TW 484234 B	21-04-2002
			TW 449834 B	11-08-2001
			WO 0101466 A1	04-01-2001
			WO 0101465 A1	04-01-2001
			US 6352942 B1	05-03-2002
			US 6635110 B1	21-10-2003
US 2002017642	A1	14-02-2002	JP 2002118254 A	19-04-2002
			CN 1336684 A	20-02-2002
			DE 10137369 A1	25-04-2002
			TW 517284 B	11-01-2003
US 5410167	A	25-04-1995	JP 3286920 B2	27-05-2002
			JP 6029213 A	04-02-1994
			FR 2693593 A1	14-01-1994
			US 5622891 A	22-04-1997
US 5238869	A	24-08-1993	US 5959308 A	28-09-1999
			EP 0352472 A2	31-01-1990
			JP 2161718 A	21-06-1990
US 5272105	A	21-12-1993	US 5079616 A	07-01-1992
			EP 0328405 A2	16-08-1989
EP 1052684	A	15-11-2000	JP 2000323417 A	24-11-2000
			EP 1052684 A1	15-11-2000
			US 2002179005 A1	05-12-2002
			US 6645295 B1	11-11-2003
US 5108947	A	28-04-1992	EP 0380815 A1	08-08-1990
			DE 68915529 D1	30-06-1994
			DE 68915529 T2	01-12-1994
			JP 2954958 B2	27-09-1999
			JP 3114222 A	15-05-1991
GB 2215514	A	20-09-1989	NONE	

## フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,M W,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA ,ZM,ZW

(72)発明者 グラスビー, ティモシー, ジョン

英国 ダブリューアール 1 1 8 ユーエクス ウォーセスターシャー, サルフォード プライア  
ーズ, ステーション ロード, クローバー コテージ 3

(72)発明者 パーカー, エバン, ヒューバート, クレスウェル

英国 ジーエル 5 5 6 エーユー グローセスターシャー, チッピング カムデン, バック  
エンズ, ザ オーチャード (番地なし)

(72)発明者 ホエール, テレンス

英国 ビー 9 7 4 ピーディー ウォーセスターシャー, レディッチ, パーシャル クローズ  
1 0

F ターム(参考) 5F152 LL03 LL09 LN03 LN08 LN14 LN22 LN28 LN32 LN35 MM02  
MM04 MM07 MM09 MM10 MM18 NN03 NP04 NP13 NQ03 NQ04  
NQ05