

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 7월 6일 (06.07.2017)



(10) 국제공개번호
WO 2017/116094 A1

- (51) 국제특허분류:
H01L 33/36 (2010.01) H01L 33/48 (2010.01)
H01L 33/10 (2010.01) H01L 33/22 (2010.01)
- (21) 국제출원번호: PCT/KR2016/015253
- (22) 국제출원일: 2016년 12월 26일 (26.12.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0187457 2015년 12월 28일 (28.12.2015) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 04637 서울시 중구 후암로 98 LG 서울 역빌딩 17층, Seoul (KR).
- (72) 발명자: 홍준희 (HONG, Jun Hee); 04637 서울시 중구 한강대로 416 서울스퀘어, Seoul (KR). 서재원 (SEO, Jae Won); 04637 서울시 중구 한강대로 416 서울스퀘어, Seoul (KR).
- (74) 대리인: 특허법인 다나 (DANA PATENT LAW FIRM); 06242 서울시 강남구 역삼로 3길 11 광성빌딩 신관 4~6층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

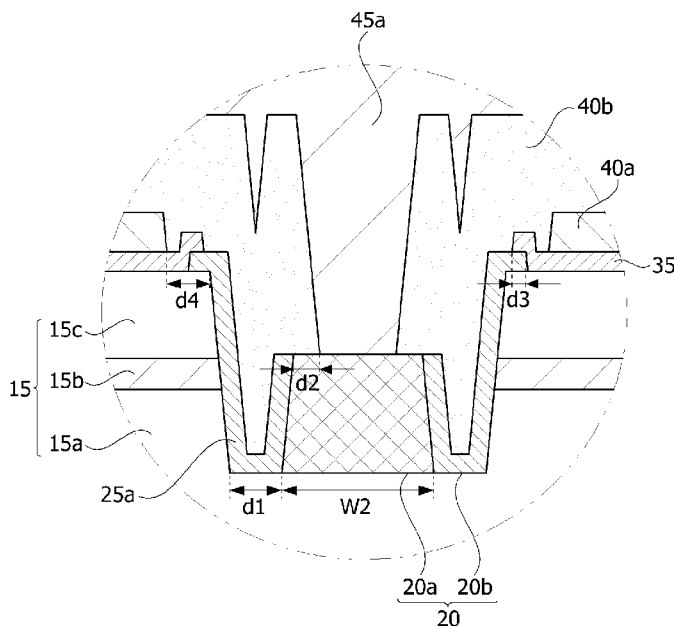
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: LIGHT-EMITTING ELEMENT

(54) 발명의 명칭 : 발광 소자



(57) Abstract: An embodiment relates to a light-emitting element, which enables a current to be easily spread and a driving voltage to be improved by increasing a contact area between a first electrode and a first semiconductor layer, and comprises: a light-emitting structure including the first semiconductor layer, an active layer, and a second semiconductor layer; a groove exposing the second semiconductor layer through the bottom surface and exposing the first semiconductor layer, the active layer, and the second semiconductor layer through a lateral surface by removing the light-emitting structure; the first electrode connected to the first semiconductor layer exposed through the bottom surface of the groove; a first insulation pattern, which covers the first semiconductor layer, the active layer, and the second semiconductor layer exposed through the lateral surface of the groove, has one end extending up till a portion of the upper surface of the first electrode, and has another end extending up till a portion of the upper surface of the second semiconductor layer, such that the upper surface of the first electrode and the upper surface of the second semiconductor layer are partially exposed; a first reflection layer disposed on the exposed second semiconductor layer; a second reflection layer for exposing the second semiconductor layer and the first electrode; and a second electrode disposed on the

second reflection layer exposed by the second reflection layer.

(57) 요약서:

[다음 쪽 계속]

WO 2017/116094 A1



실시 예는 제 1 전극과 제 1 반도체층의 접촉 면적을 증가시켜 전류 확산이 용이하고 구동 전압을 개선할 수 있는 발광 소자에 관한 것으로, 제 1 반도체층, 활성층 및 제 2 반도체층을 포함하는 발광 구조물; 상기 발광 구조물이 제거되어 바닥면에서 상기 제 2 반도체층을 노출시키며, 측면에서 상기 제 1 반도체층, 활성층 및 제 2 반도체층을 노출시키는 홈; 상기 홈의 바닥면에서 노출된 상기 제 1 반도체층과 접촉하는 제 1 전극; 상기 홈의 측면에서 노출된 상기 제 1 반도체층, 활성층 및 제 2 반도체층을 덮으며, 일 끝단이 상기 제 1 전극의 상부면의 일부까지 연장되고 타 끝단은 상기 제 2 반도체층의 상부면의 일부까지 연장되어 상기 제 1 전극의 상부면과 상기 제 2 반도체층의 상부면을 부분적으로 노출시키는 제 1 절연 패턴; 노출된 상기 제 2 반도체층 상에 배치된 제 1 반사층; 상기 제 2 반도체층 및 상기 제 1 전극을 노출시키는 제 2 반사층; 및 상기 제 2 반사층에 의해 노출된 상기 제 2 반사층 상에 배치된 제 2 전극을 포함한다.

명세서

발명의 명칭: 발광 소자

기술분야

- [1] 본 발명 실시 예는 전류 확산 및 구동 전압이 개선된 발광 소자에 관한 것이다.

배경기술

- [2] 발광 다이오드(Light Emitting Diode: LED)는 전류가 인가되면 광을 방출하는 발광 소자 중 하나이다. 발광 다이오드는 저전압으로 고효율의 광을 방출할 수 있어 에너지 절감 효과가 뛰어나다. 최근, 발광 다이오드의 휘도 문제가 크게 개선되어, 액정 표시 장치의 백라이트 유닛(Backlight Unit), 전광판, 표시기, 가전 제품 등과 같은 각종 기기에 적용되고 있다.
- [3] 발광 다이오드는 제 1 반도체층, 활성층 및 제 2 반도체층으로 구성된 발광 구조물의 일 측에 제 1 전극과 제 2 전극이 배치된 구조일 수 있다.
- [4] 수직형 발광 다이오드의 경우, 제 1 전극은 제 1 반도체층, 활성층 및 제 2 반도체층을 관통하는 홈을 통해 제 1 반도체층과 전기적으로 접속될 수 있다. 그리고, 일반적인 수직형 발광 다이오드는 후술할 제 1 전극과 연결될 제 1 본딩 패드가 홈에서 노출된 활성층 및 제 2 반도체층과 접속되는 것을 방지하기 위해, 홈에서 노출된 활성층 및 제 2 반도체층을 감싸는 제 1 절연 패턴을 더 포함한다.
- [5] 그런데, 제 2 전극과 제 2 반도체층의 접촉 면적 대비 제 1 전극과 제 1 반도체층의 접촉 면적이 매우 좁다. 이에 따라, 제 1 전극과 제 1 반도체층의 접촉 영역에서 전류 크라우딩(Current Crowding) 현상이 발생하여 제 1 전극 주변의 발열이 증가하고, 동시에 구동 전압 역시 커지는 문제가 발생한다.
- [6] 제 1 전극과 제 1 반도체층의 접촉 면적을 넓히기 위해서는 제 1 전극과 절연 패턴의 이격 간격을 좁히거나 제 1 전극의 폭을 넓게 형성하는 방법이 있다. 그러나, 제 1 전극과 제 1 절연 패턴이 너무 인접하는 경우, 절연 패턴 상에 형성될 반사층의 반사 효율이 저하될 수 있으며, 제 1 전극과 제 1 절연 패턴의 공정 마진에 의해 제 1 전극이 제 1 절연 패턴을 완전히 덮는 문제가 발생할 수 있다. 또한, 제 1 전극의 폭을 넓게 형성하기 위해 면적이 넓은 바닥면을 갖는 홈을 형성하는 경우, 발광 구조물의 활성층의 면적이 감소한다. 이에 따라, 발광 효율이 저하되는 문제가 발생한다.
- [7] 즉, 일반적인 발광 소자는 제 1 전극의 폭을 넓히는데 한계가 있어, 제 1 전극과 제 1 반도체층의 접촉 면적 역시 증가시키기 어렵다.

발명의 상세한 설명

기술적 과제

- [8] 본 발명이 이루고자 하는 기술적 과제는 홈의 크기를 증가시키지 않고 제 1 전극과 제 1 반도체층의 접촉 면적을 증가시켜 전류 확산이 용이하고 구동 전압을 개선할 수 있는 발광 소자를 제공하는데 있다.

과제 해결 수단

- [9] 본 발명 실시 예의 발광 소자는 제 1 반도체층, 활성층 및 제 2 반도체층을 포함하는 발광 구조물; 상기 발광 구조물이 제거되어 바닥면에서 상기 제 2 반도체층을 노출시키며, 측면에서 상기 제 1 반도체층, 활성층 및 제 2 반도체층을 노출시키는 홈; 상기 홈의 바닥면에서 노출된 상기 제 1 반도체층과 접촉하는 제 1 전극; 상기 홈의 측면에서 노출된 상기 제 1 반도체층, 활성층 및 제 2 반도체층을 덮으며, 일 끝단이 상기 제 1 전극의 상부면의 일부까지 연장되고 타 끝단은 상기 제 2 반도체층의 상부면의 일부까지 연장되어 상기 제 1 전극의 상부면과 상기 제 2 반도체층의 상부면을 부분적으로 노출시키는 제 1 절연 패턴; 노출된 상기 제 2 반도체층 상에 배치된 제 1 반사층; 상기 제 2 반도체층 및 상기 제 1 전극을 노출시키는 제 2 반사층; 및 상기 제 2 반사층에 의해 노출된 상기 제 2 반사층 상에 배치된 제 2 전극을 포함한다.
- [10] 본 발명 다른 실시 예의 발광 소자는 제 1 반도체층, 활성층 및 제 2 반도체층을 포함하는 발광 구조물; 상기 발광 구조물이 제거되어 바닥면에서 상기 제 2 반도체층을 노출시키며, 측면에서 상기 제 1 반도체층, 활성층 및 제 2 반도체층을 노출시키는 홈; 상기 홈의 바닥면에서 노출된 상기 제 1 반도체층과 접촉하는 제 1 전극; 상기 홈의 측면에서 노출된 상기 제 1 반도체층, 활성층 및 제 2 반도체층을 덮으며, 일 끝단이 상기 제 1 전극의 상부면의 일부까지 연장되고 타 끝단은 상기 제 2 반도체층의 상부면의 일부까지 연장되어 상기 제 1 전극의 상부면과 상기 제 2 반도체층의 상부면을 부분적으로 노출시키는 제 1 절연 패턴; 노출된 상기 제 2 반도체층 상에 배치된 제 1 반사층; 상기 제 1 반사층을 감싸며, 상기 제 2 반도체층 및 제 1 전극을 노출시키는 제 2 절연 패턴; 상기 제 2 절연 패턴 상에 배치되며, 상기 제 2 반도체층 및 상기 제 1 전극을 노출시키는 제 2 반사층; 및 상기 제 2 절연 패턴 및 상기 제 2 반사층에 의해 노출된 상기 제 2 반도체층 상에 배치된 제 2 전극을 포함한다.

발명의 효과

- [11] 본 발명의 일 실시 예에 따른 발광 소자는 다음과 같은 효과가 있다.
- [12] 첫째, 추가적으로 활성층을 제거하지 않고 제 1 전극과 제 1 반도체층의 접촉 면적을 증가시킬 수 있다. 이에 따라, 구동 전압이 개선되며 발광 구조물의 전류 확산이 용이하며 구동 전압이 감소할 수 있다.
- [13] 둘째, 제 1 절연 패턴과 제 2 반사층 사이에 제 2 절연 패턴을 배치하여, 홈의 측면과 제 1 전극의 가장자리 사이에서 제 2 반사층의 절곡 정도를 보상할 수 있다.
- [14] 셋째, 홈의 측면을 감싸도록 제 2 반사층을 배치하여, 홈의 측면으로 진행되는 광을 발광 구조물의 광 방출면으로 용이하게 반사시켜 발광 소자의 광속을 향상시킬 수 있다.

도면의 간단한 설명

- [15] 도 1은 본 발명 실시 예의 발광 소자의 평면도이다.
- [16] 도 2a는 도 1의 -I'의 단면도이다.
- [17] 도 2b는 도 2a의 A 영역의 확대도이다.
- [18] 도 3은 일반적인 제 1 전극과 제 1 반도체층의 접속 영역을 도시한 단면도이다.
- [19] 도 4a는 도 1의 다른 실시 예의 -I'의 단면도이다.
- [20] 도 4b는 도 4a의 A 영역의 확대도이다.

발명의 실시를 위한 형태

- [21] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [22] 제 1, 제 2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제2 구성요소는 제1 구성요소로 명명될 수 있고, 유사하게 제1 구성요소도 제2 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.
- [23] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [24] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [25] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게

정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[26] 이하, 첨부된 도면을 참조하여 실시 예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 대응하는 구성 요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[27] 이하, 첨부된 도면을 참조하여 실시 예의 발광 소자를 상세히 설명하면 다음과 같다.

[28] * 제 1 실시 예 *

[29] 도 1은 본 발명 실시 예의 발광 소자의 평면도이다. 도 2a는 도 1의 I-I'의 단면도이며, 도 2b는 도 2a의 A 영역의 확대도이다.

[30] 도 1, 도 2a 및 도 2b와 같이, 본 발명 실시 예의 발광 소자는 제 1 반도체층(15a), 활성층(15b) 및 제 2 반도체층(15c)을 포함하는 발광 구조물(15), 발광 구조물(15)이 제거되어 바닥면(20a)에서 제 1 반도체층(15a)을 노출시키며, 측면(20b)에서 제 1 반도체층(15a), 활성층(15b) 및 제 2 반도체층(15c)을 노출시키는 홈(20), 홈(20)의 바닥면(20a)에서 노출된 제 1 반도체층(15a)과 접속하는 제 1 전극(30a), 홈(20)의 측면(20b)에서 노출된 제 1 반도체층(15a), 활성층(15b) 및 제 2 반도체층(15c)을 덮으며, 일 끝단이 제 1 전극(30a)의 상부면의 일부까지 연장되며, 타 끝단은 제 2 반도체층(15c)의 상부면의 일부까지 연장되어 제 1 전극(30a)의 상부면과 제 2 반도체층(15c)의 상부면을 부분적으로 노출시키는 제 1 절연 패턴(25a), 노출된 제 2 반도체층(15c) 상에 배치된 제 1 반사층(40a), 제 1 반사층(40a) 및 제 1 전극(30a)을 노출시키는 제 2 반사층(40b), 및 제 2 반사층(40b)에 의해 노출된 제 1 반사층(40a) 상에 배치된 제 2 전극(30b)을 포함한다.

[31] 기판(10)은 전도성 기판 또는 절연성 기판을 포함할 수 있다. 기판(10)은 반도체 물질 성장에 적합한 물질이거나 캐리어 웨이퍼일 수 있다. 기판(10)은 사파이어(Al_2O_3), SiC, GaAs, GaN, ZnO, Si, GaP, InP 및 Ge 중 선택된 물질로 형성될 수 있으며, 이에 대해 한정하지는 않는다. 기판(10)은 제거되어도 무방하다.

[32] 도시하지는 않았으나, 발광 구조물(15)과 기판(10) 사이에는 버퍼층(미도시)이 더 배치될 수 있다. 버퍼층은 제 1 반도체층(15a)과 기판(10)의 격자 부정합을 완화할 수 있다. 버퍼층은 III족과 V족 원소가 결합된 형태이거나 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중에서 어느 하나를 포함할 수 있다. 버퍼층에는 도펀트가 도핑될 수도 있으며, 이에 한정하지 않는다. 버퍼층은 기판(10) 상에 단결정으로 성장할 수 있으며, 단결정으로 성장한 버퍼층은 제 1 반도체층(15a)의 결정성을 향상시킬 수 있다.

[33] 특히, 발광 구조물(15)과 기판(10)의 계면에는 발광 구조물(15)에서 발생한 광이 기판(10)을 통해 외부로 방출될 때, 광을 확산 및 분사시키기 위해 요철(10a)이 형성될 수 있다. 요철(10a)은 도시된 바와 같이 규칙적인 형태이거나 비규칙적인 형태일 수 있으며, 모양은 용이하게 변경될 수 있다.

- [34] 제 1 반도체층(15a)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제 1 반도체층(15a)에 제 1 도펀트가 도핑될 수 있다. 제 1 반도체층(15a)은 $\text{In}_{x1}\text{Al}_{y1}\text{Ga}_{1-x1-y1}\text{N}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$, $0 \leq x1+y1 \leq 1$)의 조성식을 갖는 반도체 재료, 예를 들어 GaN, AlGaN, InGaN, InAlGaN 등에서 선택될 수 있다. 그리고, 제 1 도펀트는 Si, Ge, Sn, Se, Te와 같은 n형 도펀트일 수 있다. 제 1 도펀트가 n형 도펀트인 경우, 제 1 도펀트가 도핑된 제 1 반도체층(15a)은 n형 반도체층일 수 있다.
- [35] 활성층(15b)은 제 1 반도체층(15a)을 통해서 주입되는 전자(또는 정공)와 제 2 반도체층(15c)을 통해서 주입되는 정공(또는 전자)이 만나는 층이다. 활성층(15b)은 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 그에 상응하는 파장을 가지는 빛을 생성할 수 있다.
- [36] 활성층(15b)은 단일 우물 구조, 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(Multi Quantum Well; MQW) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나의 구조를 가질 수 있으며, 활성층(15b)의 구조는 이에 한정하지 않는다.
- [37] 제 2 반도체층(15c)은 활성층(15b) 상에 형성되며, III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제 2 반도체층(15c)에 제 2 도펀트가 도핑될 수 있다. 제 2 반도체층(15c)은 $\text{In}_{x2}\text{Al}_{y2}\text{Ga}_{1-x2-y2}\text{N}$ ($0 \leq x2 \leq 1$, $0 \leq y2 \leq 1$, $0 \leq x2+y2 \leq 1$)의 조성식을 갖는 반도체 물질 또는 AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 선택된 물질로 형성될 수 있다. 제 2 도펀트가 Mg, Zn, Ca, Sr, Ba 등과 같은 p형 도펀트인 경우, 제 2 도펀트가 도핑된 제 2 반도체층(15c)은 p형 반도체층일 수 있다.
- [38] 제 1 전극(30a)은 제 1 반도체층(15a), 활성층(15b) 및 제 2 반도체층(15c)을 선택적으로 제거하여 형성된 홈(20)을 통해 제 1 반도체층(15a)과 전기적으로 접촉될 수 있다. 홈(20)의 바닥면(20a)에서는 제 1 반도체층(15a)이 노출되며, 홈(20)의 측면(20b)에서는 제 1 반도체층(15a), 활성층(15b) 및 제 2 반도체층(15c)이 노출될 수 있다.
- [39] 제 1 전극(30a)의 하부면은 전면이 제 1 반도체층(15a)과 접촉될 수 있다. 제 1 전극(30a)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf, Ti, Cr, Cu 및 이들의 선택적인 조합으로 이루어질 수 있으며, 이에 한정하지 않는다. 일반적으로 알루미늄(Al)은 반사율이 매우 높으며 저항이 매우 낮다. 따라서, 제 1 전극(30a)이 알루미늄을 포함하는 경우, 활성층(15b)에서 발생한 광이 제 1 전극(30a)으로 진행하여 제 1 전극(30a)에서 흡수되지 않고 제 1 전극(30a)에서 반사되어 외부로 방출될 수 있다. 또한, 제 1 전극(30a)과 제 1 반도체층(15a)의 접촉 저항이 감소할 수 있다.
- [40] 그런데, 알루미늄은 고온에서 확산될 수 있으므로, 제 1 전극(30a)이 알루미늄을 포함하여 이루어지는 경우, 알루미늄의 확산을 방지하기 위해 제 1 전극(30a)은 배리어 금속을 더 포함하는 것이 바람직할 수 있다. 이 때, 배리어 금속은 Ni, TiW, Pt, W 등에서 선택될 수 있다. 이 경우, 제 1 전극(30a)은 Cr/Al/Ni,

Cr/Al/TiW, Cr/Al/Pt, Cr/Al/W등의 구조에서 선택될 수 있다.

- [41] 제 1 전극(30a)의 가장자리와 홈(20)의 바닥면(20a)의 가장자리의 이격 간격인 제 1 간격(d1)은 $0.05\mu\text{m}$ 내지 $8\mu\text{m}$ 일 수 있으며, 바람직하게는 제 1 간격(d1)은 $3\mu\text{m}$ 내지 $5\mu\text{m}$ 일 수 있다. 제 1 간격(d1)이 좁은 경우에 제 1 전극(30a)이 홈(20)의 측면(20b)까지 연장되어 제 1 전극(30a)이 활성층(15b) 또는 제 2 반도체층(15c)과 접촉되는 문제가 발생할 수 있다.. 또한, 제 1 간격(d1)이 넓은 경우에는 제 1 전극(30a)의 폭(W1)이 너무 좁아질 수 있다.
- [42] 특히, 홈(20)의 직경이 너무 큰 경우 활성층(15b)이 제거된 영역이 증가하여 발광 영역은 감소할 수 있다. 홈(20)의 직경이 너무 작은 경우 발광 소자의 구동 전압이 높아질 수 있다. 즉, 홈(20)의 직경은 일반적으로 $20\mu\text{m}$ 내지 $25\mu\text{m}$ 인 것이 적정하며, 제 1 전극(30a)의 폭(W1)을 증가시키기 위해 홈(20)의 직경을 조절하기 어려울 수 있다.
- [43] 도 3은 일반적인 제 1 전극과 제 1 반도체층의 접촉 영역을 도시한 단면도이다.
- [44] 도 3과 같이, 일반적인 발광 소자는 제 1 전극(3)과 제 1 반도체층(1a)을 접촉시키기 위해 발광 구조물(1)에 홈을 형성하고, 홈의 측면에서 노출된 제 1 반도체층(1a), 활성층(1b) 및 제 2 반도체층(1c)을 덮도록 절연 패턴(2)을 형성한다. 그리고, 절연 패턴(2)에 의해 노출된 제 1 반도체층(1a) 상에 제 1 전극(3)을 형성한다.
- [45] 일반적인 발광 소자는 절연 패턴(2)의 공정 마진을 고려하여 홈의 측면을 감싸도록 절연 패턴(2)을 형성할 수 있다. 제 1 전극(3)은 절연 패턴(2)에 의해 노출된 영역에 배치될 수 있다. 따라서, 일반적인 발광 소자는 제 1 전극(3)의 폭(W1)이 매우 좁아 제 1 전극(3)과 제 1 반도체층(1a)의 접촉 면적을 증가시키는데 한계가 존재할 수 있다.
- [46] 특히, 일반적인 발광 소자는 제 1 전극(3)과 절연 패턴(1a) 사이의 간격(d)을 확보해야 한다.
- [47] 구체적으로, 제 1 전극(3)과 절연 패턴(2) 사이의 간격(d)이 충분하지 않은 경우, 제 1 전극(3)의 공정 마진에 의해 제 1 전극(3)은 절연 패턴(2)을 완전히 덮을 수 있다. 제 1 전극(3)의 일 끝단은 제 2 반도체층(1c)까지 연장될 수 있다.
- [48] 또한, 제 1 전극(3)과 절연 패턴(2) 사이의 간격(d)이 충분하지 않은 경우, 반사층 등이 제 1 전극(3)과 절연 패턴(2) 사이의 간격(d)에 충분히 채워지지 않아 제 2 반도체층(1c)은 노출될 수 있다. 이에 따라 발광 소자의 저전류 불량 발생하여 신뢰성이 저하될 수 있다. 따라서, 제 1 전극(3)과 절연 패턴(1a)은 $3\mu\text{m}$ 정도 이격 거리를 가질 수 있다.
- [49] 반면에, 다시 도 2b를 참조하면, 본 발명 실시 예는 제 1 전극(30a)은 홈(20)의 바닥면(20a)에 배치되고, 제 1 절연 패턴(25a)은 홈(20)의 측면(20b)을 감싸며 제 1 전극(30a)과 중첩되도록 배치되므로, 제 1 전극(30a)의 공정 마진만을 고려할 수 있다. 즉, 종래에 비해 제 1 전극(30a)의 폭(W1)이 넓어져, 제 1 반도체층(15a)의 접촉 면적은 증가할 수 있다.

- [50] 예를 들어, 도 3의 경우, 발광 구조물(1)의 면적 대비 제 1 전극(3)과 제 1 반도체층(1a)의 접촉 면적이 2.1%에 불과하나, 본 발명 실시 예의 경우, 발광 구조물(15)의 면적 대비 제 1 전극(30a)과 제 1 반도체층(15a)의 접촉 면적이 3.6%로 증가하여, 제 1 전극(30a)과 제 1 반도체층(15a)의 접촉 면적이 약 1.5% 증가할 수 있다. 상기와 같은 접촉 면적 증가는 약 0.05V의 구동 전압 감소를 실현할 수 있다.
- [51] 본 발명 실시 예의 제 1 절연 패턴(25a)은 일 끝단이 제 1 전극(30a)의 상부면의 일부까지 연장될 수 있다. 즉, 제 1 절연 패턴(25a)은 제 1 전극(30a)의 측면을 완전히 감싸므로, 제 1 절연 패턴(25a)과 제 1 전극(30a)이 이격되고 이격 영역에서 제 1 반도체층(15a)이 노출되는 것을 방지할 수 있다.
- [52] 제 1 절연 패턴(25a)의 일 끝단과 제 1 전극(30a)의 상부면의 중첩 간격인 제 2 간격(d2)은 15 μ m미만인 것이 바람직하다. 중첩 간격이 너무 넓은 경우 제 1 전극(30a)의 상부면의 노출 면적이 감소하여, 제 1 전극(30a)과 제 1 본딩 패드(45a)의 접촉 면적이 감소하기 때문이다.
- [53] 상기와 같은 본 발명 실시 예의 발광 소자는 제 1 절연 패턴(25a)과 제 1 전극(30a)이 중첩되어 제 1 절연 패턴(25a)과 제 1 전극(30a)의 가장자리가 이격되는 것을 방지할 수 있다. 그리고, 제 1 절연 패턴(25a)의 타 끝단은 제 2 반도체층(15c)의 상부면의 일부까지 연장 형성될 수 있다.
- [54] 제 1 절연 패턴(25a)은 SiNX, SiOX등과 같은 절연성을 갖는 무기 절연 물질을 포함할 수 있다. 또한, 벤조싸이클로부텐(benzocyclobuten; BCB) 등과 같은 유기 절연 물질을 포함할 수도 있으며, 제 1 절연 패턴(25a)은 이에 한정하지 않는다.
- [55] 제 1 절연 패턴(25a)에 의해 노출된 제 2 반도체층(15c) 상에는 제 1 반사층(40a)이 배치될 수 있다. 제 1 반사층(40a)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au 및 Hf 등과 같이 반사율이 높은 물질로 형성될 수 있다. 제 1 반사층(40a)은 상기 반사율이 높은 물질과 IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 등과 같은 투명 전도성 물질이 혼합되어 형성될 수 있으며, 이에 한정하지 않는다.
- [56] 상기와 같은 제 1 반사층(40a)은 발광 구조물(15) 상부에 배치되어, 활성층(15b)에서 발생한 광을 기관(10)쪽으로 반사시킬 수 있다. 즉, 제 1 반사층(40a)은 광이 방출되는 발광 구조물(15)의 제 1 면(하부면)과 대향된 제 2 면(상부면)에 배치되어 광이 발광 소자 외부로 방출되게 할 수 있다.
- [57] 제 1 반사층(40a)과 제 2 반도체층(15c) 사이에는 투명 전극층(35)이 더 배치될 수 있다. 투명 전극층(35)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx 및 NiO 등과 같은 투명 전도성 산화물에서 선택될 수 있다.

- [58] 투명 전극층(35)은 제 2 반도체층(15c)의 전기적 특성을 개선할 수 있다. 투명 전극층(35)은 제 2 반도체층(15c)과 제 2 전극(30b) 사이에 배치되어 오믹 역할을 수행할 수 있다. 제 2 전극(30b)은 제 2 본딩 패드(45b)와 전기적으로 접속되어, 제 2 본딩 패드(45b) 물질이 제 1 반사층(40a)이나 투명 전극층(35)으로 확산되는 것을 방지할 수 있다.
- [59] 일반적으로 투명 전극층(35) 상에 형성되는 제 1 반사층(40a)은 제 1 절연 패턴(25a)과 접촉 특성이 좋지 않을 수 있다. 따라서 제 1 반사층(40a)과 제 1 절연 패턴(25a)이 접촉되어 계면이 들뜨는 것을 방지하기 위해 투명 전극층(35)은 제 1 반사층(40a)의 가장자리에서 돌출되도록 연장될 수 있다.
- [60] 투명 전극층(35)은 상술한 바와 같이, 제 2 반도체층(15c)의 전기적 특성을 개선하기 위한 것으로, 제 1 절연 패턴(25a)에 의해 노출된 제 2 반도체층(15c)을 완전히 감싸도록 형성되는 것이 바람직하다. 그런데, 투명 전극층(35)의 두께가 매우 얇아, 투명 전극층(35)이 제 1 절연 패턴(25a)의 상부면까지 연장되지 않는 경우, 투명 전극층(35)이 제 2 반도체층(15c)의 상부면을 완전히 감싸도록 형성되었는지 확인이 불가능하다.
- [61] 따라서, 투명 전극층(35)의 가장자리가 제 1 절연 패턴(25a)과 중첩되도록 형성하여 투명 전극층(35)이 제대로 형성되었는지 여부를 파악할 수 있다.
- [62] 제 3 간격(d3)이 너무 넓은 경우, 제 1 절연 패턴(25a)과 제 2 반사층(40b)이 인접하여, 제 2 반사층(40b)의 물질은 제 1 절연 패턴(25a)을 따라 제 1 반도체층(15a)으로 유입될 수 있다. 여기서, 제 3 간격(d3)은 투명 전극층(35)과 제 1 절연 패턴(25a)의 중첩 간격일 수 있다. 반대로, 제 3 간격(d3)이 너무 좁은 경우, 공정 마진에 의해 투명 전극층(35)은 제 2 반도체층(15c)을 완전히 감싸지 못하여 제 2 반도체층(15c)이 노출될 수 있다. 따라서, 제 3 간격(d3)은 $2\mu\text{m}$ 내지 $5\mu\text{m}$ 일 수 있다.
- [63] 그리고, 제 1 반사층(40a)의 가장자리와 홈(20)의 측면의 끝단의 이격 간격인 제 4 간격(d4)이 너무 좁은 경우, 상술한 바와 같이, 제 1 절연 패턴(25a)과 제 2 반사층(40b)이 인접하여, 제 2 반사층(40b)의 물질이 제 1 절연 패턴(25a)을 따라 제 1 반도체층(15a)으로 유입될 수 있다. 반대로, 제 4 간격(d4)이 너무 넓은 경우, 제 1 반사층(40a)의 형성 면적이 좁아져 제 1 반사층(40a)에 의한 반사 효율이 저하될 수 있다. 따라서, 제 4 간격(d4)은 $10\mu\text{m}$ 내지 $15\mu\text{m}$ 일 수 있다.
- [64] 제 2 반사층(40b)은 제 1 전극(30a) 및 제 1 반사층(40a)의 일부만을 노출시키며 발광 구조물(15) 전면을 감싸도록 배치될 수 있다. 제 2 반사층(40b)은 절연 기능과 반사 기능을 모두 수행하는 물질로 구현될 수 있다. 예를 들어, 제 2 반사층(40b)은 분산 브래그 반사층(Distributed Bragg Reflector; DBR)을 포함할 수 있으며, 이에 한정하지 않는다.
- [65] 분산 브래그 반사층은 굴절률이 다른 두가지 물질을 교대로 쌓은 구조로 이루어질 수 있다. 분산 브래그 반사층은 고 굴절률을 갖는 제 1 층과 저 굴절률을 갖는 제 2 층이 반복되어 형성될 수 있다. 제 1 층과 제 2 층은 모두

유전체일 수 있으며, 제 1 층과 제 2 층의 고 굴절률과 저 굴절률은 상대적인 굴절률일 수 있다. 발광 구조물(15)에서 방출되는 광 중 제 2 반사층(40b)으로 진행하는 광은 제 1 층과 제 2 층의 굴절률 차이에 의해 제 2 반사층(40b)을 통과하지 못하고 다시 발광 구조물(15) 방향으로 반사될 수 있다.

[66] 제 2 반사층(40a)의 일 끝단은 제 1 전극(30a) 상부면의 일부까지 연장될 수 있다. 이는, 제 2 반사층(40a)이 제 1 절연 패턴(25a)의 가장자리를 완전히 감싸기 위함일 수 있다.

[67] 홈(20)의 내부에서 제 1 절연 패턴(25a)이 노출되는 경우, 활성층(15b)에서 방출되는 광은 제 1 절연 패턴(25a)을 통해 발광 구조물(15)의 상부로 진행하여 광 방출 효율이 저하될 수 있다. 따라서, 본 발명 실시 예의 발광 소자는 제 2 반사층(40b)의 일 끝단은 제 1 절연 패턴(25a)의 끝단을 완전히 감싸도록 제 1 전극(30a) 상부면의 일부까지 연장된다.

[68] 즉, 상기와 같은 본 발명 실시 예의 발광 소자는 발광 구조물(15) 상부에 제 1, 제 2 반사층(40a, 40b)을 배치하여, 활성층(15b)에서 발생한 광을 효율적으로 기판(10)쪽으로 반사시킬 수 있다.

[69] 제 2 전극(30b)은 제 2 반사층(40b)에 의해 노출된 제 1 반사층(40a) 상에 배치될 수 있다. 제 2 전극(30b)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf, Ti, Cr, Cu 및 이들의 선택적인 조합으로 이루어질 수 있으며, 이에 한정하지 않는다.

[70] 그리고, 제 1 본딩 패드(45a)는 제 2 반사층(40b)에 의해 노출된 제 1 전극(30a)과 접속되며, 제 2 본딩 패드(45b)는 제 2 반사층(40b)에 의해 노출된 제 2 전극(30b)과 접속될 수 있다.

[71] * 제 2 실시 예 *

[72] 도 4a는 도 1의 다른 실시 예의 I-I'의 단면도이며, 도 4b는 도 4a의 A 영역의 확대도이다.

[73] 도 4a 및 도 4b와 같이, 본 발명의 다른 실시 예의 발광 소자는 제 1 절연 패턴(25a)과 제 2 반사층(40b) 사이에 제 2 절연 패턴(25b)을 더 형성할 수 있다. 제 2 절연 패턴(25b)은 홈(20)의 측면(20b)과 제 1 전극(30a)의 가장자리 사이에서 제 2 반사층(40b)의 절곡 정도를 보상할 수 있다.

[74] 구체적으로, 홈(20)의 깊이가 너무 깊은 경우, 제 2 반사층(40b)의 상부면이 평탄하지 못하고 홈(20)의 측면(20b)과 제 1 전극(30a)의 가장자리 사이에서 절곡부가 형성될 수 있다. 그리고, 절곡부에 의해 제 2 반사층(40b)의 두께가 균일하지 못하여 제 2 반사층(40b)이 부분적으로 형성되지 않는 문제가 발생할 수 있다.

[75] 그러나, 본 발명의 실시 예와 같이 제 1 절연 패턴(25a)과 제 2 반사층(40b) 사이에 제 2 절연 패턴(25b)을 배치한 경우, 제 2 절연 패턴(25b)은 제 2 반사층(40b)의 B 영역의 절곡 정도를 보상할 수 있다. 특히, 제 2 절연 패턴(25b)이 충분한 두께를 갖는 경우, 제 2 절연 패턴(25b)의 상부면은 평탄하고 발광 소자의 스텝 커버리지를 향상시킬 수 있다.

- [76] 더욱이, 제 2 절연 패턴(25b)은 제 2 반사층(40b), 발광 구조물(15) 및 제 1 절연 패턴(25a)의 열팽창 계수(coefficient of thermal expansion; CTE)의 편차를 감소시킬 수 있다. 그리고 열팽창 계수 차이에 의해 제 2 절연 패턴(25b)은 제 2 반사층(40b)의 표면이 들뜨거나 크랙이 발생하는 것을 방지할 수 있다.
- [77] 제 2 절연 패턴(25b)은 SiNX, SiOX등과 같은 절연성을 갖는 무기 절연 물질을 포함할 수 있다. 또한, 벤조싸이클로부텐(benzocyclobuten; BCB) 등과 같은 유기 절연 물질을 포함할 수도 있으며, 제 1 절연 패턴(25a)은 이에 한정하지 않는다.
- [78] 구체적으로, 제 1 절연 패턴(25a)과 제 2 절연 패턴(25b)은 제 1 전극(30a)의 가장자리와 홈(20)의 바닥면(20a)의 가장자리의 이격 영역에서 홈의 측면을 따라 기울어진 구조로 형성될 수 있다. 이 때, 홈(20)의 측면(20b)을 따라 기울어진 영역에서 제 1 절연 패턴(25a)과 제 2 절연 패턴(25b) 계면의 제 1 경사각(θ_1)보다 제 2 절연 패턴(25b)과 제 2 반사층(40b) 계면의 제 2 경사각(θ_2)이 더 작을 수 있다. 예를 들어, 제 1 경사각(θ_1)은 65° 내지 70° 이며, 제 2 경사각(θ_2)은 45° 내지 60° 일 수 있다. 제 2 경사각(θ_2)은 제 2 절연 패턴(25b)의 두께가 두꺼워질수록 작아질 수 있다.
- [79] 특히, 제 2 절연 패턴(25b)의 가장자리가 제 1 절연 패턴(25a)의 가장자리를 완전히 덮는 경우, 제 2 절연 패턴(25b)에 의해 제 1 전극(30a)의 상부면은 노출 면적이 감소할 수 있다. 따라서, 제 2 절연 패턴(25b)의 가장자리는 제 1 절연 패턴(25a)의 가장자리와 일치하거나, 제 1 절연 패턴(25a)의 가장자리를 노출시키는 것이 바람직하다. 도면에서는 제 2 절연 패턴(25b)의 가장자리가 제 1 절연 패턴(25a)의 가장자리와 일치하는 것을 도시하였다.
- [80] 제 2 반사층(40a)은 활성층(15b)에서 방출되는 광이 홈(20)의 측면(20b)을 통해 제 1, 제 2 본딩 패드(45a, 45b) 방향으로 진행하는 것을 방지하기 위해, 홈(20)의 측면(20b)을 완전히 감싸도록 형성될 수 있다. 도면에서는 제 2 반사층(40b)이 제 1, 제 2 절연 패턴(25a, 25b)의 가장자리를 완전히 감싸는 구조를 도시하였다.
- [81] 상술한 바와 같이 본 발명 실시 예의 발광 소자는 추가적으로 활성층(15b)을 제거하지 않고 제 1 전극(30a)과 제 1 반도체층(15a)의 접촉 면적을 증가시킬 수 있다. 이에 따라, 구동 전압이 개선되며 발광 구조물(15)의 전류 확산이 용이할 수 있다. 이 때, 제 1 절연 패턴(25a)과 제 2 반사층(40b) 사이에 제 2 절연 패턴(25b)을 배치하여, 홈(20)의 측면(20b)과 제 1 전극(30a)의 가장자리 사이에서 제 2 반사층(40b)의 절곡 정도를 보상할 수 있다. 또한, 홈(20)의 측면(20b)을 감싸도록 제 2 반사층(40b)을 배치하여, 홈(20)의 측면(20b)으로 진행하는 광을 발광 구조물(15)의 광 방출면으로 용이하게 반사시켜 발광 소자의 광속을 향상시킬 수 있다.
- [82] 상기와 같은 본 발명 실시 예의 발광 소자는 도광판, 프리즘 시트, 확산 시트 등의 광학 부재를 더 포함하여 이루어져 백라이트 유닛으로 기능할 수 있다. 또한, 실시 예의 발광 소자는 표시 장치, 조명 장치, 지시 장치에 더 적용될 수 있다.

- [83] 이 때, 표시 장치는 바텀 커버, 반사판, 발광 모듈, 도광판, 광학 시트, 디스플레이 패널, 화상 신호 출력 회로 및 컬러 필터를 포함할 수 있다. 바텀 커버, 반사판, 발광 모듈, 도광판 및 광학 시트는 백라이트 유닛(Backlight Unit)을 이룰 수 있다.
- [84] 반사판은 바텀 커버 상에 배치되고, 발광 모듈은 광을 방출한다. 도광판은 반사판의 전방에 배치되어 발광 소자에서 발산되는 광을 전방으로 안내하고, 광학 시트는 프리즘 시트 등을 포함하여 이루어져 도광판의 전방에 배치된다. 디스플레이 패널은 광학 시트 전방에 배치되고, 화상 신호 출력 회로는 디스플레이 패널에 화상 신호를 공급하며, 컬러 필터는 디스플레이 패널의 전방에 배치된다.
- [85] 그리고, 조명 장치는 기판과 실시 예의 발광 소자를 포함하는 광원 모듈, 광원 모듈의 열을 발산시키는 방열부 및 외부로부터 제공받은 전기적 신호를 처리 또는 변환하여 광원 모듈로 제공하는 전원 제공부를 포함할 수 있다. 더욱이 조명 장치는, 램프, 헤드 램프, 또는 가로등 등을 포함할 수 있다.
- [86] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 실시 예의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.
- [87]

청구범위

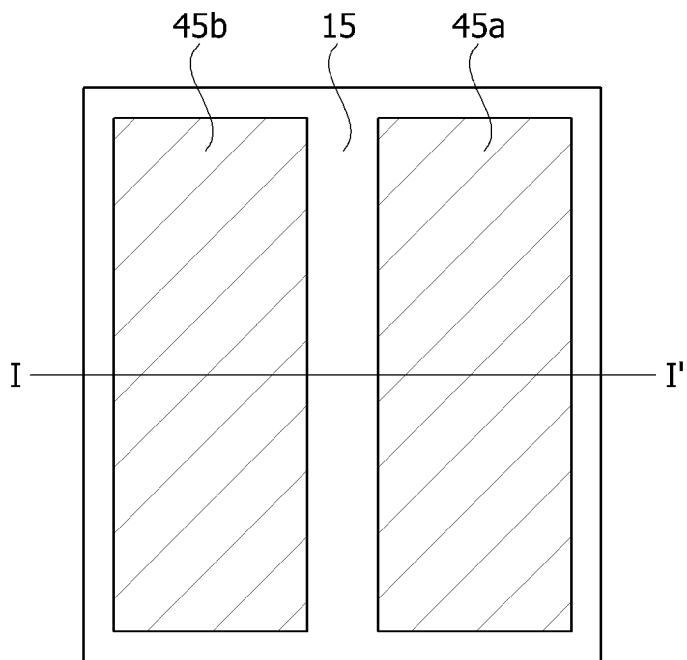
- [청구항 1] 제 1 반도체층, 활성층 및 제 2 반도체층을 포함하는 발광 구조물;
 상기 발광 구조물이 제거되어 바닥면에서 상기 제 2 반도체층을
 노출시키며, 측면에서 상기 제 1 반도체층, 활성층 및 제 2 반도체층을
 노출시키는 홈;
 상기 홈의 바닥면에서 노출된 상기 제 1 반도체층과 접촉하는 제 1 전극;
 상기 홈의 측면에서 노출된 상기 제 1 반도체층, 활성층 및 제 2 반도체층을
 덮으며, 일 끝단이 상기 제 1 전극의 상부면의 일부까지 연장되고 타
 끝단은 상기 제 2 반도체층의 상부면의 일부까지 연장되어 상기 제 1
 전극의 상부면과 상기 제 2 반도체층의 상부면을 부분적으로 노출시키는
 제 1 절연 패턴;
 노출된 상기 제 2 반도체층 상에 배치된 제 1 반사층;
 상기 제 2 반도체층 및 상기 제 1 전극을 노출시키는 제 2 반사층; 및
 상기 제 2 반사층에 의해 노출된 상기 제 2 반도체층 상에 배치된 제 2
 전극을 포함하는 발광 소자.
- [청구항 2] 제 1 항에 있어서,
 상기 제 1 전극의 가장자리와 상기 홈의 바닥면의 가장자리의 이격
 간격은 최소 $0.05\mu\text{m}$ 인 발광 소자.
- [청구항 3] 제 1 항에 있어서,
 상기 제 1 절연 패턴의 일 끝단과 상기 제 1 전극의 상부면의 중첩 간격은
 $15\mu\text{m}$ 미만인 발광 소자.
- [청구항 4] 제 1 항에 있어서,
 상기 제 1 반사층과 상기 제 2 반도체층 사이에 배치된 투명 전극층을
 포함하는 발광 소자.
- [청구항 5] 제 4 항에 있어서,
 상기 투명 전극층은 상기 제 1 반사층의 가장자리에서 연장되어 상기 제 2
 반도체층 상에 노출된 발광 소자.
- [청구항 6] 제 4 항에 있어서,
 상기 투명 전극층의 일 끝단은 상기 제 1 절연 패턴의 상부면까지 연장된
 발광 소자.
- [청구항 7] 제 6 항에 있어서,
 상기 투명 전극층과 상기 제 1 절연 패턴의 중첩 간격은 $2\mu\text{m}$ 내지 $5\mu\text{m}$ 인
 발광 소자.
- [청구항 8] 제 5 항에 있어서,
 상기 제 1 반사층의 가장자리와 상기 홈의 가장자리의 이격 간격은 $10\mu\text{m}$
 내지 $15\mu\text{m}$ 인 발광 소자.
- [청구항 9] 제 1 항에 있어서,

- 상기 제2 반사층은 제1 반사층 및 제1 절연 패턴 상부에 배치되는 발광 소자.
- [청구항 10] 제 1 항에 있어서,
상기 제 2 반사층은 상기 제 1 전극 상부까지 연장된 상기 제 1 절연 패턴의 가장자리를 덮는 발광 소자.
- [청구항 11] 제 1 항에 있어서,
상기 제 1 전극은 상기 바닥면에 배치되는 발광 소자.
- [청구항 12] 제 1 항에 있어서,
상기 제1 절연 패턴은 상기 홈의 측면을 덮는 발광 소자.
- [청구항 13] 제 1 항에 있어서,
상기 제 2 전극과 상기 제 2 반도체층 사이에 상기 제 1 반사층이 배치되는 발광 소자.
- [청구항 14] 제 1 항에 있어서,
상기 제 2 반사층에 의해 노출된 상기 제 1 전극과 접촉하는 제 1 본딩 패드; 및
상기 제 2 반사층에 의해 노출된 상기 제 2 전극과 접촉하는 제 2 본딩 패드를 더 포함하는 발광 소자.
- [청구항 15] 제 1 반도체층, 활성층 및 제 2 반도체층을 포함하는 발광 구조물;
상기 발광 구조물이 제거되어 바닥면에서 상기 제 2 반도체층을 노출시키며, 측면에서 상기 제 1 반도체층, 활성층 및 제 2 반도체층을 노출시키는 홈;
상기 홈의 바닥면에서 노출된 상기 제 1 반도체층과 접촉하는 제 1 전극;
상기 홈의 측면에서 노출된 상기 제 1 반도체층, 활성층 및 제 2 반도체층을 덮으며, 일 끝단이 상기 제 1 전극의 상부면의 일부까지 연장되고 타 끝단은 상기 제 2 반도체층의 상부면의 일부까지 연장되어 상기 제 1 전극의 상부면과 상기 제 2 반도체층의 상부면을 부분적으로 노출시키는 제 1 절연 패턴;
노출된 상기 제 2 반도체층 상에 배치된 제 1 반사층;
상기 제 1 반사층을 감싸며, 상기 제 2 반도체층 및 제 1 전극을 노출시키는 제 2 절연 패턴;
상기 제 2 절연 패턴 상에 배치되며, 상기 제 2 반도체층 및 상기 제 1 전극을 노출시키는 제 2 반사층; 및
상기 제 2 절연 패턴 및 상기 제 2 반사층에 의해 노출된 상기 제 2 반도체층 상에 배치된 제 2 전극을 포함하는 발광 소자.
- [청구항 16] 제 15 항에 있어서,
상기 제 1 절연 패턴과 상기 제 2 절연 패턴은 상기 제 1 전극의 가장자리와 상기 홈의 바닥면의 가장자리의 이격 영역에서 상기 홈의 측면을 따라 기울어진 구조로 형성되며,

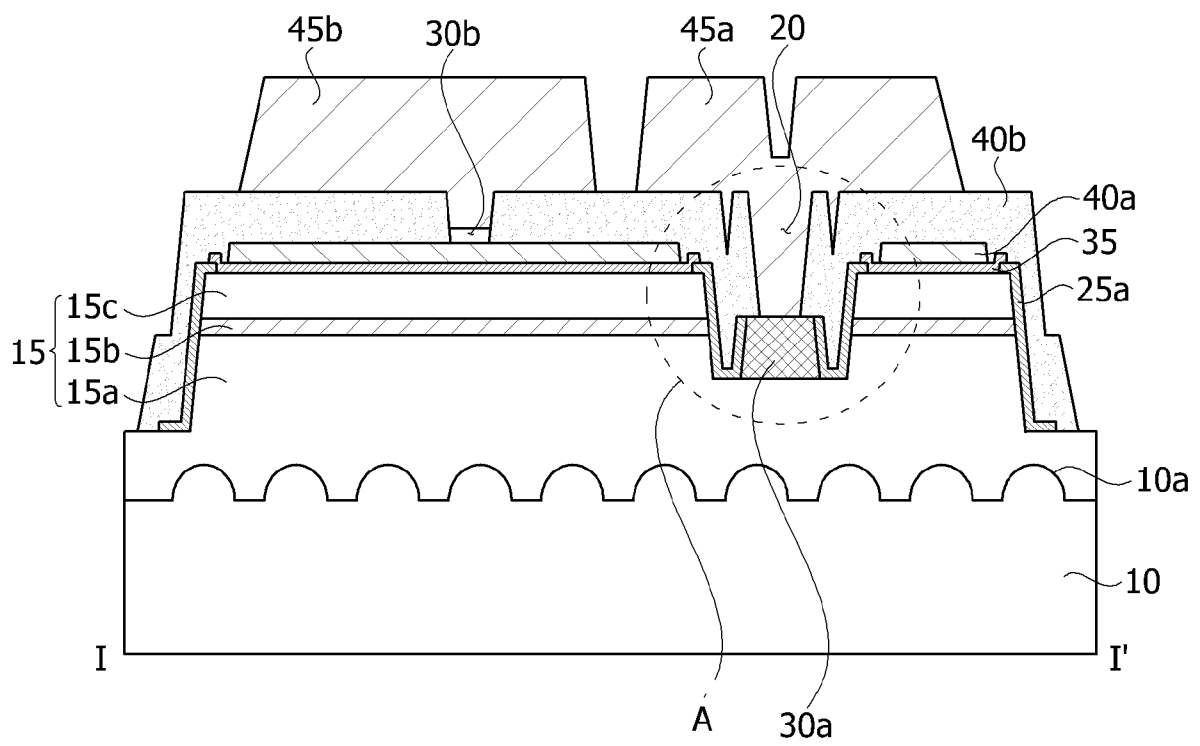
상기 홈의 측면을 따라 기울어진 영역에서 상기 제 1 절연 패턴과 상기 제 2 절연 패턴 계면의 경사각보다 상기 홈의 측면을 따라 기울어진 영역에서 상기 제 2 절연 패턴과 상기 제 2 반사층 계면의 경사각이 작은 발광 소자.

- [청구항 17] 제 16 항에 있어서,
상기 홈의 측면을 따라 기울어진 영역에서 상기 제 1 절연 패턴과 상기 제 2 절연 패턴 계면의 경사각은 65° 내지 70° 이며,
상기 홈의 측면을 따라 기울어진 영역에서 상기 제 2 절연 패턴과 상기 제 2 반사층 계면의 경사각은 45° 내지 60° 인 발광 소자.
- [청구항 18] 제 15 항에 있어서,
상기 제 2 절연 패턴의 가장자리는 상기 제 1 전극 상부까지 연장된 상기 제 1 절연 패턴의 가장자리와 일치하는 발광 소자.
- [청구항 19] 제 15 항에 있어서,
상기 제 2 반사층은 상기 상기 제 1 절연 패턴 및 상기 제 2 절연 패턴의 가장자리를 덮는 발광 소자.
- [청구항 20] 제 15 항에 있어서,
상기 제 1 절연 패턴의 가장자리는 상기 제 2 절연 패턴의 가장자리와 일치하게 배치되는 발광 소자.

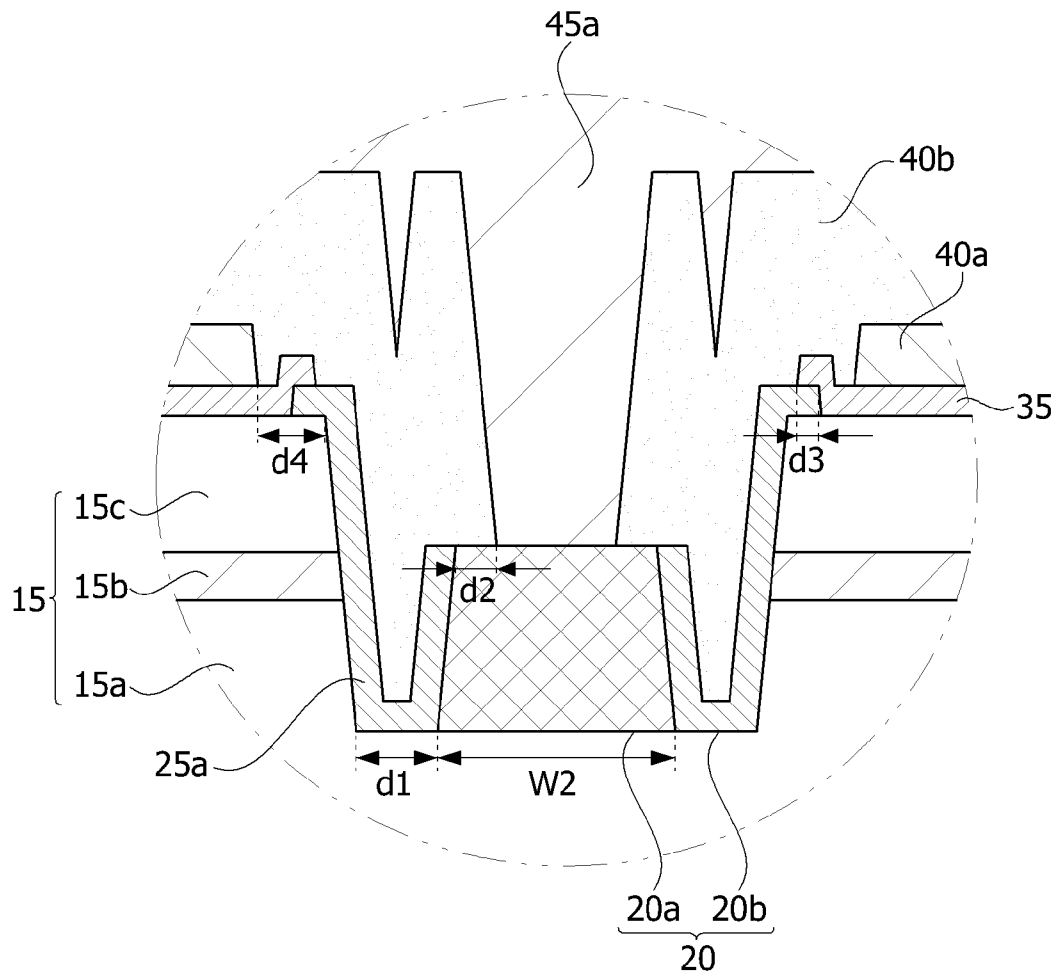
[도1]



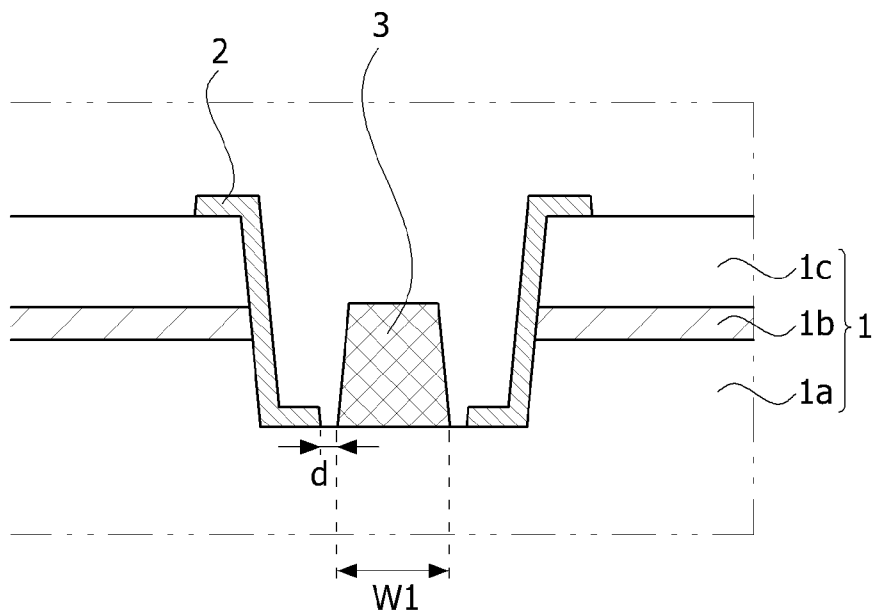
[도2a]



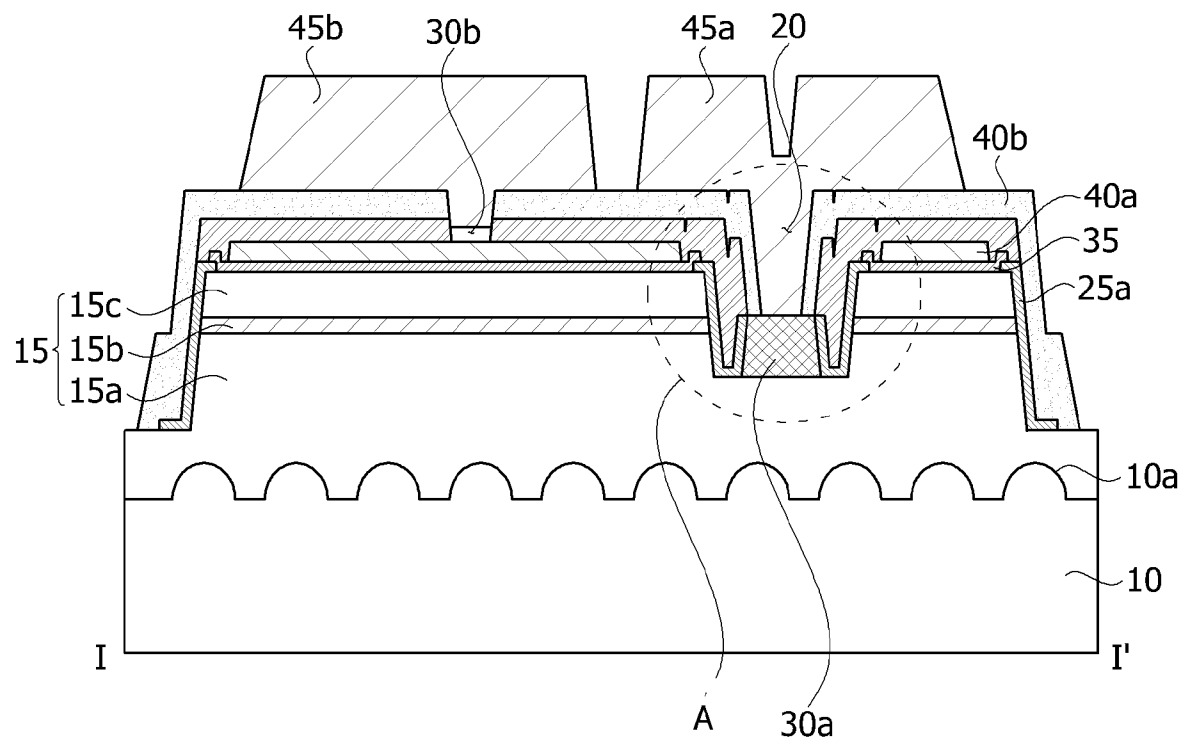
[도2b]



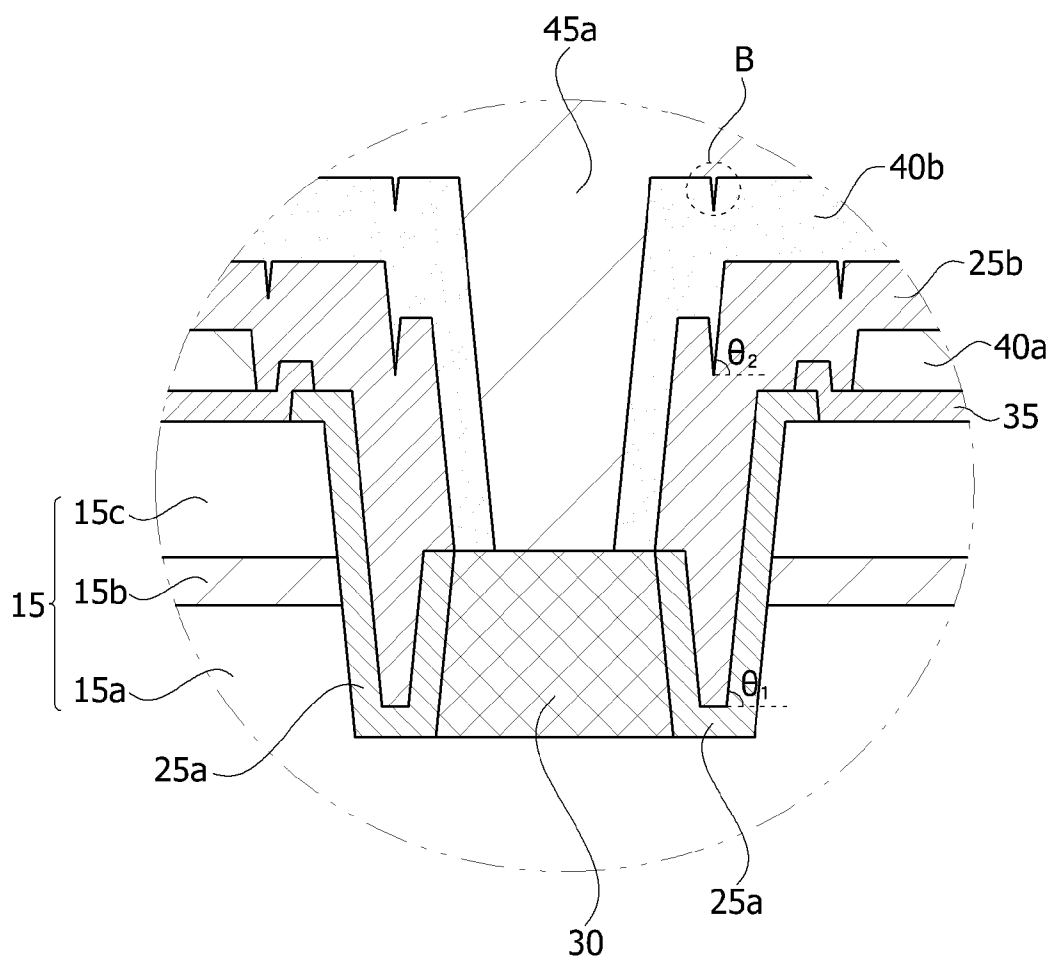
[도3]



[도4a]



[도4b]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/015253**A. CLASSIFICATION OF SUBJECT MATTER***H01L 33/36(2010.01)i, H01L 33/10(2010.01)i, H01L 33/48(2010.01)i, H01L 33/22(2010.01)i*

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/36; H01L 33/46; H01L 33/10; H01L 33/42; H01L 33/44; H01L 33/38; H01L 33/48; H01L 33/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: reflection layer, insulating layer, electrode, interval, angle of inclination, pattern

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-096539 A (TOKUYAMA CORP.) 22 May 2014 See paragraphs [16]-[30], [53]-[78], claims 1-5 and figures 1-4.	1-4,9-14
A		5-8,15-20
Y	KR 10-2014-0103397 A (SAMSUNG ELECTRONICS CO., LTD.) 27 August 2014 See paragraphs [33]-[61], claims 1-8 and figures 1a-4b.	1-4,9-14
Y	JP 2012-069909 A (TOYODA GOSEI CO., LTD.) 05 April 2012 See paragraphs [18]-[30], claim 1 and figures 1-5.	4
A	KR 10-2015-0044180 A (SEMICON. LIGHT CO., LTD.) 24 April 2015 See paragraphs [26]-[40], claim 1 and figures 1-6.	1-20
A	KR 10-2015-0062179 A (ILJIN-LED CO., LTD.) 08 June 2015 See paragraphs [13]-[20], claims 1-8 and figures 1-2.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 MARCH 2017 (20.03.2017)

Date of mailing of the international search report

20 MARCH 2017 (20.03.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/015253

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2014-096539 A	22/05/2014	NONE	
KR 10-2014-0103397 A	27/08/2014	US 2014-0231849 A1	21/08/2014
JP 2012-069909 A	05/04/2012	CN 102386294 A	21/03/2012
		CN 102386294 B	09/07/2014
		EP 2423984 A2	29/02/2012
		EP 2423984 A3	22/01/2014
		EP 2423984 B1	11/05/2016
		JP 5633477 B2	03/12/2014
		US 2012-0049219 A1	01/03/2012
		US 2014-0183586 A1	03/07/2014
		US 8716732 B2	06/05/2014
		US 9142729 B2	22/09/2015
KR 10-2015-0044180 A	24/04/2015	KR 10-1543728 B1	11/08/2015
		KR 10-1544128 B1	12/08/2015
		KR 10-1591969 B1	05/02/2016
		KR 10-1604092 B1	17/03/2016
		KR 10-2015-0055390 A	21/05/2015
		KR 10-2015-0141198 A	18/12/2015
		WO 2015-053600 A1	16/04/2015
KR 10-2015-0062179 A	08/06/2015	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/36(2010.01)i, H01L 33/10(2010.01)i, H01L 33/48(2010.01)i, H01L 33/22(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/36; H01L 33/46; H01L 33/10; H01L 33/42; H01L 33/44; H01L 33/38; H01L 33/48; H01L 33/22

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 반사층, 절연층, 전극, 간격, 경사각, 패턴

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	JP 2014-096539 A (TOKUYAMA CORP.) 2014.05.22 단락 16-30, 53-78, 청구항 1-5 및 도면 1-4 참조.	1-4, 9-14
A		5-8, 15-20
Y	KR 10-2014-0103397 A (삼성전자주식회사) 2014.08.27 단락 33-61, 청구항 1-8 및 도면 1a-4b 참조.	1-4, 9-14
Y	JP 2012-069909 A (TOYODA GOSEI CO., LTD.) 2012.04.05 단락 18-30, 청구항 1 및 도면 1-5 참조.	4
A	KR 10-2015-0044180 A (주식회사 세미콘라이트) 2015.04.24 단락 26-40, 청구항 1 및 도면 1-6 참조.	1-20
A	KR 10-2015-0062179 A (일진엘이디(주)) 2015.06.08 단락 13-20, 청구항 1-8 및 도면 1-2 참조.	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 03월 20일 (20.03.2017)

국제조사보고서 발송일

2017년 03월 20일 (20.03.2017)

ISA/KR의 명칭 및 우편주소

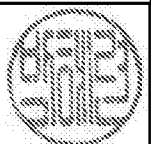
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

박혜련

전화번호 +82-42-481-3463



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2014-096539 A	2014/05/22	없음	
KR 10-2014-0103397 A	2014/08/27	US 2014-0231849 A1	2014/08/21
JP 2012-069909 A	2012/04/05	CN 102386294 A	2012/03/21
		CN 102386294 B	2014/07/09
		EP 2423984 A2	2012/02/29
		EP 2423984 A3	2014/01/22
		EP 2423984 B1	2016/05/11
		JP 5633477 B2	2014/12/03
		US 2012-0049219 A1	2012/03/01
		US 2014-0183586 A1	2014/07/03
		US 8716732 B2	2014/05/06
		US 9142729 B2	2015/09/22
KR 10-2015-0044180 A	2015/04/24	KR 10-1543728 B1	2015/08/11
		KR 10-1544128 B1	2015/08/12
		KR 10-1591969 B1	2016/02/05
		KR 10-1604092 B1	2016/03/17
		KR 10-2015-0055390 A	2015/05/21
		KR 10-2015-0141198 A	2015/12/18
		WO 2015-053600 A1	2015/04/16
KR 10-2015-0062179 A	2015/06/08	없음	