

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-538513

(P2013-538513A)

(43) 公表日 平成25年10月10日(2013. 10. 10)

(51) Int.Cl. F 1 テーマコード (参考)
H03M 1/12 (2006.01) H03M 1/12 A 5 J O 2 2

審査請求 未請求 予備審査請求 未請求 (全 13 頁)

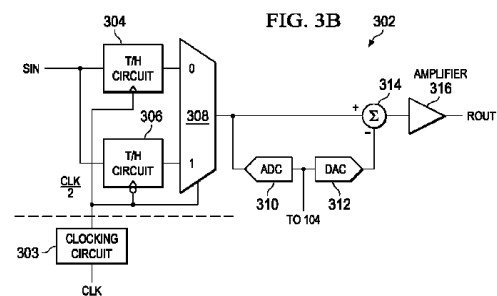
(21) 出願番号 特願2013-525884 (P2013-525884) (86) (22) 出願日 平成22年12月21日 (2010. 12. 21) (85) 翻訳文提出日 平成25年3月28日 (2013. 3. 28) (86) 国際出願番号 PCT/US2010/061546 (87) 国際公開番号 W02012/026957 (87) 国際公開日 平成24年3月1日 (2012. 3. 1) (31) 優先権主張番号 12/868, 539 (32) 優先日 平成22年8月25日 (2010. 8. 25) (33) 優先権主張国 米国 (US)	(71) 出願人 390020248 日本テキサス・インスツルメンツ株式会社 東京都新宿区西新宿六丁目24番1号 (71) 出願人 507107291 テキサス インスツルメンツ インコーポ レイテッド アメリカ合衆国 テキサス州 75265 -5474 ダラス メール ステーショ ン 3999 ピーオーボックス 655 474 (74) 上記1名の代理人 100098497 弁理士 片寄 恭三
---	--

最終頁に続く

(54) 【発明の名称】 電力及び面積効率のよいインターリーブされたADC

(57) 【要約】

パイプラインアナログ・デジタル・コンバータ (ADC) は高周波数用途に通常用いられるが、高サンプリングレートでの動作は高電力消費又は厳しいタイミング制約となることが多い。ここで、低電力消費で緩和されたタイミング（これは高サンプリングレートを可能にする）を提供するADCが提供される。これは、「再利用」又は共有されるアナログ処理回路要素に関連してクロック信号のオーバーラップしない部分でサンプリングする多重化されたフロントエンドトラックアンドホールド (T/H) 回路の利用を介して成される。並列トラックアンドホールド (T/H) 回路 (304、306) がアナログ入力信号 (A IN又は前の残余) を受け取り、クロッキング回路303により半分のクロックサイクル ($CLK/2$) でクロックされてオーバーラップしない論理位相でサンプリング/ホールドする。T/H回路 (304、306) は夫々マルチプレクサ (308) を介してアナログ・デジタル・コンバータ (ADC 310) に及びデジタル・アナログ・コンバータ (DAC 312)、加算器 (314) 及び増幅器 (316) に結合されて



【特許請求の範囲】

【請求項 1】

装置であって、
アナログ入力信号を受け取る複数のトラックアンドホールド（T/H）回路、
前記トラックアンドホールド回路の各々に結合されるマルチプレクサ、
前記マルチプレクサに結合されるアナログ・デジタル・コンバータ（ADC）、及び
クロック信号を受け取り、前記トラックアンドホールド回路及び前記マルチプレクサの
各々に結合されるクロッキング回路であって、前記クロッキング回路が、前記トラックア
ンドホールド回路のためのトラッキング位相が全般的にはオーバーラップしないように前
記トラックアンドホールド回路を制御し、前記クロッキング回路が、各トラックアンドホ
ールド回路と前記ADC間の結合を前記マルチプレクサで制御する、前記クロッキング回
路、
を含む、装置。

【請求項 2】

請求項 1 に記載の装置であって、前記装置が、
前記アナログ・デジタル・コンバータに結合されるデジタル・アナログ・コンバータ（
DAC）、
前記デジタル・アナログ・コンバータ及び前記マルチプレクサの出力信号間の差を判定
するように前記デジタル・アナログ・コンバータ及び前記マルチプレクサに結合される加
算器、及び
前記加算器に結合される増幅器、
を更に含む、装置。

【請求項 3】

請求項 2 に記載の装置であって、前記クロッキング回路がクロック分周器を更に含む、
装置。

【請求項 4】

装置であって、
シーケンス内で互いに直列に結合される複数のステージであって、前記シーケンスの第
1 のステージがアナログ入力信号を受け取り、各ステージが残余信号を出力し、
各ステージが、
前記アナログ入力信号又は前のステージからの前記残余信号を受け取る複数のトラック
アンドホールド（T/H）回路と、
前記トラックアンドホールド回路の各々に結合されるマルチプレクサと、
前記マルチプレクサに結合される第 1 のアナログ・デジタル・コンバータ（ADC）と
、

を含む、前記複数のステージ、
クロック信号を受け取り、前記トラックアンドホールド回路及び前記マルチプレクサの
各々に結合されるクロッキング回路であって、前記クロッキング回路が、各ステージのた
めの前記トラックアンドホールド回路のためのトラッキング位相が全般的にはオーバーラ
ップしないように前記トラックアンドホールド回路を制御し、前記クロッキング回路が、
各ステージのための各トラックアンドホールド回路と各第 1 のアナログ・デジタル・コン
バータとの間の結合を各ステージのための前記マルチプレクサで制御する、前記クロッキ
ング回路、

その残余信号を受け取るように前記シーケンスの最後のステージに結合される第 2 のア
ナログ・デジタル・コンバータ、及び

デジタル出力信号を生成するように前記各ステージ及び前記第 2 のアナログ・デジタル
・コンバータに結合されるデジタル出力回路、
を含む、装置。

【請求項 5】

請求項 4 に記載の装置であって、各ステージが、

前記第 1 のアナログ・デジタル・コンバータに結合されるデジタル・アナログ・コンバータ (DAC)、

前記デジタル・アナログ・コンバータ及び前記マルチプレクサの出力信号間の差を判定するように前記デジタル・アナログ・コンバータ及び前記マルチプレクサに結合される加算器、及び

前記加算器に結合される増幅器、
を更に含む、装置。

【請求項 6】

請求項 5 に記載の装置であって、前記クロッキング回路がクロック分周器を更に含む、装置。

10

【請求項 7】

装置であって、

シーケンス内で互いに直列に結合される複数のステージであって、前記シーケンスの第 1 のステージがアナログ入力信号を受け取り、各ステージが残余信号を出力し、

各ステージが、

前記アナログ入力信号又は前のステージからの前記残余信号を受け取る第 1 のトラックアンドホールド (T/H) 回路と、

前記アナログ入力信号又は前記前のステージからの前記残余信号を受け取る第 2 のトラックアンドホールド回路と、

前記第 1 及び第 2 のトラックアンドホールド回路に結合されるマルチプレクサと、

20

前記マルチプレクサに結合される第 1 のアナログ・デジタル・コンバータ (ADC) と

、

を含む、前記複数のステージ、

クロック信号を受け取り、前記トラックアンドホールド回路及び前記マルチプレクサの各々に結合されるクロッキング回路であって、前記クロッキング回路が、各ステージのための前記トラックアンドホールド回路のためのトラッキング位相が全般的にはオーバーラップしないように前記トラックアンドホールド回路を制御し、前記クロッキング回路が、各ステージのための各トラックアンドホールド回路と各第 1 のアナログ・デジタル・コンバータとの間の結合を各ステージのための前記マルチプレクサで制御する、前記クロッキング回路、

30

その残余信号を受け取るように前記シーケンスの最後のステージに結合される第 2 のアナログ・デジタル・コンバータ、及び

デジタル出力信号を生成するように前記各ステージ及び前記第 2 のアナログ・デジタル・コンバータに結合されるデジタル出力回路、

を含む、装置。

【請求項 8】

請求項 7 に記載の装置であって、各ステージが、

前記第 1 のアナログ・デジタル・コンバータに結合されるデジタル・アナログ・コンバータ (DAC)、

前記デジタル・アナログ・コンバータ及び前記マルチプレクサの出力信号間の差を判定するように前記デジタル・アナログ・コンバータ及び前記マルチプレクサに結合される加算器、及び

40

前記加算器に結合される増幅器、

を更に含む、装置。

【請求項 9】

請求項 8 に記載の装置であって、前記クロッキング回路がクロック分周器を更に含む、装置。

【請求項 10】

請求項 9 に記載の装置であって、前記クロック分周器が、二分されたクロック信号を生成するように 2 分周クロック分周器である、装置。

50

【請求項 1 1】

請求項 1 0 に記載の装置であって、

各第 1 のトラックアンドホールド回路が、前記二分されたクロック信号が第 1 の論理状態にあるときそのトラック位相にあり、前記二分されたクロック信号が第 2 の論理状態にあるときそのホールド位相にあり、

各第 1 のトラックアンドホールド回路が、前記二分されたクロック信号が前記第 2 の論理状態にあるとき、そのマルチプレクサを介してその第 1 のアナログ・デジタル・コンバータに結合される、

装置。

【請求項 1 2】

請求項 1 1 に記載の装置であって、

各第 2 のトラックアンドホールド回路が、前記二分されたクロック信号が前記第 1 の論理状態にあるときそのホールド位相にあり、前記二分されたクロック信号が前記第 2 の論理状態にあるときそのトラック位相にあり、

各第 2 のトラックアンドホールド回路が、前記二分されたクロック信号が前記第 1 の論理状態にあるとき、そのマルチプレクサを介してその第 1 のアナログ・デジタル・コンバータに結合される、

装置。

【請求項 1 3】

請求項 1 2 に記載の装置であって、前記第 1 の論理状態が論理高であり、前記第 2 の論理状態が論理低である、装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、全般的にアナログ・デジタル・コンバータ（A D C）に関し、更に特定して言えば、インターリーブされた A D C に関連する。

【背景技術】

【0 0 0 2】

高性能 A D C は、典型的に、縮小する C M O S プロセス技術においてデジタル回路によって達成される「ムーアの法則」面積及び電力曲線に従わない。A D C のノイズ及び分解能仕様により、電力制約（より低いノイズがより高い電力を要する）及び面積限界（構成要素マッチング要件を超えるまで）が決まる。また、A D C のサンプリングレートが増大するにつれて、典型的なアーキテクチャは、タイミング制約に起因して、必要とされる性能を提供することができない。

【0 0 0 3】

図 1 A を参照すると、参照符号 1 0 0 は全般的に従来の A D C 1 0 0 を示す。A D C 1 0 0 は、概して、幾つかのステージ 1 0 2 - 1 ~ 1 0 2 - N、A D C 1 0 6（これは、典型的にフラッシュ A D C である）、及びデジタル出力回路 1 0 4 を含む。ステージ 1 0 2 - 1 ~ 1 0 2 - N は、概して、シーケンス内で互いに直列に結合され、第 1 のステージ 1 0 2 - 1 はアナログ入力信号を受け取り、後続のステージ 1 0 2 - 2 ~ 1 0 2 - N の各々は、それぞれ、前のステージ 1 0 2 - 1 ~ 1 0 2 - (N - 1) から残余信号を受け取る。A D C 1 0 6 は最後のステージ 1 0 2 - N に結合される（その残余信号を受け取る）。ステージ 1 0 2 - 1 ~ 1 0 2 - N、及び A D C 1 0 6 は、その入力信号（残余信号又はアナログ入力信号のいずれか）に基づいて、アナログ入力信号の一部を分解することができ、これはデジタル出力回路 1 0 4 に供給される。その後デジタル出力回路 1 0 4 は、デジタル出力信号 D O U T を生成するため、誤差補正又は他のデジタル処理を実行することができる。

【0 0 0 4】

ここで図 1 B 及び図 1 C に移ると、ステージ 1 0 2 - 1 ~ 1 0 2 - N をより詳細に見ることができる（これらは、簡潔にするため以降ではステージ 1 0 2 と称する）。ステージ

10

20

30

40

50

102は、概して、トラックアンドホールド（T/H）回路108（即ち、T/H増幅器）、ADC110、デジタル・アナログ・コンバータ（DAC）112、加算器114、及び残余増幅器116を含む。オペレーションにおいて、T/H回路110は、クロック信号CLKの論理高状態の間トラック位相Tに、クロック信号CLKの論理低状態の間ホールド位相Hに入る。トラック位相Tの間、T/H回路は、そのアナログ入力信号SIN（これは、アナログ入力信号AIN又は前のステージからの残余信号のいずれかであり得る）をサンプリングする。ホールド位相Hの間、サンプリングされた信号がADC110及び加算器114に供給される。ADC110は、信号SINの一部を分解し、分解されたビットをデジタル出力回路104及びDAC112に供給する。DAC112は、分解されたビットをアナログ信号に変換し、これが加算器114に供給される。加算器114は、サンプリングされた信号とDACからのアナログ信号との間の差を判定し、これが増幅器116により増幅され、残余信号ROUTとして出力される。

10

【0005】

ADC100には幾つか欠点がある。特に、タイミングが性能を悪化させ得る。オペレーションにおいて、アナログ処理（ADC110及びDAC112による量子化、加算器114による減算、及び増幅器116による増幅）は、非常に厳しい時間内、即ち、クロック信号CLK（これは、サンプリングクロックとして動作する）の周期の2分の1内で生じる。ADC100は低ノイズシステムによく適しているが、それは、概して、アナログ処理のために十分な時間を提供するため低サンプリングレートに限定される。

【0006】

20

図2A～図2Cに移ると、従来のADC200の別の例を見ることができる。ADC200は、ADC100と同じ全般的な機能性を有するが、パイプラインに違いがある。即ち、ステージ102-1～102-Nが、ステージ202-1～202-N及び入力増幅器204で置き換えられている。ステージ102（図1B）とステージ202-1～202-N（以降では202）との違いは、T/H回路108と加算器114の間に付加的なT/H回路206が置かれている点である。T/H回路108及び206は、クロック信号CLKの反対の論理状態でトラック位相T及びホールド位相Hに入る。サンプリングされた信号は、クロック信号CLKの全周期の間保たれるため、この配置は緩和されたタイミングを提供するが、T/H回路206の付加はノイズ（即ち、T/H回路206毎に約3dB）を付加する。ノイズ劣化を補償するため、各T/H回路108及び206のための電力消費が倍になり、その結果、単一のT/Hシステムの4倍の電力消費となる。

30

【0007】

従って、改善されたADCが求められている。

【0008】

他の従来の回路の幾つかの例は下記文献に説明されている。

【特許文献1】米国特許番号第3,059,228号

【特許文献2】米国特許番号第3,735,392号

【特許文献3】米国特許番号第3,820,112号

【特許文献4】米国特許番号第5,180,932号

【特許文献5】米国特許番号第5,391,936号

40

【発明の概要】

【0009】

従って、本発明の例示の一実施例は或る装置を提供する。この装置は、アナログ入力信号を受け取る複数のトラックアンドホールド（T/H）回路、T/H回路の各々に結合されるマルチプレクサ、マルチプレクサに結合されるアナログ・デジタル・コンバータ（ADC）、及びクロック信号を受け取り、T/H回路及びマルチプレクサの各々に結合されるクロッキング回路を含む。このクロッキング回路は、T/H回路のためのトラック位相が全般的にはオーバーラップしないようにT/H回路を制御する。このクロッキング回路は、各T/H回路とADCとの間の結合をマルチプレクサで制御する。

【0010】

50

本発明の例示の一実施例に従って、この装置は、A D Cに結合されるデジタル・アナログ・コンバータ（D A C）、D A C及びマルチプレクサの出力信号間の差を判定するようにD A C及びマルチプレクサに結合される加算器、及び加算器に結合される増幅器を更に含む。

【0011】

本発明の例示の一実施例に従って、クロッキング回路はクロック分周器を更に含む。

【0012】

本発明の例示の一実施例に従って或る装置が提供される。この装置は、シーケンス内で互いに直列に結合される複数のステージを含み、シーケンスの第1のステージがアナログ入力信号を受け取り、各ステージが残余信号を出力し、各ステージが、アナログ入力信号又は前のステージからの残余信号を受け取る複数のT/H回路と、T/H回路の各々に結合されるマルチプレクサと、マルチプレクサに結合される第1のA D Cとを含む。この装置は更に、クロック信号を受け取り、T/H回路及びマルチプレクサの各々に結合されるクロッキング回路であって、各ステージのためのT/H回路のためのトラッキング位相が全般的にはオーバーラップしないようにT/H回路を制御するクロッキング回路であって、各ステージのための各T/H回路と各第1のA D Cとの間の結合を各ステージのためのマルチプレクサで制御するクロッキング回路、その残余信号を受け取るようにシーケンスの最後のステージに結合される第2のA D C、及びデジタル出力信号を生成するように各ステージ及び第2のA D Cに結合されるデジタル出力回路を含む。

【0013】

本発明の例示の一実施例に従って或る装置が提供される。この装置は、シーケンス内で互いに直列に結合される複数のステージを含み、シーケンスの第1のステージがアナログ入力信号を受け取り、各ステージが残余信号を出力し、各ステージが、アナログ入力信号又は前のステージからの残余信号を受け取る第1のT/H回路と、アナログ入力信号又は前のステージからの残余信号を受け取る第2のT/H回路と、第1及び第2のT/H回路に結合されるマルチプレクサと、マルチプレクサに結合される第1のA D Cとを含む。この装置は更に、クロック信号を受け取り、T/H回路及びマルチプレクサの各々に結合されるクロッキング回路であって、各ステージのためのT/H回路のためのトラッキング位相が全般的にはオーバーラップしないようにT/H回路を制御するクロッキング回路であって、各ステージのための各T/H回路と各第1のA D Cとの間の結合を各ステージのためのマルチプレクサで制御するクロッキング回路、その残余信号を受け取るようにシーケンスの最後のステージに結合される第2のA D C、及びデジタル出力信号を生成するように各ステージ及び第2のA D Cに結合されるデジタル出力回路を含む。

【0014】

本発明の例示の一実施例に従って、各ステージが、第1のA D Cに結合されるD A C、D A C及びマルチプレクサの出力信号間の差を判定するようにD A C及びマルチプレクサに結合される加算器、及び加算器に結合される増幅器を更に含む。

【0015】

本発明の例示の一実施例に従って、クロック分周器が、2分の1の周波数で二分されたクロック信号を生成するように2分周クロック分周器である。

【0016】

本発明の例示の一実施例に従って、各第1のT/H回路が、二分されたクロック信号が第1の論理状態にあるときそのトラック位相にあり、二分されたクロック信号が第2の論理状態にあるときそのホールド位相にあり、各第1のT/H回路が、二分されたクロック信号が第2の論理状態にあるときそのマルチプレクサを介してその第1のA D Cに結合される。

【0017】

本発明の例示の一実施例に従って、各第2のT/H回路が、二分されたクロック信号が第1の論理状態にあるときそのホールド位相にあり、二分されたクロック信号が第2の論理状態にあるときそのトラック位相にあり、各第2のT/H回路が、二分されたクロック

信号が第 1 の論理状態にあるときそのマルチプレクサを介してその第 1 の A D C に結合される。

【0018】

本発明の例示の一実施例に従って、第 1 の論理状態が論理高であり、第 2 の論理状態が論理低である。

【0019】

本発明の特徴及び技術的な利点を大まかに概説してきたが、それはこれ以降に続く本発明の詳細な説明を理解しやすくするためである。本発明の特許請求の範囲の主題を形成する本発明の更なる特徴及び利点をこれ以降で説明する。開示される概念及び具体的な実施例は、本発明の目的と同じものを実行するために別の構造を修正又は設計する基盤として、容易に利用可能であることは当業者には認められてしかるべきである。また、そのような等価の構造は、添付の特許請求の範囲に記載された本発明の趣旨及び範囲から逸脱するものではないことは当業者には認められて当然である。

【0020】

例示の実施例を添付の図面を参照して説明する。

【図面の簡単な説明】

【0021】

【図 1 A】図 1 A は従来の A D C の一例のための回路図である。

【図 1 B】図 1 B は従来の A D C の一例のための回路図である。

【0022】

【図 1 C】図 1 C は、図 1 A 及び図 1 B の A D C のためのタイミング図である。

【0023】

【図 2 A】図 2 A は従来の A D C の一例のための回路図である。

【図 2 B】図 2 B は従来の A D C の一例のための回路図である。

【0024】

【図 2 C】図 2 C は、図 2 A 及び図 2 B の A D C のためのタイミング図である。

【0025】

【図 3 A】図 3 A は、本発明の例示の一実施例に従った A D C の一例のための回路図である。

【図 3 B】図 3 B は、本発明の例示の一実施例に従った A D C の一例のための回路図である。

【0026】

【図 3 C】図 3 C は、図 3 A 及び図 3 B の A D C のためのタイミング図である。

【発明を実施するための形態】

【0027】

図 3 A において、本発明の例示の一実施例に従って A D C 300 が提供される。A D C 300 は、A D C 100 と同じ全般的な機能性を有するが、パイプラインに違いがある。すなわち、ステージ 102-1 ~ 102-N が、ステージ 302-1 ~ 302-N 及びクロッキング回路 303 で置き換えられている。

【0028】

図 3 B 及び図 3 C を見ると、ステージ 302-1 ~ 203-N (以降では 302) をより詳細に見ることができる。オペレーションにおいて、T/H 回路 304 及び 306 は、アナログ入力信号 (アナログ入力信号 A I N 又は前のステージからの残余信号のいずれか) を受け取るように結合される。これらの T/H 回路 304 及び 306 は互いに並列に配置されるため、T/H 回路 304 及び 306 は、クロック信号の全般的にはオーバーラップしていない論理ステージ又は位相でサンプリングするようにタイミングが合わされ得る。好ましくは、クロッキング回路 303 は、概して、二分されたクロック信号 C L K / 2 を生成するようにクロック分周器 (即ち、2 分周クロック分周器) を含む。この二分されたクロック信号 C L K / 2 は、T/H 回路 304 及び 306 に供給され得、T/H 回路 304 及び 306 は、二分されたクロック信号 C L K / 2 の反対の論理レベルでトラック位

10

20

30

40

50

相 T 及びホールド位相 H に入る。また、二分されたクロック信号 $CLK/2$ は、選択信号として動作するようにマルチプレクサ 308 に供給され得、そのため、T/H 回路 304 及び 306 がそれらのそれぞれのホールド位相 H にあるとき、T/H 回路 304 及び 306 がそれぞれマルチプレクサ 308 を介して ADC 310 に結合されるようにする。ADC 310、DAC 312、加算器 314、及び増幅器 316 はその後、サンプリングされた信号をデジタル出力回路 104 のために分解するように、及び残余信号 ROUT を生成するように、アナログ処理を実行することができる。

【0029】

実際には、ADC 300 の構成は、2 ウェイの（例えば）インターリーブされた ADC として動作し、これは幾つかの利点の実現につながる。T/H 回路 304 及び 306 をサンプリングレート（即ち、クロック信号 CLK により設定される）の 2 分の 1 でインターリーブすることにより、（ADC 100 及び 200 に比べて）緩和されたタイミングと低電力消費の両方を達成できる。また、ADC 310、DAC 312、加算器 314、及び増幅器 316 は、共有又は「再利用」されるため、ADC 310、DAC 312、加算器 314、及び増幅器 316 は、インターリーブされていない設計の場合のように時間の一部（即ち、時間の 2 分の 1）の間アイドルの間であるのではなく、フルに用いられ得る。また、ADC 310、DAC 312、加算器 314、及び増幅器 316 の再利用のため、用いられる面積の量が低減され得る。

【0030】

例示の実施例の文脈で説明したような特徴又は工程のすべて又はその幾つかを有する例示の実施例の文脈で説明した 1 つ又はそれ以上の特徴又は工程の異なる組み合わせを有する実施例も、本明細書に包含されることも意図している。当業者であれば、他の多くの実施例及び変形も特許請求の範囲に包含されることが理解されるであろう。

【図 1 A】

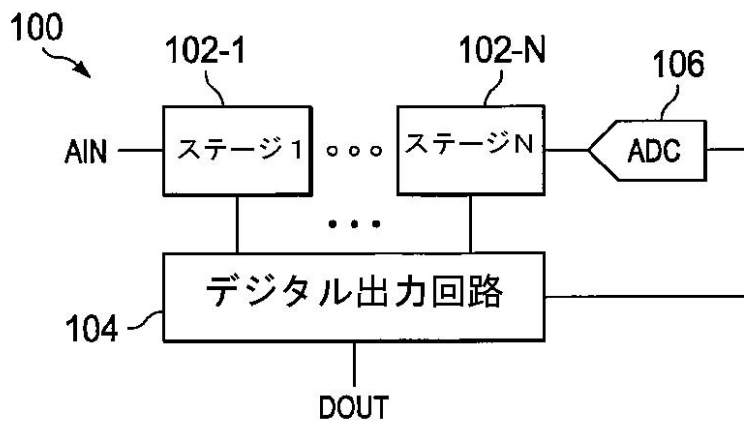


FIG.1A (従来技術)

102

T / H回路

108

SIN

114

+

-

残余增幅器

116

ROUT

ADC

110

DAC

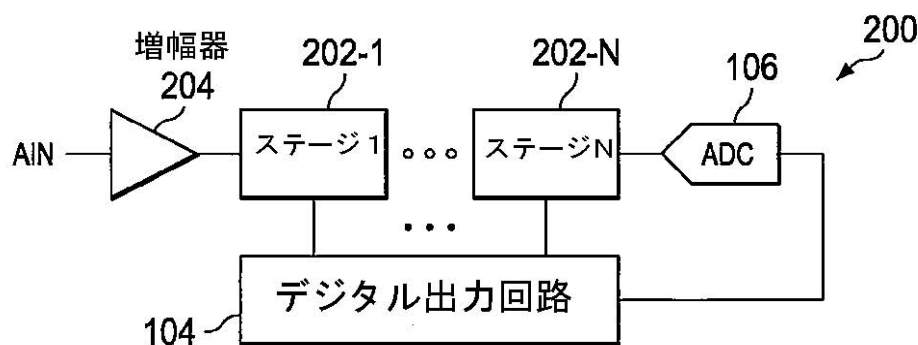
112

TO 104

【図 1 C】



【図 2 A】



【 図 2 B 】

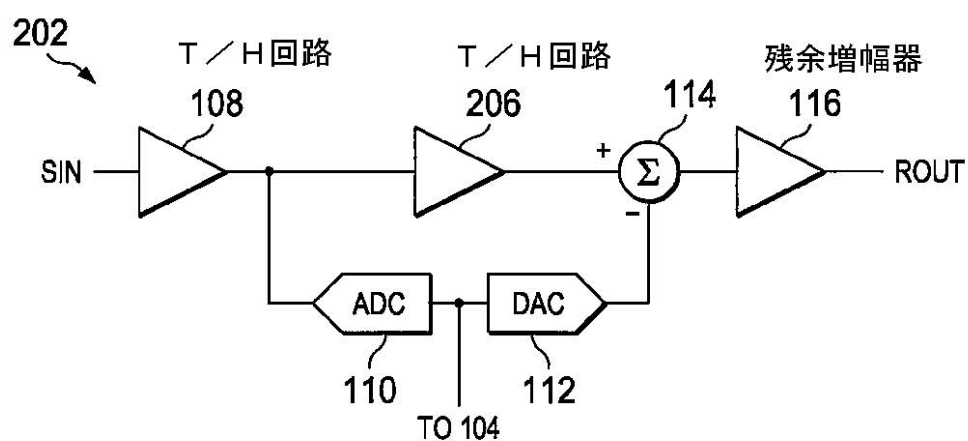


FIG. 2B (従来技術)

【図 2 C】

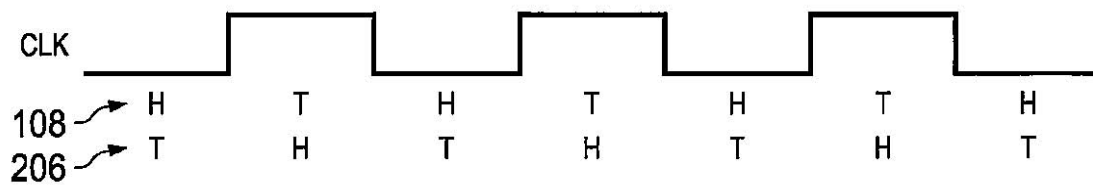
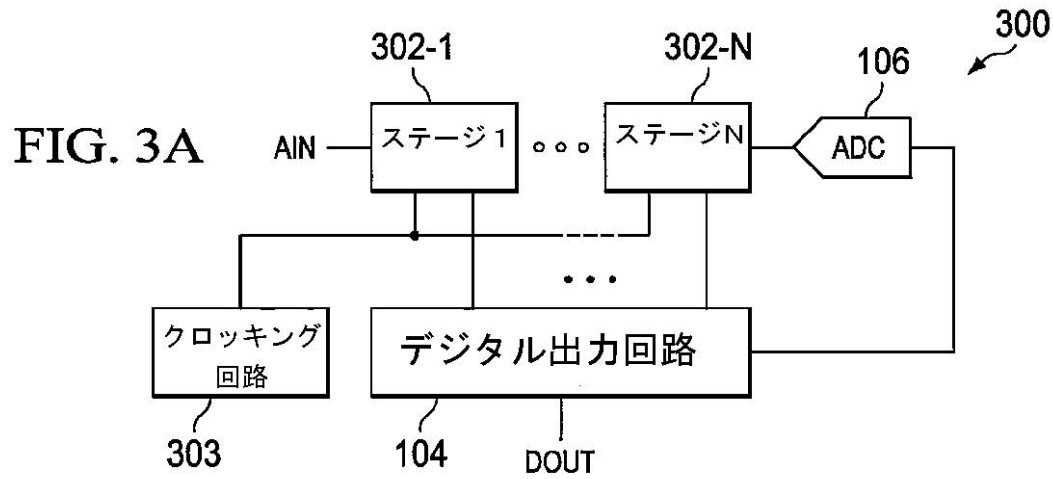
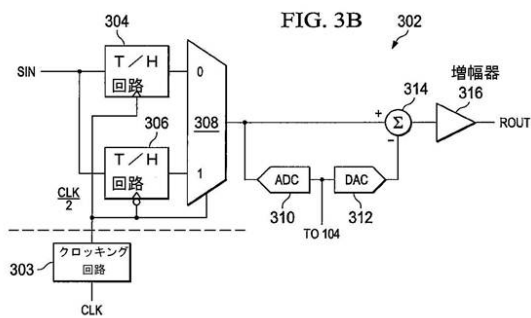


FIG. 2C (従来技術)

【図 3 A】

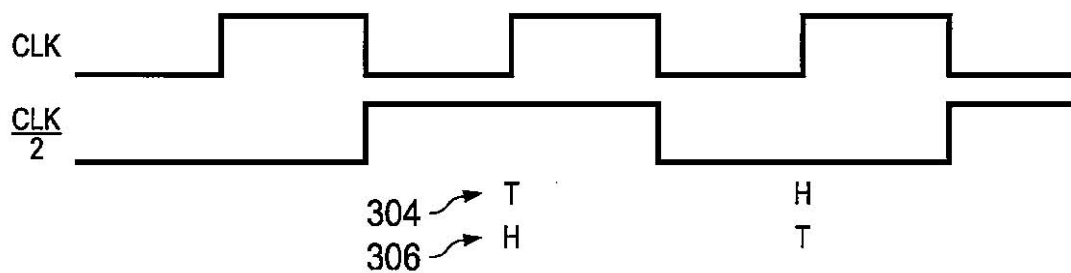


【図 3 B】



【図 3 C】

FIG. 3C



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2010/061546
A. CLASSIFICATION OF SUBJECT MATTER		
H03M 1/12(2006.01);		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03M 1/12; H03M 1/00; H03M 1/38		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: ADC, pipelined, interleaved		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2007-0001891 A1 (Salman Mazhar) 04 January 2007 See abstract, figures 2,4, pages 5,6.	1-13
Y	KR 10-2008-0085797 A (TEXAS INSTRUMENTS INC.) 24 September 2008 See abstract, figures 3,4,6a, pages 5-7.	1-13
A	US 7126515 B1 (BRYAN KRIS) 24 October 2006 See abstract, figure 1, columns 3,4.	1-13
A	US 2001-0050624 A1 (KRISHNASWAMY NAGARAJ) 13 December 2001 See abstract, figure 4a,4b,5, pages 1,2.	1-13
A	KR 10-2001-0041292 A (INTEL CORP.) 15 May 2001 See abstract, figures 1,2, page 3.	1-13
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 SEPTEMBER 2011 (28.09.2011)		Date of mailing of the international search report 29 SEPTEMBER 2011 (29.09.2011)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 189 Cheongsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer Kwon, Sung Lark Telephone No. 82-42-481-5646 

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2010/061546

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2007-0001891 A1	04.01.2007	CN 101213737 A0 EP 1900093 A1 JP 2008-545339 A KR 10-2008-0030635 A US 7277040 B2 WO 2007-005392 A1	02.07.2008 19.03.2008 11.12.2008 04.04.2008 02.10.2007 11.01.2007
KR 10-2008-0085797 A	24.09.2008	EP 1168367 A1 EP 1168367 B1 JP 2002-109896 A KR 10-0894378 B1	02.01.2002 11.10.2006 12.04.2002 22.04.2009
US 7126515 B1	24.10.2006	CN 101160724 A0 EP 1875611 A1 EP 1875611 B1 WO 2007-038537 A1	09.04.2008 09.01.2008 06.04.2011 05.04.2007
US 2001-0050624 A1	13.12.2001	US 6414611 B1	02.07.2002
KR 10-2001-0041292 A	15.05.2001	AU 1999-26622 A1 GB 2350979 A JP 2002-505538 A US 06094153A A WO 99-44288 A1	15.09.1999 13.12.2000 19.02.2002 25.07.2000 02.09.1999

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ウィリアム ジェイ ブライト

アメリカ合衆国 75214 テキサス州 ダラス, ウェストレイク アヴェニュー 7023

(72)発明者 ロバート エフ ペイン

アメリカ合衆国 75002 テキサス州 ルーカス, ブライアデール ドライブ 1700

Fターム(参考) 5J022 AA01 AB01 CA10 CB06 CE01 CF02 CF08

【要約の続き】

、デジタル出力回路(104)のためサンプリングされた信号を分解するアナログ処理を実行し、残余信号(ROUT)を生成する。