

公告本

387154

730206

605

申請日期	86年12月18日
案號	86119182
類別	HOLL 31/8

A4
C4

387154

(以上各欄由本局填註)

發明型專利說明書

一、發明 新型名稱	中文	光電轉換裝置
	英文	Photoelectric conversion apparatus
二、發明 創作人	姓名	(1) 小塚開
	國籍	(1) 日本
	住、居所	(1) 日本國東京都大田區下丸子三丁目三〇番二號 キャノン株式会社内
三、申請人	姓名 (名稱)	(1) 佳能股份有限公司 キャノン株式会社
	國籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都大田區下丸子三丁目三〇番二號
	代表人 姓名	(1) 御手洗富士夫

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 日本 1996年12月24日 8-343149 有主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

本發明之背景

本發明之範圍

本發明係關於光電轉換裝置例如，用以讀取傳真裝置，像掃描器，數位複製機或X光攝影裝置等之像的一維或二維光電轉換裝置，且係特別關於移除FPN(固定圖型雜者)。

相關之背景技藝

作為傳真裝置，像掃描器，數位複製機或X光攝影裝置等之像讀取系統，業已使用一種讀取系統其中使用縮小光學系統和CCD。然而，適合1X放大系統之CIS(接觸圖像感測器)的最近發展，其中安裝許多單晶矽晶片，亦屬值得注意。

此多晶片CIS中之FPN(將許多感測器晶片偶合在其中)可分成晶片中所產生之FPN及晶片間所產生之FPN。如果FPN大，則將垂直條紋產生在像上而不利影響像品質。因此，必須將FPN減至最少。

校正FPN的技術將參照圖7，8和9予以敘述。圖7是具有適合每一像素之光電轉換裝置9之一位元的單維光電轉換裝置的電路圖。圖8和9是光電轉換裝置的定時圖(電視協會期刊，第47卷，第9號(1993)，p. 1180)。

現將敘述電路操作和FPN移除。述及圖8，將起動脈衝SP與時鐘CLK同步供應至移位暫存器SR39而

五、發明說明(2)

設定一個重設定脈沖 ϕ C R 在 "H" 以使開啓 M O S 電晶體 1 5 與 1 6 及重設定信號保持電容器 C T S 1 與 C T N 2。將像的光量積聚在光電轉換裝置 9 之底部中。當積聚完成時，將轉移脈沖 ϕ T S 設定在 "H" 來開啓電晶體 M O S 電晶體 1 3。將含有雜訊之光信號讀出，並轉移至保持光信號之電容器 C T S 1。其次，將重設定脈沖 ϕ B R S 設定在 "H" 來開啓 M O S 電晶體 1 1。將重設定脈沖 ϕ E R S 設定在 "H" 來重設定光電轉換裝置的感測器 9。在一段經預定時間後，將再設定脈沖 ϕ T N 設定在 "H" 來開啓雜訊轉移 M O S 電晶體 1 4，因此將一個雜訊組份，（其相當於不具有光信號之光電轉換裝置 9 中之信號組份）轉移至保持雜訊信號之電容器 C T N 2。將重設定脈沖 ϕ B R S 設定在 "L"，及將重設定脈沖 ϕ E R S 設定在 "H" 來再重設定感測器，及開始下一次聚積。在此實例中，記述光電轉換裝置的一個讀取循環。關於一線路的光電轉換裝置，與圖 7 中相同電路元件（其相當於每一光電轉換裝置）係以相似方式而操作，因此將光學信號電荷和一線路感測器的雜訊信號電荷轉移至相當之保持電容器。

在聚積期間，掃描係回應於輸入脈沖 ϕ 1 和 ϕ 2 而開始，此等脈沖經由移位暫存器 S R 3 9 予以倒相。首先，將重設定脈沖 ϕ C H R 設定在 "H" 來開啓重設定 M O S 電晶體 5 與 6，以便再設定光學信號共同輸出線路 3 和雜訊信號共同輸出線路 4。其後，將來自移位暫存器 S R

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(3)

39之掃描脈沖設定在“H”來開啓掃描之MOS電晶體17與18，以便保持信號之電容器CTS1與CTN2中之數據經由共同輸出線路的電容器予以分並各自輸出至共同輸出線路3和4。共同輸出線路各自具有電容器CHS7和CHN8。該光學信號共同輸出線路在下文中指定為CHS7，而雜訊信號共同輸出線路則指定為CHN。輸出至共同輸出線路3與4之信號各自經由預放大器19與20放大。光信號組份與雜訊信號組份間之差係由微分放大器21予以計算。不同信號經由定位電路10保持，經由放大器24予以放大，及成為像信號而輸出。將重設定脈沖 ϕ CHR設定在“H”來開啓重設定MOS電晶體5和6，以使將共同輸出線路的電容器CHS7與CHN8重設定至參考電位VCHR，並讀出下一個位元的保持信號之電容器CTS與CTN的數據。

圖9是顯示此讀取部份之定時圖表。將脈沖 ϕ 1和 ϕ 2輸至移位暫存器SR39，及將用以重設定共同輸出線路3與4之重設脈沖 ϕ CHR與定時信號CLK同步輸出。在期間T，重設此操作至所有位元之輸出信號。將該驅出信號通過電壓跟隨器的預放大器19與20而輸入至微分放大器21及自IC而輸出。晶片中之FPN主要係由於每一像素的雙極電晶體9中hFE變更而產生。每一像素的hFE變更可經由上述S-N計劃予以抵銷，此S-N計劃自光信號組份減去雜訊信號組份。關於晶片間之FPN，將感測器輸出經由圖6中所示之定位電路10而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

定位至參考電位 V_{REF} 。晶片間之差相當於僅次於定位電路 10 之放大器的補償並可予減小。

然而，FPN 不能經由上述技術（予以）充分移去。在先前技藝中，假定：在圖 9 中所示之 A 期間，共同信號線路電容器 C_{HS} 和 C_{HN} 的電勢完全相等，即：同時將共同信號線路電容器 C_{HS} 和 C_{HN} 重設定至參考電壓 V_{CHR} 以便浮動。事實上，在重設定共同信號線路電容器 C_{HS} 和 C_{HN} 後，兩者具有不同之電勢。

這可能歸因於爲了共同信號線路電容器 C_{HS} 和 C_{HN} ，重設定 MOS 電晶體 5 與 6 間之差，或共同信號線路電容器 C_{HS} 和 C_{HN} 與電源線，GND 線或各種脈沖線路的寄生電容間之差。

共同信號線路電容器 C_{HS} 和 C_{HN} 間之電位差，其係在重設定共同信號線路電容器 C_{HS} 和 C_{HN} 後所產生，導致各種缺點，例如 FPN 之增加，此乃由於光電轉換裝置的奇數位元與偶數位元間之位準差，或各晶片間之差。然而，在實際 IC 中，幾乎可將此差完全消除，而導致 FPN 減少之極大困難。

本發明之概述

本發明的一個目的在減少光電轉換裝置中之 FPN。

本發明的另外目的在抵銷輸出線路間之電位差。

根據本發明爲了實現上述目的，提供光電轉換裝置，其包括光電轉換設備，許多輸出線路以便讀出自該光電轉

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(6)

換設備所輸出之信號，第一開關設備用以重設定許多輸出線路至固定之電位及第二開關設備用以直接連接許多輸出線路。

使用上述設備，可產生具有高 S / N 比率之光電轉換裝置。

其他目的及特徵自下列說明書和圖式將顯然可見。

圖式之簡單敘述

圖 1 是本發明第一和第二具體實施例的電路圖；

圖 2 是本發明的第一具體實施例的定時圖表；

圖 3 是本發明的第二具體實施例之定時圖表；

圖 4 是本發明第三具體實施例之電路圖；

圖 5 是本發明第三具體實施例之定時圖表；

圖 6 是脈沖施加至光電轉換裝置之控制圖；

圖 7 是相關技藝之電路圖；

圖 8 是相關技藝之定時圖表；及

圖 9 是相關技藝之定時圖表（讀取部份的放大圖）。

主要元件對照：

- | | |
|-------------------|-----------|
| 9 | 光電轉換裝置 |
| 3 9 | 移位暫存器 |
| 1 5 , 1 6 | M O S 電晶體 |
| C H S 7 , C H N 8 | 電容器 |
| 2 1 | 微分放大器 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

- 1 0 定值電路
- 2 4 放大器
- 1 9 , 2 0 預放大器
- 9 雙極電晶體
- 2 7 轉移電容器
- 2 9 P M O S 源耦合器
- 3 0 , 3 1 電源
- 1 0 4 滯延電路
- 1 0 1 類比開關
- 6 1 中央處理單元
- 6 2 脈沖發生電路

較佳具體實施例之敘述

圖 1 是本發明之第一具體實施例的電路圖。圖 2 是本發明第一具體實施例的定時圖表。

除去一具開關 M O S 電晶體 1 0 0 充作第二開關設備用以連接共同輸出線路電容器 C H S 和 C H N 以外，圖 1 中所示之設備與圖 7 中所示者相同。此光電轉換裝置的設備和操作基本上與上述設備相同，故省略其詳細敘述。

在此具體實施例中，如圖 2 中所示，將重設定脈沖 ϕ C H R 設定在 'H' 來開始重設定 M O S 電晶體 5 和 6 的重設定操作作為第一開關設備。在同時，將開關脈沖 ϕ S W 設定在 'H' 來開啓開關 M O S 電晶體 1 0 0。在重設定 M O S 電晶體 5 和 6 完成其重設定操作後，關掉開關

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

MOS 電晶體 100。如圖 2 中所示，當關掉重設定 MOS 電晶體 5 和 6 時，將電位差產生在共同輸出線路電容器 CHS 和 CHN 間。然而，因為開關 MOS 電晶體 100 是開啓，所以抵銷了共同輸出線路電容器 CHS 與 CHN 間之電位差。因此，當與沒有開關 MOS 電晶體 100 之設備相比較，在關掉開關 MOS 電晶體 100 後（圖 2 中所示之 B 階段），可以減少，共同輸出線路電容器 CHS 和 CHN 間之電位差。

在關掉重設定 MOS 電晶體 5 與 6 後直至關掉開關 MOS 電晶體 100 之一段時間 τ_1 宜是：

$$\tau_1 > (C_{HS} + C_{HN}) \times R_{on} \quad (R_{on} : \text{開關 MOS 電晶體 100 的 ON 電阻})$$

然而，當與沒有開關 MOS 電晶體 100 之設備相比較，甚至當 τ_1 時間較短時，亦可減少共同輸出線路電容器 CHS 和 CHN 間之電位差。

將此具體實施例與沒有開關 MOS 電晶體 100 之設備相比較。在沒有開關 MOS 電晶體 100 之設備中，與輸入脈沖 ϕ_1 同步之奇數位元及與輸入脈沖 ϕ_2 之同步之偶數位元兩者對移位暫存器 SR 39 具有 5 mV 之位準差。晶片中之最後 FPN，其係自放大器 24 所輸出者是大約 7 mV。然而，在此具體實施例中，未見到位元間有位準差。且晶片中之最後 FPN 是大約 3 mV。

（請先閱讀背面之注意事項再填寫本頁）

本

訂

五、發明說明(6)

當晶圓中之許多晶片予以偶合成晶圓狀態時，測量各晶片間之差作為變更。在沒有開關MOS電晶體100之設備中，晶圓中暗輸出之變更(σ) (來自呈光遮蔽狀態之一晶片許多像素之輸出平均值 x)，即：晶片的平均值 x 間之變更是30mV。在此具體實施例中，該變更是22mV。

在此時，共同輸出線路電容 C_{HS} / C_{HN} 是5pF；開關MOS電晶體100的ON電阻 R_{ON} 是100 Ω ；而時間 τ_1 是5msec。

本發明的第二具體實施例具有與圖1中所示者相同電路排列及與第一具體實施例者不同之驅動定時。圖3是本發明第二具體實施例的定時圖表。

在此具體實施例中，當將重設定脈沖 ϕ_{CHR} 設定在“H”時及終止重設定MOS電晶體5和6的重設定操作時，將開關脈沖 ϕ_{SW} 設定在“H”來開啓開關MOS電晶體100。甚至經由此驅動方法，可獲得本發明的效果。

在此具體實施例中，時間 τ_2 (在將開關脈沖 ϕ_{SW} 設定在“H”後，開啓開關MOS電晶體100歷此段時間)宜是：

$$\tau_2 > (C_{HS} + C_{HN}) \times R_{ON} \quad (R_{ON} : \text{開關 MOS 電晶體 100 之 ON 電阻})$$

然而，當與沒有類似開關101之設備相比較時，如第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

具體實施例中者，其至當 γ 2 較短者，在重設定後，可減少共同輸出線路電容器 C H S 和 C H N 間之電位差。

圖 4 是本發明第三具體實施例的電路圖。圖 5 是本發明第三具體實施例之定時圖表。

在此具體實施例中，光電轉換裝置係由光二極體 2 5 和 P M O S 源耦合器 2 6 所組成，而光電轉換裝置中之電荷係自轉移 M O S 電晶體 2 8，轉移電容器 2 7，

P M O S 源耦合器 2 9 及電源 3 0 與 3 1 讀出爲了抑制共同輸出線路電容器 C H S 與 C H N 間之任何變更，使用類似開關 1 0 1，1 0 2 與 1 0 3（每一者係由反相器和 M O S 電晶體所構成）作爲開關設備用以連接共同輸出線路電容器 C H S 與 C H N 及共同輸出線路電容器 C H S 和 C H N 之重設定設備。

爲了減少外部驅動脈沖，將用以驅動連接共同輸出線路電容器 C H S 和 C H N 之開關設備之脈沖使用共同輸出線路電容器 C H S 和 C H N 之重設定脈沖（ ϕ C H R）及經由一電阻器，一電容器及在兩終端上之兩倒相器所組成滯延電路 1 0 4 而產生。作爲反相器，可使用 E E 反相器，E D 反相器或 C M O S 反相器。

因此，如圖 5 中所示，用以驅動連接共同輸出線路電容器 C H S 和 C H N 之開關設備之脈沖（ ϕ S W）自共同輸出線路電容器 C H S 和 C H N 之重設定脈沖（ ϕ C H R）延遲約一段時間 τ_3 。

在關掉共同輸出線路電容器 C H S 和 C H N 之重設定

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(10)

開關 1 0 2 與 1 0 3 直至關掉用以連接共同輸出線路電容器 C H S 與 C H N 之類比開關後之時間 τ_3 宜是：

$$\tau_3 > (C H S + C H N) \times R_{ON} \quad (R_{ON} : \text{類比開關 } 1 0 1 \text{ 的 } ON \text{ 電阻})$$

然而，當與不具有類比開關 1 0 1 之設備相比較，甚至當時間 τ_3 較短時，可以減少在重設定後，共同輸出線路電容器 C H S 和 C H N 間之電位差。

此具體實施例與不具有類比開關 1 0 1 之先前技藝相比較。在先前技藝中，與輸入脈沖 ϕ_1 同步之奇數位元及與輸入脈沖 ϕ_2 同步之偶數位元具有 4.3 mV 之位準差。晶片中之最後 F P N，其係由放大器 2 4 所輸出，是大約 5.8 mV。然而，在此具體實施例中，未見到各位元間之位準差，而晶片中之最後 F P N 是大約 2.7 mV。

在沒有類比開關 1 0 1 之設備中，晶圓中深輸出之變更 (σ) (晶片中之平均值 x) 是 29 mV。在此具體實施例中，變更是 21 mV。

現在敘述晶片中之 F P N 和晶圓中之深輸出變更(晶片中之平均值)對於供電電壓之依賴性。在沒有類比開關 1 0 1 之設備中，當供電電壓變高時，晶片中之 F P N 及晶圓中深輸出之變更(晶片中之平均值)則增加。在此具體實施例中，未見到對於供電電壓之依賴性。

在此時，共同輸出線路電容 C H S / C H N 是

五、發明說明(1)

6 . 8 p F ; 類比開關 1 0 1 的 O N 電阻 R_{ON} , 6 0 Ω ; 而時間 τ_3 是 8 n e s c .

在第一至第三具體實施例中，係當 C P U 6 1 控制脈沖發生電路 6 2 而施加脈沖至光電轉換設備 6 3 時，如圖 6 中所示，執行電路操作之圖 2 , 3 或 5 中所示，定時圖表的操作。

在上述各具體實施例中，已敘述一維式光電轉換裝置。然而，本發明並非受限為一維式光電轉換裝置而是亦可有效施加至採用如上所述，相同電容段讀取計劃之二維式光電轉換裝置。

在上述各具體實施例中，第一與第二開關設備的每一者包括一 M O S 電晶體。然而，本發明並非受限為此，而是可使用能實施開關操作之任何裝置。

在上述各具體實施例中，已敘述一個 B A S I S 和光二極體 + M O S 源耦合器作為光電轉換設備。然而，本發明的效果，並非受限為該光電轉換設備。

在上述各具體實施例中，主要已敘述多晶片接觸圖像感測器。然而，宜將本發明施加至減縮系統之線路感測器或面積感測器，因為如上述，當與先前技藝相比較可減少 F P N 。

如上文已述，當使用本發明的設備時，可移除光電轉換裝置中之 F P N ，其在先前技藝中是不能完全移除，因此可產生具有高 S / N 比之光電轉換裝置。特別，當將此設備施加至多晶片線路感測器或面積感測器時，亦可移除

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

由於晶片間之變更的 F P N。

只要不遠離本發明之要旨和範圍，可構成本發明之許多大為不同之具體實施例。應了解者：本發明並非受限為說明書中所述之特定具體實施例，除非如附隨之申請專利範圍中所界定者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：光電轉換裝置)

本發明揭示一種光電轉換裝置，包括一光電轉換單元，許多輸出線路，將自光電轉換單元所輸出之信號讀出至其上，重定許多的輸出線路至固定電勢之一個單元，及直接連接許多輸出線路之一個單元。

英文發明摘要(發明之名稱：Photoelectric conversion apparatus)

Disclosed is a photoelectric conversion apparatus including a photoelectric conversion unit, a plurality of output lines to which a signal output from the photoelectric conversion unit is read out, a unit for resetting the plurality of output lines to a fixed potential, and a unit for directly connecting the plurality of output lines.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種光電轉換裝置，其包括：

光電轉換設備；

許多輸出線路以便讀出自光電轉換設備所輸出之信號

；

第一開關設備用以重設定許多輸出線路至固定之電位

；及

第二開關設備用以直接連接許多輸出線路。

2. 如申請專利範圍第1項之裝置，另外包括實施控制之控制設備，因此使在第一開關設備完成操作後，第二開關設備完成操作。

3. 如申請專利範圍第1項之裝置，另外包括實施控制之控制設備，因此使在經預定之期間，該第二開關設備與第一開關設備同時操作。

4. 如申請專利範圍第1項之裝置，另外包括持留設備用以持留信號。

5. 如申請專利範圍第4項之裝置，其中該信號包括雜訊信號及光信號。

6. 如申請專利範圍第6項之裝置，其中該持留設備包括雜訊信號持留設備用以聚積雜訊信號及光信號持留設備用以聚積光信號。

7. 如申請專利範圍第6項之裝置，其中許多的輸出線路包括雜訊信號輸出線路及光信號輸出線路。

8. 如申請專利範圍第7項之裝置，其中信號係經由電容段讀出至雜訊信號輸出線路和光信號輸出線路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

六、申請專利範圍

9. 如申請專利範圍第8項之裝置，其中在第一開關設備完成操作直至第二開關設備完成操作後之時間 (τ) 是：

$$\tau > (C_{HS} + C_{HN}) \times R_{ON}$$

其中 C_{HS} 是光信號輸出線路之電容； C_{HN} 雜訊信號輸出線路之電容；而 R_{ON} 是第二開關設備之 ON 電阻。

10. 如申請專利範圍第1項之裝置，其中第一與第二開關設備共享驅動源以便操作第一與第二開關設備，且另外包括延遲設備以便在一段經預定時間後，將該驅動源的驅動端發信號至第二開關設備。

11. 如申請專利範圍第10項之裝置，其中該延遲設備包括電容器，電阻器和反相器。

12. 如申請專利範圍第11項之裝置，其中該反相器包括 MOS 反相器。

13. 如申請專利範圍第12項之裝置，其中第一和第二開關設備的每一者包括電晶體。

14. 如申請專利範圍第13項之裝置，其中該電晶體包括 MOS 電晶體。

15. 如申請專利範圍第14項之裝置，其中該 MOS 電晶體包括 $NMOS$ 電晶體及 $PMOS$ 電晶體，其係並聯。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1 6 . 如申請專利範圍第 1 項之裝置，其中該光電轉換設備包括雙極電晶體，M O S 電晶體，光二極體和電容器的其中之一。

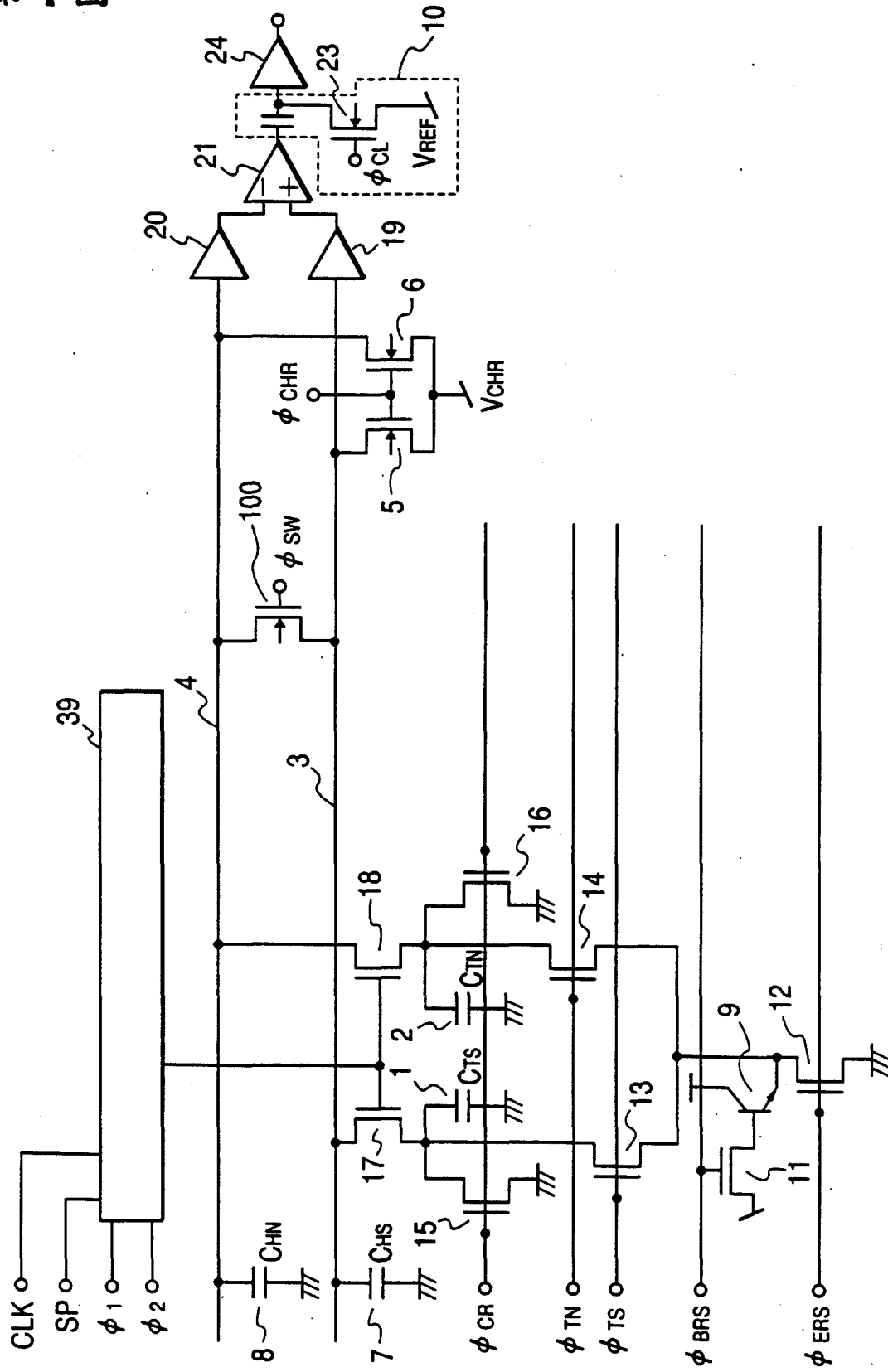
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

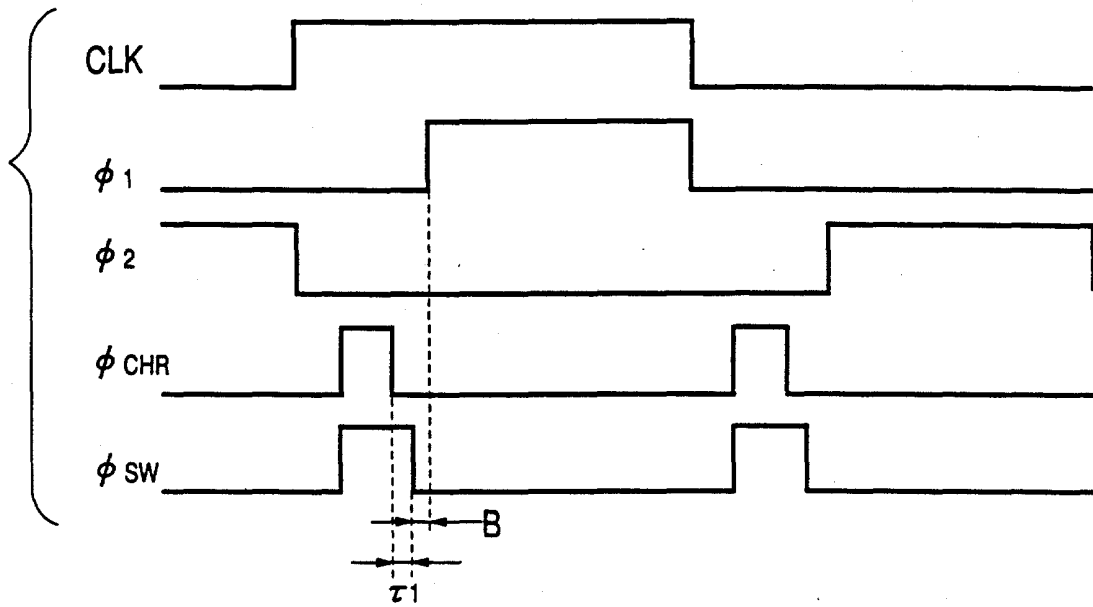
8211P182
730206

第 1 圖

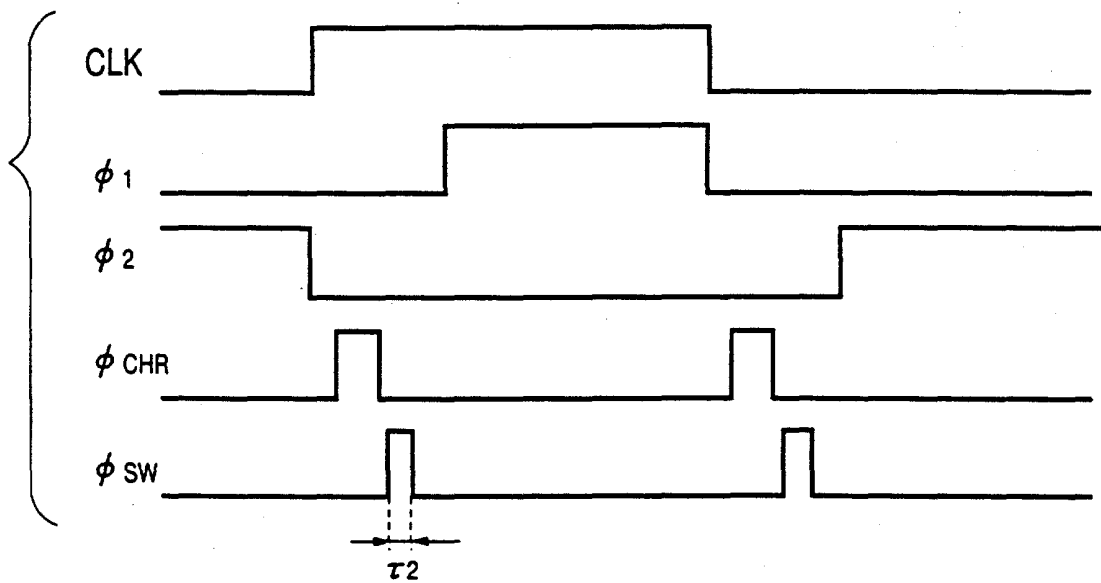


387154

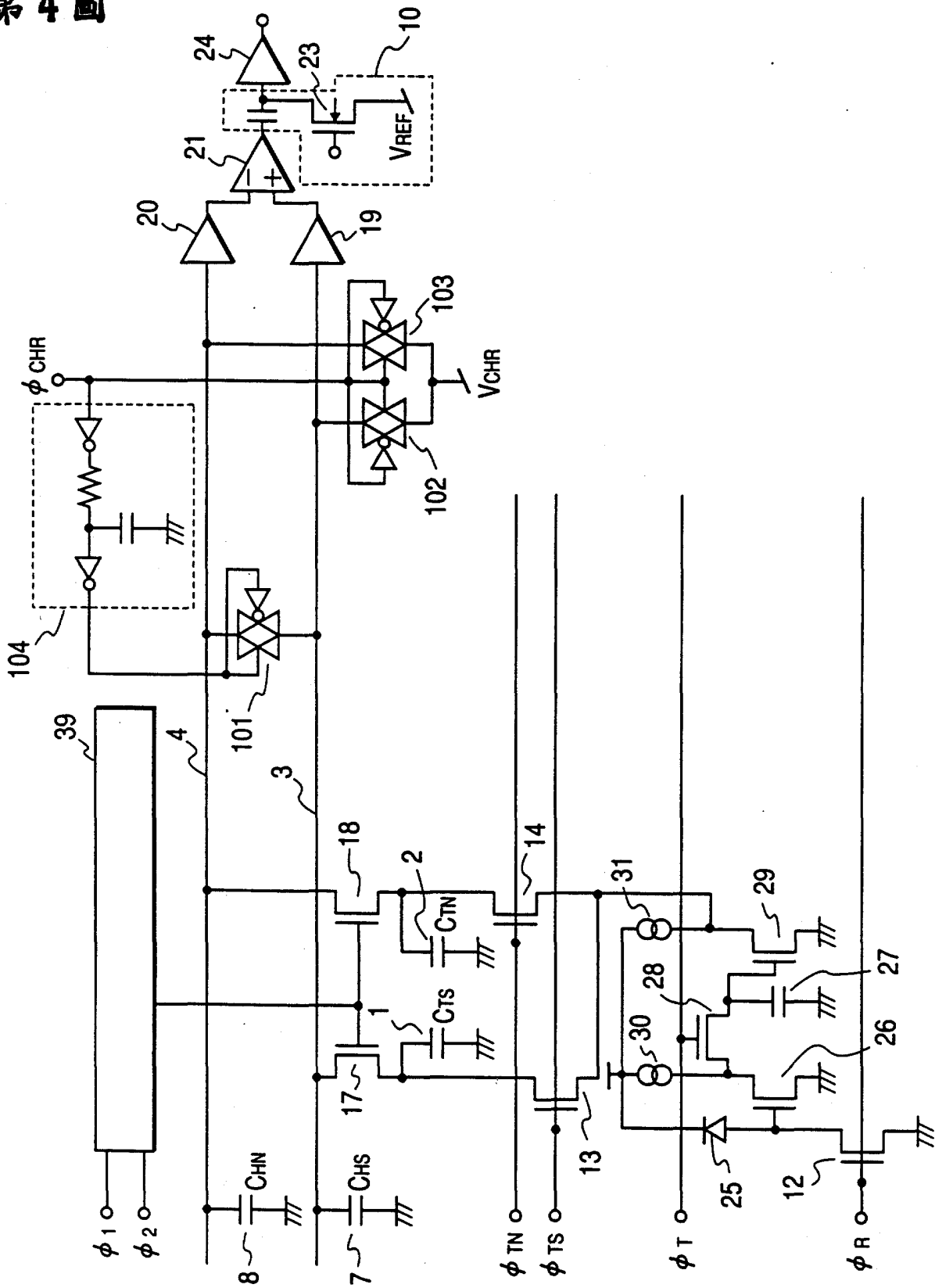
第 2 圖



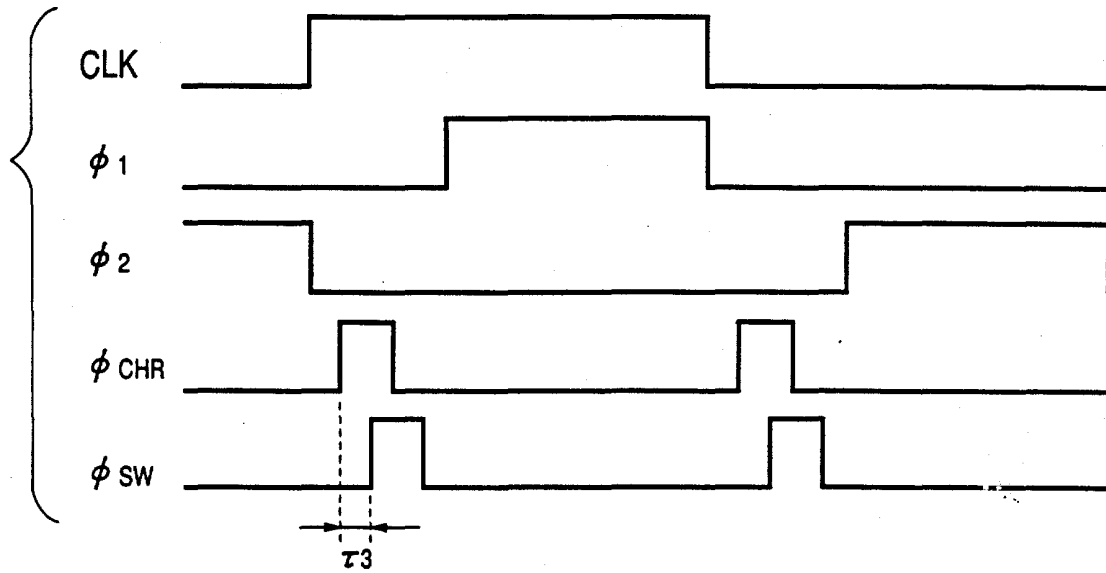
第 3 圖



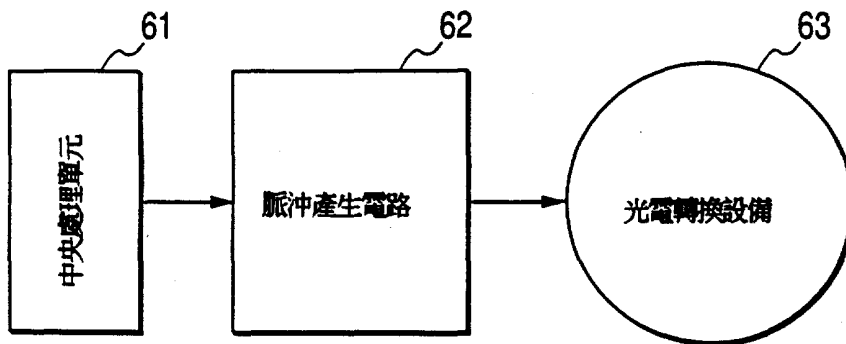
第 4 圖



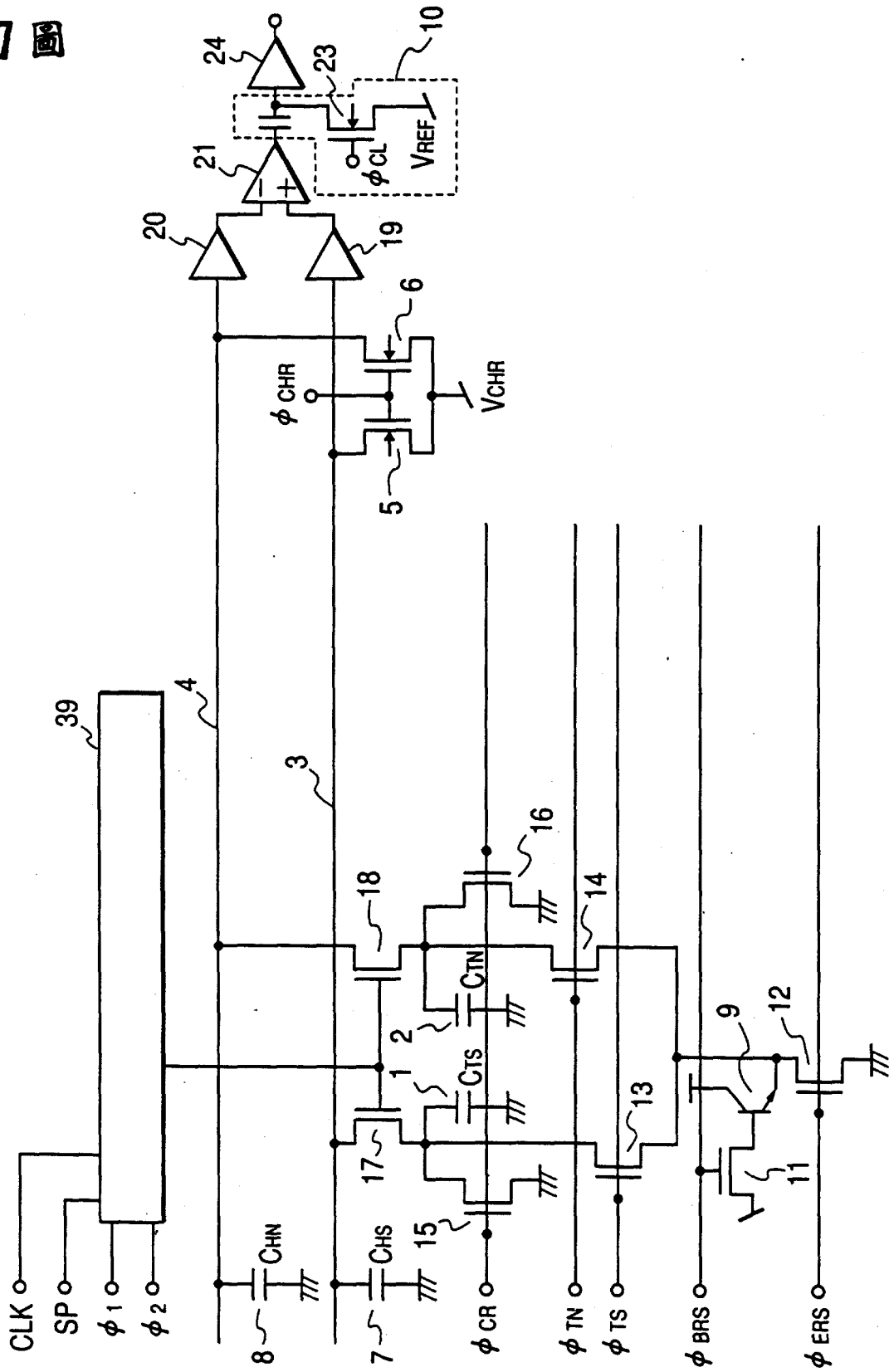
第 5 圖



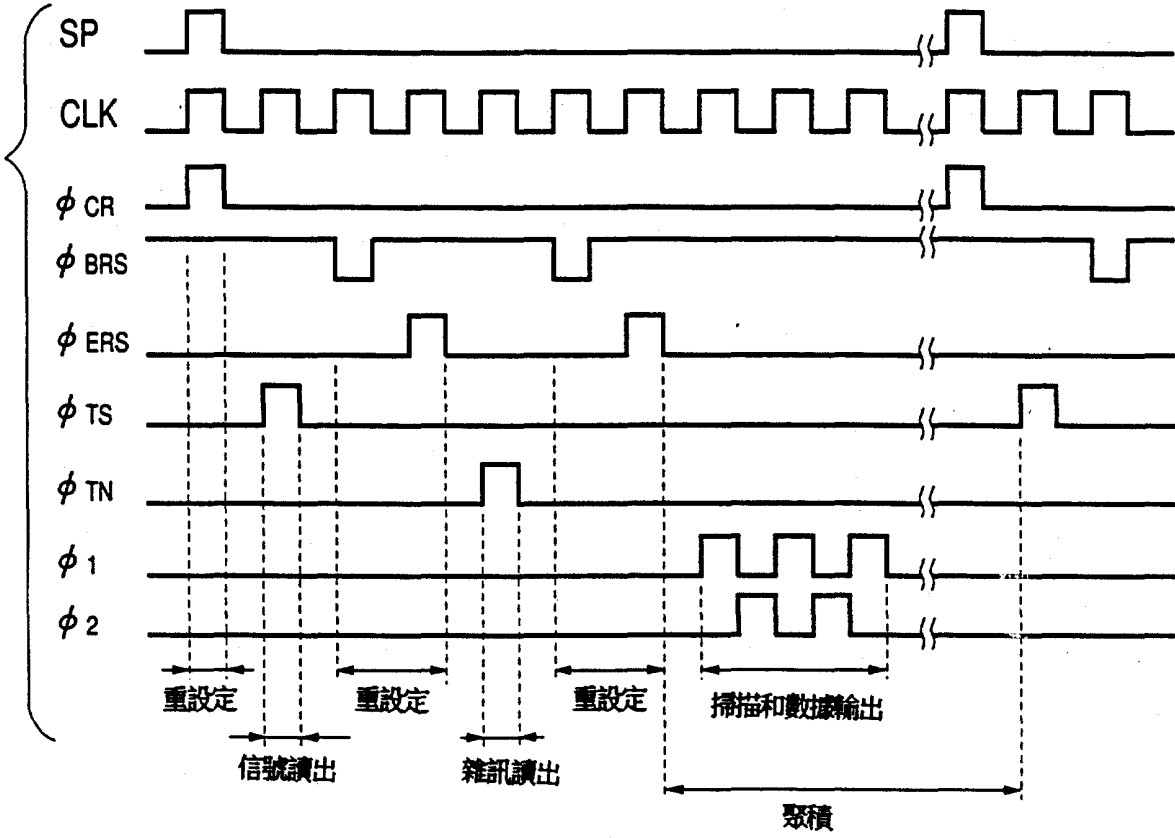
第 6 圖



第7圖



第 8 圖



第 9 圖

