

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年5月21日(21.05.2015)



(10) 国際公開番号

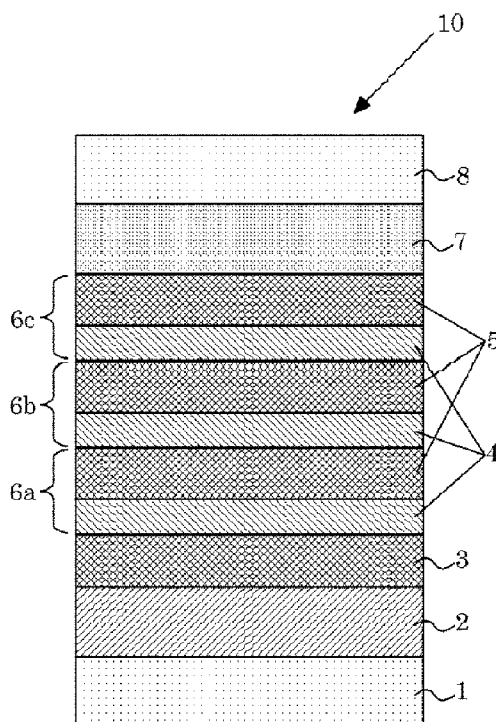
WO 2015/072228 A1

- (51) 国際特許分類:
H01L 21/8246 (2006.01) H01L 29/82 (2006.01)
G11C 11/15 (2006.01) H01L 45/00 (2006.01)
H01L 27/105 (2006.01)
- (21) 国際出願番号: PCT/JP2014/074796
- (22) 国際出願日: 2014年9月19日(19.09.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-236847 2013年11月15日(15.11.2013) JP
- (71) 出願人: 独立行政法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関1丁目3番1号 Tokyo (JP).
- (72) 発明者: 富永 淳二(TOMINAGA Junji); 〒3058562 茨城県つくば市東1-1-1 中央第4 独立行政法人産業技術総合研究所内 Ibaraki (JP).
- (74) 代理人: 塩田 伸(SHIODA Shin); 〒3050032 茨城県つくば市竹園2丁目10-14 和宏ビル201号 ホームタウン特許事務所 Ibaraki (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SPIN ELECTRONIC MEMORY, INFORMATION RECORDING METHOD AND INFORMATION REPRODUCING METHOD

(54) 発明の名称: スピン電子メモリ、情報記録方法及び情報再生方法



(57) Abstract: [Solution] A spin electronic memory of the present invention is characterized by being formed by laminating at least a pair of electrodes (1, 2), a first alloy layer (5) that is mainly composed of SbTe, Sb₂Te₃, BiTe, Bi₂Te₃, BiSe or Bi₂Se₃ and has a thickness of from 2 nm to 10 nm (inclusive), and a second alloy layer (4) that is mainly composed of an alloy represented by general formula (1). This spin electronic memory is also characterized by comprising recording layers (6a, 6b, 6c) that are arranged between the electrodes (1, 2) and a spin injection layer (7) which is formed of a magnetic material that is to be magnetized, and which injects spin-polarized electrons into the recording layers. M_{1-x}Te_x (1) In formula (1), M represents a Ge atom, an Al atom or an Si atom, and x represents a number of 0.5 or more but less than 1.

(57) 要約: 【解決手段】本発明のスピン電子メモリは、少なくとも、一対の電極1、2と、SbTe、Sb₂Te₃、BiTe、Bi₂Te₃、BiSe及びBi₂Se₃のいずれかを主成分として形成され、厚みが2nm以上10nm以下である第1の合金層5と、下記一般式(1)で表される合金を主成分として形成される第2の合金層4とを積層させて形成され、前記電極間1、2に配される記録層6a、6b、6cと、磁性材料で形成され、前記磁性材料が磁化された前記記録層にスピンを注入するスピン注入層7と、を有することを特徴とする。M_{1-x}Te_x(1)ただし、前記式(1)中、Mは、Ge、Al及びSiのいずれかの原子を示し、xは、0.5以上1未満の数値を示す。

WO 2015/072228 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：スピ電子メモリ、情報記録方法及び情報再生方法 技術分野

[0001] 本発明は、電子スピンを用いて多値情報のメモリ動作が可能なスピ電子メモリ、該スピ電子メモリを用いた情報記録方法及び情報再生方法に関する。

[0002] 現代文明を支えるコンピューターは、電子の流れである電流によって動作する。この電流を操作し、情報の記録・消去に応用したデバイスは、半導体によって構成されている。前記半導体中を流れる電子は、不純物やクーロン力による散乱を受けてジュール熱を発生させる。

このため、コンピューターには、冷却用のファンが必要である。また、前記ジュール熱によって入力エネルギーの一部が情報の記録・消去には利用できず、エネルギーロスが発生する。つまり、前記電子の散乱を抑制することが、前記電子デバイスの省電力化に向けた中心的な技術開発課題であることは疑う余地はない。

[0003] その一つの解決策として、従来から前記電子デバイスを極低温で動作させ、前記電子の散乱を抑制する方法がある。例えば、超伝導体を用いることがそれに相当する。前記超伝導体では電子散乱はゼロになるので、電気抵抗がなくジュール熱も発生しない。したがって、前記電子散乱が発生しない。

しかし、この方法を用いた場合には、前記電子デバイスを数ケルビンの温度まで冷却する必要がある、このために費やすエネルギーを忘れてはならない。また、このような極低温状態を利用する電子デバイスを一般化して実用化することは、困難である。そのため、室温で前記電子散乱を抑えられる手段としては、満足できるものが存在していない状況にある。

[0004] しかしながら、2007年ごろから状況が変わりつつある。物理学の理論として、トポロジカル絶縁体の理論的なモデルが提案されたためである。前記トポロジカル絶縁体とは、物体表面あるいは界面に生じる特殊な電子状態を利用した絶縁体であり、原子番号が比較的大きな元素の内核電子が光速に

近い速さで運動するために生じる相対論的效果に基づいて説明される。

即ち、この電子の作用（スピンー軌道相互作用）によって、前記電子が形成するバンド構造のハミルトニアンにスピンー軌道相互作用の項が追加され、バンド構造とエネルギー固有値に変化が生じる。このとき、ある特殊な物質においては、真空表面での価電子帯の最上層部のバンドと伝導帯の最下部のバンドとが結合するが、他方、前記物質の内部ではバンドが開いたままの特殊なバンド構造が形成されることがある。

その結果、前記物質の表面あるいは界面では伝導体となるが、内部ではバンドがあるため絶縁体となるという、それまでに知られていなかった特殊な物性が出現する。このような特性をもつ物質を「トポロジカル絶縁体」と称す（非特許文献1参照）。

[0005] 前記トポロジカル絶縁体をもつ特殊な電子バンド構造は、時間反転対称性によって、前記物質の表面あるいは界面に存在する電子がスピンの異なる二つの電子スピン流に別れ、電圧を加えることなく流れ続けるという奇妙な特徴をもつ。このことは、裏返せば、前記不純物などによる前記電子散乱を受けないという重要な性質をもっていることと同じである。また、例えば、前記時間反転対称性を壊すような外部磁場がなければ、この特性は、非常に強固に保存される。なお、前記トポロジカル絶縁体の名称は、こうした前記電子バンド構造の有する特性が数学のトポロジー多面体論と類似した性質をもつことに由来する（非特許文献1参照）。

[0006] 前記トポロジカル絶縁体の存在が理論的に予言されて以来、実際にこの奇妙な性質をもつ材料の探索が始まった。その結果、結晶性の高いビスマスーテルル合金、アンチモンーテルル合金などが光電子分光法による実験から確認されたが、これらの実験に用いた単結晶は、熔融合金の冷却法等によって作製されたものであり、前記電子デバイスに直ちに応用できるものではない（非特許文献2参照）。

[0007] 他方、本発明者らは、前記トポロジカル絶縁体とは全く関係なく、相変化型固体メモリの消費電力削減化に向けて、ゲルマニウムーテルルからなる結

晶合金層とアンチモン・テルルからなる結晶合金層とを、それぞれの結晶合金層が有する(111)面軸とc軸とを整合させて積層させた超格子型相変化膜とし、ゲルマニウム原子の配列構造を結晶成長軸方向にスイッチさせてメモリ動作を可能にした超格子型相変化固体メモリを提案している(特許文献1、2及び非特許文献3参照)。

[0008] 本発明者らは、この超格子型相変化固体メモリが、理想的なトポロジカル絶縁体になり得ることに気がついた。なぜなら、非特許文献1に見られるように、アンチモンとテルルの原子比率が2:3の結晶合金層(Sb_2Te_3 結晶合金層)は、前記トポロジカル絶縁体とされる一方で、本発明者らの前記提案では、この結晶合金層を複数配し、これらをバンドギャップをもつゲルマニウムとテルルの原子比率が1:1の結晶合金層(GeTe 結晶合金層)によって隔離させた構造を正に前記超格子型相変化固体メモリの記録層としているからである。ただ、確認すべきことは、ゲルマニウムとテルルからなる結晶合金層が、真空バンドと同様な作用を持っているか否かであるが、量子力学を用いた第一原理計算によって、この結晶合金層が真空バンドと同等の役割をなすことがシミュレーションによって確認された(特許文献3参照)。

[0009] それによれば、逆格子空間内のある点(ガンマ点)にして、フェルミバンド近傍で伝導帯の最下部と価電子帯の最上部のバンドが接するように一点でクロスする。この現象は、前記トポロジカル絶縁体のもつ特異的な特徴であり、このガンマ点は、実空間において、ちょうど前記 GeTe 結晶合金層の中心対称点にあたる。つまり、この層が前記電子の非散乱層となり、前記電子が二次元で自由に移動できる層であることが確認された(特許文献3参照)。

[0010] 本発明者らは、前記 Sb_2Te_3 結晶合金層のブロック数(1ブロックは、約1ナノメートル)を変えながら前記第一原理計算を進めた結果、前記 Sb_2Te_3 結晶合金層が1ブロックでは前記トポロジカル絶縁体の特徴であるバンドクロスを示さず、少なくとも2ブロック数以上必要であることを見出した

。

しかし、2ブロックより薄い層では、前記トポロジカル絶縁体にならない代わりに、逆格子空間内のガンマ点においてバンドの縮退が解れ、異なるエネルギー状態を持つ二つのスピンバンドに分裂する、いわゆるラシュバ効果が現れることを発見した。

この超格子型相変化膜がもつ前記ラシュバ効果は、これまで知られていた如何なる材料に比較して驚くほど大きく、前記第一原理計算によるシミュレーションでは、それらのスピンバンドの差で200 meVにも達する。この大きさは、室温でさえスピン特性の違いを観測できるほど大きい（非特許文献4参照）。

[0011] また、シリコンウエハ上に前記 Sb_2Te_3 結晶合金層の厚みを変えた前記超格子型相変化膜を形成し、外部磁場を面直方向に加え分裂したスピン電子密度を変化させ、この状態を円偏光の光を入射させることで反射率の変化として測定した結果、前記ラシュバ効果は、2 nmより薄い前記 Sb_2Te_3 結晶合金層の場合に顕著で、それ以上の厚みでは、スピン分裂による反射率の差が小さい。このことは、逆を言えば、これ以上の厚みの前記超格子型相変化膜は、ラシュバ効果が小さく、前記トポロジカル絶縁体となっているものと結論付けられる。

つまり、前記GeTe結晶合金層と、厚みが2 nmより薄い前記 Sb_2Te_3 結晶合金層からなる積層膜は、前記ラシュバ効果を持つスピン流発生層となり、前記GeTe結晶合金層と、厚みが2 nm以上の前記 Sb_2Te_3 結晶合金層からなる積層膜は、スピン流を蓄積できるスピン流蓄積層となり得る。これらの二種類の結晶合金層を積層し、例えば、垂直方向に電場を加え、電子を注入すれば、スピン制御が可能であるばかりか、蓄積も可能なスピン電子メモリを提供できる（特許文献3参照）。

[0012] しかしながら、前記スピン電子メモリでは、前記トポロジカル絶縁体を用いた手法を用いてスピンを蓄積する場合、スピンを解放した状態とスピンを蓄積した状態の二つの異なる状態しか利用できないことから、多値情報の記

録及び再生ができず、より大きなメモリ容量のスピン電子メモリの開発が求められていた。

先行技術文献

特許文献

[0013] 特許文献1：特許4 6 2 1 8 9 7号公報

特許文献2：特許4 6 3 5 2 3 6号公報

特許文献3：国際公開第2 0 1 3 / 1 2 5 1 0 1号公報

非特許文献

[0014] 非特許文献1：H. Zhang et al. Nature Physics, 5, 438 (2009).

非特許文献2：Y. Xia et al. Nature Physics, 5, 398 (2009).

非特許文献3：J. Tominaga et al. Nature Nanotechnology, 6, 501 (2011).

非特許文献4：J. Tominaga et al. Applied Physics Letter, 99, 152105 (2011).

発明の概要

発明が解決しようとする課題

[0015] 本発明は、従来における前記諸問題を解決し、以下の目的を達成することを課題とする。即ち、本発明は、多値情報を記録可能で、メモリ容量を大幅に増加可能なスピン電子メモリ、該スピン電子メモリを用いた情報記録方法及び情報再生方法を提供することを目的とする。

課題を解決するための手段

[0016] 前記課題を解決するための手段としては、以下の通りである。即ち、

<1> 少なくとも、一対の電極と、 SbTe 、 Sb_2Te_3 、 BiTe 、 Bi_2Te_3 、 BiSe 及び Bi_2Se_3 のいずれかを主成分として形成され、厚みが2 nm以上10 nm以下である第1の合金層と、下記一般式(1)で表される合金を主成分として形成される第2の合金層とを積層させて形成され、前記電極間に配される記録層と、磁性材料で形成され、前記磁性材料が磁化された状態で前記記録層にスピンを注入するスピン注入層と、を有する

ことを特徴とするスピン電子メモリ。

[化1]



ただし、前記式（１）中、Mは、Ge、Al及びSiのいずれかの原子を示し、xは、0.5以上1未満の数値を示す。

<2> 記録層が少なくとも2層以上積層されて配される前記<1>に記載のスピン電子メモリ。

<3> 第1の合金層が六方晶の結晶構造を有するとともに第2の合金層が立方晶の結晶構造を有し、前記第1の合金層のc軸が積層方向に配向され、前記第2の合金層の（111）面が前記第1の合金層との隣接面に配向される前記<1>から<2>のいずれかに記載のスピン電子メモリ。

<4> 第2の合金層がGeTeを主成分として形成される前記<1>から<3>のいずれかに記載のスピン電子メモリ。

<5> 第2の合金層の厚みが0を超え4nm以下である前記<1>から<4>のいずれかに記載のスピン電子メモリ。

<6> 第2の合金層の下地として配され、これに積層される前記第2の合金層の積層面を（111）面に配向させる配向層を有する前記<1>から<5>のいずれかに記載のスピン電子メモリ。

<7> 配向層が第1の合金層と同じ組成を有し、かつ、同じ結晶構造を有する前記<6>に記載のスピン電子メモリ。

<8> スピン注入層の面に対して垂直方向の磁場を形成し、前記スピン注入層を介して記録層にスピンを注入する磁性部を有する前記<1>から<7>のいずれかに記載のスピン電子メモリ。

<9> 前記<1>から<8>のいずれかに記載のスピン電子メモリを用いた情報記録方法であって、nを少なくとも1以上の整数として、n層積層される記録層に対し、前記記録層の一層ごとにスピンを飽和状態で蓄積させるのに必要な電圧値としてn段階の大きさに段階分けされた電圧値で電圧を

加える工程を含むことを特徴とする情報記録方法。

<10> 前記<1>から<8>のいずれかに記載のスピン電子メモリを用いた情報再生方法であって、 n を少なくとも1以上の整数として、 n 層積層される記録層の抵抗値及び光反射率のいずれかの状態値を測定し、前記状態値に応じて前記記録層のうち情報が記録された前記記録層の層数を判定する工程を含むことを特徴とする情報再生方法。

発明の効果

[0017] 本発明によれば、従来技術における前記諸問題を解決することができ、多値情報を記録可能で、メモリ容量を大幅に増加可能なスピン電子メモリ、該スピン電子メモリを用いた情報記録方法及び情報再生方法を提供することができる。

図面の簡単な説明

[0018] [図1(a)]六方晶の第1の合金層及び配向層の結晶構造を示す説明図である。
[図1(b)]立方晶の第2の合金層の結晶構造を示す説明図である。
[図2]本発明の一実施形態に係るスピン電子メモリの層構成を示す断面図である。
[図3(a)]本発明の一実施形態に係るスピン電子メモリの電流電圧特性を説明する説明図である。
[図3(b)]本発明の一実施形態に係るスピン電子メモリの抵抗電圧特性を説明する説明図である。
[図4(a)]本発明の実施例に係るスピン電子メモリの電流電圧特性を説明する説明図である。
[図4(b)]本発明の実施例に係るスピン電子メモリの抵抗電圧特性を説明する説明図である。

発明を実施するための形態

[0019] (スピン電子メモリ)

本発明のスピン電子メモリは、少なくとも、一対の電極と、記録層と、スピン注入層とを有し、必要に応じて、配向層、磁性部等の部材を有する。

[0020] <記録層>

前記記録層は、第1の合金層と、第2の合金層を積層させて形成され、前記一对の電極間に配される。この記録層は、一層ごとにスピンを蓄積させることができ、前記スピン電子メモリは、前記記録層の積層数に応じて多値の情報を記録し再生することができる。

したがって、前記記録層としては、1層であってもよいが、少なくとも2層以上積層することで2値以上の多値情報を記録することができる。

[0021] 前記第1の合金層は、 SbTe 、 Sb_2Te_3 、 BiTe 、 Bi_2Te_3 、 BiSe 及び Bi_2Se_3 のいずれかを主成分として形成され、厚みが2 nm以上10 nm以下とされる。

このように形成される前記第1の合金層は、前記トポロジカル絶縁体として作用し、前記スピン注入層から注入される前記スピンをその表面あるいは界面に存在させることができる。

なお、本明細書において「主成分」とは、層の基本単位格子を形成する元素であることを示す。

[0022] 前記第1の合金層としては、特に制限はないが、六方晶の結晶構造を有するとともに、そのc軸が積層方向に配向されていることが好ましい。

このような結晶構造を有すると、その次に積層される層が、この層を下地として配向を生み出すテンプレートとなって、これら積層体の超格子構造が得られやすい。

前記第1の合金層の形成方法としては、特に制限はないが、c軸配向の前記結晶構造が得られやすいことから、例えば、スパッタリング法、分子線エピタキシー法、ALD (Atomic Layer Deposition) 法、CVD (Chemical Vapor Deposition) 法などが好ましい。

[0023] 前記第2の合金層は、下記一般式(1)で表される合金を主成分として形成される。

この第2の合金層は、Mの配置によって、層の中心に空間反転対称性をも

った構造からなる第1の結晶相と、前記空間反転対称性が崩れた第2の結晶相とに相変化可能とされる。前記第2の結晶相においては、強磁性体の磁気特性を有し、前記スピンを蓄積させることができる。

前記第2の合金層は、比較的弱い電圧を加えることで前記第1の結晶相から前記第2の結晶相に相変化可能とされる一方、比較的強い電圧を加えることで前記磁気特性のない第1の結晶相に相変化可能とされる。この特性を利用することで、前記スピンを蓄積可能な前記第2の結晶相をセット状態とし、前記スピスが解放された前記第1の結晶相をリセット状態としたメモリ動作が可能となる。

[0024] [化2]



ただし、前記式(1)中、Mは、Ge、Al及びSiのいずれかの原子を示し、xは、0.5以上1未満の数値を示す。

前記一般式(1)で表される合金としては、中でも、誘電率の大きさから、GeTeが好ましい。

[0025] 前記第2の合金層の厚みとしては、特に制限はないが、0を超え4 nm以下であることが好ましい。

前記厚みが4 nmを超えると、独立した固有の特性を示すことがあり、前記第1の合金層との積層構造体である前記記録層としての特性に影響を及ぼすことがある。

[0026] 前記第2の合金層としては、特に制限はないが、立方晶の結晶構造を有するとともに、その(111)面が前記第1の合金層との隣接面に配されていることが好ましい。中でも、面心立方晶の結晶構造を有するとともに、その(111)面が前記第1の合金層との隣接面に配されていることがより好ましい。

このような結晶構造を有すると、その次に積層される層が、この層を下地として配向を生み出すテンプレートとなって、これら積層体の超格子構造が

得られやすい。

前記第2の合金層の形成方法としては、特に制限はないが、c軸配向の前記結晶構造が得られやすいことから、例えば、スパッタリング法、分子線エピタキシー法、ALD法、CVD法等が好ましい。

[0027] <スピン注入層>

前記スピン注入層は、磁性材料で形成され、前記磁性材料が磁化された状態で前記記録層に前記スピンを注入する層として構成される。なお、前記スピンとは、スピン偏極した電子を示し、前記スピン注入層では、磁化された状態で電圧を加えることにより、前記記録層に伝導される電子のスピン特性を前記磁性材料により偏極させる役割を持つ。

前記磁性材料としては、特に制限はなく、公知の磁性メモリの磁性層形成材料として用いられる材料を挙げることができ、具体的には、 $TbFeCo$ 、 $FeCo$ 、 $MnCr$ 、 $MnPt$ 等が挙げられる。これらは強磁性体であり、前記スピンの配向が磁性層としての前記スピン注入層の面に対して垂直となる磁場を形成し、前記スピン注入層と並行して配される前記記録層に対して、前記スピンの配向を揃えた状態で伝導させる目的として利用できる。

[0028] 前記スピン注入層の厚みとしては、特に制限はないが、 $1\text{ nm} \sim 10\text{ nm}$ が好ましい。

前記厚みが 1 nm 未満であると、十分なスピン配向性が得られないことがあり、 10 nm を超えると、磁化が強くなり過ぎて、データの消去が困難となることがある。

また、前記スピン注入層の形成方法としては、特に制限はなく、スパッタリング法、分子線エピタキシー法、ALD法、CVD法等が挙げられる。

また、前記スピン注入層を配する位置としては、前記スピンを前記記録層に注入するため、前記記録層に対して、前記記録層に電子を流入させる前記電極が配される側に配される。

[0029] <電極>

前記電極としては、特に制限はなく、目的に応じて適宜選択することがで

き、公知の半導体素子に用いられる電極を公知の方法により配して形成することができる。

[0030] <配向層>

前記スピン電子メモリにおいては、前記第1の合金層の結晶構造がc軸に配向され、前記第2の合金層の結晶構造の(1 1 1)面が前記第1の合金層との隣接面に配向される超格子構造を有すると、前記トポロジカル絶縁体及び前記相変化特性が得られやすい。

前記第1の合金層は、下地に制限なく、c軸配向体として得られやすいが、前記第2の合金層は、このc軸配向体を下地として積層させないと、前記超格子構造が得られにくい。そのため、前記第2の合金層を前記第1の合金層を下地として形成しない場合には、前記記録層（前記第2の合金層）の下地として配され、これに積層される前記記録層の第2の合金層の積層面を(1 1 1)面に配向させる前記配向層を設けることが好ましい。

[0031] 前記配向層としては、このような役割を有する限り、特に制限はないが、製造工程を簡略化する観点から、前記第1の合金層と同じ組成を有し、かつ、同じ結晶構造を有することが好ましい。即ち、前記配向層としては、 SbTe 、 Sb_2Te_3 、 BiTe 、 Bi_2Te_3 、 BiSe 及び Bi_2Se_3 のいずれかを主成分として形成され、六方晶の結晶構造を有し、その結晶方位がc軸に配向された結晶合金層であることが好ましい。

前記配向層の厚みとしては、3 nm以上が好ましく、5 nm以上がより好ましい。前記厚みが3 nm未満であると、形成方法によっては、c軸への配向強度が十分に得られないことがある。

なお、こうした観点から、前記スピン電子メモリとしては、前記第1の合金層を下地として、前記第2の合金層を積層させるよりも、これらの層の結晶構造を安定化させるため、前記配向層を下地として前記第2の合金層を積層させて製造することが好ましい。

[0032] ここで、前記第1の合金層、前記第2の合金層及び前記配向層の積層状態について、図1(a)及び図1(b)を参照して説明する。なお、図1(a)

）は、六方晶の前記第 1 の合金層及び前記配向層の結晶構造を示す説明図であり、図 1（b）は、立方晶の前記第 2 の合金層の結晶構造を示す説明図である。

[0033] 図 1（a）に示すように、前記第 1 の合金層及び前記配向層として、六方晶である結晶合金層 5 1 を c 軸配向させると、隣接面 5 1 a は、六角形となる。このため、結晶合金層 5 1 の表面に、前記第 2 の合金層として、立方晶である結晶合金層 5 2 を堆積させると、図 1（b）に示す（1 1 1）面が隣接面 5 2 a となる。即ち、立方晶の（1 1 1）面は、三角形であることから、c 軸配向した結晶合金層 5 1 の隣接面 5 2 a と整合する。そのため、c 軸配向させた結晶合金層 5 1 の表面に立方晶である結晶合金層 5 2 を堆積させると、これらの隣接面 5 2 a を結晶合金層 5 2 の（1 1 1）面とすることができる。これに対して、結晶合金層 5 1 なしに結晶合金層 5 2 を形成すると、結晶合金層 5 2 は、例えば、（1 0 0）面に配向してしまい、その結果、これらの積層体で形成される超格子構造に格子乱れが生じやすい。

[0034] <磁性部>

前記スピン電子メモリにおいては、前記スピンを前記記録層に注入する観点から、前記スピン注入層の形成後、前記スピン注入層の面に垂直の磁場を加えることで、前記スピン注入層を磁化させて、前記スピンの配向を揃える役割を付与する。この磁性部としては、前記スピン電子メモリに配することとしてもよいし、前記スピン注入層の形成後、その磁化状態を固定させた後、外してもよい。

前者の場合、更に、前記スピン注入層が形成する磁場の強さを補強する観点から、前記スピン注入層と並行して積層される層として配することで、磁化された前記スピン注入層の前記記録層に対する前記スピンの注入を補助させることとしてもよい。この場合、前記磁性部は、前記スピン注入層の面に対して垂直方向の磁場を形成し、前記スピン注入層を介して前記記録層にスピンを注入する磁性層として構成される。

また、後者の場合では、磁化状態が固定された前記スピン注入層が形成す

る磁場により前記スピンの前記記録層に注入される。

なお、前記磁性部としては、特に制限はなく、公知の永久磁石、電磁石等で構成することができる。

[0035] なお、前記スピン電子メモリは、前記配向層、前記磁性部のほか、必要に応じて、その他の部材を有することができる。前記その他の部材としては、本発明の効果を損なわない限り、特に制限はなく、公知の半導体メモリに用いられる部材等が挙げられる。

また、前記スピン電子メモリは、複数集積化させることで、スピン電子回路を構成することができる。前記スピン電子回路の回路構成としては、特に制限はなく、目的に応じて適宜選択することができ、公知の半導体回路を用いた回路構成とすることができる。

[0036] 前記スピン電子メモリの構成例として、本発明の一実施形態に係るスピン電子メモリ 10 を図 2 を参照しつつ説明する。なお、図 2 は、本発明の一実施形態に係るスピン電子メモリの層構成を示す断面図である。

スピン電子メモリ 10 は、層状の下部電極 1 上に、半導体基板 2、配向層 3、3 層の記録層 6 a ～ 6 c、スピン注入層 7、層状の上部電極 8 がこの順で配された構成とされる。

また、3 層の記録層 6 a ～ 6 c の各層は、第 2 の合金層 4 上に第 1 の合金層 5 が積層された構造とされる。

[0037] なお、このスピン電子メモリ 10 の構成は、一例であり、半導体基板 2 上に下部電極 1 を配してもよく、半導体基板 2 を用いず、下部電極 1 上に直接、配向層 3 を配してもよい。また、スピン注入層 7 は、記録層 6 a ～ 6 c に対して、記録層 6 a ～ 6 c に電子を流入させる上部電極 8 が配される側に配されればよく、上部電極 8 と積層順を入れ替えて上部電極 8 上に配されてもよい。

[0038] 次に、スピン電子メモリ 10 を一例として、前記スピン電子メモリの作用について説明する。

記録層 6 a ～ 6 c の第 1 の合金層 5 は、前記トポロジカル絶縁体として作

用し、前記スピンを第2の合金層4に伝導させる。第2の合金層4は、ゲルマニウム原子、アルミニウム原子又はシリコン原子の配置によって、層の中心に前記空間反転対称性をもった構造からなる前記第1の結晶相と、前記空間反転対称性が崩れた前記第2の結晶相を有する。本発明者は、この第2の結晶相が前記ラシュバ効果や磁性特性を発現し、前記スピンを保持可能な強磁性体として作用することを見出した。また、前記第2の結晶相を優先的に発現させるためには、比較的弱い電圧を加えればよいことを確認した。この電圧の具体的な値は、予め特性を測定しておくことで確認することができる。

今、比較的弱い電圧を印加し、混合相の第2の合金層4を前記第2の結晶相が優先的に発現した状態（セット状態）とし、外部電源からスピン電子メモリ10に電圧を加えると、その電圧値に応じて、スピン注入層7によりスピン偏極された電子が記録層6a～6cに流入し、記録層6a～6cにスピンの蓄積可能とされる。このスピンは、前記トポロジカル絶縁体として作用する第1の合金層5及び前記セット状態の第2の合金層4により保持される。

この時、記録層6a～6cへの前記スピンの蓄積は、電子が流入される電極側に最も近い記録層6aから順々に開始され、記録層6aでの前記スピンの蓄積が飽和状態となると、次に近い記録層6bで行われ、最後に記録層6cで行われる。

[0039] この様子を図3（a）及び図3（b）を用いて説明する。なお、図3（a）は、本発明の一実施形態に係るスピン電子メモリの電流電圧特性を説明する説明図であり、図3（b）は、本発明の一実施形態に係るスピン電子メモリの抵抗電圧特性を説明する説明図である。なお、各図中、符号Aは、磁場を加えない場合の特性を示し、符号Bは、磁場を加えた場合の特性を示す。

図3（a）に示すように、符号Aの特性では、電圧値に比例して電流値が大きくなるが、符号Bの特性では、電圧値の上昇に対し、電流値が段階的に低下する。即ち、電磁石により、スピン注入層7を磁化させつつ、記録層6

a～6cの積層方向に磁場を加えた場合、記録層6a～6cへの前記スピンの段階的な蓄積に応じて電流値が段階的に低下する。また、図3（b）に示すように、符号Aの特性では、電圧値に比例して抵抗値が大きくなるが、符号Bの特性では、電圧値の上昇に対し、抵抗値の上昇が段階的となる。即ち、電磁石により、磁場を加えた場合、記録層6a～6cへの前記スピンの段階的な蓄積に応じて抵抗値が段階的に増大する。

スピン電子メモリ10では、こうした段階的な電流値の低下現象、抵抗値の増大等の状態値変化現象を利用して、加える電圧を所定の値とすることで、記録層6a～6cへの前記スピンの蓄積状態を制御し、多値化された情報を記録再生可能とする。

なお、本例では、前記記録層を3層として4値の情報を記録再生可能な構成としたが、前記記録層の層数を増やすことで、より大きな数で多値化させたメモリとすることができる。

[0040] また、スピン電子メモリ10では、比較的強い電圧を加えることで、第2の合金層4の前記第2の結晶相が前記第1の結晶相に相変化して磁性が失われ、前記スピンの蓄積状態に基づく記録層6a～6cの記録情報を消去することができる（リセット状態）。このリセット状態は、再び、比較的弱い電圧を加えることで前記セット状態に戻すことができ、スピン電子メモリ10は、何度も繰り返して情報の記録、消去を行うことができる。なお、前記リセット状態とする電圧の具体的な値は、予め特性を測定しておくことで確認することができる。

[0041] （情報記録方法）

本発明の情報記録方法は、前記スピン電子メモリを用いた情報記録方法であって、 n を少なくとも1以上の整数として、 n 層積層される前記記録層に対し、前記記録層の一層ごとにスピンを飽和状態で蓄積させるのに必要な電圧値として n 段階の大きさに段階分けされた電圧値で電圧を加える工程を含む。

図3（a）及び図3（b）を用いて説明したように、前記スピン電子メモ

りでは、前記スピンの流入される側の前記記録層から最も近い順に、前記スピンの注入され、蓄積した前記スピンの飽和状態となると、次に近い前記記録層で前記スピンの蓄積されていく。

この時、それぞれの前記記録層に前記スピンの飽和状態で蓄積させる電圧は、電流電圧特性を予め測定し、段階的な電流値の低下が生じる各段階の電圧値として把握することができる。

そこで、各段階の電圧値を前記記録層の一層ごとに前記スピンの飽和状態で蓄積させるのに必要な電圧値として、前記記録層の積層数に応じた n 段階の大きさに段階分けし、電圧値で電圧を加えることで、前記記録層に対して選択的に前記スピンの蓄積させ、その記録層数に応じた情報を記録することが可能とされる。

なお、前記記録を行う前に、前記スピン電子メモリに比較的弱い電圧を加えることで、前記記録が可能なセット状態とすることができ、また、前記記録が行われた状態から前記スピン電子メモリに比較的強い電圧を加えることで、前記記録が消去されたりセット状態とすることができ、繰り返しの記録が可能とされる。

[0042] (情報再生方法)

本発明の情報再生方法は、前記スピン電子メモリを用いた情報再生方法であって、 n を少なくとも 1 以上の整数として、 n 層積層される前記記録層の抵抗値及び光反射率のいずれかの状態値を測定し、前記状態値に応じて前記記録層のうち情報が記録された前記記録層の層数を判定する工程を含む。

前記スピン電子メモリは、前記情報記録方法による前記記録層への前記スピンの蓄積状態から情報を再生することができる。

前記記録層に情報が記録された状態、即ち、前記スピンの蓄積状態は、前記記録層の前記抵抗値（図 3（b）参照）や前記光反射率により判定することができる。即ち、予め、前記記録に用いた前記電圧値と、その時の前記記録層の前記抵抗値及び前記光反射率を対応させて測定しておくことにより、情報が記録された状態の前記記録層の前記抵抗値及び前記光反射率の状態値

から、その状態値に対応した前記電圧値、延いては、前記情報が記録された前記記録層の層数を判定し、この層数に基づく情報の再生が可能とされる。

なお、前記状態値として、前記抵抗値を読み出す場合には、読み出し時に前記記録層の記録状態が保持されるよう、前記スピン電子メモリに加える電圧値を十分小さくすることで、記録レベルが最も小さい1段階目の前記記録層（前記スピン注入層に最も近い記録層）における前記スピンの蓄積状態に影響を与えない状態で前記抵抗値を読み出すようにする。

実施例

[0043] 先ず、清浄な面をもつSi基板上に、スパッタリング装置（アルバック社製、ヘリコン波型スパッタリング装置）を用いて、SbとTeをターゲット（組成比2：3）とするスパッタリングを行い、 Sb_2Te_3 の結晶合金層からなり、c軸の結晶方位が積層方向に配向された配向層を5nmの厚みで積層させた。

次に、前記配向層を下地として、前記スパッタリング装置を用いて、GeとTeをターゲット（組成比1：1）とするスパッタリングを行い、GeTeの結晶合金層からなり、結晶の（111）面が前記配向層との隣接面に配向された第2の合金層を1nmの厚みで積層させた。

次に、前記第2の合金層上に、前記スパッタリング装置を用いて、SbとTeをターゲット（組成比2：3）とするスパッタリングを行い、 Sb_2Te_3 の結晶合金層からなり、c軸の結晶方位が積層方向に配向された第1の合金層を5nmの厚みで積層させた。

これら第1の合金層と第2の合金層の積層構造で形成される層を記録層とし、更に、この記録層を7層形成して、合計8層の記録層を積層させた。

なお、前記配向層、前記第1の合金層及び前記第2の合金層を形成する条件としては、真空状態とし、スパッタ温度は、250℃とした。また、前記配向層、前記第1の合金層及び前記第2の合金層の結晶構造の解析は、モデルに基づく第一原理計算結果とX線回折結果を比較すること、また、最終的に断面を高分解能透過電子線像を撮影して観察することで行った。

次に、前記記録層の最上層上に、前記スパッタリング装置を用いて、T e とG e とC o をターゲット（組成比1：1：1）とするスパッタリングを行い、スピン注入層としてT e F e C o の結晶合金層からなる磁性層を2 n m の厚みで積層させた。

次に、前記磁性層上に、前記スパッタリング装置を用いて、T i とN をターゲット（組成比1：1）とするスパッタリングを行い、上部電極としてのT i N 層を40 n m の厚みで形成した。また、前記S i 基板の前記配向層が積層される面と反対側の面上に、前記上部電極と同様にして、下部電極としてのT i N 層を40 n m の厚みで形成した。

以上により、実施例に係るスピン電子メモリを製造した。

[0044] 実施例1に係るスピン電子メモリに外部電源を接続し、上下電極間に電圧を加え、また、電磁石により、前記スピン注入層を磁化させつつ、前記記録層の積層方向に0.4 T（テスラ）の磁場を加え、徐々に電圧値を上げながら、メモリに流れる電流の測定を行った。この電流電圧特性の測定結果を図4（a）に示す。なお、図中、符号Aは、0.4 Tの磁場を加えない場合の電流電圧特性を示し、符号Bは、0.4 Tの磁場を加えた場合の電流電圧特性を示す。

図4（a）に示されるように、0.4 Tの磁場を加えない場合（図中の符号A）、電圧値の上昇に比例して電流値が上昇するが、0.4 Tの磁場を加えた場合（図中の符号B）、電圧値の上昇に対し、段階的に電流値が上昇することが確認された。

このことは、先ず、スピンを注入する前記磁性層に最も近い前記記録層における前記第2の合金層にスピンの蓄積が次第に蓄積し、そのスピンの蓄積が飽和すると、次に、2番目に近い前記第2の合金層にスピンの蓄積が蓄積し、順次、前記磁性層に近い側の前記第2の合金層から段階的に前記スピンの蓄積されることを示している。即ち、一層の前記第2の合金層にスピンの蓄積が飽和するごとに、段階的に電流値が一旦低下する現象が見られる。

また、この時の抵抗電圧特性の測定結果を図4（b）に示す。なお、図4

(a)と同様に、符号Aは、0.4 Tの磁場を加えない場合の電流電圧特性を示し、符号Bは、0.4 Tの磁場を加えた場合の電流電圧特性を示す。

図4 (b)に示されるように、0.4 Tの磁場を加えない場合(図中の符号A)、電圧値の上昇に比例して抵抗値が上昇するが、0.4 Tの磁場を加えた場合(図中の符号B)、電圧値の上昇に対し、段階的に抵抗値が上昇することが確認された。

このことは、図4 (a)と同様に、前記磁性層に近い側の前記第2の合金層から段階的に前記スピンの蓄積されることを示しており、段階的に生じる電流値の低下に応じて、抵抗値が上昇する現象が見られる。

したがって、前記電極間に印加する電圧を一定の値とすることによって、スピン蓄積される第2の合金層の層数を制御することができ、その層数は、メモリの抵抗値から読み出すことができる。これにより、スピン蓄積される第2の合金層の層数に応じた多値記録のメモリを実現することができるとともに、記録された多値情報を再生することができる。

[0045] 前述の測定により、多値情報を記録済みの実施例1に係るスピン電子メモリに対し、一旦、上下電極間に1.0 Vで100 nsの比較的強い電流パルスを通し、前記第2の合金層の磁性を失わせることで、記録状態をリセットさせた。

その後、改めて0.3 Vで500 nsの比較的弱い電流パルスを通し、前記第2の合金層が磁性特性を持つように相変化させたセット状態を回復させた。

次いで、前記セット状態の実施例1に係るスピン電子メモリに外部電源を接続し、上下電極間に0.15 Vの電圧を加え、また、電磁石により、前記記録層の積層方向に0.4 T (テスラ)の磁場を加えた後、電圧印加を停止した。

この状態から、電磁石をオフ状態とすることで該電磁石が形成する磁場を除いて、再び0.02 Vの電圧を加えてメモリの抵抗値を測定したところ、図4 (b)の測定結果と同様、0.15 Vで磁場を加えたときに得られた1

6 k Ω の抵抗値が再び測定された。

したがって、実施例 1 に係るスピン電子メモリにおいては、前記セット状態、前記リセット状態を繰り返すことで多値情報を繰り返し記録再生可能なメモリとすることができる。

符号の説明

[0046]	1	下部電極
	2	半導体基板
	3	配向層
	4	第 2 の合金層
	5	第 1 の合金層
	6 a, 6 b, 6 c	記録層
	7	スピン注入層
	8	上部電極
	10	スピン電子メモリ

請求の範囲

- [請求項1] 少なくとも、一对の電極と、
 SbTe 、 Sb_2Te_3 、 BiTe 、 Bi_2Te_3 、 BiSe 及び Bi_2Se_3 のいずれかを主成分として形成され、厚みが2 nm以上10 nm以下である第1の合金層と、下記一般式(1)で表される合金を主成分として形成される第2の合金層とを積層させて形成され、前記電極間に配される記録層と、
 磁性材料で形成され、前記磁性材料が磁化された状態で前記記録層にスピンを注入するスピン注入層と、
 を有することを特徴とするスピン電子メモリ。

[化1]



ただし、前記式(1)中、Mは、Ge、Al及びSiのいずれかの原子を示し、xは、0.5以上1未満の数値を示す。

- [請求項2] 記録層が少なくとも2層以上積層されて配される請求項1に記載のスピン電子メモリ。
- [請求項3] 第1の合金層が六方晶の結晶構造を有するとともに第2の合金層が立方晶の結晶構造を有し、前記第1の合金層のc軸が積層方向に配向され、前記第2の合金層の(111)面が前記第1の合金層との隣接面に配向される請求項1から2のいずれかに記載のスピン電子メモリ。
- [請求項4] 第2の合金層がGeTeを主成分として形成される請求項1から3のいずれかに記載のスピン電子メモリ。
- [請求項5] 第2の合金層の厚みが0を超え4 nm以下である請求項1から4のいずれかに記載のスピン電子メモリ。
- [請求項6] 第2の合金層の下地として配され、これに積層される前記第2の合金層の積層面を(111)面に配向させる配向層を有する請求項1か

ら5のいずれかに記載のスピ電子メモリ。

[請求項7] 配向層が第1の合金層と同じ組成を有し、かつ、同じ結晶構造を有する請求項6に記載のスピ電子メモリ。

[請求項8] スピン注入層の面に対して垂直方向の磁場を形成し、前記スピン注入層を介して記録層にスピンを注入する磁性部を有する請求項1から7のいずれかに記載のスピ電子メモリ。

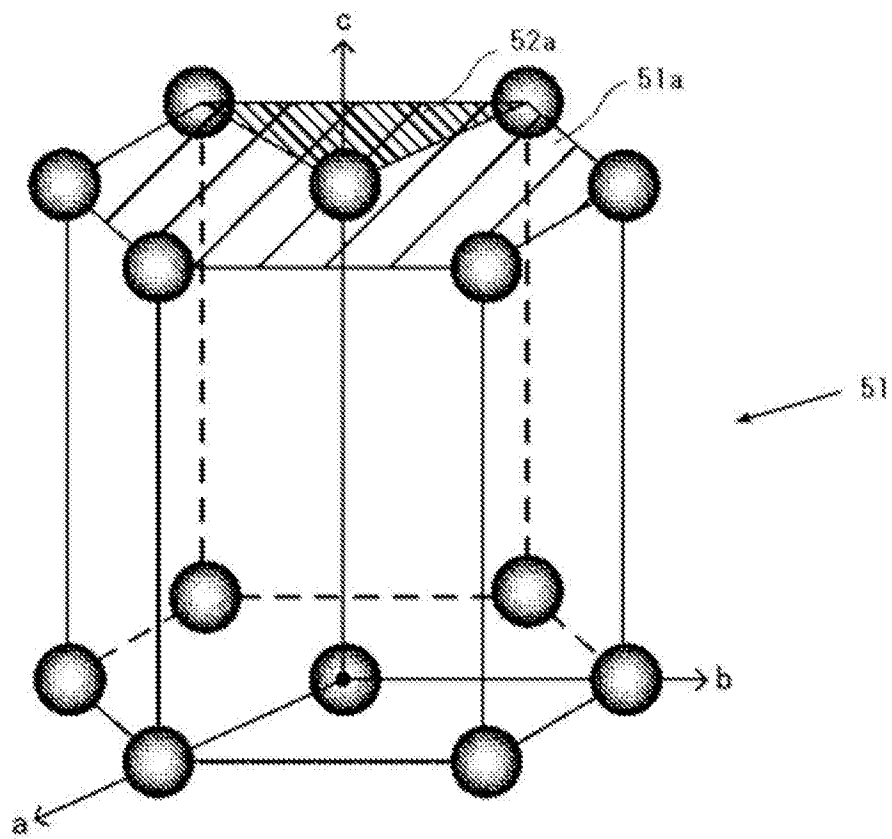
[請求項9] 請求項1から8のいずれかに記載のスピ電子メモリを用いた情報記録方法であって、

n を少なくとも1以上の整数として、 n 層積層される記録層に対し、前記記録層の一層ごとにスピンを飽和状態で蓄積させるのに必要な電圧値として n 段階の大きさに段階分けされた電圧値で電圧を加える工程を含むことを特徴とする情報記録方法。

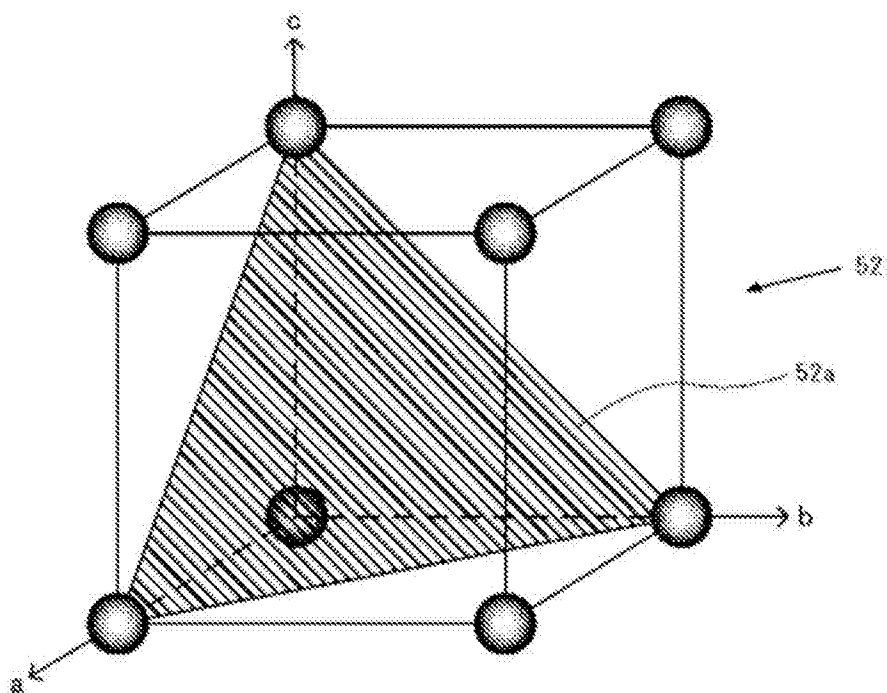
[請求項10] 請求項1から8のいずれかに記載のスピ電子メモリを用いた情報再生方法であって、

n を少なくとも1以上の整数として、 n 層積層される記録層の抵抗値及び光反射率のいずれかの状態値を測定し、前記状態値に応じて前記記録層のうち情報が記録された前記記録層の層数を判定する工程を含むことを特徴とする情報再生方法。

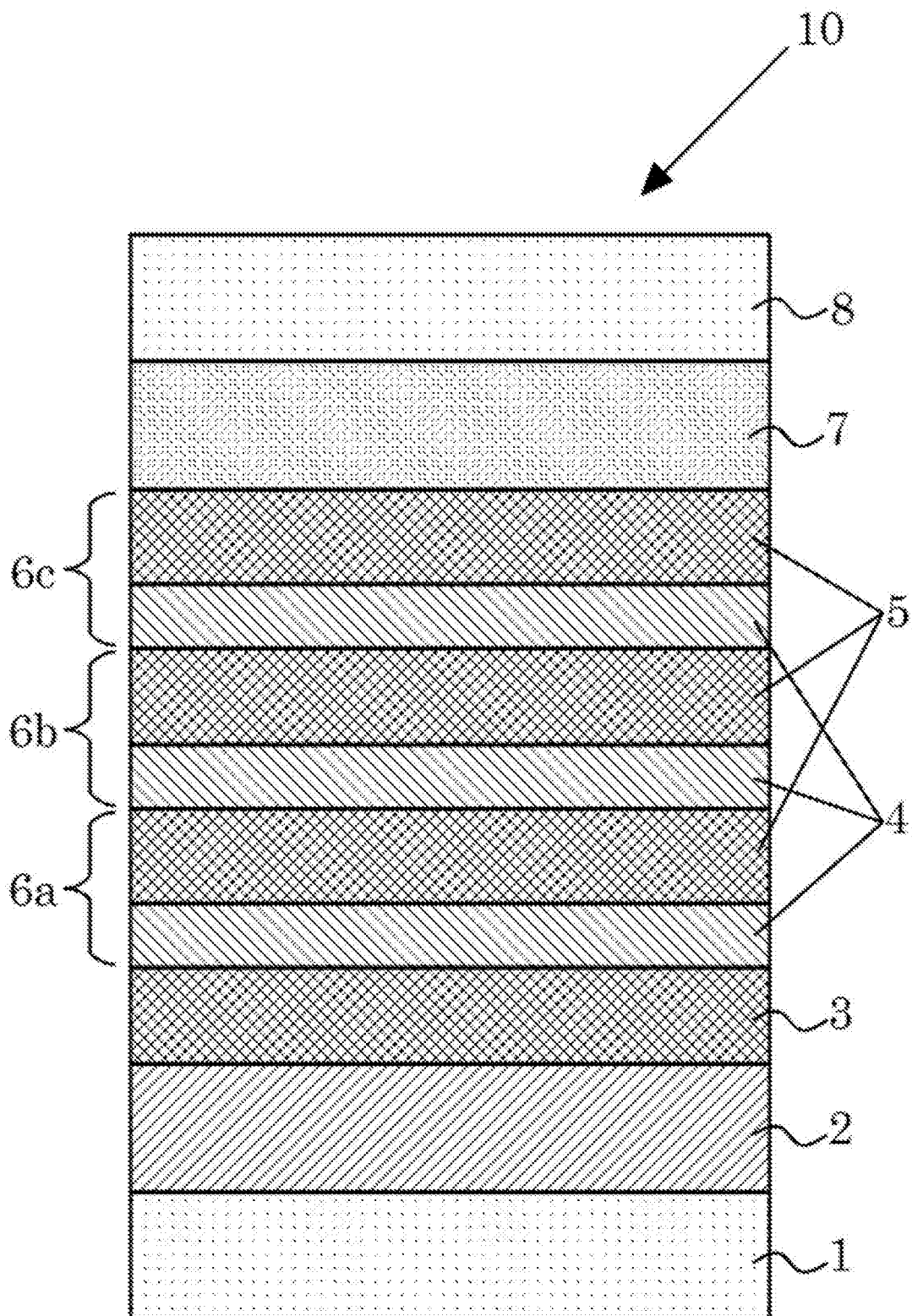
[図1(a)]



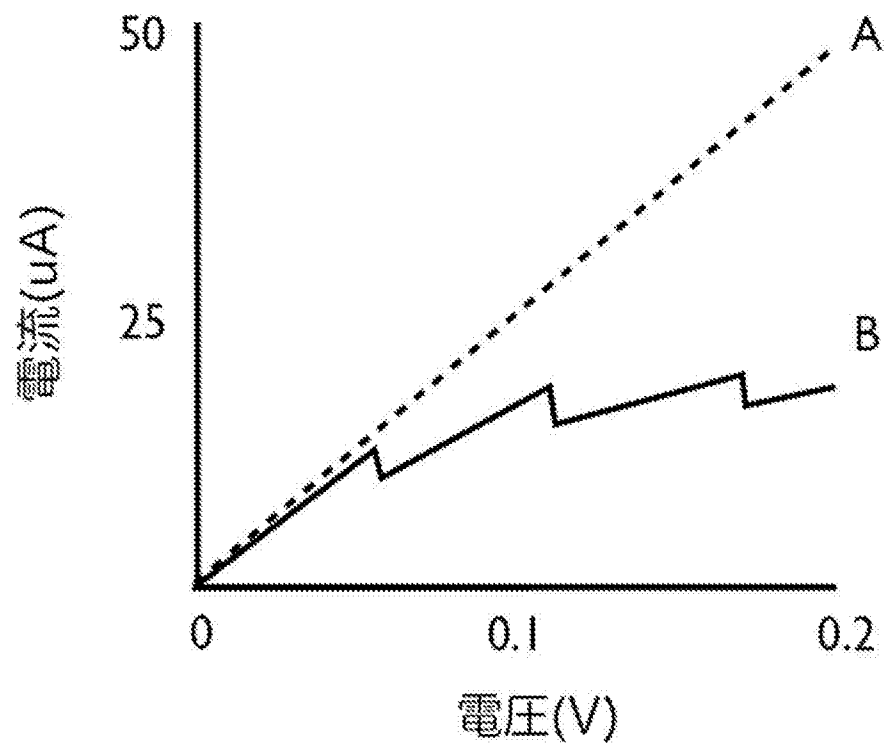
[図1(b)]



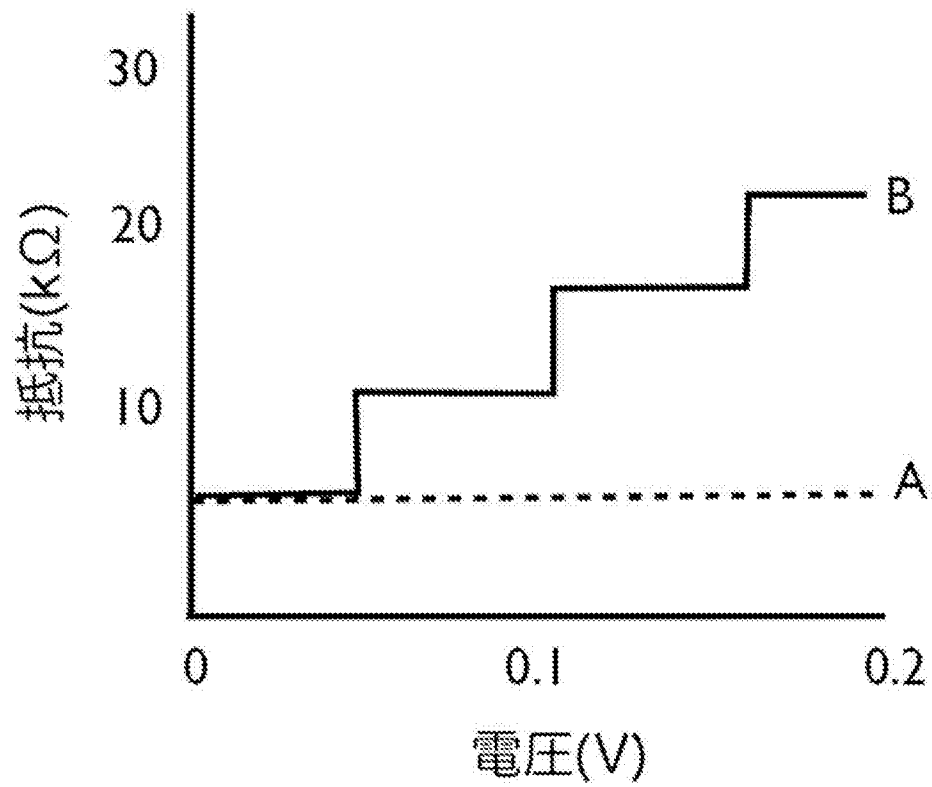
[図2]



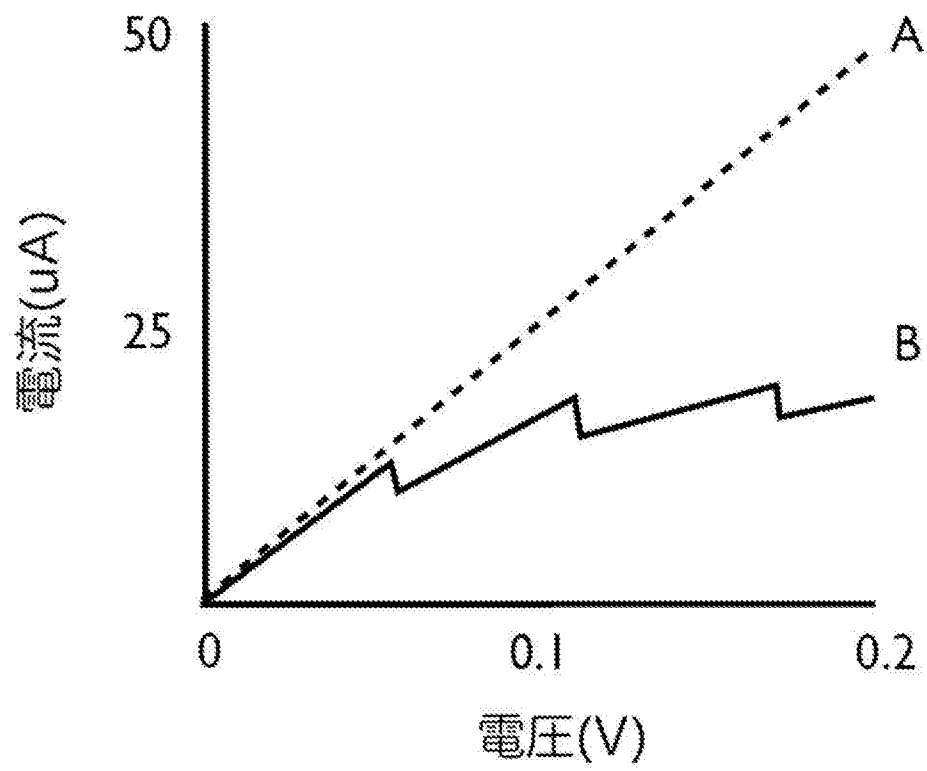
[図3(a)]



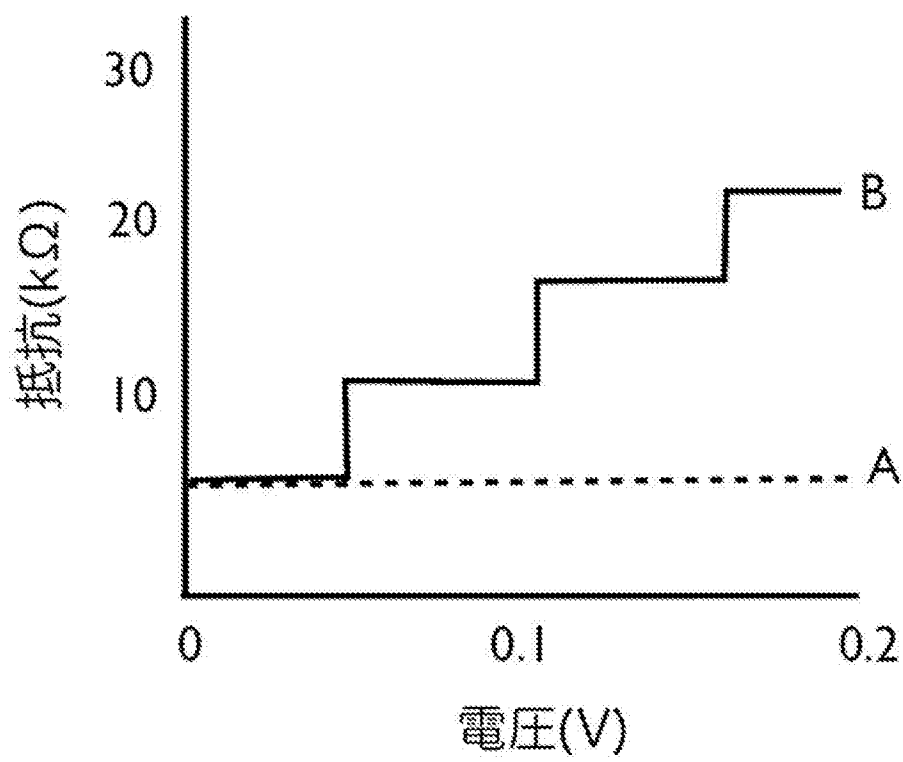
[図3(b)]



[図4(a)]



[図4(b)]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/074796

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8246(2006.01)i, G11C11/15(2006.01)i, H01L27/105(2006.01)i,
H01L29/82(2006.01)i, H01L45/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8246, G11C11/15, H01L27/105, H01L29/82, H01L45/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2013/125101 A1 (National Institute of Advanced Industrial Science and Technology), 29 August 2013 (29.08.2013), paragraphs [0017] to [0044]; fig. 1 to 6 & TW 201336051 A	1-8 9, 10
A	JP 2013-51245 A (Elpida Memory, Inc.), 14 March 2013 (14.03.2013), paragraphs [0014] to [0050]; fig. 1 to 7 (Family: none)	1-10
A	JP 2011-138924 A (Hitachi, Ltd.), 14 July 2011 (14.07.2011), paragraphs [0018] to [0043]; fig. 1 to 12 & WO 2011/081051 A1	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 November, 2014 (25.11.14)

Date of mailing of the international search report
09 December, 2014 (09.12.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/074796

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Junji TOMINAGA, "Topological insulating and spin-properties emerged inGeTe/Sb ₂ Te ₃ superlatticed phase change memory", Abstracts of the Meeting of the Physical Society of Japan, vol.68, no.2, separate vol.4, The Physical Society of Japan, 26 August 2013 (26.08.2013), page 603	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8246(2006.01)i, G11C11/15(2006.01)i, H01L27/105(2006.01)i, H01L29/82(2006.01)i, H01L45/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8246, G11C11/15, H01L27/105, H01L29/82, H01L45/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2013/125101 A1（独立行政法人産業技術総合研究所）2013.08.29, 段落 0017-0044, 第 1-6 図 & TW 201336051 A	1-8 9, 10
A	JP 2013-51245 A（エルピーダメモリ株式会社）2013.03.14, 段落 0014-0050, 図 1-7（ファミリーなし）	1-10
A	JP 2011-138924 A（株式会社日立製作所）2011.07.14, 段落 0018-0043, 第 1-12 図 & WO 2011/081051 A1	1-10

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 1 1 . 2 0 1 4

国際調査報告の発送日

0 9 . 1 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

小山 満

5 0

9 4 5 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	富永淳二, GeTe/Sb ₂ Te ₃ 超格子相変化メモリに現れるトポロジカル絶縁性とスピントロニクスへの展開, 日本物理学会講演概要集, 第 68 巻第 2 号第 4 分冊, 一般社団法人日本物理学会, 2013. 08. 26, p. 603	1-10