(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0139354
(43) 공개일자 2022년10월14일

(51) 국제특허분류(Int. Cl.)
C25D 17/12 (2006.01) *C25D 17/00* (2006.01)
C25D 21/12 (2006.01)
(52) CPC특허분류
C25D 17/12 (2013.01)
C25D 17/008 (2020.08)
(21) 출원번호 10-2022-7030834
(22) 출원일자(국제) 2021년02월05일
심사청구일자 없음
(85) 번역문제출일자 2022년09월05일
(86) 국제출원번호 PCT/EP2021/052760
(87) 국제공개번호 WO 2021/156415
국제공개일자 2021년08월12일
(30) 우선권주장
20156050.5 2020년02월07일
유럽특허청(EPO)(EP)

(71) 출원인
아토테크 도이칠란트 게엠베하 운트 콤파니 카게
독일연방공화국데-10553
베를린에라스무스스트라세20
(72) 발명자
쿤체 헨리
독일 10553 베를린 에라스무스슈트라쎄 20 아토테크 도이칠란트 게엠베하 운트 콤파니 카게 인텔렉츄얼 프로퍼티 씨/오
비너 페르디난트
독일 10553 베를린 에라스무스슈트라쎄 20 아토테크 도이칠란트 게엠베하 운트 콤파니 카게 인텔렉츄얼 프로퍼티 씨/오
쉘러 브리타
독일 10553 베를린 에라스무스슈트라쎄 20 아토테크 도이칠란트 게엠베하 운트 콤파니 카게 인텔렉츄얼 프로퍼티 씨/오
(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 15 항

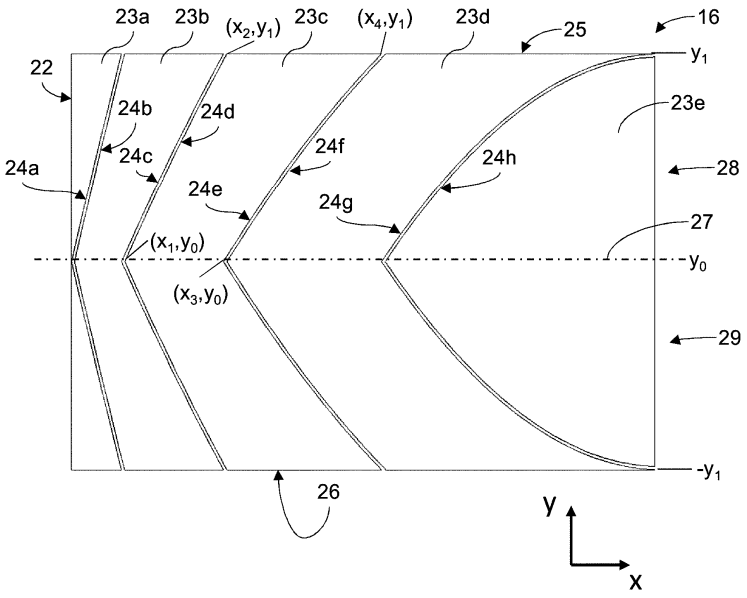
(54) 발명의 명칭 **피가공물을 전해 처리하기 위한 전극 및 장치, 장치의 셀을 형성하기 위한 어셈블리, 방법 및 컴퓨터 프로그램**

(57) 요 약

피가공물 (3) 을 전해 처리하기 위한 장치 (1) 를 위한 전극으로서, 상기 장치 (1) 는 상기 전극의 표면을 지나고 상기 전극의 표면을 향해 지향된 처리되는 표면을 갖는 상기 피가공물 (3) 을 이송하도록 배열되는 유형이고, 상기 전극은 상기 전극의 적어도 이 표면에서 세그먼트들 (23a-e) 로 분할된다. 상기 세그먼트들 (23a-e) 은

(뒷면에 계속)

대 표 도 - 도3



제 1 방향 (*x*) 에서 서로 이웃하여 배열된다. 인접한 세그먼트들 (23a-e) 은 인접한 세그먼트들 (23a-e) 이 상이한 각각의 전압들에서 유지되도록 각각의 세그먼트 에지들(24a-f) 을 따라 서로 분리된다. 상기 세그먼트 에지들 (24a-f) 은 제 2 방향 (y) 에서의 좌표의 공통 값 (y_0) 으로부터 전극 표면의 적어도 도전부의 에지 (25, 26) 로 적어도 부분적으로 상기 제 2 방향 (y) 에서 연장하고, 상기 제 2 방향 (y) 은 상기 제 1 방향 (*x*) 을 가로지르고 사용시 상기 피가공물의 이동방향에 대응한다. 적어도 한 쌍의 인접한 세그먼트들 (23a-e) 사이의 상기 세그먼트 에지들 (24a-f) 은 전극 표면 에지 (25, 26) 에 대한 각도가 상기 좌표의 상기 공통 값 (y_0) 으로부터 상기 전극 표면 에지 (25, 26) 로 감소하는 각각의 경로들을 따라 연장된다.

(52) CPC특허분류
C25D 21/12 (2013.01)

명 세 서

청구범위

청구항 1

피가공물 (3) 을 전해 처리하기 위한 장치 (1) 를 위한 전극으로서, 상기 장치 (1) 는 표면이 상기 전극의 표면을 지나고 상기 전극의 표면을 향해 지향되어 처리되는 상기 피가공물 (3) 을 이송하도록 배열되는 유형이고,

상기 전극은 상기 전극의 적어도 이 표면에서 세그먼트들 (23a-e) 로 분할되고,

상기 세그먼트들 (23a-e) 은 제 1 방향 (x) 에서 서로 이웃하여 배열되고,

인접한 세그먼트들 (23a-e) 은 인접한 세그먼트들 (23a-e) 이 상이한 각각의 전압들에서 유지될 수 있도록 각각의 세그먼트 에지들(24a-f) 을 따라 서로 분리되고,

상기 세그먼트 에지들 (24a-f) 은 제 2 방향 (y) 에서의 좌표의 공통 값 (y_0) 으로부터 전극 표면의 적어도 도전부의 에지 (25, 26) 로 적어도 부분적으로 상기 제 2 방향 (y) 에서 연장하고, 상기 제 2 방향 (y) 은 상기 제 1 방향 (x) 을 가로지르고 사용시 상기 피가공물의 이동방향에 대응하며,

적어도 한 쌍의 인접한 세그먼트들 (23a-e) 사이의 상기 세그먼트 에지들 (24a-f) 은 전극 표면 에지 (25, 26) 에 대한 각도가 상기 좌표의 상기 공통 값 (y_0) 으로부터 상기 전극 표면 에지 (25, 26) 로 감소하는 각각의 경로들을 따라 연장되는, 전극.

청구항 2

제 1 항에 있어서,

적어도 상기 제 1 방향 (x) 에서 봤을 때 상기 전극의 각각의 절반부 내에서, 상기 경로들은 상기 좌표의 상기 공통 값 (y_0) 으로부터 상기 전극 표면 에지 (25, 26) 까지 상기 제 1 방향 (x) 에서 반대 감지들 중 동일한 하나의 반대 감지로 연장되어, 상기 경로들은 적어도 상기 제 1 방향 (x) 에서 본 상기 전극의 각각의 절반부 내에서 모두 동일한 방향으로 경사지는, 전극.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 좌표의 상기 공통값 (y_0) 으로부터 상기 전극 표면 에지 (25, 26) 까지의 경로들은 곡선들인, 전극.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 전극 표면의 적어도 상기 도전부는, 제 2 방향 (y) 에서 봤을 때, 2 개의 절반부들 (28, 29) 을 포함하고,

하나의 절반부 (28,29) 에서의 상기 세그먼트 에지들 (24a-f) 의 각각의 섹션들은 상기 좌표의 상기 공통 값 (y_0) 에 위치된 대칭선 (27) 에 관해 다른 절반부 (28,29) 에서의 상기 세그먼트 에지들 (24a-f) 의 각각의 섹션들의 미러 이미지인, 전극.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

각 세그먼트 (23a-e) 의 상기 세그먼트 에지들 (24a-f) 중 제 1 의 세그먼트 에지의 경로 상의 상기 전극 표면 에지 (25, 26) 에서의 지점은 동일 좌표값에 있거나 그 세그먼트 (23a-e) 의 상기 세그먼트 에지들 (24a-f) 의 다른 세그먼트 에지의 경로 상의 상기 좌표의 상기 공통 값 (y_0) 에서의 지점으로부터 제 1 방향 (x) 에서 제거되는, 전극.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 좌표의 상기 공통 값 (y_0) 에서의 세그먼트 (23a-e) 의 에지들 (24a-h) 사이의 거리에 대응하는, 상기 세그먼트들 (23a-e) 의 폭은 세그먼트 (23a-e) 로 부터 세그먼트 (23a-e) 로 증가하여, 세그먼트들 (23a-e) 은 전극 에지 (22) 로 부터 상기 제 1 방향 (x) 에서의 거리에 따라 점진적으로 넓어지거나,

이 조건은 상기 제 1 방향 (x) 에서 볼 때 상기 전극의 각각의 절반부 내에서 유효한, 전극.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 전극 표면 에지 (25, 26) 에서의 한 쌍의 인접한 세그먼트들 (23a-e) 사이의 한 쌍의 세그먼트 에지들 (24a-f) 의 상기 경로들의 상기 전극 표면 에지 (25, 26) 에 대한 각도는 전극 에지 (22) 로부터 상기 제 1 방향 (x) 에서의 거리에 따라 쌍에서 쌍으로 증가하거나, 또는

이 조건은 상기 제 1 방향 (x) 에서 볼 때 상기 전극의 각각의 절반부 내에서 유효한, 전극.

청구항 8

전해 처리 장치 (1) 의 셀 (2a-e) 을 형성하기 위한 어셈블리로서,

상기 어셈블리는 제 1 항 내지 제 7 항 중 어느 한 항에 따른 적어도 하나의 전극 (16) 을 포함하는, 어셈블리.

청구항 9

제 8 항에 있어서,

상기 적어도 하나의 전극 (16) 중 하나의 상기 전극 표면 앞에서 상기 제 1 및 제 2 방향 (x, y) 으로 연장하는 적어도 하나의 차폐 디바이스를 더 포함하는, 어셈블리.

청구항 10

제 9 항에 있어서,

상기 차폐 디바이스는, 액체에 대해 투과성이고 상기 제 1 및 제 2 방향(x, y) 으로 분포된 다수의 통과 채널들이 구비된 플레이트 (19) 를 포함하는, 어셈블리.

청구항 11

적어도 하나의 처리 셀 (2a-e) 을 포함하는 전해 처리 장치로서, 상기 처리 셀 (2a-e) 은 제 8 항 내지 제 10 항 중 어느 한 항에 따른 적어도 하나의 어셈블리를 포함하는, 전해 처리 장치.

청구항 12

제 1 항 내지 제 7 항 중 어느 한 항에 따른 전극 (16) 을 설계하는 적어도 하나의 컴퓨터 구현 단계 (34-42) 를 포함하는 방법으로서,

상기 설계하는 적어도 하나의 컴퓨터 구현 단계 (34-42) 는 상기 경로들의 형상들을 결정하는 단계를 포함하는, 방법.

청구항 13

제 12 항에 있어서,

상기 경로들의 형상들을 결정하는 단계는 상기 제 1 방향 (x) 에서의 상기 좌표의 다항식, 예를 들어 2차 다항식의 각각의 계수들을 결정하는 단계 (35) 를 포함하고, 상기 다항식은 상기 제 2 방향 (y) 에서의 상기 좌표를 나타내고,

상기 전극 표면에 대한 평면도에서 볼 때, 상기 제 2 방향에서의 상기 좌표의 상기 공통 값(y_0) 으로부터의 각

각의 경로는, 선택적으로 중첩된 편차를 갖는, 계수들의 각각의 세트를 갖는 상기 다항식에 대응하는, 방법.

청구항 14

제 13 항에 있어서,

상기 계수들은, 상기 제 1 방향 (x) 의 상기 좌표의 함수이고 상기 피가공물 (3) 의 표면을 따라 상기 제 1 방향 (x) 에서의 전압 변화를 나타내는 전압 강하 함수(voltage drop-off function) 를 계산함으로써 얻어지는, 방법.

청구항 15

컴퓨터에 의해 실행될 때 컴퓨터로 하여금 제 12 항 내지 제 14 항 중 어느 한 항에 따른 방법의 상기 설계하는 적어도 하나의 컴퓨터 구현 단계 (34-42) 를 수행하게 하는 명령어들을 포함하는 컴퓨터 프로그램.

발명의 설명

기 술 분 야

[0001] **기술 분야**

[0002] 본 발명은 피가공물 (workpiece) 을 전해 (electrolytically) 처리하기 위한 장치를 위한 전극에 관한 것으로, 상기 장치는 표면이 상기 전극의 표면을 지나고 상기 전극의 표면을 향해 지향되어 처리되는 상기 피가공물을 이송하도록 배열된 유형이고,

[0003] 상기 전극은 상기 전극의 적어도 이 표면에서 세그먼트들로 분할되고,

[0004] 상기 세그먼트들은 제 1 방향에서 서로 이웃하여 배열되고,

[0005] 인접한 세그먼트들은 인접한 세그먼트들이 상이한 각각의 전압들에서 유지되도록 각각의 세그먼트 에지들을 따라 서로 분리되고,

[0006] 상기 세그먼트 에지들은 제 2 방향에서의 좌표의 공통 값으로부터 전극 표면의 적어도 전기 도전부의 에지로 적어도 부분적으로 상기 제 2 방향에서 연장되고, 상기 제 2 방향은 상기 제 1 방향을 가로지르고, 사용 시 상기 피가공물의 이동 방향에 대응한다.

[0007] 본 발명은 또한 전해 처리 장치의 셀을 형성하기 위한 어셈블리에 관한 것이다.

[0008] 본 발명은 또한 적어도 하나의 처리 셀을 포함하는 전해 처리 장치에 관한 것이다.

[0009] 본 발명은 또한 상술한 유형의 전극을 설계하는 적어도 컴퓨터 구현 단계를 포함하는 방법에 관한 것이다.

[0010] 본 발명은 또한 컴퓨터 프로그램에 관한 것이다.

배 경 기 술

[0011] **배경 기술**

[0012] Yang, L.등이 저자인 'Copper plating uniformity on resistive substrate with segmented anode' (ECS Meeting Abstracts , 224th Meeting, Abstract # 2089, 1 November 2013, 인터넷에서 검색됨: <URL:https://iopscience.iop.org/article/10.1149/MA2013-02/29/2089/pdf>)은 세그먼트화된 애노드들을 사용하여 저항성 기판 상에서의 웨이퍼-스케일 구리 도금 균일성을 개선하는 방법에 관한 것이다. 그러한 도금 셀 셋업에서, 하나의 원형 애노드 대신에, 입력 전류가 제어될 수 있는 다수의 링형 세그먼트들이 사용된다. 구체적으로 3 개의 동심 세그먼트들을 갖는 애노드 구성이 개시된다.

[0013] US 6,919,010 B1은 1차 방위각 비대칭 애노드 및 다수의 2차 애노드 세그먼트들을 포함하는 애노드 어셈블리를 개시한다. 피가공물은 애노드 어셈블리 위에 놓이고, 애노드 어셈블리의 중심축과 실질적으로 정렬되는 축을 중심으로 회전한다. 전형적인 실시예에서, 피가공물의 풋프린트는 애노드 어셈블리의 둘레에 (적어도 대략) 대응한다. 초기에, 피가공물의 중심 영역 (회전축에 근접함) 에 큰 부분의 이온 전류를 제공하기 위해, 비대칭 애노드만이 에너지가 공급되어 전류를 제공한다. 세그먼트들에 의해 점유된 어셈블리의 영역은 단자 효과가 가장 심할 때, 도금 프로세스의 이러한 초기 단계 동안 임의의 상당한 전류를 제공하지 않는다. 따

라서, 임의의 주어진 순간에, 피가공물 주변부의 비교적 큰 섹션은 애노드의 상부 위에 위치되지 않는다 (또는 그렇지 않으면 애노드의 임의의 부분과 정렬됨). 도금 셀은 전해액을 유지하기 위한 용기를 갖는다. 웨이퍼 홀더는 웨이퍼를 유지하고, 웨이퍼는 그 위에 시드 층을 갖는다. 회로는 2 개의 애노드, 즉 1 차 비대칭 애노드 및 2 차 비대칭 애노드 각각에 도금 전류를 가변적으로 분배한다.

[0014] EP 1 419 290 B1 은, 회로 기판들의 이송 방향으로 서로 뒤에 배열된 상부 및 하부 애노드들을 포함하는, 회로 기판들을 위한 수평 전기도금 시스템을 개시한다. 피가공물, 이 경우 회로 기판은 적어도 하나의 클램프에 의해 유지되고, 하나의 애노드로부터 다음 애노드로 전기적으로 접촉되고 이송된다. 전류는 접촉부들 및 클램프를 통해 회로 기판으로 공급된다. 애노드들은 이송 방향을 가로질러 분할된 개별의 전기적으로 절연된 애노드 세그먼트들로 분할된다. 회로 기판 상의 베이스 층과 함께 애노드 세그먼트들은 전해 부분 셀들을 형성한다. 각각의 부분 셀에는 개별 전류원, 예를 들어 자신의 세그먼트 정류기로부터의 전류가 공급된다.

피처리 회로 기판은 금속화될 상부 층을 갖는 부분 셀들의 캐소드를 구성한다. 일 실시예에서, 애노드 세그먼트들을 윤곽짓는 분리 라인들은 피가공물들의 이송 방향에 대해 $a > 0$ 의 각도로 진행한다. 분리 라인들의 충분히 큰 경사도 (obliqueness) 및 이에 따른 애노드와 절연의 세그먼테이션이 주어지면, 제조되는 회로 기판들의 거의 모든 영역들이 각각의 애노드의 절연 영역 위 또는 아래에서 짧게 진행된다. 이러한 방식으로, 층 두께에 대한 절연의 영향은 균형을 이룬다. 바람직한 실시예에서, 회로 기판들의 측면 에지 영역들에서, 특히 클램프들에 가까운 영역에서 이송 방향에 대한 각도는 멀리 제거된 (접촉-원격) 영역에서 보다 작도록 선택되어야 하는데, 그 이유는 클램프들에 가까운 영역에서 발생하는 큰 전류로 인한 베이스 층에서의 전압 강하들 (voltage drop-offs) 이 클램프들로부터 제거된 영역에서 보다 단위 길이당 실질적으로 더 크기 때문이다.

[0015] 피가공물에 걸친 전류 밀도는 세그먼트들의 수를 증가시킴으로써 더 균일하게 될 수 있지만, 세그먼트들 사이의 절연이 또한 일부 표면적을 차지한다는 사실로 인해, 그에 대한 한계가 있다. 또한, 개별 각각의 전압 레벨들에서 세그먼트들을 유지하기 위해 요구되는 정류기들의 수에서의 연관된 증가는 전기도금 시스템의 복잡성 및 비용들을 증가시킨다. 실제로, 피가공물 상의 코팅의 두께의 달성가능한 변동은 13% 보다 양호하지 않다.

[0016] 추가적인 개선들은 전해액 유동에 영향을 미침으로써 달성될 수 있다. 개구된 플레이트들 형태의 차폐 디바이스들이 애노드들과 피가공물 사이에 제공되는 세그먼트화된 애노드들을 갖는 전류 시스템에서, 플러그들이 특정 개구들 내로 삽입된다. 그러나 플러그할 개구들을 결정하는 것은 복잡하고 실제 삽입에는 시간이 많이 걸린다. 이 플러그 패턴은 애노드와 피가공물 표면 사이의 거리에 의존한다. 따라서, 이 패턴은 피가공물이 지나 이송되는 애노드들의 각각에 대해 개별적으로 결정되어야 하고, 상이한 초기 두께를 갖는 피가공물이 처리되어야 한다면 새로운 패턴이 결정되고 설정되어야 한다. 그 때에도, 두께 변화는 여전히 7%보다 훨씬 더 양호하지 않다.

발명의 내용

[0017] **발명의 개요**

[0018] 본 발명의 목적은 제 1 방향에서 피가공물의 범위의 적어도 대부분에 걸쳐 전류 밀도의 개선된 균일성이 얻어질 수 있게 하는 전극, 어셈블리, 전해 처리 장치, 방법 및 컴퓨터 프로그램을 제공하는 것이다.

[0019] 이러한 목적은 본 발명에 따른 전극에 의해 제 1 양태에 따라 달성되며, 상기 전극은 적어도 한 쌍의 인접한 세그먼트들 사이의 세그먼트 에지들이 전극 표면 에지에 대한 각도가 좌표의 공통 값으로부터 전극 표면 에지로 감소하는 각각의 경로들을 따라 연장되는 것을 특징으로 한다.

[0020] 전극은 예를 들어 패널들 또는 포일들 형태의 평면형 피가공물들을 도금하기 위해 갈바닉 도금 장치의 셀에서 애노드로서 사용될 수 있다. 전극은 또한 에칭 장치에서 캐소드로서 사용될 수 있다. 여기서 갈바닉 도금 장치의 예를 사용하여 전극의 효과들을 설명한다.

[0021] 그러한 장치에서, 피가공물는 전해액을 통해 수직으로 또는 수평으로 이송된다. 피가공물은 표면이 전극 표면을 지나고 전극 표면을 향해 지향되어 처리되도록 이송되며, 2 개의 표면들은 본질적으로 평행하다. 처리될 표면과 전극 표면 사이에 비전도성 구조들, 예를 들어 차폐 구조들이 있을 수 있다.

[0022] 도금 공정의 시작시, 피가공물의 표면 상에, 예를 들어, 데퍼지션 (deposition) 또는 무전해 도금에 의해 성막된 (deposited) 매우 얇은 전도성 층만이 존재한다. 피가공물는 클램프들에 의해 (이동 방향에 대해 가로지르는 제 1 방향에서 보았을 때) 하나 또는 둘 모두의 에지들에서 전기적으로 단지 접촉된다. 얇은 전도층의 저

항은 전해액의 것에 비해 비교적 크다. 따라서, 그 전도층의 표면에서의 전압은 제 1 방향에서 비교적 급격하게 강하한다. 전극 (도금 예에서 애노드로서 기능함) 의 세그먼테이션이 없다면, 클램프 또는 클램프들 부근에 큰 전류 밀도가 있게 된다. 피가공물의 표면으로부터 애노드까지 전해액 배스를 통한 전류 밀도가 층 두께가 증가하는 레이트를 결정하기 때문에, 전류 밀도의 불균일성들은 도금 재료의 성막된 층의 두께의 불균일성들을 초래한다.

[0023] 제안된 전극은 적어도 도금될 표면에 면하는 (facing) 전극의 표면에서 세그먼트들로 분할된다. 이들 세그먼트들은 상호 전기적으로 절연되거나 약하게 결합되어, 개별의 각각의 정류기에 의해 상이한 전압으로 유지될 수 있다. 각각의 세그먼트로부터 피가공물 표면으로 통과하는 전류는 개별적으로 제어될 수 있다. 세그먼트들이, 피가공물 표면에서의 전압이 강하되는 방향인, 제 1 방향에서 서로 이웃하게 배열되기 때문에, 전해액 배스에 걸쳐 더 균일한 전압차가 유지될 수 있다.

[0024] 인접한 세그먼트들은 각각의 세그먼트 에지들을 따라 서로 분리된다. 이들 세그먼트 에지들은 제 2 방향에서 부분적으로 연장되고, 제 2 방향은 제 1 방향을 가로지르고 사용시 피가공물의 이동 방향에 대응한다.

[0025] 세그먼트 에지들은 제 2 방향으로의 좌표의 공통 값으로부터 전극 표면의 적어도 도전부의 에지까지 연장된다. 상기 좌표의 공통값은 상기 제 2 방향의 반대측 에지에 대응할 수 있다. 이는 대안적으로 세그먼트 에지들의 경로들이 서로의 미러 이미지들인 2 개의 섹션들로 구성되는 경우에, 전극의 중간에 대응할 수 있다. 세그먼트 에지들은 일반적으로 전극의 도전부의 에지에서 각각의 엔드 포인트로 연장될 것이다. 각각의 종점들에서 제 2 방향에서의 좌표의 값들은 일반적으로 이들 종점들에서 그 좌표의 평균 값으로부터 10% 미만, 예를 들어 5% 미만 만큼 벗어날 것이다. 대부분의 실시예들에서, 각각의 종점들에서 제 2 방향에서의 좌표의 값들은 동일할 것이다. 따라서, 에지는 본질적으로 직선일 것이다. 이는 일반적으로 피가공물을 전해처리하기 위한 장치를 위한 전극들에 대한 경우이며, 여기서 장치는 전극의 표면을 지나 피가공물을 이송하도록 배열되는 유형이다. 그렇지 않으면, 피가공물는 피가공물의 폭 (제 1 방향에 대응함) 에 걸쳐 동일하게 처리되지 않을 것이다. 또한, 이러한 유형의 다수의 전극들은 연속적인 전극들 사이의 큰 불균일한 갭들 없이, 사용 시에 피가공물의 이동 방향에 대응하는, 제 2 방향에서 일렬로 배열될 수 있다.

[0026] 세그먼트 에지들이 제 2 방향에서만 연장된다고 하는 경우 - 이는 이들이 직선이 됨을 의미한다 - 결과는 피가공물의 표면 상의 라인들이 되는 것이고, 여기서 인접한 세그먼트들의 에지들을 분리하는 갭은 전해액 배스를 통한 전류의 흐름을 막는다. 또한, 세그먼트 에지들의 좌표들 사이에, 즉 전극 세그먼트들에 대응하는 섹션들 내에 제 1 방향에서 전류 밀도의 불균일성이 여전히 존재할 것이다.

[0027] 후자의 영향은 적어도 한 쌍의 인접한 세그먼트들 사이의 세그먼트 에지들이 전극 표면 에지에 대한 각도가 좌표의 공통 값으로부터 전극 표면 에지로 감소하는 각각의 경로들을 따라 연장한다는 사실에 의해 대응된다 (countered). 각도가 감소하므로 경로들은 직선이 아니라 커브나 구분적 선형 커브이다. 제 1 방향에서의 각각의 좌표에서, 피가공물는 상이한 각각의 지속 기간들 동안 2 개의 세그먼트들을 통과하며, 여기서 지속 기간들 사이의 비율은 피가공물의 표면 상의 도전층에서의 비선형 전압 강하를 보상하기 위해 비선형적으로 변화한다. 그 결과, 제1 방향에서의 평균 전류 밀도가 비교적 균일하다. 이는, 전해액의 유동 및 피가공물의 접촉으로 인한 에지 효과들이 불균일성의 추가적인 원인일 수 있기 때문에, 적어도 에지들로부터 먼 중앙 영역에 대한 경우이다.

[0028] 인접한 세그먼트들의 임의의 쌍 사이의 세그먼트 에지들은 일반적으로 동일한 형상을 갖게 된다. 각각의 세그먼트의 대향하는 세그먼트 에지들은 상이한 형상을 갖는 각각의 경로들을 따라 연장될 수 있다.

[0029] 일 실시예에서, 적어도 제 1 방향에서 본 전극의 각각의 절반부 내에서, 경로들은 좌표의 공통 값으로부터 전극 표면 에지까지 제 1 방향에서 동일한 의미로 연장된다.

[0030] 즉, 경로들은 적어도 제 1 방향에서 본 전극의 각각의 절반부 내에서 모두 동일한 방향으로 경사진다. 제 2 좌표가 공통값인 지점으로부터 전극 표면 에지까지의 경로를 따라 이동하는 가상 관찰자의 각 경로를 따른 제 1 방향에서의 이동 방향은 동일한 부호를 갖는다. 부호는 각 경로의 범위를 따라 동일하며, 즉 경로를 따라 변경되지 않으며, 관련된 모든 경로 (이들 모두 또는 각각의 절반부 내 이들 모두) 에 대해 동일하다. 피가공물이 양 대향 에지들에서 접촉되는 애플리케이션들의 경우, 경로들은 전극의 각각의 절반부 내에서만 좌표의 공통 값으로부터 전극 표면 에지까지 제 1 방향에서 동일한 의미로 연장된다. 피가공물이 단지 하나의 에지에서 접촉되는 애플리케이션들의 경우, 모든 경로들은 제 1 방향에서 좌표의 공통 값으로부터 전극 표면 에지까지 동일한 의미로 연장된다.

[0031] 일 실시예에서, 좌표의 공통 값으로부터 전극 표면 에지까지의 경로들은 곡선들이다.

[0032] 구분적 선형 곡선들과 비교하여, 이 실시예는 더 균일한 전류 밀도 평균을 달성한다.

[0033] 일 실시예에서, 전극 표면의 적어도 도전부는, 제 2 방향에서 볼 때, 2 개의 절반부들을 포함하고, 하나의 절반부에서의 세그먼트 에지들의 각각의 섹션들은 좌표의 공통 값에 위치된 대칭선에 대해 다른 절반부에서의 세그먼트 에지들의 각각의 섹션들의 미러 이미지 (mirror image) 이다.

[0034] 이렇게 하면 경로들은 더 높은 기울기를 갖는다. 이는 결국, 세그먼트들 사이의 비전도성 분리들 만을 통과하거나 거의 통과하는 피가공물 표면의 섹션들로 인한 위에서 언급된 스트리핑 (stripping) 영향을 피하는 것을 돕는다.

[0035] 일 실시예에서, 각각의 세그먼트의 세그먼트 에지들 중 제 1 세그먼트 에지의 경로 상의 전극 표면 에지에서의 지점은 동일한 좌표 값에 있거나, 그 세그먼트의 세그먼트 에지들 중 다른 세그먼트 에지의 경로 상의 좌표의 공통 값에서의 지점으로부터 제 1 방향에서 제거된다.

[0036] 제 1 방향에서의 좌표를 x 좌표로 지정하고, 제 2 방향에서의 좌표를 y 좌표로 지정하면, 세그먼트의 제 1 에지는 y 좌표의 공통값 (y_0) 에서의 지점 (x_1, y_0) 으로부터 전극 표면 에지에서의 지점 (x_2, y_1) 으로 연장된다.

세그먼트의 제 2 에지는 y 좌표의 공통값 (y_0) 에서의 지점 (x_3, y_0) 으로부터 전극 표면 에지에서의 지점 (x_4, y_1) 으로 연장된다. 이 실시예에서, $x_3 \geq x_2$ 이다. 그 결과, 피가공물 표면이 인접한 세그먼트들 사이의 절연 배리어 아래 또는 위를 1 회 또는 2 회 보다 많이 통과하는 제 1 방향에서의 좌표 x 의 값들은 없다. 또한, 피가공물 표면 상의 각 지점은 많아야 2 개의 세그먼트 전압들과 면하여, 전극을 포함하는 장치 셀의 구성을 단순화한다.

[0037] 일 실시예에서, 적어도 제 1 방향에서 보여지는 전극의 각각의 절반부 내에서, 좌표의 공통 값에서 세그먼트의 에지들 사이의 거리에 대응하는, 세그먼트들의 폭은 제 1 방향에서 세그먼트로부터 세그먼트로 증가한다.

[0038] 이는 추가로 피가공물 표면에서의 전압이 피가공물이 접촉되는 에지에서 가장 가파르게 하강한다는 사실을 고려한다. 전극이 피가공물이 이의 전압을 결정하는 클램프들에 의해 양 에지들에서 유지되는 애플리케이션들을 위해 의도되는 경우, 전술한 조건은, 제 1 방향에서 보았을 때, 전극의 각각의 절반부 내에서 유효할 것이고, 폭은 2 개의 절반부들이 이어지는 곳에서 가장 작다.

[0039] 이러한 효과는, 적어도 제 1 방향에서 본 전극의 각각의 절반부 내에서, 표면 에지에서의 한 쌍의 인접한 세그먼트들 사이의 한 쌍의 세그먼트 에지들의 경로들의 전극 표면 에지에 대한 각도가 제 1 방향에서 쌍에서 쌍으로 증가하는 실시예에서 또한 달성된다.

[0040] 피가공물이 전기적으로 접촉되는 전극 에지에 제 1 방향으로 가장 가까운 세그먼트 에지들은 비교적 작은 기울기를 갖는 반면, 그 전극 에지로부터 더 제거된 세그먼트 에지들은 비교적 큰 기울기를 갖는다. 여기서 또한, 전극이 피가공물이 이의 전압을 결정하는 클램프들에 의해 양 에지들에서 유지되는 애플리케이션들을 위해 의도되는 경우, 전술한 조건은, 제 1 방향에서 보았을 때, 전극의 각각의 절반부 내에서 유효한 것이고, 각도는 2 개의 절반부들이 이어지는 곳에 가장 가까운 쌍들에 대해 가장 작다.

[0041] 실시예에서, 전극은 메시 전극을 포함한다.

[0042] 특히, 전극 표면, 및 따라서 세그먼트 표면들은 메시에 의해 형성될 수 있다. 효과는 전해액이 전극을 통해 흐를 수 있다는 것이다. 전극과 피가공물 표면 사이의 전해액은 따라서 비교적 균일하게 보충될 수 있다.

이러한 균일한 보충은 전극과 피가공물 사이에 도관 등을 제공하지 않고도 달성될 수 있다. 이는 결국 비교적 균일한 전류 밀도 평균들이 달성되도록 한다.

[0043] 일 실시예에서, 전극은, 본 발명에 따른 방법을 실행함으로써 얻을 수 없다면, 적어도 본 발명에 따른 방법을 실행함으로써 얻을 수 있는 설계에 따른다.

[0044] 다른 양태에 따르면, 전해 처리 장치의 셀을 형성하기 위한 본 발명에 따른 어셈블리는 본 발명에 따른 적어도 하나의 전극을 포함한다.

[0045] 물론, 예를 들어 평면형 피가공물의 양 측면들을 동시에 처리하기 위해 셀들 내에 2 개의 이러한 전극들이 있을 수 있다. 셀은, 피가공물 표면과 전극 사이의 공간을 전해액으로 충전하기 위한 적어도 하나의 디바이스를 더 포함한다. 이 적어도 하나의 디바이스는 전해액이 제 1 방향에서 전극의 에지에서의 윈도우를 통해 피가

공물 표면과 전극 사이의 공간 밖으로 통과하도록 전해액을 순환시키도록 구성될 수 있다.

[0046] 셀의 일 실시예는 적어도 하나의 전극들 중 하나의 전극의 전극 표면 앞에서 제 1 및 제 2 방향들로 연장되는 적어도 하나의 차폐 디바이스를 더 포함한다.

[0047] 이 실시예는 특히 피가공물이 피가공물의 에지들 중 하나 이상에서만 지지되는 비교적 얇은 피가공물인 경우, 전극과 피가공물 사이의 접촉을 방지하는 것을 돕는다. 차폐 디바이스는 또한 처리될 피가공물의 표면과 전극 표면 사이의 전기장에 영향을 주기 위해 사용될 수 있다. 차폐 디바이스는 특히, 예를 들어 에지 효과들을 보상함으로써 전류 밀도 평균의 균일성을 개선하기 위해 사용될 수 있다.

[0048] 그러한 실시예의 일 예에서, 차폐 디바이스는, 액체에 대해 투과성이고 제 1 및 제 2 방향으로 분포된 다수의 통과 채널들 (through-going channels) 이 제공되는 플레이트를 포함한다.

[0049] 전해액이 차폐 디바이스를 통해 흐를 수 있다는 효과가 있다. 따라서, 전극과 피가공물 표면 사이의 전해액은 전극과 피가공물 사이에 도관 등을 제공하지 않고 비교적 균일하게 보충될 수 있다. 채널들의 분포 및/또는 크기는 다른 불균일성들을 보상하기 위해 국부적으로 불균일할 수 있다. 국부적으로 더 많은 전해액을 허용하면 배스 저항을 감소시키고 전류 밀도를 증가시켜, 다른 구조 또는 에지 효과 (edge effect) 로 인한 전기장의 왜곡들을 보상한다. 규칙적인 유동은, 채널들이 그리드에 따라 특정 피치로 균일하게 그리고 규칙적으로 분포되는 경우에 달성될 수 있다. 투과성의 국소적 증가는 인접한 채널들을 국소적으로 상호 연결함으로써 달성될 수 있다. 투과성의 국소적 감소는 그리드 상의 소정 위치에서 채널들을 국소적으로 생략함으로써 달성될 수 있다.

[0050] 이 예의 특정 버전에서, 모든 경로들은 제 1 방향에서 좌표의 공통 값으로부터 전극 표면 에지까지 동일한 의미로 연장되고, 경로들이 좌표의 공통 값으로부터 전극 표면 에지까지 진행함에 따라 경로들에 의해 접근되는 전극 표면의 에지의 전방에서 플레이트의 에지를 따라 제 2 방향에서 연장되는 플레이트의 스트립에서의 통과 채널들의 액체 투과 영역의 적분은 동일한 폭의 플레이트의 인접한 평행 스트립에서보다 더 낮다.

[0051] 좌표의 공통 값으로부터 전극 표면 에지로 진행함에 따라 경로들에 의해 접근되는 전극 표면의 에지의 전방에서 플레이트의 에지를 따라 제 2 방향에서 연장하는 플레이트의 스트립에서의 통과 채널들의 액체 투과 영역의 적분은 동일한 폭의 플레이트의 모든 평행한 스트립들에 대한 평균 값보다 낮을 수 있다. 모든 경로들이 공통 좌표로부터 전극 표면 에지까지 제 1 방향에서 동일한 의미로 연장될 때, 전극은 단지 하나의 에지에서 전기적으로 접촉되는 피가공물들과 함께 사용하도록 구성된다. 피가공물의 대향 에지에 면하는 차폐 디바이스 플레이트의 에지에서의 스트립은 액체에 대해 비교적 불투과성이다. 이 에지에 윈도우가 있고, 이 윈도우를 통해 전해액은 차폐 디바이스와 피가공물 표면 사이의 공간 밖으로 통과한다. 비교적 폐쇄된 스트립이 없으면, 비교적 높은 전류 밀도 평균이 그의 에지에서 달성될 것이다. 이는 어셈블리를 포함하는 도금 장치에서 형성된 층의 국부적으로 증가된 두께를 야기할 것이다. 환언하면, 전극이 클램핑되는 곳에 위치된 에지로부터 가장 먼 차폐 디바이스 플레이트의 에지에서의 가상의 스트립은 액체에 대해 비교적 불투과성이다.

[0052] 셀이 적어도 하나의 전극들 중 하나의 전극 표면 전방에서 제 1 및 제 2 방향들에서 연장되는 적어도 하나의 차폐 디바이스를 더 포함하고, 이 차폐 디바이스는 제 1 및 제 2 방향에 분포되고 액체에 투과성인 다수의 통과 채널들이 제공된 플레이트를 포함하는 어셈블리의 실시예의 일 예에서, 각각의 세그먼트에 대해, 적어도 하나의 전기 접촉부가 제 1 방향에서 좌표를 갖는 각각의 위치에 제공되고, 제 1 방향에서의 좌표에서 제 2 방향으로 연장되는 플레이트의 스트립에서의 통과 채널들의 액체 투과 영역의 적분은 동일한 폭의 인접한 평행한 스트립들보다 낮다.

[0053] 더 적은 전해액을 통과하게 하는 스트립은 그렇지 않으면 전기 접촉부의 제 1 방향에서의 좌표에서 확립될 증가된 전류 밀도 평균을 보상한다.

[0054] 셀이 적어도 하나의 전극들 중 하나의 전극 표면 전방에서 제 1 및 제 2 방향들에서 연장하는 적어도 하나의 차폐 디바이스를 더 포함하고, 이 차폐 디바이스는 제 1 및 제 2 방향에 분포되고 액체에 대해 투과성인 다수의 통과 채널들이 제공된 플레이트를 포함하는 어셈블리의 실시예의 일 예에서, 이 플레이트는 플레이트에 대해 가로지르는 방향으로 연장하는 적어도 하나의 패스너 (fastener) 에 의해 고정되고 제 1 방향에서 좌표를 갖는 관련 위치에 위치되고, 이 패스너는 전극에 대해 원위의 플레이트의 표면에서 특정 폭을 갖는 단면을 가지며, 제 1 방향에서의 좌표에서 제 2 방향으로 연장하는 특정 폭을 갖는 플레이트의 스트립의 섹션들에서 통과 채널들의 액체 투과 영역의 적분은 동일한 폭의 인접한 평행한 스트립들의 인접한 섹션들에서 보다 더 높다.

[0055] 패스너는 전류 흐름을 막는다. 이는 패스너가 도전성 물질로 제조되더라도 전기 절연 요소로서 작용하기 때

문이다. 이러한 영향은, 패스너가 놓여 있는 스트립의 나머지 부분이 전해액에 대해 더 높은 투과성을 가진다는 사실에 의해 보상된다.

[0056] 셀이 적어도 하나의 전극들 중 하나의 전극 표면 전방에서 제 1 및 제 2 방향들에서 연장하는 적어도 하나의 차폐 디바이스를 더 포함하고, 이 차폐 디바이스는 플레이트를 포함하고, 이 플레이트는 액체에 대해 투과성이고 제 1 및 제 2 방향에 분포된 다수의 통과 채널들이 제공되는 어셈블리의 실시예의 일 예에서, 경로들이 좌표의 공통 값으로부터 전극 표면 에지로 진행함에 따라 분기하는 전극의 에지의 전방에서 플레이트의 에지를 따라 제 2 방향으로 연장하는 플레이트의 스트립에서의 액체 투과 영역의 적분은, 동일한 폭의 플레이트의 인접한 평행한 스트립에서 보다 더 높다.

[0057] 좌표의 공통 값으로부터 전극 표면 에지로 진행함에 따라 경로들에 의해 접근되는 전극 표면의 에지의 전방에서 플레이트의 에지를 따라 제 2 방향에서 연장하는 플레이트의 스트립에서의 통과 채널들의 액체 투과 영역의 적분은 동일한 폭의 플레이트의 모든 평행한 스트립들에 대한 평균 값보다 낮을 수 있다.

[0058] 경로들이 좌표의 공통 값으로부터 전극 표면 에지로 진행함에 따라 분기하는 전극의 에지 전방에서 플레이트의 에지를 따라 제 2 방향에서 연장하는 플레이트의 스트립에서의 액체 투과 영역의 적분은 특히 동일한 폭의 플레이트의 모든 평행한 스트립들에 대한 평균값 보다 높을 수 있다. 더 많은 전해액이 피가공물이 전기적으로 접촉되는 전극의 에지 전방의 플레이트의 에지에서 차폐 디바이스의 플레이트를 통해 도입된다. 이는 전극으로부터 클램프 또는 피가공물과 전기적으로 접촉하는 유사한 디바이스로의 직접적인 전류 흐름과는 대조적으로 피가공물의 표면을 통한 전류 흐름을 촉진한다.

[0059] 셀이 적어도 하나의 전극들 중 하나의 전극 표면 전방에서 제 1 및 제 2 방향들로 연장되는 적어도 하나의 차폐 디바이스를 더 포함하고, 이 차폐 디바이스는 제 1 및 제 2 방향에 분포되고 액체에 대해 투과성인 다수의 통과 채널들이 제공된 플레이트를 포함하는 어셈블리의 실시예의 일 예에서, 플레이트는 전기 절연 재료로 제조된다.

[0060] 이는 다른 것들 중에서, 플레이트의 장착을 단순화한다. 플레이트를 장착하기 위한 패스너들은 일반적으로 에지들로부터 떨어진 위치들에서 적어도 플레이트와 전극 사이에서 연장되어야 할 것이다. 패스너들은 도전재로 제조될 수 있다.

[0061] 어셈블리의 일 실시예는 적어도 하나의 전극들 중 하나의 에지를 따라 제 2 방향에서 그리고 제 1 및 제 2 방향들을 가로지르는 제 3 방향에서 연장되는 적어도 하나의 추가 전극을 더 포함한다.

[0062] 추가 전극은 제 2 방향에서 그리고 제 1 및 제 2 방향 모두를 가로지르는 방향에서 연장된다. 이러한 추가 전극은 특히, 예를 들어 하나 이상의 클램프들에 의해, 피가공물이 전기적으로 접촉되는 피가공물의 에지에 면하는 세그먼트화된 전극의 에지에 제공될 수 있다. 세그먼트화된 전극이 애노드로서 기능하는 경우, 추가 전극은 또한 애노드로서 기능하도록 배열되고, 본 명세서에서 클램프 애노드로서 또한 지칭된다. 클램프 애노드는 제 3 및 제 2 방향에서의 치수들이 제 1 방향에서의 치수보다 큰, 예를 들어 크기 (magnitude) 의 차수 (10배 또는 심지어 100배) 더 큰 구조이다. 사용시에, 클램프 애노드는, 예를 들어, 피가공물이 클램프에 의해 접촉되는 에지 근처의 피가공물 상의 금속 성막에 영향을 주기 위해, 제어된 전류가 제공된다. 클램프가 완전히 차폐되지 않을 수 있기 때문에, 세그먼트화된 애노드로부터의 일부 전류는 그렇지 않으면 피가공물과 반대로 클램프로 흐를 것이다. 한편으로는 클램프 애노드는 전류가 세그먼트화된 애노드로부터 클램프 및 피가공물의 에지 스트립으로 흐르는 것을 방지한다. 다른 한편으로, 클램프 애노드는 세그먼트화된 애노드로부터 피가공물 대신에 클램프로 흐르는 전류로 인한 금속 성막의 임의의 감소를 보상한다. 세그먼트화된 전극 및 추가 전극이 캐소드들로서 기능하고 피가공물이 애노드로서 기능하도록 에지에서 접촉되는 실시예들에서 유사한 효과들이 얻어진다.

[0063] 이 실시예의 특정 예에서, 전기 절연 차폐부는 추가 전극과 세그먼트화된 전극 사이에 제공된다. 이 전기 절연 차폐부는 세그먼트화된 전극과 면하는 추가 전극의 표면 상에 표면층의 형태를 취할 수 있다.

[0064] 다른 양태에 따르면, 본 발명에 따른 전해 처리 장치는 적어도 하나의 처리 셀을 포함하며, 이 처리 셀은 본 발명에 따른 적어도 하나의 어셈블리를 포함한다.

[0065] 언급된 바와 같이, 전해 처리 장치는 전기도금 또는 에칭을 위한, 즉 피가공물의 표면 상에 재료의 도전층을 구축 (building up) 또는 파괴 (breaking down) 하기 위한 것일 수 있다.

[0066] 전해 처리 장치의 일 실시예는 복수의 처리 셀, 및 복수의 처리 셀을 통해 그리고 복수의 처리 셀 사이에서 피가공물를 이송하기 위한 이송 시스템을 포함한다.

[0067] 이송 시스템은 피가공물의 표면이 본질적으로 수직으로 연장되는 수직 이송 시스템, 또는 피가공물이 셀들을 통해 그리고 셀들 사이에서 이동됨에 따라 피가공물의 표면이 본질적으로 수평으로 연장되는 수평 이송 시스템일 수 있다.

[0068] 이 실시예의 예에서, 이송 시스템은 피가공물이 셀들을 통해 그리고 셀들 사이에서 이송되는 동안 평면형 피가공물의 에지에서 평면형 피가공물을 해제가능하게 홀딩하기 위한 적어도 하나의 클램프를 포함한다.

[0069] 피가공물은 피가공물이 적어도 하나의 클램프에 의해 유지되는 에지로부터 제거된 영역들에서 지지되지 않은 채로 유지될 수 있다. 이는 피가공물의 표면의 마멸을 방지하는 것을 돕는다. 처리 균일성은 또한, 피가공물이 적어도 하나의 클램프에 의해 유지되는 피가공물의 에지 또는 에지들 이외에는 피가공물과 전극 사이에 지지 구조체들이 없다는 점에서 개선된다. 피가공물은 따라서 이송 시스템이 수평 이송 시스템인 경우에도 하나의 셀 내에서 양측 상에서 처리될 수 있다. 이송 시스템은 피가공물마다 하나보다 많은 클램프를 사용할 수 있다. 적어도 하나의 클램프는 무한 체인(endless chain) 또는 벨트(belt) 상에 장착될 수 있다. 각각의 클램프는 제 1 셀에서 자동으로 폐쇄될 수 있고, 피가공물이 이송되는 일련의 셀들 중 마지막 셀에서 자동으로 피가공물로부터 맞물림해제될 수 있다. 이송 시스템은 제 1 방향 (즉, 이동 방향을 가로지르는 방향) 에서 반대 쪽의 에지들의 양쪽에서 피가공물을 유지하기 위한 클램프들을 포함할 수 있다. 이 경우, 인가된 전류의 급전점들은 피가공물의 대칭선에 대한 미러 이미지들일 수 있다.

[0070] 이 예의 특정 버전에서, 적어도 하나의 클램프들 중 적어도 하나는 피가공물이 전극으로서 기능할 수 있도록, 피가공물의 주 표면에 대해 가압될 때 피가공물과 전기적으로 접촉하기 위한 도전부를 포함하는 아암 (arm) 을 포함한다.

[0071] 따라서, 피가공물은 특정 전위에서 유지되고 장치를 통해 이송된다. 클램프가 사용되기 때문에, 상기 피가공물은 처리될 표면에서 전기적으로 접촉된다.

[0072] 특정 예에서, 피가공물과 맞물림하기 위한 아암의 적어도 단부 섹션은 피가공물의 주 표면과 결합하기 위한 표면 섹션을 제외하고 전기 절연 차폐부에 의해 덮인 도전성 코어 부분을 포함한다.

[0073] 이는 아암의 코팅 또는 스트리핑 (stripping) 을 회피하는 것을 돕고, 피가공물 표면 상의 도전층을 통해 전류가 흐르도록 강제함으로써, 피가공물의 표면이 클램프에 의해 유지되는 피가공물의 표면의 처리를 촉진한다.

[0074] 다른 양태에 따르면, 본 발명에 따른 방법은 적어도 본 발명에 따른 전극을 설계하는 단계를 포함하며, 상기 설계 단계는 상기 경로들의 형상들을 결정하는 단계를 포함한다.

[0075] 따라서 전극은 전극이 사용될 처리 셀의 구성에 적응될 수 있다. 다중 셀 장치에서, 경로 형상들은 예를 들어 상이한 셀들에 대한 전극들 사이에서 상이할 수 있다. 경로 형상들은 특히 세그먼트들의 수, 제 1 방향에서의 전극 표면의 범위, 전해액의 저항률, 피가공물과 전극 표면 사이의 거리, 피가공물의 표면에서의 도전층의 저항률 및 두께, 및 제 2 방향에서의 전극 표면의 범위 중 적어도 하나에 따라 결정될 수도 있다.

[0076] 방법의 일 실시예에서, 경로들의 형상들을 결정하는 단계는 제 1 방향에서의 좌표의 다항식, 예를 들어 2차 다항식의 계수들을 결정하는 단계를 포함하고, 이 다항식은 상기 제 2 방향에서의 좌표를 나타낸다.

[0077] 전극 표면 상의 평면도에서, 제 2 방향에서의 좌표의 공통 값으로부터 전극 표면 에지까지의 경로는 따라서 적어도 다항식, 예를 들어 포물선의 섹션에 기초할 것이다. 설계 단계의 추가 단계는 포물선 또는 고차 다항식에 편차를 중첩시키는 단계를 포함할 수 있다. 계수를 결정하는 프로세스는 반복적인 프로세스일 수 있다.

[0078] 일 실시예에서, 계수들은 제 1 방향에서의 좌표의 함수이고 피가공물의 표면을 따라 제 1 방향에서의 전압 변화를 나타내는 전압 강하 함수를 계산함으로써 획득된다.

[0079] 전압 강하 함수는 2차 다항식 함수일 수 있다. 계수들은, 제 1 방향에서 전극 표면의 치수만큼 스케일링되고 형상이 결정될 경로를 따라 에지들이 연장되는 인접한 세그먼트들 사이의 전압 차이에 의해 분할되는, 전압 강하 함수의 계수들에 대응할 수 있다.

[0080] 본 방법의 일 실시예는 설계에 대한 전극을 제조하는 단계를 더 포함한다.

[0081] 다른 양태에 따르면, 본 발명에 따른 컴퓨터 프로그램은, 프로그램이 컴퓨터에 의해 실행될 때, 컴퓨터로 하여금 본 발명에 따른 방법의 설계 단계를 수행하게 하는 명령어들을 포함한다.

[0082] 컴퓨터 프로그램은 하나 이상의 컴퓨터 판독 가능한 비일시적 저장 매체(non-transitory storage media)에 구현될 수 있다.

도면의 간단한 설명

[0083] **도면의 간략한 설명**

이하, 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 1 은 전해 처리 장치의 매우 개략적인 평면도이다.

도 2 는 전해 처리 장치를 통해 이송되는 피가공물과 접촉하기 위한 클램프 아암의 단면 상세도이다.

도 3 은 전해 처리 장치의 셀용 애노드의 표면의 개략적인 평면도이다.

도 4 는 도 3 에 대응되는 평면도로서, 애노드의 반대면상으로의 평면도이다.

도 5 는 애노드와 피가공물 사이의 배치를 위한 차폐 디바이스의 평면도이다.

도 6 은 차폐 디바이스의 섹션의 상세도이다.

도 7 은 애노드를 얻기 위해 사용되는 방법의 단계들을 예시하는 도면이다.

도 8 은 도 7 의 단계들 중 하나의 일 구현을 예시하는 도면이다.

도 9 는 애노드와 피가공물의 세그먼트들 사이의 전압 차이들, 피가공물과 애노드 사이의 전해액 배스 (bath) 에서의 전압 강하, 및 애노드에 면하는 피가공물의 표면 상의 도전층에서의 전압 강하를 도시하는 도면이다.

도 10 은 세그먼트 에지 형상들이 어떻게 결정되는지를 예시하기 위한 애노드의 절반부의 개략적인 평면도이다.

도 11 은 세그먼트들에 대한 목표 전류 밀도 평균들의 결정에서의 제 1 페이즈를 도시하는 도면이다.

도 12 는 목표 전류밀도 평균들의 결정 결과를 나타낸 도면이다.

도 13 은 도 3, 도 4 및 도 10 에 도시된 유형의 애노드 및 도 5 및 도 6 에 도시된 차폐 디바이스를 포함하는 셀을 시뮬레이션함으로써 계산된, 평균 전류 밀도로부터 피가공물 길이에 따른 위치들에서의 전류 밀도의 퍼센트 편차를 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0084] **실시예들의 설명**

[0085] 전기도금 장치 (1) 는 평면형 피가공물 (3a-f) 를 도금하기 위한 다수의 프로세싱 셀들 (2a-d) 을 포함한다. 평면형 피가공물 (3a-f) 은 예를 들어 주로 유전체 재료로 제조된 포일 또는 패널일 수 있다. 피가공물의 평면에 평행한 표면들은 본원에서 주 표면들로 지칭된다. 이러한 주 표면들 중 적어도 하나가 장치 (1) 에 의해 도금되게 된다. 이는 피가공물 (3a-f) 를 통한 임의의 비아들 혹은 피가공물 (3a-f) 에서의 트렌치들의 측벽들을 도금하는 것을 포함한다.

[0086] 여기서는 전해 도금 장치 (1) 에 대해서만 설명하고 도시한다. 이 장치 (1) 에는 일반적으로, 피가공물 (3a-f) 상에 도전성 전구체 층을 형성하기 위해 애블레이션 (ablation), 디스미어링 (desmearing), 이온 활성화 및 무전해 데퍼지션을 포함하는 예비 프로세싱 단계들을 실시하기 위한 장치가 선행될 것이다.

[0087] 제 1 방향 (*x*) 을 정의하는 것이 편리하며, 피가공물 (3a-f) 의 치수는 본 명세서에서 폭으로도 지칭된다. 제 1 방향 (*x*) 에 대해 가로지르는 제 2 방향 (y) 은 장치 (1) 를 통한 피가공물들 (3a-f) 의 이동 방향에 대응한다.

[0088] 장치 (1) 는 순환된 전해액의 배스를 한정하는 인클로저 (4) 를 포함한다. 롤러들 (5a-c) 은 인클로저 (4) 내로 진입하는 지점까지 피가공물들 (3a-f) 을 지지하며, 여기서 이들은 피가공물들 (3a-f) 의 주 표면들과 근위 에지 (8a-f) 에서 맞물리기 위한 일련의 클램프들 (7) 을 포함하는 것으로 개략적으로 도시된 이송 시스템 (6) 에 의해 맞물린다. 원위 에지 (9a-d) 는 본 명세서에서 각각의 셀 (2a-d) 의 윈도우라고 하는 곳에 위치하고, 여기서 전해액은 셀 (2a-d) 밖으로 흐른다. 예시된 실시예에서, 피가공물들 (3a-f) 은 원위 에지 (9a-d) 에서 유지되지 않는다. 피가공물들 (3a-f) 은 또한 에지들 (8, 9) 사이의 어떤 고체 구조들에 의해서도 지지되지 않는다. 그러나, 피가공물들 (3a-f) 은 전해액에 침지된다. 대안적인 실시예들에서, 지

지 엘리먼트들이 제공될 수 있다. 피가공물들 (3a-f) 은 또한, 제 1 방향 (*x*) 에서 봤을 때, 양측들 상에서 클램핑될 수 있다.

[0089] 클램프들 (7) 는 피가공물들 (3a-f) 이 인클로저 (4) 에 진입에 따라 피가공물들 (3a-f) 과 자동적으로 맞물리고 피가공물들 (3a-f) 이 인클로저 (4) 를 떠날 때 맞물림 해제된다. 클램프들 (7) 은 무단 벨트 (10) 상에 지지되며, 무단 벨트 (10) 는 무단 벨트 (10) 가 주위에 배열되고 무단 벨트 (10) 가 지지되는, 예를 들어 하나 이상의 드럼들 (11a, b) 에 의해 구동되는, 치형 프로파일 또는 체인을 갖는 벨트일 수 있다.

[0090] 도 1 은 개략적임은 물론이다. 실제 구현에서, 클램프 (7) 들은 셀들 (2a-d) 내로 연장될 것이며, 따라서 피가공물들 (3a-f) 은 그의 근위 에지들 (8a-f) 에서 단지 거의 또는 전혀 돌출하지 않는다.

[0091] 클램프들 (7) 은 피가공물들 (3a-f) 의 각각의 측면 상에 아암(12) (도 2) 을 포함한다. 아암 (12) 은 피가공물(3) 의 주 표면과 맞물림하기 위한 표면 섹션 (15) 을 제외하고 전기 절연 차폐부 (14) 에 의해 피복된 도전성 코어부 (13) 를 포함한다. 피가공물 (3) 과 맞물리는 클램프 (7) 또는 각 클램프 (7) 는 캐소드로서 기능하는 피가공물 (3) 및 애노드 (16) 를 포함하는 전기 회로의 일부를 형성한다.

[0092] 피가공물 (3) 의 양쪽 주 표면을 도금하기 위한 셀 (2) 에서, 배열은 미러링된다. 본 설명은 피가공물 (3) 의 하나의 주 표면을 도금하기 위한 구성요소들에만 초점을 맞출 것이며, 예시된 실시예에서 주 표면은 위로 향한다.

[0093] 실시예의 애노드 (16) 는 2개의 층 (17, 18) (도 2) 을 포함한다. 대안적인 실시예들에서, 하나의 층 또는 심지어 더 많은 층들이 있을 수 있다. 피가공물 (3) 에 근접한 적어도 하부 층 (18) 은 메쉬 섹션들을 포함한다. 메시는 전해액에 대해 투과성이다. 상부 층 (17) 은 또한 메쉬 층일 수 있거나, 또는 예시된 예에서와 같이, 천공된 플레이트 섹션들로 이루어진 층일 수 있다. 따라서, 전해액은 애노드 (16) 를 통해 피가공물 (3) 을 향해 흐를 수 있다.

[0094] 전기 절연 재료로 만들어지고 통과 채널들이 제공된 차폐 플레이트 (19) 를 포함하는 차폐 디바이스가 애노드 (16) 와 피가공물 (3) 사이에 위치된다. 차폐 플레이트 (19) 는 피가공물 (3) 과 애노드 (16) 의 접촉에 의한 단락을 방지하는 역할을 한다. 차폐 플레이트 (19) 는 몇몇 실시예들에서 생략될 수 있다. 차폐 플레이트 (19) 는 피가공물 (3) 에 면하는 애노드 표면의 전방에서 제1 방향 (*x*) 및 제 2 방향 (*y*) 으로 연장되어 있다. 차폐 플레이트 (19) 는 애노드 (16) 와 본질적으로 동일 공간 (co-extensive) 일 수 있다. 도시된 실시 예에서, 약간의 편차가 있으며, 이에 대해서는 후술한다.

[0095] 예시된 실시예에서, 클램프 애노드 (20) (도 2) 는 클램프 (7) 에 근접한 에지 (22) (도 3 및 도 4) 를 따라 제 2 방향 (*y*) 으로 및 제 1 방향 (*x*) 및 제 2 향방 (*y*) 을 가로지르는 제 3 방향 (*z*) 으로 연장된다. 클램프 애노드 (20) 는 별도로 제어된 전류 공급부 (상세히 도시되지 않음)를 구비한다. 클램프 애노드 (20) 는 어느 정도 전류가 애노드 (16) 로부터 클램프 (7) 로 또는 피가공물 (3) 이 클램프 (7) 에 의해 접촉되는 피가공물 (3) 의 에지에서 피가공물 (3) 의 영역으로 흐르는 것을 방지하도록 배열된다. 또한, 클램프 애노드 (20) 는 추가적인 전류 흐름을 피가공물 (3) 에 제공함으로써 피가공물 (3) 대신에 클램프(7) 상의 금속의 성막을 보상한다. 이는 추가로 피가공물 (3) 상에 형성되는 층의 균일성에 기여한다. 피가공물 (3) 가 인쇄 회로 기판인 경우, 클램프 애노드 (20) 는 일반적으로 폭 25 ㎜ 까지의 도금된 에지 영역을 제공하며, 이는 후속 처리 단계들에서 접촉하기 위해 필요하다.

[0096] 일 실시예에서, 애노드 (16) 에 면하는 클램프 애노드 (20) 의 표면 (21) 은 전기 절연 재료에 의해 피복된다. 이는 클램프 애노드 (20) 로부터의 전류가 애노드 (16) 로부터의 전류와 독립적으로 제어되기 때문에 유용하며, 따라서 이들 둘 사이에 전위차가 있을 수 있다.

[0097] 적어도 표면이 피가공물 (3) 을 면하는 애노드 (16) 의 층 (18) 은 세그먼트들 (23a-e) 로 분할된다. 인접한 세그먼트들 (23a-e) 은 각각의 세그먼트 에지들 (24a-h) 을 따라 서로 분리된다 (도 3). 인접한 세그먼트들 (23) 사이의 세그먼트 에지들 (24a-e) 은 쌍을 형성한다. 이 쌍은 갭에 의해 또는 전기 절연 재료에 의해 분리될 수 있다. 전기 절연 재료의 갭 또는 분리 스트립의 폭은 제공될 수 있는 세그먼트들 (23a-e) 의 수에 제한을 부과하지만, 세그먼트들 (23a-e) 의 최대 수를 결정할 필요는 없다.

[0098] 어느 경우든, 분리는 세그먼트들 (23a-e) 이 상호 전기적으로 절연되는 것을 의미한다. 피가공물 (3) 과 애노드 (16) 사이의 전해액뿐만 아니라 피가공물 (3) 의 표면 상의 전기 전도성 스타터 층이 도전성이라는 사실로 인해 작은 결합이 존재한다. 세그먼트들 (23a-e) 이 분리되는 방식은 인접한 세그먼트들 (23a-e) 이 상이한 각각의 전압들에서 유지되도록 하는 것이다. 결합은 각각의 개별 세그먼트 (23a-e) 에 조절 가능한 전류를

인가하도록 제어될 필요가 있는 범위보다 낮다. 클램프 (7) 에 대한 각각의 세그먼트의 전압 차이는 관련된 각각의 정류기 (도시되지 않음) 에 의해 독립적으로 제어가능하다. 이 전압차는 애노드-클램프 전압 (Uc_i) 으로 지칭될 것이며, 여기서 i 는 제 1 방향 (x) 에서 클램프 (7) 에 근접한 세그먼트 (23a) 로부터 카운팅되는 세그먼트 (23) 의 수이다.

[0099] 세그먼트 에지들 (24a-e) 은 제 2 방향 (y) 에서 y 좌표의 공통 값 (y_0) 으로부터 제 1 방향 (x) 에서 연장되는 제 1 전극 에지 (25) 까지 부분적으로 연장된다. 예시된 실시예에서, 세그먼트 에지들 (24a-e) 은 또한 y 좌표의 공통 값 (y_0) 에서 제 1 방향 (x) 에서 연장하는 제 2 전극 에지 (26) 까지 제 2 방향 (y) 에서 반대쪽 의미로 부분적으로 연장된다. 따라서, 제 1 및 제 2 전극 에지들 (25, 26) 은 반대쪽의 에지들이다. 대칭선 (27) 은 y 좌표의 공통 값 (y_0) 에 위치한다. 애노드 (16) 는 제 2 방향(y) 에서 봤을 때, 2 개의 절반부들 (28, 29) 을 포함하는 것으로 간주될 수 있다.

[0100] 세그먼트 에지들 (24a-e) 은 제 1 전극 에지 (25) 에 대한 각도가 y 좌표의 공통 값 (y_0) 으로부터 제 1 전극 에지 (25) 로 감소하는 각각의 경로들을 따라 연장된다. 또한, 제 2 전극 에지 (26) 에 대한 각도는 y 좌표의 공통 값 (y_0) 으로부터 제 2 전극 에지 (26) 로 감소한다.

[0101] 제 1 및 제 2 절반부들 (28, 29) 의 제 1 절반부 (28) 에서 세그먼트 에지들 (24a-e) 의 섹션들은 제 1 방향 (x) 에서 동일한 의미로, y 좌표의 공통 값 (y_0) 에서의 지점으로부터 제 1 전극 에지 (25) 로 연장한다. 즉, x 좌표의 값은 제 1 전극 에지 (25) 를 향한 경로를 따라 증가한다. 제 2 절반부(29) 에서 세그먼트 에지들 (24a-e) 의 섹션들은 제 1 방향(x) 에서 동일한 의미로 y 좌표의 공통 값 (y_0) 에서의 지점으로부터 제 2 전극 에지 (26) 로 연장한다. 즉, x 좌표의 값은 제 2 전극 에지 (26) 를 향한 경로를 따라 증가한다.

[0102] 예시된 실시예에서, 세그먼트 에지들 (24a-e)의 경로들은 곡선들이다. 다른 실시예들에서, 이들은 구분적 선형 곡선들일 수 있다.

[0103] 도시된 실시예에서, 각 세그먼트 (23a-e) 의 세그먼트 에지들 (24a-h) 의 제 1 의 세그먼트 에지의 경로 상의 제 1 전극 에지 (25) 에서의 지점은 그 세그먼트 (23a-e) 의 세그먼트 에지들 (24a-h) 의 다른 세그먼트 에지의 경로상의 공통 값 (y_0) 에서의 지점과 동일 x 좌표를 갖거나 x 좌표의 더 작은 값을 갖는다. 제 3 세그먼트 (23c) 를 예로 들면 (도 3), 제 1 세그먼트 에지 (24d) 는 지점 (x_1, y_0) 으로부터 지점 (x_2, y_1) 으로 연장된다. 제 2 세그먼트 에지 (24e) 는 지점 (x_3, y_0) 으로부터 지점 (x_4, y_0) 으로 연장하고, 여기서, $x_4 \geq x_3$ 이다. 그것은 피가공물 (3) 의 표면 상의 각 지점이 많아야 2 개의 전극 세그먼트들 (23a-e) 을 면한다는 것을 따른다.

[0104] 세그먼트들 (23a-e) 을 근위 전극 에지 (22) 로부터 카운팅하면, y 좌표의 공통 값 (y_0) 에서의 세그먼트 에지들 (24a-h) 사이의 거리에 대응하는, 세그먼트들 (23a-e) 의 폭은 x 방향에서 세그먼트로부터 세그먼트로 증가한다. 세그먼트들 (23a-e) 은 점진적으로 더 넓어지며, 이는 피가공물 (3) 이 근위 전극 에지 (22) 에서만 접촉될 때, 피가공물 (3) 의 표면에서의 전압이 그 에지 (22) 에서 x 방향에서 가장 가파르게 변화한다는 사실을 반영한다.

[0105] 세그먼트 에지들 (24a-e) 은 또한 x 방향에서 점진적으로 더 만곡되게 된다. 즉, 제 1 전극 에지 (25) 에서 한 쌍의 인접한 세그먼트들 (23a-e) 사이의 한 쌍의 세그먼트 에지들 (24a-h) 의 경로들의 제1 전극 에지 (25) 에 대한 각도는 x 방향으로 쌍에서 쌍으로 증가한다 (이러한 쌍을 형성하는 세그먼트 에지들 (24a-h) 의 경로들은 형상이 본질적으로 동일하다). 이는 제 2 전극 에지 (26) 에 대한 각도에 대해서도 준용하여 적용된다.

[0106] 차폐 플레이트 (19) 에는 다수의 본질적으로 규칙적으로 분포된 통과 채널들이 제공되고, 일부 인접 채널들은 상호 연결되어 더 큰 단면적을 갖는 단일 채널을 형성하고, 채널들은 특정 위치들에서 생략된다 (도 6 참조).

[0107] 도 4 의 평면도로부터, 애노드 (16) 에는 세그먼트 (23a-e) 와 접촉하기 위해 하부층 (18) 으로 연장되는 전기 접촉부들 (30a-f) 이 제공된다는 것을 이해할 수 있다. 전기 접촉부들 (30a-f) 은 각각의 x 좌표를 갖는 각각의 위치들에 제공된다. 대응하는 x 좌표에서 제 2 방향 (y) 으로 연장되는 차폐 플레이트 (19) 의 스트립 내의 채널 영역들의 적분은 동일한 폭의 인접한 평행한 스트립들 내의 채널 영역들의 적분보다 낮다. 이 폭은 일반적으로 대략 전기 접촉부 (30a-f) 의 폭일 것이다. 따라서, 전기 접촉부 (30a-f) 의 위치로 직접 전

류가 흐르는 경향이 상쇄된다.

[0108] 유사한 방식으로, 차폐 플레이트 (19) 는 차폐 플레이트 (19) 를 가로지르는 방향으로 연장되고 각각의 x 좌표를 갖는 관련 위치에 위치된 적어도 하나의 패스너 (31a-g) (명료함을 위해 도 5 에는 단지 일부만이 도시되어 있음) 에 의해 고정된다. 패스너 (31) 는 애노드 (16) 에 대해 원위에 있는 차폐 플레이트 (19) 의 표면에서 소정의 폭을 갖는 단면을 갖는다. x 좌표에서 제 2 방향 (y) 으로 연장되는 소정 폭을 갖는 차폐 플레이트 (19) 의 스트립의 섹션들에서 채널의 단면적들의 적분은 동일한 폭의 인접한 평행한 스트립들의 인접한 섹션들에서보다 더 높다. 즉, 도전성 재료로 제조됨에도 불구하고, 패스너 (31) 가 비전도성 요소로서 거동한다는 사실을 보상하기 위해 패스너 (31) 가 차폐 플레이트 (19) 에 부착되는 양쪽의 스트립 섹션들에서 투과성이 증가된다.

[0109] 차폐 플레이트 (19) 는 또한 에지 효과들을 보상하도록 구성된다.

[0110] 사용 시에 클램프 (7) 에 대해 제 1 방향 (x) 으로 근위에 있는 근위 차폐 플레이트 에지 (32) (도 5) 는 불규칙한 형상을 갖는다. 이는 동일한 폭의 인접한 평행한 스트립에서의 대응하는 적분에 대해 근위 차폐 플레이트 에지 (32) 를 따라 제 2 방향(y) 으로 연장되는 플레이트의 스트립에서의 액체 투과 영역의 적분을 증가시키기 위함이다. 그렇지 않으면, 피가공물 (3) 의 에지를 따른 전류 밀도의 감소가 존재할 것이다. 이러한 감소는 원칙적으로 문제가 아니지만, 국부적인 감소는 피가공물 (3) 의 인접 스트립에서의 증가를 초래한다. 이는 근위 차폐 플레이트 에지 (32) 에서의 투과성의 증가에 의해 회피된다. 채널들이 동일한 크기이고 규칙적으로 (동일한 피치로) 분포되기 때문에, 결과는 불규칙한 근위 차폐 플레이트 에지 (32) 이다.

[0111] 원위 차폐 플레이트 에지 (33) 는, 특히 피가공물 (3) 이 애노드 (16) 및 차폐 플레이트 (19) 보다 제 1 방향 (x) 으로 더 작은 범위를 갖는 경우, 전류 밀도의 급격한 감소를 상쇄하도록 구성된다. 원위 차폐 플레이트 에지 (33) 를 따라 제 2 방향(y)으로 연장되는 차폐 플레이트 (19) 의 스트립 내의 채널들의 액체 투과 영역의 적분은 동일한 폭의 인접한 평행 스트립에서보다 낮다. 이는 피가공물 (3) 의 대응 원위 에지(9) 를 따른 도금 재료의 리브의 형성을 회피하는 것을 돕는다.

[0112] 애노드 (16) 를 얻는 방법에서, 인접한 세그먼트들 (23a-e) 사이의 분리는 도 9 및 도 10 에 도시된 바와 같이 무시된다. 각각의 세그먼트 에지 (24a-h) 는 2차 다항식이다. 제 1 방향 (x) 에서 볼 때, 각 세그먼트 에지 (24a-h) 의 제 1 전극 에지 (25) 에서의 한 지점이지만 마지막은 다음 세그먼트 에지 (24a-h) 의 공통 값 (y_0) 에서의 지점과 동일한 좌표 값 (x) 에 있다. 세그먼트들 (23a-e) 의 수 및 애노드 (16) 의 치수들도 고정된다. 이러한 제약들 내에서, 세그먼트 에지들 (24a-h) 을 정의하는 2차 다항식들의 계수들 뿐만 아니라, 클램프에 대한 전위차 Uc_i 를 찾는 것이 남아 있으며, 여기서 i 는 제 1 방향 (x) 에서 인접 세그먼트 (23a) 로부터 카운팅되는 세그먼트 (23a-e) 의 수를 나타낸다.

[0113] 제 1 방향 (x) 에서 볼 때, i 번째 세그먼트의 중심에서 배스를 가로지르는 전위차는 Umb_i 이다. 피가공물 (3) 상의 표면 층 내의 대응하는 위치와 클램프 위치 사이의 전압 차이는 Um_i 이며, 여기서 클램프는 원점에 있는 것으로 가정된다. 즉 $\boldsymbol{x} = 0$ 이다. 도 9 를 참조하면, 다음과 같은 수학식들이 얻어진다.

[0114] $$Umb = Uc - Um \qquad (1).$$

[0115] $$Um = \frac{{}^{a}/_{3}(x_{i+1}^{3} - x_i^{3}) + {}^{b}/_{2}(x_{i+1}^{2} - x_i^{2}) + c(x_{i+1} - x_i)}{x_{i+1} - x_i} \qquad (2).$$

[0116] 점선 그래프 (도 9) 는 전압 목표 분포를 나타낸다. Um 은 단순히 세그먼트들 (23a-e) 중 특정한 하나에 대향하는 피가공물 (3) 상의 표면 층의 세그먼트에서의 평균 전압이다. 표면층에서의 전압 강하는 2차 다항식이다.

[0117] 설계 프로세스의 제 1 단계 (34) (도 7) 에서, 설계 파라미터들이 획득된다. 이들은 피가공물 (3) 상의 도전 물질 층의 두께, 제 1 방향 (x) 및 제 2 방향(y) 에서의 피가공물 (3) 의 치수들, 전해액의 저항률, 피가공물 (3) 의 표면과 애노드 (16) 의 표면 사이의 거리 및 피가공물(3) 상의 도전 물질의 저항률을 포함한다. 추가적인 요건은 공칭 전류 밀도 평균 (nominal current density average) 이며, 이 평균은 애노드 (16) 의 영역에 걸쳐 있다. 이 결과로부터, 각각의 세그먼트 (23a-e) 에 대한 목표 전류 밀도 평균들은 다음 식에 따른다.:

[0118] $$CDA[i] = m \cdot i^p + n \qquad (3).$$

[0119] 여기서, i 는 세그먼트 수이고, p 는 경험적으로 결정된고정된 값이며, m 및 n 에 대한 값은 시행 착오를 통해 결정되는 최종 세그먼트 (예를 들어 예시된 실시예에서 i = 5) 에 대한 공칭 전류 밀도 평균값과 첫 번째 세그먼트 (i = 1) 에 대한 특정 값을 취하는 것이다. 이러한 과정은 도 11 및 도 12 에 도시되어 있다. 도 11 은 제 1 세그먼트 *CDA[1]* 에서 전류 밀도 평균에 대해 너무 큰 값을 취한 결과를 도시한다. 도 12 는 이 값을 적절한 값으로 하향 조정한 결과를 보여준다. 다른 모든 세그먼트들 (23a-e) 에 대한 전류 밀도 평균의 값들은 식 (3)을 사용하여 획득된다.

[0120] 다음 단계 (35) 에서, 세그먼트 에지들의 경로들의 형상들이 결정된다.

[0121] 도 8 에 도시된 바와 같이, 이 단계 (35) 는 식 (3) 에 따라 각 세그먼트 (23a-e) 에 대한 목표 전류 밀도 평균의 초기화 (단계 36) 및 계산 (단계 37) 을 포함한다.

[0122] 그런 다음 일련의 단계들을 반복한다.

[0123] 먼저 (단계 38), 전류 밀도 평균이 각각의 세그먼트 (23a-e) 에 대해 계산된다. 이는 제 1 절반부 (28) 를 제 1 방향 (x) 에서 근위 전극 에지 (22) 로부터 반대 쪽의 에지로 연장되는 좁은 스트립들로 분할하는 것을 포함하며, 각각의 스트립은 제 2 방향 (y)으로 비교적 작은 치수를 갖는다. 전압 강하 기능 및 세그먼트 전압들 Uc_i 의 값들에 의해, 각각의 세그먼트 (23a-e) 에 대한 전류 기여들은 그 좁은 스트립에 대해 계산될 수 있다. 모든 좁은 스트립들의 기여들은 그 후 각각의 세그먼트 (23a-e) 에 대한 전류를 구하기 위해 합산되고, 이는 그 세그먼트의 영역으로 분할된다. 결과값들은 목표값들과 비교되고, 값들 Uc_i 은 편차들을 감소시키도록 조정된다 (단계 39). 계산 (단계들 39, 38) 은 세그먼트들 (23a-e) 에 대한 전류 밀도 평균들을 목표 값들에 더 가깝게 또는 다른 정지 기준 (예를 들어, 특정 반복 횟수) 이 충족될 때까지 반복된다.

[0124] 다음 (단계 40), 세그먼트 에지들 (24a-h) 이 조정된다.

[0125] 도 10 은 애노드 (16) 의 제 1 절반부 (28) 를 도시한다. 점선들은 피가공물 (3) 이 제 2 방향 (y) 에서 이동됨에 따라 피가공물 (3) 상의 지점이 면하는 경로들에 대응한다. 전기도금 공정에서 성막되는 금속의 양은 전하 (Q) 에 비례한다. 전하 (Q) 는 전류 (I) 에 시간 (t) 을 곱한 것으로 정의된다.

[0126] $$Q = I \cdot t \qquad (4).$$

[0127] 피가공물 (3) 의 속도 (v) 는 일정하다고 가정한다.

[0128] $$v = L/t \qquad (5)$$

[0129] 여기서 L 은 제 2 방향 (y) 에서 애노드 (16) 의 제 1 절반부 (28) 의 치수이다. 제 1 방향 (x) 에서의 각각의 위치에서, 시간 (t) 은 동일하여, 전하는 단지 하나의 세그먼트 (23a-e) 를 지나 이동하는 피가공물 (3) 상의 각각의 지점에 대한 전류 (I) 와 길이 (L) 의 곱이다.

[0130] 제 1 방향 (x) 에서 각각의 위치 ($x[i]$) 에 대해 동일한 금속 성막을 달성하기 위해, 수집된 전하 (Q) 는 동일해야 한다. 이것은 다음의 제약들을 수반한다.

$$L_{S5,x[i]} \cdot I_{S5,x[i]} + L_{S4,x[i]} \cdot I_{S4,x[i]} = Q[i] \cdot v,$$

$$L_{S5,x[i+1]} \cdot I_{S5,x[i+1]} + L_{S4,x[i+1]} \cdot I_{S4,x[i+1]} = Q[i+1] \cdot v,$$

[0131] $$L_{S5,x[i+2]} \cdot I_{S5,x[i+2]} + L_{S4,x[i+2]} \cdot I_{S4,x[i+2]} = Q[i+2] \cdot v,$$

[0132] 여기서, v 및 Q는 상수이다.

[0133] 애노드 세그먼트들 (23a-e) 은 y 방향에서 연장되는 동일한 크기의 좁은 스트립들로 분할된다. 각각의 스트립은 2개의 이웃하는 세그먼트들 (23a-e) 을 통해 연장된다. 이 세그먼트들 (23a-e) 이 상이한 전압들에 있기 때문에, 피가공물 (3) 에 진입하는 로컬 전류들 또한 상이하다. 피가공물 (3) 이 전체 애노드 (16) 의 전방에서 통과한다는 사실을 반영하여, 스트립들을 따른 전류들은 합산된다.

[0134] 피가공물 (3) 상의 도전층은 저항들의 1차원 체인으로서 모델링되고, 각 저항은 하나의 스트립과 다음 스트립 사이의 거리에 대응하는 x 방향에서의 길이를 갖는다. 이를 통해 저항들의 체인의 노드들에서 들어가는 것으로서 전류들을 모델링할 수 있게 한다. 이 결과로부터 전압강하를 통해 새로운 전압 강하 함수를 계산할 수 있다. 이 함수는 설명된 바와 같이 2차 다항식이다. 이 다항식의 계수들은 대응하는 2차 다항식들인 세그먼트 에지들 (24a-h) 의 형상들을 결정한다. 제 2 단계 (40) 에서 얻어진 세그먼트 에지들 (24a-h) 의 새로운 형상들에 의해, 방법은 세그먼트 전압들 (Uc_i) 의 계산으로 복귀한다 .

[0135] 반복들은 정지 기준(break-off criterion) (예를 들어, 고정된 반복 들의 횟수, 목표 값들로부터의 전류 밀도 평균들의 특정 최대 편차 등) 이 충족될 때까지 반복된다. 하나의 특정 실시예에서의 정지 기준은 세그먼트 에지들 (24a-h) 을 조정하는 단계 (40) 에서 정의된 스트립들의 각각의 전류 기여들은 동일하다 (또는 미리 결정된 최대 허용 편차보다 작도록 상이함) 는 것이다.

[0136] 선택적인 추가 단계 (41) (도 7) 에서, 전류 밀도는 피가공물 (3) 의 표면에 걸친 시뮬레이션에 의해 계산된다. 차폐 플레이트 (19) 의 투과성은 그 후 평균값으로부터 전류 밀도의 편차들을 감소시키도록 국부적으로 조정된다 (선택적 단계 42). 이는 세그먼트 에지들 (24a-h) 의 형상의 계산에서 무시된 인접한 세그먼트들 (23a-e) 사이의 분리를 고려한다. 차폐 플레이트(19) 에 대한 최적의 개구 분포에 도달하기 위해 2 개의 단계 (41, 42) 가 반복적으로 수행된다.

[0137] 마지막으로 (단계 43), 애노드들 (16) 은 설계에 따라 제조된다.

[0138] 이러한 공정에서 설계된 애노드(16) 의 시뮬레이션은, 에지들 (8, 9) 에서의 작은 스트립들을 제외하고는, 평균 전류 밀도로부터의 편차가 제 1 방향 (x) 에서 피가공물 (3) 의 범위에 걸쳐 5% 이내로 유지되는 것을 보여준다 (도 13).

[0139] 본 발명은 위에서 설명된 실시예들에 제한되지 않으며, 이는 첨부된 청구항들의 범위 내에서 변경될 수 있다. 전류 밀도의 균일성의 향상은 예를 들어 상술한 차폐 플레이트(19) 없이도 달성된다.

부호의 설명

[0140] **참조 번호 목록**

1 - 장치

2a-d - 셀

3a-f - 피가공물

4 - 인클로저

5a-c - 롤러

6 이송 시스템

7 클램프

8a-f - 근위 피가공물 에지

9a-d - 원위 피가공물 에지

10 벨트

11a-b 드럼

12 아암

13 코어부

14 코어부 차폐

15 코어부 표면 섹션

16 - 애노드

17 - 상부층

18 - 하부층

19 차폐 플레이트

20 클램프 애노드

21 - 클램프 애노드 표면

22 - 근위 전극 에지

23a-e 세그먼트

24a-h - 세그먼트 에지

25 제 1 전극 에지

26 - 제 2 전극 에지

27 대칭선

28 - 제 1 절반부

29 제 2 절반부

30a-f - 전기 접촉부

31a-g - 패스너

32 - 근위 차폐 플레이트 에지

33 - 원위 차폐 플레이트 에지

34 - 단계 (설계 파라미터들 획득)

35 - 단계 (경로 형상들 결정)

36 - 단계 (초기화)

37 - 단계 (각 세그먼트에 대한 목표 전류 밀도 평균 계산)

38. - 단계 (각 세그먼트에 대한 실제 전류 밀도 평균값들 결정)

39 - 단계 (세그먼트 전압들 조정)

4. - 단계 (새 세그먼트 에지 형상들 결정)

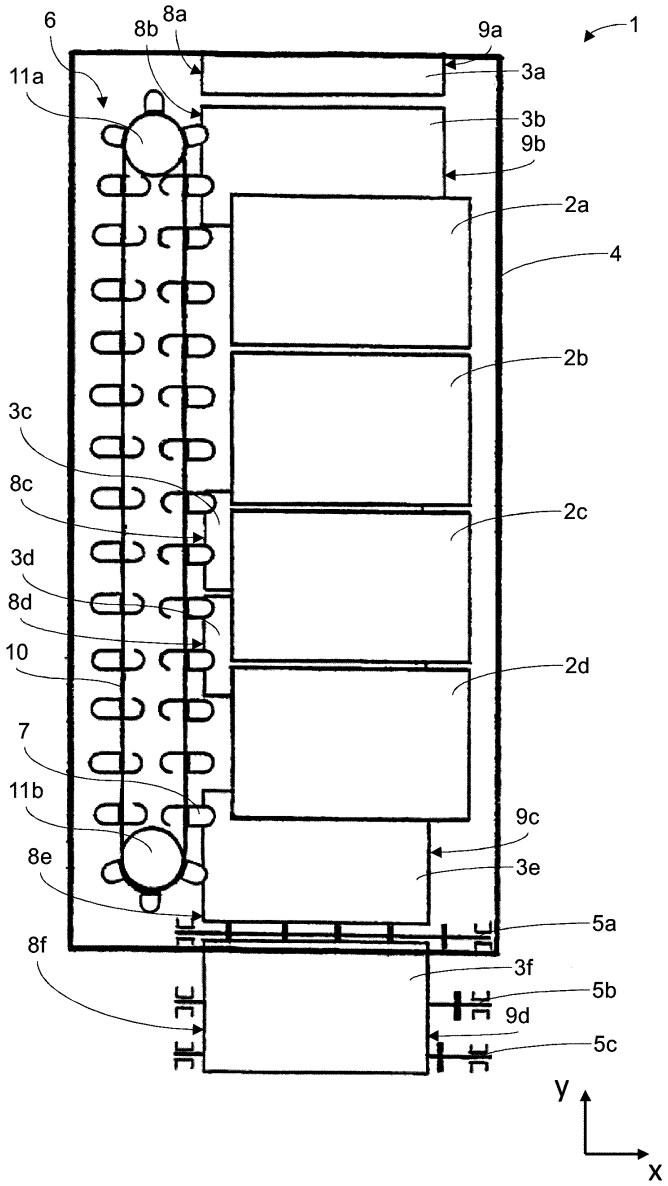
4. - 단계 (시뮬레이션 수행)

42 - 단계 (차폐 플레이트 최적화)

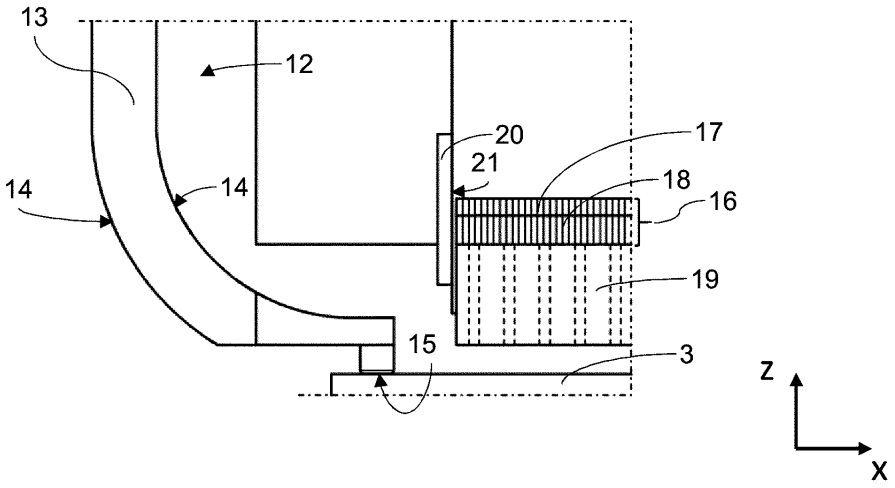
43 - 단계 (설계용 애노드 제조)

도면

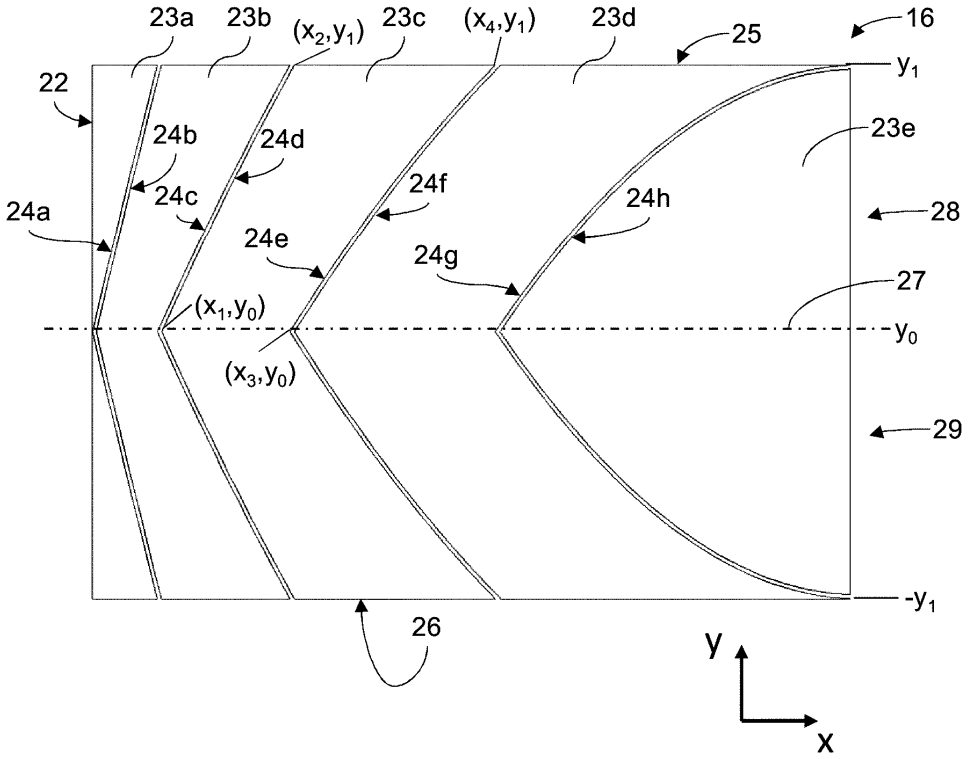
도면1


6
8b
8a
9a
1
11a
3a
3b
9b
2a
4
2b
3c
8c
2c
3d
8d
10
2d
7
11b
9c
8e
3e
5a
8f
3f
5b
9d
5c
y
x

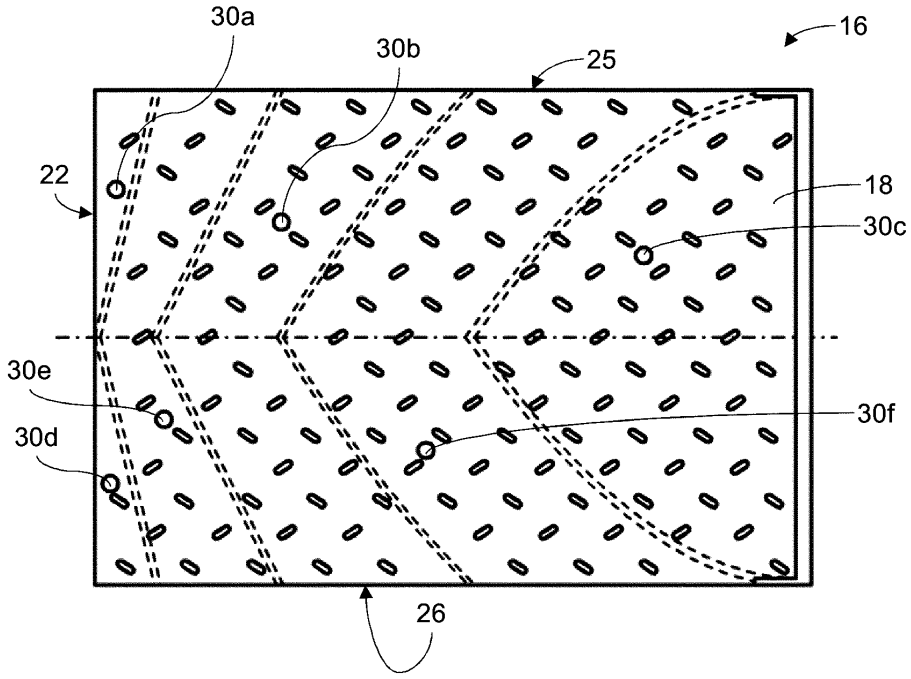
도면2


13
12
14
14
20
21
17
18
16
19
15
3
z
x

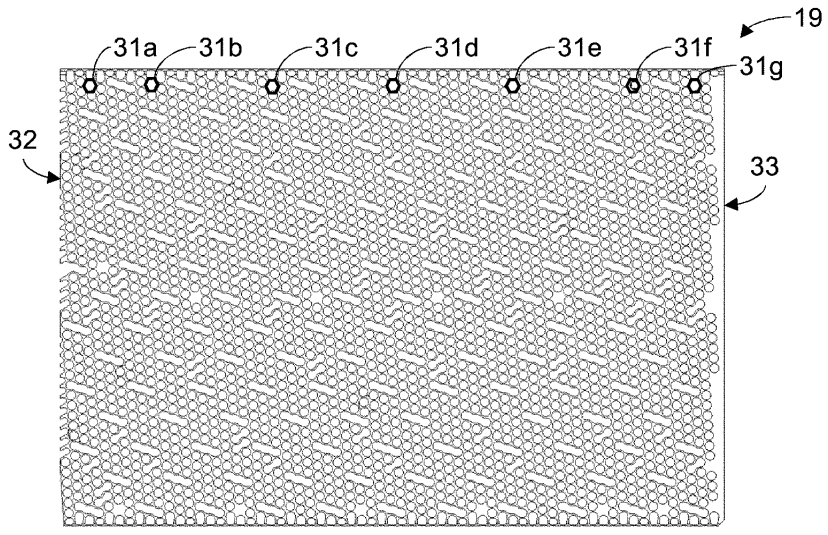
도면3


23a
23b
(x_2,y_1)
23c
(x_4,y_1)
23d
25
16
y_1
22
24b
24d
23e
24c
24f
24h
28
24a
24e
24g
27
(x_1,y_0)
y_0
(x_3,y_0)
29
$-y_1$
26
y
x

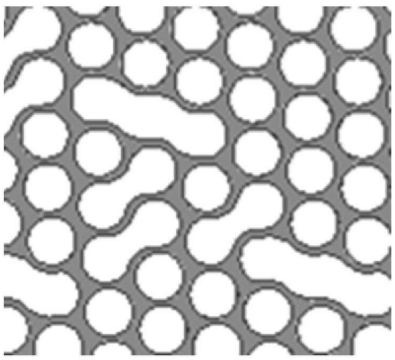
도면4


30a
30b
25
16
22
18
30c
30e
30f
30d
26

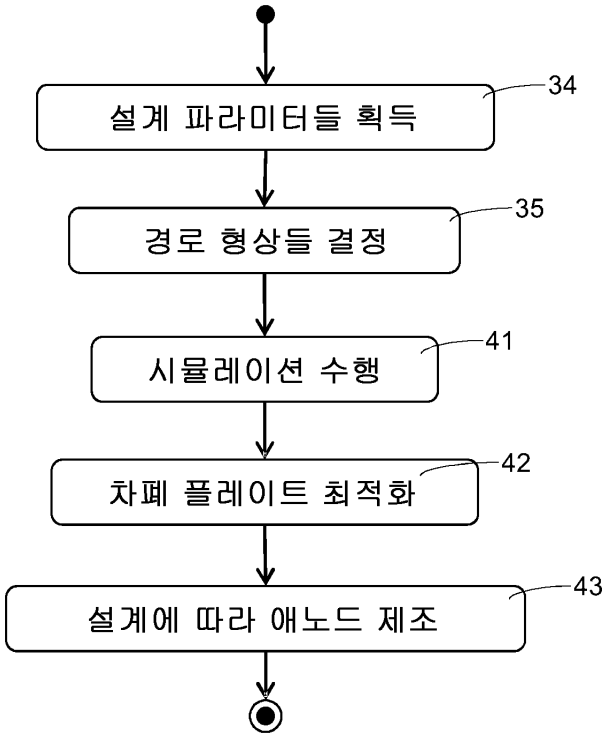
도면5


19
31a
31b
31c
31d
31e
31f
31g
32
33

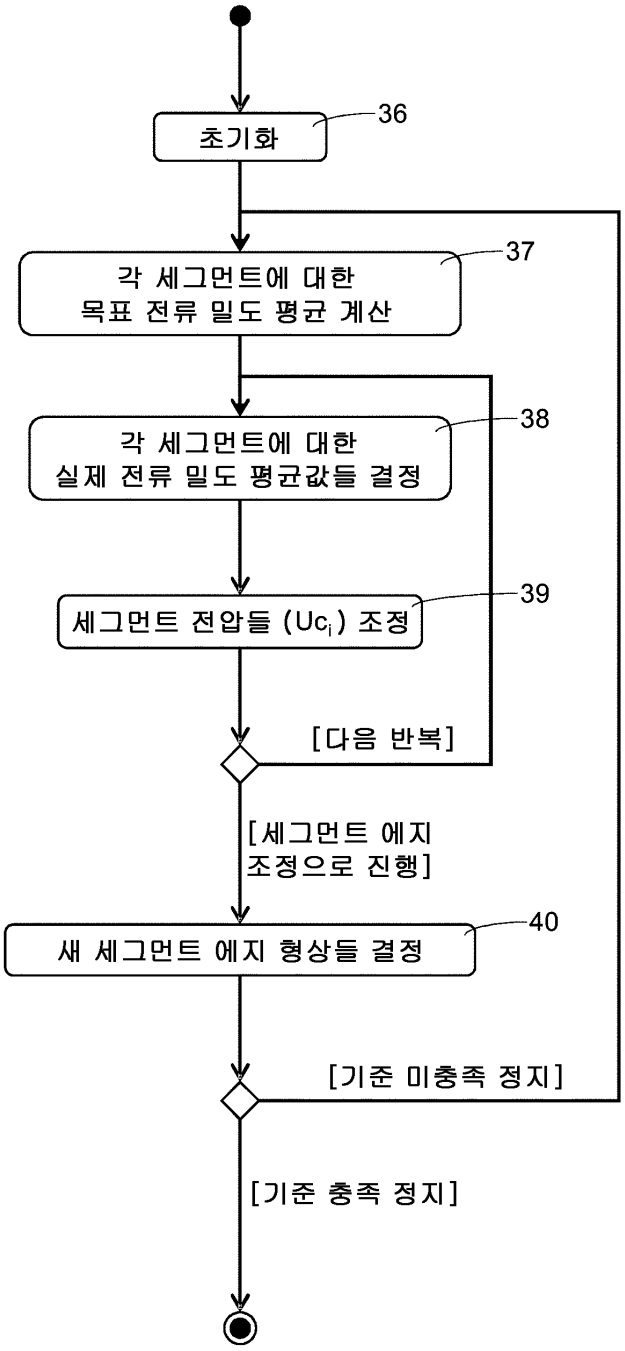
도면6



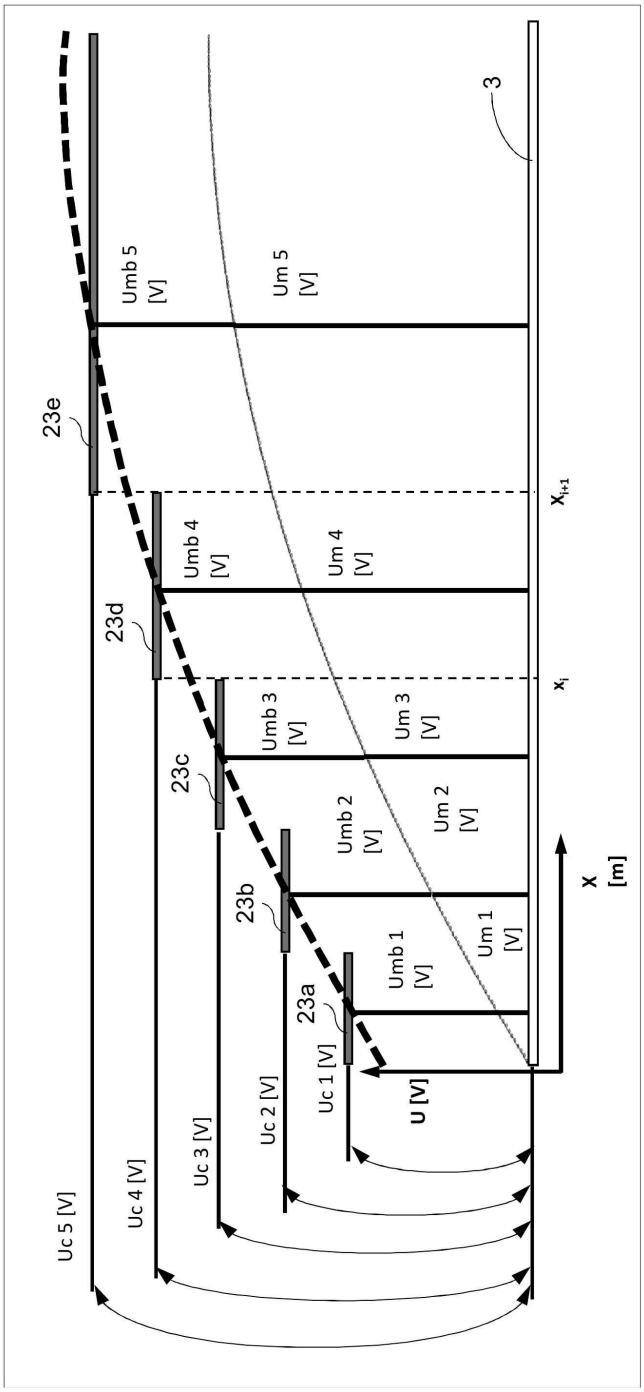
도면7


설계 파라미터들 획득
34
경로 형상들 결정
35
시뮬레이션 수행
41
차폐 플레이트 최적화
42
설계에 따라 애노드 제조
43

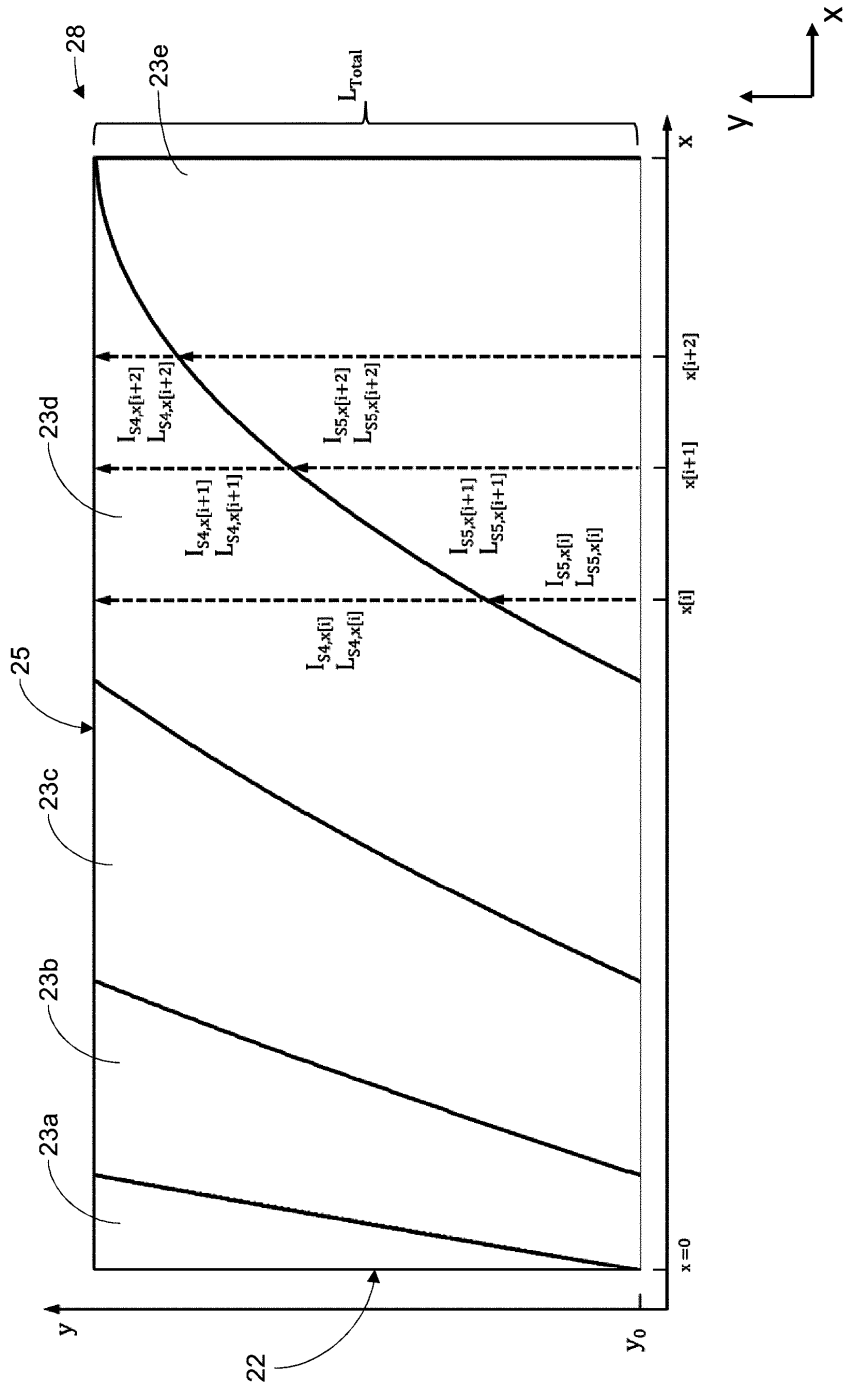
도면8


초기화
36
각 세그먼트에 대한
목표 전류 밀도 평균 계산
37
각 세그먼트에 대한
실제 전류 밀도 평균값들 결정
38
세그먼트 전압들 (Uc_i) 조정
39
[다음 반복]
[세그먼트 에지
조정으로 진행]
새 세그먼트 에지 형상들 결정
40
[기준 미충족 정지]
[기준 충족 정지]

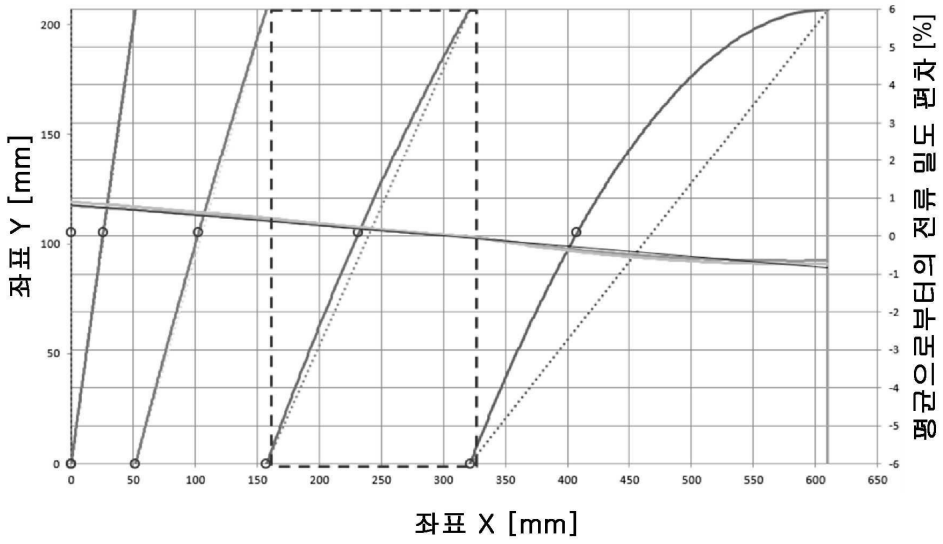
도면9


3
Umb 5 [V]
Um 5 [V]
23e
Umb 4 [V]
Um 4 [V]
23d
Umb 3 [V]
Um 3 [V]
23c
Umb 2 [V]
Um 2 [V]
23b
Umb 1 [V]
Um 1 [V]
23a
Uc 1 [V]
Uc 2 [V]
Uc 3 [V]
Uc 4 [V]
Uc 5 [V]
U [V]
x [m]
x_{i+1}
x_i

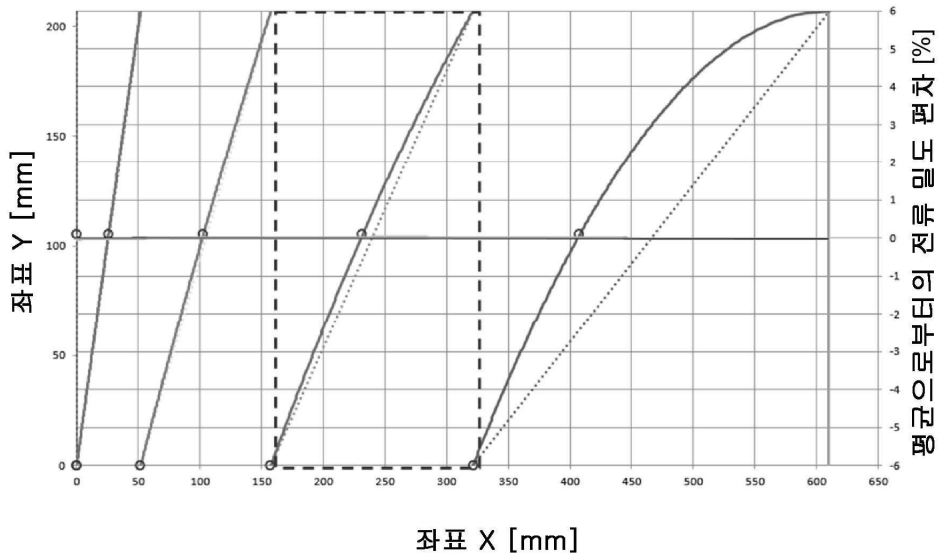
도면10


28
23e
L_{Total}
x
y
23d
23c
23b
23a
25
22
y_0
x=0
x[i]
x[i+1]
x[i+2]
$I_{S4,x[i+2]}$ $L_{S4,x[i+2]}$
$I_{S4,x[i+1]}$ $L_{S4,x[i+1]}$
$I_{S4,x[i]}$ $L_{S4,x[i]}$
$I_{S5,x[i+2]}$ $L_{S5,x[i+2]}$
$I_{S5,x[i+1]}$ $L_{S5,x[i+1]}$
$I_{S5,x[i]}$ $L_{S5,x[i]}$

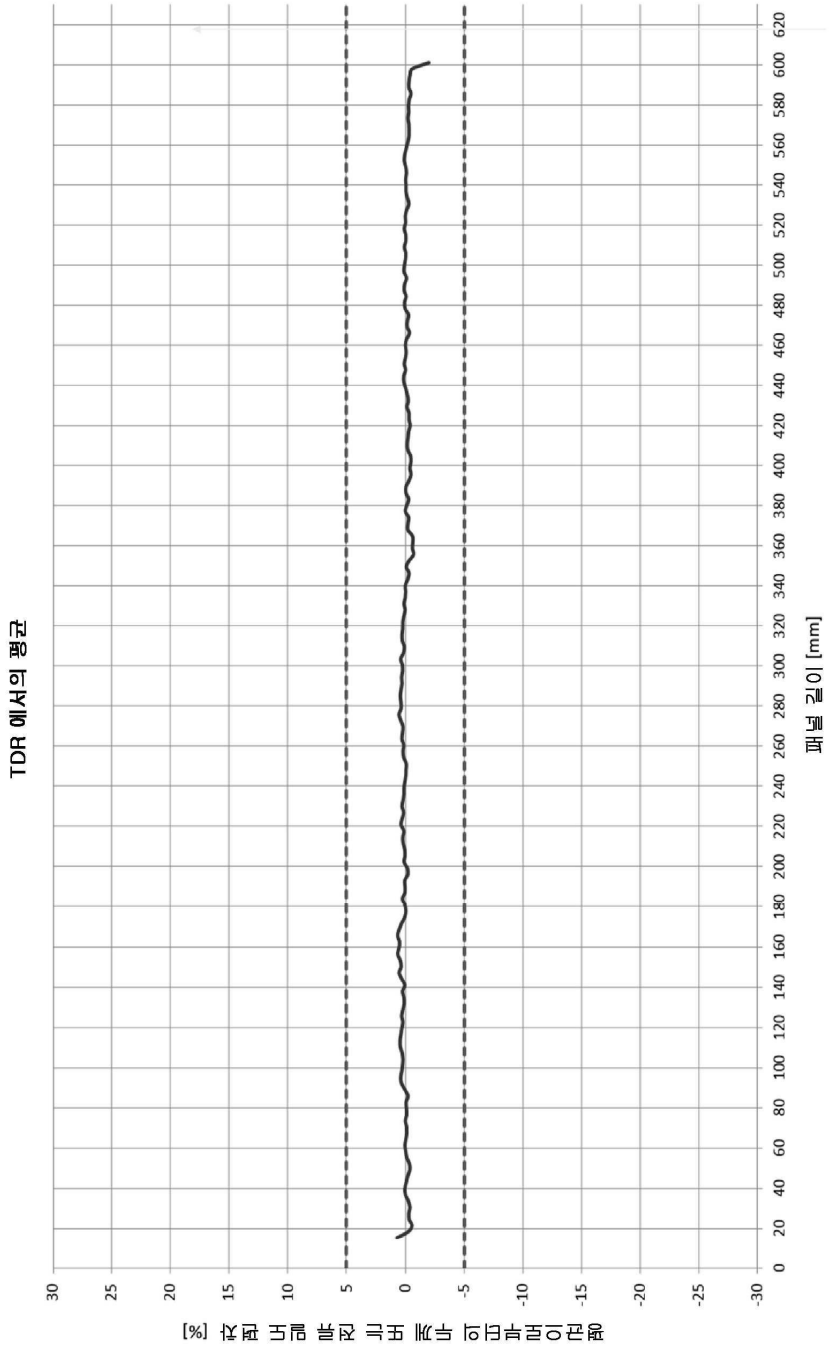
도면11



도면12



도면13


TDR 에서의 평균
패널 길이 [mm]
평균으로부터의 두께 또는 전류 밀도 편차 [%]
0
20
40
60
80
100
120
140
160
180
200
220
240
260
280
300
320
340
360
380
400
420
440
460
480
500
520
540
560
580
600
620
30
25
20
15
10
5
0
-5
-10
-15
-20
-25
-30