

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2013-520016

(P2013-520016A)

(43) 公表日 平成25年5月30日 (2013.5.30)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 21/822 (2006.01)	H01L 27/04 C	5F038
H01L 27/04 (2006.01)	H01L 27/04 A	5F048
H01L 21/8234 (2006.01)	H01L 27/06 1O2A	
H01L 27/06 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 16 頁)

(21) 出願番号 特願2012-553032 (P2012-553032)
 (86) (22) 出願日 平成23年2月11日 (2011.2.11)
 (85) 翻訳文提出日 平成24年10月10日 (2012.10.10)
 (86) 国際出願番号 PCT/US2011/024522
 (87) 国際公開番号 W02011/106176
 (87) 国際公開日 平成23年9月1日 (2011.9.1)
 (31) 優先権主張番号 12/705, 185
 (32) 優先日 平成22年2月12日 (2010.2.12)
 (33) 優先権主張国 米国 (US)

(71) 出願人 591016172
 アドバンスト・マイクロ・ディバイズ・
 インコーポレイテッド
 ADVANCED MICRO DEVI
 CES INCORPORATED
 アメリカ合衆国、94088-3453
 カリフォルニア州、サニペール、ピー・
 オウ・ボックス・3453、ワン・エイ・
 エム・ディ・プレイス、メイル・ストップ
 ・68 (番地なし)
 (74) 代理人 100108833
 弁理士 早川 裕司
 (74) 代理人 100111615
 弁理士 佐野 良太

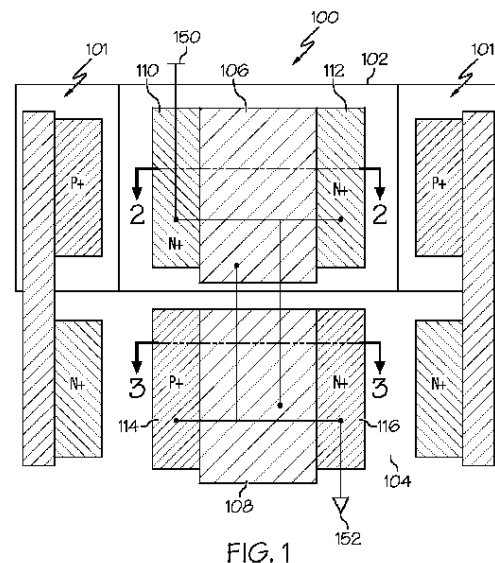
最終頁に続く

(54) 【発明の名称】 連続ウェルデカップリングコンデンサのためのシステムおよび方法

(57) 【要約】

デカップリングコンデンサは、反対極性のウェル (102、104) 内に形成された一対のMOSコンデンサ (106、108) を含む。各MOSコンデンサは、1組のウェル接続部および高ドーズ注入部 (110、112、114、116) を有し、これにより、蓄積バイアスまたは空乏バイアス下における高周波性能が可能となる。各MOSコンデンサの上側導体は、他方MOSコンデンサのウェル接続部へと電氣的に接続され、論理トランジスタウェルによって連続してバイアスされる。前記MOSコンデンサのウェル接続部および/または高ドーズ注入部は、ドーパント極性について非対称性を示す。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

デカップリングコンデンサ構造であって、

第 1 のドーパント極性を有する第 1 のウェルであって、第 1 の高ドーズ注入部が形成された第 1 のウェルと、

前記第 1 のウェルに隣接する第 2 のウェルであって、前記第 1 のドーパント極性と反対の第 2 のドーパント極性を有し、第 2 の高ドーズ注入部が形成されている、第 2 のウェルと、

前記第 1 の高ドーズ注入部および前記第 2 の高ドーズ注入部の上に形成された少なくとも 1 つの絶縁層と、

前記第 1 のウェル内に形成された第 1 の組のウェル接続部と、

前記第 2 のウェル内に形成された第 2 の組のウェル接続部と、

前記第 1 の高ドーズ注入部に隣接する前記第 1 のウェル上に形成された第 1 の導体と、

前記第 2 の高ドーズ注入部に隣接する前記第 2 のウェル上に形成された第 2 の導体と、
を含み、

前記第 1 の組のウェル接続部および前記第 2 の導体は第 1 の電気ノードに共通に接続され、前記第 2 の組のウェル接続部および前記第 1 の導体は第 2 の電気ノードに共通に接続され、

前記第 1 の組のウェル接続部、前記第 2 の組のウェル接続部および前記高ドーズ注入部のうち少なくとも 1 つは、ドーパント極性について非対称である、
デカップリングコンデンサ構造。

【請求項 2】

前記第 1 の電気ノードは供給電圧ノードに対応し、前記第 2 の電気ノードは接地ノードに対応する、請求項 1 に記載のデカップリングコンデンサ構造。

【請求項 3】

前記第 2 のウェルは P 材料を含み、前記第 1 のウェルは、前記 P 基板材料内に形成された N 型領域を含む、請求項 1 に記載のデカップリングコンデンサ構造。

【請求項 4】

前記第 2 の組のウェル接続部は、P+ドーパント極性を有する第 1 のウェル接続部と、N+ドーパント極性を有する第 2 のウェル接続部とを含む、請求項 3 に記載のデカップリングコンデンサ構造。

【請求項 5】

前記第 1 のウェルおよび前記第 2 のウェルは、1 組の論理トランジスタの第 1 のウェルおよび第 2 のウェルそれぞれに対応する、請求項 1 に記載のデカップリングコンデンサ構造。

【請求項 6】

デカップリングコンデンサの形成方法であって、

第 1 のドーパント極性を有し、第 1 のウェル領域を規定する基板を提供するステップと、

前記第 1 のウェル領域に隣接する第 2 のウェル領域を前記基板内に形成するステップであって、前記第 2 のウェル領域は、前記第 1 のドーパント極性と反対の第 2 のドーパント極性を有する、ステップと、

前記第 1 のウェル領域内に第 1 の高ドーズ注入部を形成するステップと、

前記第 2 のウェル領域内に第 2 の高ドーズ注入部を形成するステップと、

前記第 1 のウェル内に第 1 の組のウェル接続部を形成するステップと、

前記第 2 のウェル内に第 2 の組のウェル接続部を形成するステップと、

前記第 1 の高ドーズ注入部および前記第 2 の高ドーズ注入部上に少なくとも 1 つ絶縁層を形成するステップと、

前記第 1 のウェル領域上に第 1 の導体をおよび前記第 2 のウェル領域上に第 2 の導体を形成するステップと、

前記第 1 の組のウェル接続部および前記第 2 の導体を相互接続して、第 1 の電気ノードを規定するステップと、

前記第 2 の組のウェル接続部および前記第 1 の導体を相互接続して、第 2 の電気ノードを規定するステップと、

を含み、

前記第 1 の高ドーズ注入部、前記第 2 の高ドーズ注入部、前記第 1 の組のウェル接続部および前記第 2 の組のウェル接続部のうち少なくとも 1 つは、ドーパント極性について非対称となるように、形成される、方法。

【請求項 7】

10

前記第 1 の電気ノードは供給電圧ノードに対応し、前記第 2 の電気ノードは接地ノードに対応する、請求項 6 に記載の方法。

【請求項 8】

前記第 2 のウェルは P 材料を含み、前記第 1 のウェルは、前記 P 基板材料内に形成された N 型領域を含む、請求項 6 に記載の方法。

【請求項 9】

前記第 2 の組のウェル接続部は、P+ドーパント極性を有する第 1 のウェル接続部と、N+ドーパント極性を有する第 2 のウェル接続部とを含む、請求項 8 に記載の方法。

【請求項 10】

前記第 1 のウェルおよび前記第 2 のウェルは、少なくとも 1 組の論理トランジスタによって共有されるように、形成される、請求項 8 に記載の方法。

20

【請求項 11】

半導体デバイスであって、

第 1 のウェルおよび第 2 のウェル内に規則的パターンで配置された複数の論理素子であって、前記第 1 のウェルは、第 1 のドーパント極性を有し、前記第 2 のウェルは、前記第 1 のドーパント極性とは反対の第 2 のドーパント極性を有する、論理素子と、

前記規則的パターンに従って、前記第 1 のウェルおよび前記第 2 のウェル内に配置されたデカップリングコンデンサであって、前記デカップリングコンデンサは、前記第 1 のウェル内の第 1 の組のウェル接続部と、前記第 2 のウェル内の第 2 の組のウェル接続部と、前記第 1 のウェル内の第 1 の高ドーズ注入部上に形成された第 1 の導体と、前記第 2 のウェル内の第 2 の高ドーズ注入部上に形成された第 2 の導体とを含む、デカップリングコンデンサと、

30

を含み、

前記第 1 の組のウェル接続部および前記第 2 の導体は、第 1 の電気ノードに共通に接続され、前記第 2 の組のウェル接続部および前記第 1 の導体は、第 2 の電気ノードに共通に接続され、

前記第 1 の組のウェル接続部、前記第 2 の組のウェル接続部および前記高ドーズ注入部のうち少なくとも 1 つは、ドーパント極性について非対称であり、第 1 の高ドーズ注入部が内部に形成される、

半導体デバイス。

40

【請求項 12】

前記第 1 の電気ノードは供給電圧ノードに対応し、前記第 2 の電気ノードは接地ノードに対応する、請求項 11 に記載の半導体。

【請求項 13】

前記第 2 のウェルは P 材料を含み、前記第 1 のウェルは、前記 P 基板材料内に形成された N 型領域を含む、請求項 11 に記載の半導体。

【請求項 14】

前記第 2 の組のウェル接続部は、P+ドーパント極性を有する第 1 のウェル接続部と、N+ドーパント極性を有する第 2 のウェル接続部とを含む、請求項 13 に記載の半導体。

【請求項 15】

50

コンピュータによる読み出しが可能な命令を含むコンピュータによる読み出しが可能な媒体であって、前記コンピュータによる読み出しが可能な命令は、実行されると、デカップリングコンデンサを形成するための製造施設を構成するように適合され、

第1のウェル内の第1のMOSコンデンサと、

第2のウェル内の第2のMOSコンデンサであって、前記第1のMOSコンデンサの極性とは反対の極性を有する、第2のMOSコンデンサと、

前記第1のMOSコンデンサおよび第2のMOSコンデンサにカップルされた、少なくとも一对の非対称ウェル接続部と、
を含む、コンピュータによる読み出しが可能な媒体。

【請求項16】

前記少なくとも一对の非対称ウェル接続部は、反対極性の拡散領域を有する前記第1のMOSコンデンサと、同一極性の拡散領域を有する前記第2のMOSコンデンサとを含む、請求項15に記載の半導体。

【請求項17】

前記第1のウェルおよび第2のウェルはそれぞれ、少なくとも1組の論理トランジスタによって共有される、請求項15に記載のコンピュータによる読み出しが可能な媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書中に記載される内容の実施形態は、主に半導体部品に関し、より詳細には、このような部品と関連して用いられるデカップリングコンデンサに関する。

【背景技術】

【0002】

半導体部品内においてデカップリングコンデンサ（または「デカップ」）を組み込むことで、論理トランジスタの一領域を別の同様の領域から電氣的にデカップルすることが望ましい場合が頻繁にある。ほとんどの従来のデカップ設計の場合、接地ノードが低濃度ドープまたは中程度ドープのNウェルに接続され、蓄積してバイアスされる。このようにして、所望のデカップリング特性を提供しつつ、低Nウェル抵抗によって部品の高周波応答が向上される。

【0003】

しかし、公知のデカップ設計の場合、複数の局面において不満足な点がある。例えば、論理回路の場合、Nウェルを供給電圧へと電氣的に結合する必要がある。そのため、前記ウェル間の漏れ電流または極端な場合はラッチアップを回避するために、前記論理Nウェルと前記デカップNウェルとの間に空間が必要となる。さらに、論理トランジスタがNウェル縁部の近隣に有る場合、いわゆる「ウェル近接効果」（WPE）による影響を受ける。ウェル近接効果は、回路内の他のトランジスタに対する変動の望ましくない原因となる。

【0004】

さらに、デカップ構造を周囲論理の近隣に配置することが望ましいため、デカップは一般的に標準セル行内に設けられていることが多い。しかし、このような構成にした場合、Nウェル形状が変化し得、また、規則的なアレイパターンが干渉され得る。

【0005】

よって、向上したデカップ設計を提供することが望まれている。このデカップ設計は、周囲の論理素子に発生するウェル近接効果の変動を低減しつつ、標準セル行内に組み込むことが可能である。

【発明の概要】

【0006】

一般的に、多様な実施形態によるデカップリングコンデンサは、反対極性のウェル内に形成された、一对の金属酸化物半導体（MOS）コンデンサを含む。各MOSコンデンサは、1組のウェル接続部および高ドーズ注入部を含む。いくつかの実施形態において、前

10

20

30

40

50

記MOSコンデンサのうちの一方または両方に含まれる金属に加えてまたは前記金属の代わりに、第2の導電性材料（例えば、多結晶シリコンまたはケイ化物）が用いられ得る。前記MOSコンデンサのうちの一方または両方に含まれる酸化物に加えてまたは前記酸化物の代わりに、第2の絶縁材料（例えば、窒化ケイ素）が用いられ得る。一実施形態において、前記MOSコンデンサの絶縁材料の一部として、高誘電率酸化物が用いられる。各MOSコンデンサの上側導体は、他方のMOSコンデンサのウェル接続部へと電氣的にカップルされ、前記MOSコンデンサのウェル接続部および／または高ドーズ注入部は、そのドーパント極性について非対称である。

【0007】

一実施形態によるデカップリングコンデンサの形成方法は、以下のステップを含む：第1のドーパント極性を有し、第1のウェル領域を規定する基板を提供するステップと、前記第1のウェル領域に隣接する第2のウェル領域を前記基板内に形成するステップであって、前記第2のウェル領域は、前記第1のドーパント極性と反対の第2のドーパント極性を有する、ステップと、前記第1のウェル領域内に第1の高ドーズ注入部を形成するステップと、前記第2のウェル領域内に第2の高ドーズ注入部を形成するステップと、前記第1のウェル内に第1の組のウェル接続部を形成するステップと、前記第2のウェル内に第2の組のウェル接続部を形成するステップと、前記第1の高ドーズ注入部および前記第2の高ドーズ注入部のうちの一方または両方上に1つ以上の酸化物層を形成するステップと、前記第1のウェル領域上に第1の導体を形成し、前記第2のウェル領域上に第2の導体を形成するステップと、前記第1の組のウェル接続部および前記第2の導体を相互接続して、第1の電気ノードを規定するステップと、前記第2の組のウェル接続部および前記第1の導体を相互接続して、第2の電気ノードを規定するステップであって、前記第1の高ドーズ注入部、前記第2の高ドーズ注入部、前記第1の組のウェル接続部および前記第2の組のウェル接続部のうち少なくとも1つは、ドーパント極性について非対称となるように形成される、ステップ。

【0008】

本要旨は、選択されたコンセプトを簡単な形態で紹介するためのものである。これらのコンセプトについて、以下の詳細な説明において、さらに説明する。本要旨は、特許請求の範囲に記載の主要な特徴または本質的特徴特定することを意図しておらず、また、特許請求の範囲の決定の一助として用いられることも意図していない。

【0009】

以下の詳細な説明および特許請求の範囲を以下の図面と共に参照すれば、本発明のより完全な理解が得られ得る。図面中、類似の参照符号は、類似の要素を指す。

【図面の簡単な説明】

【0010】

【図1】一実施形態によるデカップリングコンデンサ（デカップ）設計の概念レイアウト図である。

【図2】図1の領域A-A'の概念断面図である。

【図3】図1の領域B-B'の概念断面図である。

【図4】別の実施形態による図1の領域A-A'の概念断面図である。

【図5】別の実施形態による図1の領域B-B'の概念断面図である。

【図6】別の実施形態による図1の領域A-A'の概念断面図である。

【図7】別の実施形態による図1の領域B-B'の概念断面図である。

【図8】多様な実施形態において用いられる複数の隣接するデカップリングコンデンサを示す概念レイアウト図である。

【図9】図1に示す実施形態の等価回路を示す回路図である。

【図10】例示的なデカップ実施形態における、インピーダンスと周波数との間の関係を示すグラフである。

【図11】例示的な実施形態における、電荷付与とドーパント濃度との間の関係を示すグラフである。

10

20

30

40

50

【発明を実施するための形態】

【0011】

以下の詳細な説明は、本質的に例示的なものに過ぎず、本発明または本出願の実施形態ならびにこのような実施形態の利用を制限することを意図していない。本明細書中用いられるような「例示的な」という表現は、「一例または例示」を意味する。本明細書中において例示的なものとして記述されている実行様態は全て、他の実行様態に比して好適または有利であるとは限らない。さらに、上記の技術分野、背景、要旨または以下の詳細な説明中に記載される明示的または暗示的な原理による拘束は全く意図されない。簡潔さのため、半導体処理（特に、CMOS処理）に関連する従来の技術については、本明細書中において詳述を控える。

10

【0012】

ここで、図1に示すレイアウト図を図2および3中に示す断面図と共に参照して、例示的なデカップリングコンデンサ（または「デカップ」）100は、CMOS構造の文脈において、1つ以上の近隣の論理領域101の近傍において一般的に形成される。論理領域101は、任意の数の従来の半導体論理部品を含み得る。

【0013】

デカップ100は、複数の領域101を相互にデカップルする機能を提供する。デカップ100は、2つの導体（典型的には、ポリシリコン導体）106および108を含む。これら2つの導体106および108は、対応するウェル102および104上に配置される。図示の実施形態において、ウェル104は、P基板ウェル（すなわち、P基板の一部から形成されたウェル）である。ウェル102は、Nウェル（すなわち、前記P基板内に形成されたN型ウェル）である。図示の実施形態に示すP領域は基板（例えば、ケイ素、GaAs、または他の適切な半導体基板）に対応するが、この構造は、拡散領域（例えば、ウェル接続部）を形成する目的のための「ウェル」としても機能する。よって、当該分野においてこの構造を「基板／ウェル」または「基板ウェル」と呼ぶことが多い点に留意されたい。

20

【0014】

図示のように、導体106は、2つの側部上（またはその周囲に沿った任意の他の適切な位置）で、Nウェル102内に形成された2つのN+拡散領域110および112により境界づけられている。同様に、導体108は、P+拡散領域114およびN+拡散領域116により境界づけられている。この実施形態において、拡散領域110、112、114および116は矩形であり、実質的に同一の面積、形状および方向を有する。概略的に描かれているように、N+拡散領域110、N+拡散領域112および導体108は、供給電圧ノード（または「VDD」）150へと接続され、P+拡散領域114、N+拡散領域116および導体106は、接地ノード（または「接地」）152へと接続される。よって、MOSコンデンサ300（図3に示す）は蓄積してバイアスされ、MOSコンデンサ200（図2に示す）は空乏バイアスされる。明確さのため、これらの構造間の電気接続性を得るために用いられる多様な導電性配線、電極および／または他の接点は図示していない。

30

【0015】

図2および図3を示すように、導体106に近接するN+拡散領域110および112間のNウェル102内に、注入領域202（この場合、高ドーズ、低エネルギー注入）を形成する。同様に、注入領域204を、P基板ウェル104内のP+拡散領域114とN+拡散領域116との間にかつ導体108に隣接して形成する。注入領域202および204は、同一の高ドーズ注入部から形成してもよいしあるいは異なる高ドーズ注入部から形成してもよく、所望の挙動に応じたN型またはP型の化学種注入であり得る。一実施形態において、表面濃度が約 $3 \times 10^{19} / \text{cm}^3$ であるN型注入が用いられる。一般的に、注入条件の選択の際、活性表面ドーパント濃度が少なくとも $1 \times 10^{19} / \text{cm}^3$ となるように、注入条件が選択される。高活性表面ドーパント濃度により、MOSコンデンサが空乏バイアスされた際、空乏領域のサイズが低減され、これにより、高周波キャパシタンスが増

40

50

加する。また、高ドーズ注入部の存在により直列抵抗も低下し、これにより、前記デカップの高周波デカップリングがさらに向上する。

【0016】

よって、拡散領域110、112、114および116は、ウェル接続部として（すなわち、各ウェルをVDD150または接地152のいずれかへと接続する接続部として）機能する。一方、非対称P+拡散領域114は、デカップのラッチアップおよび近隣論理101に対して有効に保護する。さらに、模式的に示すように、Nウェル102と、P基板ウェル104との間にウェルキャパシタンス210が形成される。このキャパシタンス210は、前記回路のデカップリングとして寄与する。

【0017】

その後、一般的に、デカップ100は、ウェル内に形成された2つのMOSコンデンサとして特徴付けられ得る。これらのウェルは、反対の極性を有し、かつ、少なくとも一对の非対称ウェル接続部を有する（かまたは他の点において非対称である）。すなわち、1つのMOSコンデンサ200は、導体106、酸化物203およびNウェル102によって形成されるのに対し、別のMOSコンデンサ300は、導体108、酸化物203（または酸化物203とは別の酸化物層）およびP基板ウェル104によって形成される。ウェル接続部領域110、112、114および116は、MOSコンデンサ200は同一極性の拡散部（110および112）を有する一方、MOSコンデンサ300が反対の極性の拡散部（114および116）を有する点において非対称である。

【0018】

図4および図5は、MOSコンデンサ200および300それぞれの別の実施形態を示す。この実施形態において、Nウェル102内の注入部はP+注入404であり、ウェル接続部の非対称性は、Nウェル102内のP+注入402によって提供される。この実施形態において、MOSコンデンサ300は、2つのP+ウェル接続部114および502を含む。よって、この実施形態において、MOSコンデンサ200は蓄積的にバイアスされ、MOSコンデンサ300は空乏バイアスされる。

【0019】

図6および図7に示すさらに別の実施形態において、別個の注入部202および504が各MOSコンデンサのために用いられる（すなわち、注入部202が空乏状態、N型注入状態となり得、注入部504はP型注入部である）。このような実施形態において、MOSコンデンサ200および300はどちらも、空乏モードにおいてバイアスされる。

【0020】

用いられる実施形態に関係無く、図示の設計は、近隣論理領域101内の全てまたは実質的に全ての標準セルトランジスタが同一の一次元ウェル近接効果を経験する点において、有利である。さらに、デカップ100は領域101に比較的に近接して設けることができるため、設計全体の密度およびデカップリング有効性が、従来のデカップ方法と比較して向上する。

【0021】

さらに、特定のデカップ100そのものは、x軸またはy軸のいずれかに沿って反射されたミラードインスタンスとして構成され得る。これを図8に示す。図8は、例示的なデカップ100を標準セル行内において任意の位置および標準セル高さで配置している様子を示す。領域802は、例えば、1組の3つの隣接するデカップ100を、それらの長手方向軸が互いに平行でかつ（y軸に対して）平行に向いた状態となるように配置している様子を示す。逆に、領域804は、2つの隣接するデカップ100が共線状の長手方向軸と共に（かつy軸に対して平行に）方向付けられている様子を示す。

【0022】

ウェル102および104の縁部は連続的であり、かつ、実質的に複数のトランジスタを越える距離（例えば、数百ナノメートルまたはミクロン以上の距離）にわたって直線状に延び、これにより、レイアウト依存型のWPEが最小化されることが明らかである。デカップ100は、ウェル102および104を周囲の論理回路101のためにVDDおよ

10

20

30

40

50

び接地ノードへとそれぞれ電氣的にカップルさせるため、論理回路101のための専用ウェル接点は不要である。そのため、ウェルキャパシタンス210は、論理回路101の領域内のウェル102および104からの寄与を含み、その結果、ウェル102および104のサイズに応じて、極めて低波キャパシタンス（例えば、0.1~100fF）に繋がり得る。フィラーセル806および808は、隣接列のために設けられ、同一極性のデカップ100の隣接するMOSコンデンサを共に延ばさせることにより、面積毎のデカップリングキャパシタンス密度を増加させる。

【0023】

上記に示した多様な実施形態は、多様な様態（例えば、当該分野において公知の標準的CMOS処理ステップおよびフォトリソグラフィ）で製造することができる。一実施形態において、高ドーズ、低エネルギー注入部202および204は、ゲート処理の前に行われ得る。その場合、これらのドーパントは、ソースおよびドレインのアニール時において活性化させてもよいし、あるいは、別個のアニールステップにおいて活性化させてもよい。

【0024】

図9は、図1~図3に示す実施形態の等価回路900を示す。図示のように、回路900は、MOSコンデンサ200に対応するキャパシタンス C_N と、Nウェル102とP基板ウェル104との間の接合キャパシタンスに対応するキャパシタンス C_J （すなわち、コンデンサ210）と、MOSコンデンサ300に対応するキャパシタンス C_P とを含む。回路900はまた、Nウェル102の抵抗に対応する抵抗 R_{NN} と、ケイ素(CAB)に対する複数の金属接点と、CAB抵抗に対応する抵抗 R_{NP} と、注入領域204の抵抗と、CABに対応する抵抗 R_{PP} と、P基板ウェル104抵抗とを含む。

【0025】

表面濃度が $3 \times 10^{19} / \text{cm}^3$ である場合の、特定の推定パラメータ（すなわち、 $R_{NN} = 44.5 \Omega$ 、 $R_{PP} = 1879.4 \Omega$ 、 $R_{NP} = 98.8 \Omega$ 、 $C_N = 0.8 \text{ fF}$ 、 $C_P = 2.8 \text{ fF}$ 、および $C_J = 0.22 \text{ fF}$ ）についての等価回路900の挙動を図10および図11に示す。図10は、回路（曲線1003）のインピーダンスと従来のデカップ回路（曲線1001）のインピーダンスとの間の関係を周波数の関数として示す。従来のデカップは、従来のプロセスによって蓄積バイアスされたnウェル内の単一のMOSコンデンサである。従来のデカップの場合、図1~図3に示す実施形態と同じレイアウト占有面積を有するが、論理回路101までの空間をより大きくとる必要があり、また、隣接トランジスタへのWPE変動も発生する。理解されるように、広範囲の周波数にわたって、インピーダンスは従来のデカップのものに匹敵する。およそ400GHzを越えると、インピーダンスは、従来のプロセスと比較して大幅に低下する。図11は、従来のデカップの電荷付与に対して正規化した（100GHzにおける）電荷付与の変化と、デカップ注入領域（すなわち、領域202および204）における表面ドーパント濃度とを示す。曲線1102は、上記したモデルパラメータを示し、曲線1103は、より肉厚の酸化物およびパラメータ $C_N = 0.59$ および $C_P = 1.27 \text{ fF}$ を用いたモデルを示す。

【0026】

上記した多様な構造および方法は、例えば、データおよび命令（例えば、当該分野において公知のVerilog、HDL、GDSデータなど）を記憶する、コンピュータによる読み出しが可能な媒体（例えば、ROM、RAM、または他の記憶装置）と共に達成することができる。その後、（例えば、マスク合成プロセスを通じて）これらの命令を利用することが可能となり、これにより、適切なマスクを生成するか、または、他の場合に、上記した方法および構造のうち多様なものを用いたデバイスを生成するための製造施設を構成することができる。

【0027】

上記記載において、少なくとも1つ例示的な実施形態を示してきたが、多数の変更が存在することが理解される。また、例示的な実施形態または本明細書中に記載の実施形態は、特許請求の範囲に記載の内容の範囲、適用可能性または構成をいかようにも制限しない

10

20

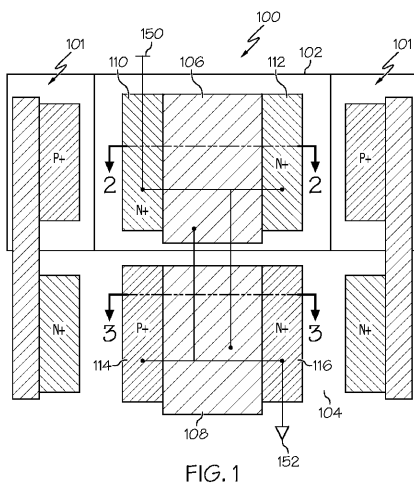
30

40

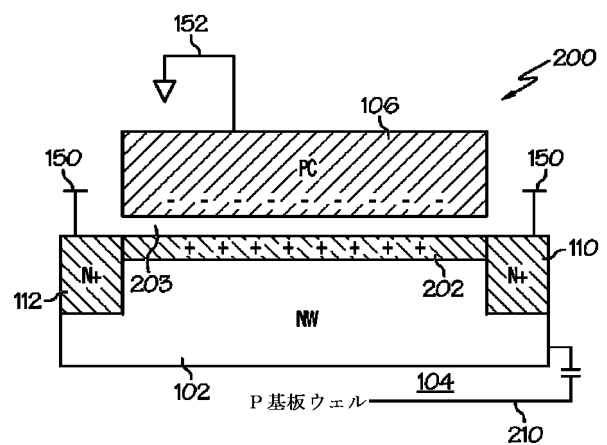
50

ことも理解される。すなわち、上記の記載は、上記の実施形態（単数または複数）を実行するための簡便かつ啓発的ロードマップを当業者に提供する。特許請求の範囲によって規定される範囲から逸脱することなく、要素の機能および配置において多様な変更が可能であることが理解される。特許請求の範囲は、公知の均等物と、本特許出願の出願時において予測可能であった均等物とを含む。

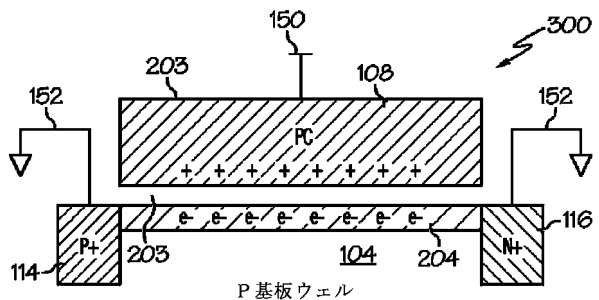
【図 1】



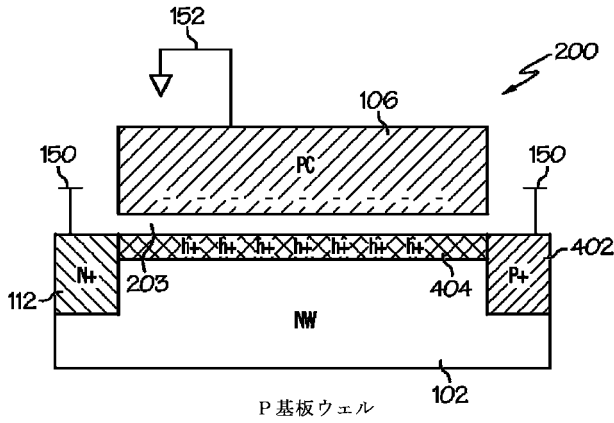
【図 2】



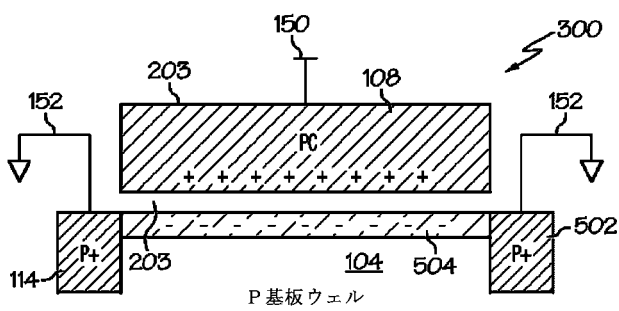
【図 3】



【図 4】



【図 5】



【図 8】

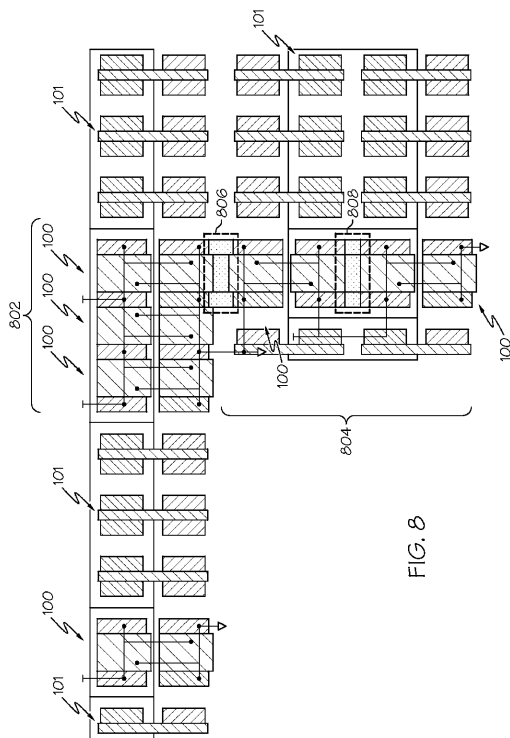
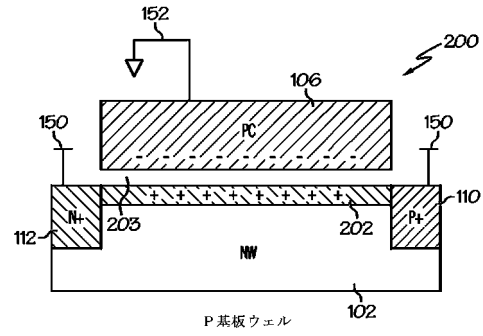
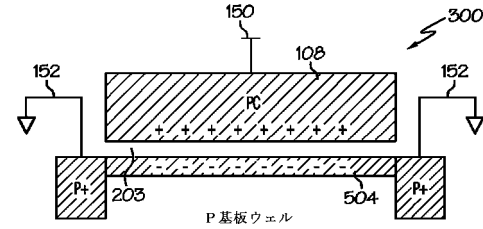


FIG. 8

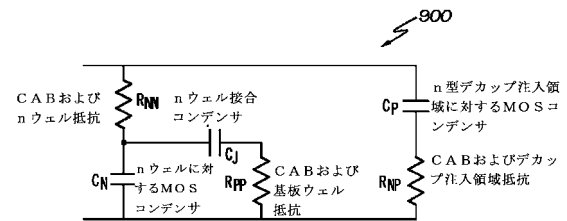
【図 6】



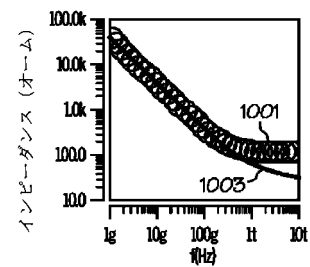
【図 7】



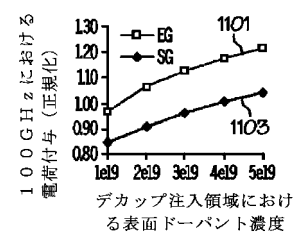
【図 9】



【図 10】



【図 11】



【手続補正書】

【提出日】平成24年10月11日(2012.10.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

デカップリングコンデンサ構造であって、

第 1 のドーパント極性を有する第 1 のウェルであって、第 1 の高ドーズ注入部が形成された第 1 のウェルと、

前記第 1 のウェルに隣接する第 2 のウェルであって、前記第 1 のドーパント極性と反対の第 2 のドーパント極性を有し、第 2 の高ドーズ注入部が形成されている、第 2 のウェルと、

前記第 1 の高ドーズ注入部および前記第 2 の高ドーズ注入部の上に形成された少なくとも 1 つの絶縁層と、

前記第 1 のウェル内に形成された第 1 の組のウェル接続部と、

前記第 2 のウェル内に形成された第 2 の組のウェル接続部と、

前記第 1 の高ドーズ注入部に隣接する前記第 1 のウェル上に形成された第 1 の導体と、

前記第 2 の高ドーズ注入部に隣接する前記第 2 のウェル上に形成された第 2 の導体と、
を含み、

前記第 1 の組のウェル接続部および前記第 2 の導体は第 1 の電気ノードに共通に接続され、前記第 2 の組のウェル接続部および前記第 1 の導体は第 2 の電気ノードに共通に接続され、

前記第 1 の組のウェル接続部、前記第 2 の組のウェル接続部および前記高ドーズ注入部のうち少なくとも 1 つは、ドーパント極性について非対称である、
デカップリングコンデンサ構造。

【請求項 2】

前記第 1 の電気ノードは供給電圧ノードに対応し、前記第 2 の電気ノードは接地ノードに対応する、請求項 1 に記載のデカップリングコンデンサ構造。

【請求項 3】

前記第 2 のウェルは P 材料を含み、前記第 1 のウェルは、前記 P 基板材料内に形成された N 型領域を含む、請求項 1 に記載のデカップリングコンデンサ構造。

【請求項 4】

前記第 2 の組のウェル接続部は、P+ドーパント極性を有する第 1 のウェル接続部と、N+ドーパント極性を有する第 2 のウェル接続部とを含む、請求項 3 に記載のデカップリングコンデンサ構造。

【請求項 5】

前記第 1 のウェルおよび前記第 2 のウェルは、1 組の論理トランジスタの第 1 のウェルおよび第 2 のウェルそれぞれに対応する、請求項 1 に記載のデカップリングコンデンサ構造。

【請求項 6】

デカップリングコンデンサの形成方法であって、

第 1 のドーパント極性を有し、第 1 のウェル領域を規定する基板を提供するステップと、

前記第 1 のウェル領域に隣接する第 2 のウェル領域を前記基板内に形成するステップであって、前記第 2 のウェル領域は、前記第 1 のドーパント極性と反対の第 2 のドーパント極性を有する、ステップと、

前記第 1 のウェル領域内に第 1 の高ドーズ注入部を形成するステップと、

前記第 2 のウェル領域内に第 2 の高ドーズ注入部を形成するステップと、
前記第 1 のウェル内に第 1 の組のウェル接続部を形成するステップと、
前記第 2 のウェル内に第 2 の組のウェル接続部を形成するステップと、
前記第 1 の高ドーズ注入部および前記第 2 の高ドーズ注入部に少なくとも 1 つ絶縁層を形成するステップと、
前記第 1 のウェル領域上に第 1 の導体をおよび前記第 2 のウェル領域上に第 2 の導体を形成するステップと、
前記第 1 の組のウェル接続部および前記第 2 の導体を相互接続して、第 1 の電気ノードを規定するステップと、
前記第 2 の組のウェル接続部および前記第 1 の導体を相互接続して、第 2 の電気ノードを規定するステップと、
を含み、
前記第 1 の高ドーズ注入部、前記第 2 の高ドーズ注入部、前記第 1 の組のウェル接続部および前記第 2 の組のウェル接続部のうち少なくとも 1 つは、ドーパント極性について非対称となるように、形成される、
方法。

【請求項 7】

前記第 1 の電気ノードは供給電圧ノードに対応し、前記第 2 の電気ノードは接地ノードに対応する、請求項 6 に記載の方法。

【請求項 8】

前記第 2 のウェルは P 材料を含み、前記第 1 のウェルは、前記 P 基板材料内に形成された N 型領域を含む、請求項 6 に記載の方法。

【請求項 9】

前記第 2 の組のウェル接続部は、P⁺ドーパント極性を有する第 1 のウェル接続部と、N⁺ドーパント極性を有する第 2 のウェル接続部とを含む、請求項 8 に記載の方法。

【請求項 10】

前記第 1 のウェルおよび前記第 2 のウェルは、少なくとも 1 組の論理トランジスタによって共有されるように、形成される、請求項 8 に記載の方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2011/024522

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L29/94 H01L27/06 H05K1/02 H01L21/336
 ADD. H01L27/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2002/117720 A1 (LEE DAVID [TW] ET AL) 29 August 2002 (2002-08-29) abstract; figures 1A,5 paragraphs [0006] - [0008], [0041] - [0043]	1-17
Y	EP 1 760 786 A2 (HONEYWELL INT INC [US]) 7 March 2007 (2007-03-07) paragraphs [0030] - [0032]; figures 6a-6c	1-17
A	US 2005/236690 A1 (CHUNG SHINE C [US] CHUNG SHINE CHIEN [US]) 27 October 2005 (2005-10-27) abstract; figures 2(b),5(a) paragraphs [0020] - [0026]	1-17
	----- -/-	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

- *"A" document defining the general state of the art which is not considered to be of particular relevance
 *"E" earlier document but published on or after the international filing date
 *"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 *"O" document referring to an oral disclosure, use, exhibition or other means
 *"P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 *"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 *"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
 *&" document member of the same patent family

Date of the actual completion of the international search

16 May 2011

Date of mailing of the international search report

01/06/2011

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Authorized officer

Mosig, Karsten

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2011/024522

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2005/035410 A1 (YEO YEE-CHIA [TW] ET AL) 17 February 2005 (2005-02-17) paragraphs [0046] - [0055]; figures 8,10f -----	1-17
A	US 2007/252217 A1 (OKI YASUMITSU [JP]) 1 November 2007 (2007-11-01) the whole document -----	1-17

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2011/024522

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002117720 A1	29-08-2002	US 2002117705 A1	29-08-2002
EP 1760786 A2	07-03-2007	JP 2007073927 A	22-03-2007
		KR 20070025957 A	08-03-2007
		US 2007045710 A1	01-03-2007
US 2005236690 A1	27-10-2005	SG 116579 A1	28-11-2005
		TW I246096 B	21-12-2005
US 2005035410 A1	17-02-2005	CN 1581505 A	16-02-2005
		SG 120136 A1	28-03-2006
		TW I247428 B	11-01-2006
US 2007252217 A1	01-11-2007	JP 2007299860 A	15-11-2007

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100162156

弁理士 村雨 圭介

(72)発明者 アンドルー カールソン

アメリカ合衆国 02038 マサチューセッツ州、フランクリン、リンカーン ストリート 17 #1

Fターム(参考) 5F038 AC03 AC05 AC14 BH03 BH19 CA02 CD02 CD14 EZ13 EZ20

5F048 AC03 AC10 BA01 BE03 BE09 BF18