

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4328223号
(P4328223)

(45) 発行日 平成21年9月9日(2009.9.9)

(24) 登録日 平成21年6月19日(2009.6.19)

(51) Int.Cl. F I
 HO4L 13/08 (2006.01) HO4L 13/08
 HO4L 12/28 (2006.01) HO4L 12/28 200Z

請求項の数 4 (全 20 頁)

(21) 出願番号 特願2004-15792 (P2004-15792)
 (22) 出願日 平成16年1月23日(2004.1.23)
 (65) 公開番号 特開2004-289805 (P2004-289805A)
 (43) 公開日 平成16年10月14日(2004.10.14)
 審査請求日 平成18年12月8日(2006.12.8)
 (31) 優先権主張番号 特願2003-59509 (P2003-59509)
 (32) 優先日 平成15年3月6日(2003.3.6)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 501285133
 川崎マイクロエレクトロニクス株式会社
 千葉県千葉市美浜区中瀬一丁目3番地
 (74) 代理人 100079175
 弁理士 小杉 佳男
 (74) 代理人 100094330
 弁理士 山田 正紀
 (72) 発明者 藤巻 裕
 千葉県千葉市美浜区中瀬1丁目3番地 川崎マイクロエレクトロニクス株式会社内
 審査官 矢頭 尚之

最終頁に続く

(54) 【発明の名称】 データ送信装置およびデータ受信装置

(57) 【特許請求の範囲】

【請求項1】

送信データが格納される送信データバッファと、
 前記送信データバッファに格納されたデータを送信するデータ送信部と、
 前記送信データバッファの空き状態を監視する空き状態監視部と、
 前記空き状態監視部に監視された前記送信データバッファの空き領域の大きさに応じて、
 空き領域が大きいほど早いタイミングで送信データの該送信データバッファへの書込を
 要求する書込要求部とを備えたことを特徴とするデータ送信装置。

【請求項2】

前記書込要求部が、
 前記送信データバッファの空き領域の大きさを表わす、次の書込要求を行なうか否かの
 判定基準として用いられる閾値を更新自在に格納しておく閾値レジスタと、
 前記閾値レジスタに格納された閾値の増減の基準となる基準値を格納しておく基準値レ
 ジスタと、
 前記空き状態監視部により監視された前記送信データバッファの空き領域の大きさと前
 記閾値レジスタに格納された閾値とを比較し、該空き領域の大きさが該閾値に達したタイ
 ミングで該送信データバッファへの送信データの次の書込を要求する書込要求タイミ
 ング生成部と、

前記空き状態監視部により監視された前記送信データバッファの空き領域の大きさと前
 記基準値レジスタに格納された基準値とを比較し、該空き領域の大きさが該基準値を越え

るか、該基準値と等しいか、あるいは該基準値未満であるかに応じて、それぞれ、前記閾値レジスタに格納された閾値を減少させ、同一に保持し、あるいは増加させる閾値書替部とを備えたことを特徴とする請求項1記載のデータ送信装置。

【請求項3】

受信データが格納される受信データバッファと、
前記受信データバッファに格納されるデータを受信するデータ受信部と、
前記受信データバッファの空き状態を監視する空き状態監視部と、
前記空き状態監視部に監視された前記受信データバッファの空き領域の大きさに応じて、空き領域が小さいほど早いタイミングで受信データの該受信データバッファからの読出を要求する読出要求部とを備えたことを特徴とするデータ受信装置。

10

【請求項4】

前記読出要求部が、
前記受信データバッファの空き領域の大きさを表わす、次の読出要求を行なうか否かの判定基準として用いられる閾値を更新自在に格納しておく閾値レジスタと、
前記閾値レジスタに格納された閾値の増減の基準となる基準値を格納しておく基準値レジスタと、

前記空き状態監視部により監視された前記受信データバッファの空き領域の大きさと前記閾値レジスタに格納された閾値とを比較し、該空き領域の大きさが該閾値にまで減少したタイミングで該受信データバッファからの受信データの次の読出を要求する読出要求タイミング生成部と、

20

前記空き状態監視部により監視された前記受信データバッファの空き領域の大きさと前記基準値レジスタに格納された基準値とを比較し、該空き領域の大きさが該基準値を越えるか、該基準値と等しいか、あるいは該基準値未満であるかに応じて、それぞれ、前記閾値レジスタに格納された閾値を減少させ、同一に保持し、あるいは増加させる閾値書替部とを備えたことを特徴とする請求項3記載のデータ受信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、送信データバッファに格納されたデータを送信するデータ送信装置および受信データバッファに格納されるデータを受信するデータ受信装置に関する。

30

【背景技術】

【0002】

従来より、通信システムを構成するデータ送信装置において、送信データバッファとして先入れ先出し(FIFO: First In First Out)方式のFIFOバッファを備え、そのFIFOバッファに格納された送信データが空の状態になると、CPUに対して書込要求としての割込信号を出力し、これを受けてCPUが次の送信データをFIFOバッファに書き込むという手順で処理が行なわれている。このような場合において、送信データの書込処理と、この書込処理の優先度よりも高い優先度を持つ別の処理とが同時に発生した場合、送信データの書込処理は後回しにされるため、比較的長時間FIFOバッファが空の状態のまま放置され、送信レートが悪化するという事態が発生する。このような事態を避けるために、FIFOバッファが完全に空の状態にならないようにソフトウェアで定期的にFIFOバッファの状態を監視(ポーリング)し、FIFOバッファが書込可能な状態にある場合は適宜送信データをFIFOバッファに書き込むといった対処が行なわれる。この定期的なポーリング動作は、優先順位が高く設定されたタイマ割込等で実現されるのが一般的である。しかしながら、このような場合、CPUの処理能力がポーリング動作に費やされることとなり、従って通信システム全体の処理能力が低下することとなり好ましい状態ではない。

40

【0003】

そこで、FIFOバッファへの書込要求用の割込信号の間隔を表わす値(FIFOバッファ内の空きバッファ数の閾値)をソフトウェアで設定するレジスタを用意し、このレジ

50

スタに設定された閾値に応じてF I F Oバッファが完全に空の状態になる前に発生する割込信号の間隔を可変させる機構をもたせた技術が提案されている（特許文献1参照）。

【0004】

また、通信システムを構成するデータ受信装置において、受信データバッファとしてのF I F Oバッファを備え、そのF I F Oバッファに受信データが書き込まれると、C P Uに対して読出要求としての割込信号を出力し、これを受けてC P Uが当該受信データを読み出すという手順で処理が行なわれている。このような場合において、受信データの読出処理と、この読出処理の優先度よりも高い優先度を持つ別の処理とが同時に発生した場合、受信データの読出処理は後回しにされるため、比較的長時間F I F Oバッファ内に受信データが放置され、さらにはそのF I F Oバッファがフルに占有される状態が頻発することで、受信レートが悪化するという事態が発生する。このような事態を避けるために、ソフトウェアで定期的にF I F Oバッファの状態をポーリングし、F I F Oバッファが読出可能な状態にある場合は適宜受信データをそのF I F Oバッファから読み出すといった対処が行なわれる。この定期的なポーリング動作は、優先順位が高く設定されたタイマ割込等で実現されるのが一般的である。しかしながら、このような場合、C P Uの処理能力がポーリング動作に費やされることとなり、従って通信システム全体の処理能力が低下することとなり好ましい状態ではない。

10

【0005】

そこで、前述した特許文献1に提案された技術を適用して、F I F Oバッファへの読出要求用の割込信号の間隔を表わす値（F I F Oバッファの、受信データが占有するバッファ数の閾値）をソフトウェアで設定するレジスタを用意し、このレジスタに設定された閾値に応じてF I F Oバッファが受信データで一杯の状態（フル状態）になる前に発生する割込信号の間隔を可変させる機構をもたせることが可能である。

20

【特許文献1】特開平11-308254号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、上記特許文献1に提案された技術では、送信処理にあたり、割込発生間隔が可変になっているものの、この割込発生間隔の制御は、C P Uがソフトウェアを実行することにより行なわれるため、C P Uの負担軽減に欠ける点がある。ここで、例えば送信するデータ量が多い場合には割込発生間隔が短くなるように制御するのでは、送信されるデータ量はシステム全体としてはマイクロなパラメータであるため、システム全体として適切な制御を行なうことは困難であり、従ってシステム全体としての処理能力の低下防止に欠けることとなる。

30

【0007】

しかし、送信データ量で制御することに代えて、送信の頻度や他の割込信号との優先度を、C P Uがその動作中にダイナミックに知ることはC P Uの負担が大きくなりすぎて現実的ではない。即ち、C P Uがソフトウェアを実行中に、ダイナミックに上記割込発生間隔を制御するのでは、C P Uの負担が大きすぎるという問題がある。そこで、初期の設定段階で設定された閾値を変更しない、即ち初期の設定段階においてシステムの最適値として一度設定された割込発生間隔を固定するということが考えられるものの、これでは効率のよい送信処理を常に維持することは困難である。

40

【0008】

また、上記特許文献1に提案された技術を受信処理に適用した場合、送信処理の場合と同様に、割込発生間隔が可変になるものの、この割込発生間隔の制御は、C P Uがソフトウェアを実行することにより行なわれるため、C P Uの負担軽減に欠ける点がある。ここで、例えば受信するデータ量が多い場合には割込発生間隔が短くなるように制御するのは、受信されるデータ量はシステム全体としてはマイクロなパラメータであるため、システム全体として適切な制御を行なうことは困難であり、従ってシステム全体としての処理能力の低下防止に欠けることとなる。

50

【 0 0 0 9 】

しかし、受信データ量で制御することに代えて、受信の頻度や他の割込信号との優先度を、CPUがその動作中にダイナミックに知ることはCPUの負担が大きくなりすぎて現実的ではない。即ち、CPUがソフトウェアを実行中に、ダイナミックに上記割込発生間隔を制御するのでは、CPUの負担が大きすぎるという問題がある。そこで、初期の設定段階で設定された閾値を変更しない、即ち初期の設定段階においてシステムの最適値として一度設定された割込発生間隔を固定するということが考えられるものの、これでは効率のよい受信処理を常に維持することは困難である。

【 0 0 1 0 】

本発明は、上記事情に鑑み、CPUの負担を小さく抑えたまま、適切な割込間隔で送信データが送信されて送信処理の効率が高められたデータ送信装置および適切な割込間隔で受信データが読み出されて受信処理の効率が高められたデータ受信装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

上記目的を達成する本発明のデータ送信装置は、送信データが格納される送信データバッファと、上記送信データバッファに格納されたデータを送信するデータ送信部と、上記送信データバッファの空き状態を監視する空き状態監視部と、上記空き状態監視部に監視された上記送信データバッファの空き領域の大きさに応じて、空き領域が大きいほど早いタイミングで送信データのその送信データバッファへの書込を要求する書込要求部とを備えたことを特徴とする。

【 0 0 1 2 】

本発明のデータ送信装置は、空き状態監視部で監視された送信データバッファの空き領域が大きいほど早いタイミングで送信データの送信データバッファへの書込を書込要求部で要求するものであるため、送信データバッファの、前回の書込時の空き状況を考慮した上で、次の書込要求のための割込信号を発生させるタイミングを可変するにあたり、CPUがソフトウェアを実行してその都度閾値をレジスタに設定する必要はなく、またCPUが動作中に送信の頻度や他の割込処理との優先度をダイナミックに知る必要もない。従って、CPUによる割込信号発生間隔の制御が排除されることとなり、CPUに大きな負荷を与えることなく送信データの送信データバッファへの書込要求のための適切な割込間隔が実現されて、送信処理のパフォーマンスを高めることができる。

【 0 0 1 3 】

ここで、本発明のデータ送信装置における上記書込要求部が、上記送信データバッファの空き領域の大きさを表わす、次の書込要求を行なうか否かの判定基準として用いられる閾値を更新自在に格納しておく閾値レジスタと、上記閾値レジスタに格納された閾値の増減の基準となる基準値を格納しておく基準値レジスタと、

上記空き状態監視部により監視された上記送信データバッファの空き領域の大きさと上記閾値レジスタに格納された閾値とを比較し、その空き領域の大きさがその閾値に達したタイミングでその送信データバッファへの送信データの次の書込を要求する書込要求タイミング生成部と、

上記空き状態監視部により監視された上記送信データバッファの空き領域の大きさと上記基準値レジスタに格納された基準値とを比較し、その空き領域の大きさがその基準値を越えるか、その基準値と等しいか、あるいはその基準値未満であるかに応じて、それぞれ、上記閾値レジスタに格納された閾値を減少させ、同一に保持し、あるいは増加させる閾値書替部とを備えたものであることが好ましい。

【 0 0 1 4 】

上記書込要求部をこのように構成すると、後述する実施形態に示すように、送信データバッファの空き領域が大きいほど早いタイミングで送信データの送信データバッファへの

10

20

30

40

50

書込要求を、簡単な回路構成で実現することができる。

【0015】

また、上記目的を達成する本発明のデータ受信装置は、
受信データが格納される受信データバッファと、
上記受信データバッファに格納されるデータを受信するデータ受信部と、
上記受信データバッファの空き状態を監視する空き状態監視部と、
上記空き状態監視部に監視された上記受信データバッファの空き領域の大きさに応じて、
空き領域が小さいほど早いタイミングで受信データのその受信データバッファからの読出を要求する読出要求部とを備えたことを特徴とする。

【0016】

本発明のデータ受信装置は、空き状態監視部で監視された受信データバッファの空き領域が小さいほど早いタイミングで受信データの受信データバッファからの読出を読出要求部で要求するものであるため、受信データバッファの、前回の読出時の空き状況を考慮した上で、次の読出要求のための割込信号を発生させるタイミングを可変するにあたり、CPUがソフトウェアを実行してその都度閾値をレジスタに設定する必要はなく、またCPUが動作中に受信の頻度や他の割込処理との優先度をダイナミックに知る必要もない。従って、CPUによる割込信号発生間隔の制御が排除されることとなり、CPUに大きな負荷を与えることなく受信データの受信データバッファからの読出要求のための適切な割込間隔が実現されて、受信処理のパフォーマンスを高めることができる。

【0017】

ここで、本発明のデータ受信装置における上記読出要求部が、
上記受信データバッファの空き領域の大きさを表わす、次の読出要求を行なうか否かの判定基準として用いられる閾値を更新自在に格納しておく閾値レジスタと、
上記閾値レジスタに格納された閾値の増減の基準となる基準値を格納しておく基準値レジスタと、

上記空き状態監視部により監視された上記受信データバッファの空き領域の大きさと上記閾値レジスタに格納された閾値とを比較し、その空き領域の大きさがその閾値にまで減少したタイミングでその受信データバッファからの受信データの次の読出を要求する読出要求タイミング生成部と、

上記空き状態監視部により監視された上記受信データバッファの空き領域の大きさと上記基準値レジスタに格納された基準値とを比較し、その空き領域の大きさがその基準値を越えるか、その基準値と等しいか、あるいはその基準値未満であるかに応じて、それぞれ、上記閾値レジスタに格納された閾値を減少させ、同一に保持し、あるいは増加させる閾値書替部とを備えたものであることが好ましい。

【0018】

上記読出要求部をこのように構成すると、後述する実施形態に示すように、受信データバッファの空き領域が小さいほど早いタイミングで受信データの受信データバッファからの読出要求を、簡単な回路構成で実現することができる。

【発明の効果】

【0019】

本発明のデータ送信装置によれば、CPUの負担を小さく抑えたまま、適切な割込間隔で送信データが送信されて送信処理の効率を高めることができる。また、本発明のデータ受信装置によれば、CPUの負担を小さく抑えたまま、適切な割込間隔で受信データが読み出されて受信処理の効率を高めることができる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施形態について説明する。

【0021】

図1は、本発明の一実施形態のデータ送信装置および本発明の一実施形態のデータ受信装置の双方が組み込まれたシリアル通信システムの構成を示す図である。

10

20

30

40

50

【 0 0 2 2 】

図 1 に示すシリアル通信システム 1 には、CPU インターフェース部 1 0 と、送信データバッファ部 2 0 と、データ送信部 3 0 と、データ受信部 4 0 と、受信データバッファ部 5 0 とが備えられている。CPU インターフェース部 1 0 は、割込信号発生部 1 1 を有する。尚、本発明の一実施形態のデータ送信装置は、CPU インターフェース部 1 0 の一部と、送信データバッファ部 2 0 と、データ送信部 3 0 とから構成されている。また、本発明の一実施形態のデータ受信装置は、CPU インターフェース部 1 0 の他の一部と、受信データバッファ部 5 0 と、データ受信部 4 0 とから構成されている。

【 0 0 2 3 】

CPU インターフェース部 1 0 は、アドレスバス、データバス、およびコントロールバスを介して図示しない CPU と接続されている。この CPU インターフェース部 1 0 は、後述する送信データバッファ部 2 0 からの書込要求信号を割込信号発生部 1 1 に入力し、CPU に向けて割込要求を行ない、その CPU からデータバスを介して供給される並列の送信データを送信データバッファ部 2 0 に向けて出力する。また、この CPU インターフェース部 1 0 は、後述する受信データバッファ部 5 0 から並列の受信データを読み出してデータバスに出力する。

【 0 0 2 4 】

送信データバッファ部 2 0 には、CPU インターフェース部 1 0 から出力される並列の送信データが格納される F I F O バッファ（本発明にいう送信データバッファの一例に相当）等が備えられている。この F I F O バッファを含む送信データバッファ部 2 0 の構成については後述する。

【 0 0 2 5 】

データ送信部 3 0 は、上記 F I F O バッファに格納された並列の送信データをシリアルデータに変換し、図示しない周辺装置に向けて出力する。

【 0 0 2 6 】

データ受信部 4 0 には、周辺装置からのシリアルデータが入力される。このデータ受信部 4 0 は、入力されたシリアルデータを並列のデータに変換して受信データバッファ部 5 0 に出力する。

【 0 0 2 7 】

受信データバッファ部 5 0 には、データ受信部 4 0 から出力される並列の受信データが格納される F I F O バッファ（本発明にいう受信データバッファの一例に相当）等が備えられている。この F I F O バッファを含む受信データのバッファ部 5 0 の構成については後述する。

【 0 0 2 8 】

先ず、本発明の一実施形態のデータ送信装置について説明する。

【 0 0 2 9 】

図 2 は、図 1 に示す送信データバッファ部の構成を示す図である。

【 0 0 3 0 】

図 2 に示す送信データバッファ部 2 0 には、F I F O バッファ 2 1（本発明のデータ送信装置における送信データバッファの一例）と、読出ポインタ 2 2 と、書込ポインタ 2 3 と、引算器 2 4 と、ポインタ制御回路 2 5 と、書込要求信号生成回路 2 6 とが備えられている。ここで、読出ポインタ 2 2，書込ポインタ 2 3，引算器 2 4 が、本発明のデータ送信装置における空き状態監視部の役割を担うものである。また、書込要求信号生成回路 2 6 が、本発明のデータ送信装置における書込要求部の一例に相当する。

【 0 0 3 1 】

図 2 に示す F I F O バッファ 2 1 は、先入れ先出し（F I F O : F i r s t I n F i r s t O u t）方式の送信データバッファであり、この F I F O バッファ 2 1 は、循環式で利用される 8 段のバッファ部から構成されている。各バッファ部には、1 バイト分の送信データが記憶される。記憶された送信データは 1 バイト単位でデータ送信部 3 0 に出力される。

10

20

30

40

50

【 0 0 3 2 】

読出ポインタ 2 2 は、このシリアル通信システム 1 における次の送信処理タイミングの際に、データ送信部 3 0 に出力すべきデータの位置 (F I F O バッファ 2 1 を構成するバッファ部の位置) を指し示すレジスタであり、1 回の送信処理が完了する毎に 1 だけカウントアップされる。

【 0 0 3 3 】

書込ポインタ 2 3 は、C P U から次に書き込まれる送信データの位置 (F I F O バッファ 2 1 を構成するバッファ部の位置) を指し示すレジスタであり、書き込みが行なわれる毎に 1 だけカウントアップされる。これら読出ポインタ 2 2 と書込ポインタ 2 3 が指し示す位置の差異によって F I F O バッファ 2 1 の空き状態を知ることができる。ここで、後述する「フルフラグ」が論理 ' 0 ' で、且つ読出ポインタ 2 2 と書込ポインタ 2 3 の値が一致している場合は、F I F O バッファ 2 1 は完全に空の状態であり、従って送信すべきデータは無いこととなる。また、読出ポインタ 2 2 と書込ポインタ 2 3 双方の値が一致していない場合は、その差分が、F I F O バッファ 2 1 の空いている段数となる。この差分は、引算器 2 4 で計算される。具体的には、引算器 2 4 は、「読出ポインタ 2 2 の値 - 書込ポインタ 2 3 の値」を計算する。但し、引き算結果が負になる場合は、詳細は後述するが、F I F O バッファ 2 1 の総段数「 8 」と負の引き算結果を足した値が最終結果となる。

10

【 0 0 3 4 】

ポインタ制御回路 2 5 は、読出ポインタ 2 2 と書込ポインタ 2 3 双方の制御を行なう。このポインタ制御回路 2 5 では、書込ポインタ 2 3 と読出ポインタ 2 2 の値が、書込動作により一致した場合に「フルフラグ」を論理 ' 1 ' とし、C P U に対して更なる送信データの書き込みを禁止する。この「フルフラグ」は一度論理 ' 1 ' にセットされた場合、次に両者の値に差が生じた場合に論理 ' 0 ' にクリアされる。このような動作は、一般的な F I F O バッファ装置の動作と同じである。

20

【 0 0 3 5 】

書込要求信号生成回路 2 6 は、C P U に向けて出力する割込信号に反映させるために、割込信号発生部 1 1 に送出する書込要求信号を生成する回路である。以下、図 3 を参照して説明する。

【 0 0 3 6 】

図 3 は、書込要求信号生成回路の回路図である。

30

【 0 0 3 7 】

図 3 に示す書込要求信号生成回路 2 6 には、F I F O バッファ 2 1 の空き領域の大きさを表わす、次の書込要求を行なうか否かの判定基準として用いられる閾値を更新自在に格納しておく閾値レジスタ 2 6 _ 1 が備えられている。

【 0 0 3 8 】

また、書込要求信号生成回路 2 6 には、閾値レジスタ 2 6 _ 1 に格納された閾値の増減の基準となる基準値を格納しておく基準値レジスタ 2 6 _ 2 が備えられている。

【 0 0 3 9 】

さらに、書込要求信号生成回路 2 6 には、引算器 2 4 により計算された F I F O バッファ 2 1 の空き領域の大きさと閾値レジスタ 2 6 _ 1 に格納された閾値とを比較し、空き領域の大きさが閾値に達したタイミングで F I F O バッファ 2 1 への送信データの次の書込を要求する比較器 2 6 _ 3 1 , フリップフロップ 2 6 _ 3 2 , 2 6 _ 3 3 , アンドゲート 2 6 _ 3 4 からなる書込要求タイミング生成部 2 6 _ 3 が備えられている。

40

【 0 0 4 0 】

また、書込要求信号生成回路 2 6 には、書込要求タイミング生成部 2 6 _ 3 からの書込の要求である書込要求信号に応じて F I F O バッファ 2 1 に送信データを書き込むタイミングで、引算器 2 4 で計算された F I F O バッファ 2 1 の空き領域の大きさと基準値レジスタ 2 6 _ 2 に格納された基準値とを比較し、空き領域の大きさが基準値を越えるか、基準値と等しいか、あるいは基準値未満であるかに応じて、それぞれ、閾値レジスタ 2 6 _

50

1 に格納された閾値を減少させ、同一に保持し、あるいは増加させるインクリメンタ 2 6 __ 4 1 , デクリメンタ 2 6 __ 4 2 , 切替器 2 6 __ 4 3 , 切替信号生成回路 2 6 __ 4 4 からなる閾値書替部 2 6 __ 4 が備えられている。

【 0 0 4 1 】

さらに、書込要求信号生成回路 2 6 には、後述する基準値レジスタ書込信号に応じて、データバスと基準値レジスタ 2 6 __ 2 に格納された基準値とを切り替える切替器 2 6 __ 5 と、引算器 2 4 の値と基準値レジスタ 2 6 __ 2 に格納された基準値とを比較して比較結果を切替信号生成回路 2 6 __ 4 4 に出力する比較器 2 6 __ 6 が備えられている。さらに詳細に説明する。

【 0 0 4 2 】

基準値レジスタ 2 6 __ 2 は 3 ビット $< 2 : 0 >$ 構成のレジスタであり、この基準値レジスタ 2 6 __ 2 には、CPU に対する送信データ書込要求の割込信号である書込要求信号を発行する間隔を調整する基準となる基準値が設定される。この基準値と、引算器 2 4 の値 (F I F O バッファ 2 1 の空き段数) とが、比較器 2 6 __ 6 により比較され、CPU が送信データを書き込んだ時に次の割込信号発生間隔を決定する閾値レジスタ 2 6 __ 1 に設定する閾値を選択するために用いられる。CPU からデータバス経由で基準値レジスタ 2 6 __ 2 に対して書き込みが行なわれる際に、基準値レジスタ書込信号が有効となり、切替器 2 6 __ 5 を介して基準値が設定される。この基準値は保持し続ける。換言すれば、基準値レジスタ 2 6 __ 2 は、割込信号発生間隔を長くしたり短くしたりする調節を行なう際の判断基準となる、F I F O バッファ 2 1 に残っていてもよい送信データ数を設定するものである。例えば、基準値レジスタ 2 6 __ 2 の設定値が ' 2 ' の場合、CPU からの送信データの F I F O バッファ 2 1 への書込を要求した時点での F I F O バッファ 2 1 内の送信データの残りが ' 2 ' であれば、割込信号発生間隔を変更せず、送信データの残りが ' 2 ' よりも大きい場合は割込信号発生間隔を長くするように制御される。また、送信データの残りが ' 2 ' よりも小さい場合は割込信号発生間隔を短くするように制御される。尚、通常は基準レジスタ 2 6 __ 2 の値は、CPU によりシステム起動時に 1 度だけ設定すればよい。

【 0 0 4 3 】

閾値レジスタ 2 6 __ 1 は 3 ビット $< 2 : 0 >$ 構成のレジスタであり、この閾値レジスタ 2 6 __ 1 には、F I F O バッファ 2 1 が何段空いたら書込要求信号を生成するのかわを示す閾値が設定される。この閾値と引算器 2 4 の値とが比較器 2 6 __ 3 1 により比較され、比較結果の値が「閾値レジスタ 2 6 __ 1 の値 引算器 2 4 の値」の場合は、比較器 2 6 __ 3 1 から論理 ' 1 ' の信号がフリップフロップ 2 6 __ 3 2 に向けて出力される。

【 0 0 4 4 】

切替器 2 6 __ 4 3 は、データバスの値、閾値レジスタ 2 6 __ 1 の値、その値をインクリメンタ 2 6 __ 4 1 で + 1 した値、およびその値をデクリメンタ 2 6 __ 4 2 で - 1 した値を切り替えて、閾値レジスタ 2 6 __ 1 に入力する。

【 0 0 4 5 】

切替信号生成回路 2 6 __ 4 4 は、切替器 2 6 __ 4 3 を切り替えるための信号を生成する。この切替信号生成回路 2 6 __ 4 4 は、基準値レジスタ書込信号が有効な場合にはデータバスの値が閾値レジスタ 2 6 __ 1 に入力されるように選択する。また、書込要求信号発生後最初の F I F O バッファ 2 1 への書込時に、比較器 2 6 __ 6 からの比較結果が、「基準値レジスタ 2 6 __ 2 の値 > 引算器 2 4 の値」の場合は、インクリメンタ 2 6 __ 4 1 の値が閾値レジスタ 2 6 __ 1 に入力されるように選択する (但し、閾値レジスタ 2 6 __ 1 の値が最大値 ' 7 ' の場合は、閾値レジスタ 2 6 __ 1 の値がその閾値レジスタ 2 6 __ 1 に入力されるように選択する) 。さらに、書込要求信号発生後最初の F I F O バッファ 2 1 への書込時に比較器 2 6 __ 6 からの比較結果が、「基準値レジスタ 2 6 __ 2 の値 = 引算器 2 4 の値」の場合は、閾値レジスタ 2 6 __ 1 の値がその閾値レジスタ 2 6 __ 1 に入力されるように選択する。また、書込要求信号発生後最初の F I F O バッファ 2 1 への書込時に比較器 2 6 __ 6 の比較結果が、「基準値レジスタ 2 6 __ 2 の値 < 引算器 2 4 の値」の場合は、デ

10

20

30

40

50

クリメント 2 6 _ 4 2 の値が閾値レジスタ 2 6 _ 1 に入力されるように選択する（但し、閾値レジスタ 2 6 _ 1 の値が最小値 ' 0 ' の場合は、閾値レジスタ 2 6 _ 1 の値がその閾値レジスタ 2 6 _ 1 に入力されるように選択する）。尚、上述した以外の定常状態の場合は、閾値レジスタ 2 6 _ 1 の値がその閾値レジスタ 2 6 _ 1 に入力されるように選択することにより、その値を保持する。

【 0 0 4 6 】

図 3 に示す、書込要求タイミング生成部 2 6 _ 3 を構成するフリップフロップ 2 6 _ 3 2 , 2 6 _ 3 3 , アンドゲート 2 6 _ 3 4 からなる回路は、一般的なエッジ検出回路であり、後述する図 5 に示すように、比較器 2 6 _ 3 1 の比較結果が、「閾値レジスタ 2 6 _ 1 の値 > 引算器 2 4 の値」から「閾値レジスタ 2 6 _ 1 の値 引算器 2 4 の値」になった場合に、1 システムクロック幅のパルスが発生し、このパルスを割込信号発生部 1 1 (図 1 参照) に与え、これが最終的には CPU への割込信号となる。次に、図 4 ~ 図 8 を参照して本実施形態のデータ送信装置における動作について説明する。

【 0 0 4 7 】

図 4 は、図 2 に示す FIFO バッファの、書込ポインタと読出ポインタによる動作例 1 を模擬した図である。

【 0 0 4 8 】

この動作例 1 では、CPU への割込信号発生間隔を短くするための制御が行なわれる。図 4 に示す FIFO バッファ 2 1 は、0 ~ 7 とナンバリングされた 8 段のバッファ部で構成されている。尚、斜線で示すバッファ部 2 , 3 には送信データが格納されている。書込ポインタ 2 3 の現在の値は ' 4 ' であり、読出ポインタ 2 2 の現在の値は ' 2 ' である。また、FIFO バッファ 2 1 の左右には、これらの値 ' 4 ' ' 2 ' を指し示す矢印が付されている。ここでは、基準値レジスタ 2 6 _ 2 には基準値 ' 4 ' が設定されているものとする。

【 0 0 4 9 】

最初の時点では、閾値レジスタ 2 6 _ 1 の値が ' 4 '、書込ポインタ 2 3 の値が ' 4 '、読出ポインタ 2 2 の値が ' 2 ' である。この状態で書込要求信号に基づく割込みにより、最初の送信データの FIFO バッファ 2 1 への書込動作が CPU で行なわれる。すると、引算器 2 4 の結果は、「読出ポインタ 2 2 の値 (' 2 ') - 書込ポインタ 2 3 の値 (' 4 ') = ' - 2 ' 」なので、 $8 - 2 = 6$ となり、FIFO バッファ 2 1 の空き領域の大きさは ' 6 ' (6 段分のバッファ部 0 , 1 , 4 , 5 , 6 , 7) である。この動作例 1 は、割込みの発生から CPU による最初の書込みまでに有した時間が FIFO バッファ 2 1 における送信処理 (2 段分の送信処理) よりも長い場合に相当する。基準値レジスタ 2 6 _ 2 の値は ' 4 ' であるから、比較器 2 6 _ 6 の比較結果は、「基準値レジスタ 2 6 _ 2 の値 < 引算器 2 4 の値」となり、従って切替器 2 6 _ 4 3 はデクリメント 2 6 _ 4 2 を選択する信号を出力し、閾値レジスタ 2 6 _ 1 には新たな値として ' 3 ' が設定される。これにより、CPU に対して行なわれる割込間隔が前回よりも短くなったことになる。その後、CPU から FIFO バッファ 2 1 に送信データが書き込まれて、その FIFO バッファ 2 1 がフル状態になりフルフラグとして論理 ' 1 ' が出力され、これにより書込みが終了する。次いで、送信が行なわれて FIFO バッファ 2 1 に空き状態が生じ始める。

【 0 0 5 0 】

図 5 は、図 4 に示す動作例 1 において、CPU から FIFO バッファに送信データが書き込まれてフル状態になり、その後の送信により FIFO バッファに空き状態が生じ始めるまでの様子を示すタイミングチャートである。

【 0 0 5 1 】

尚、このタイミングチャートでは、書込終了後から送信処理がすぐに開始されている。引算器 2 4 の出力結果が値 ' 2 ' から値 ' 3 ' になった時点で新たに書込要求信号としてのパルス信号が出力される。ここで、点線で示すように、閾値レジスタ 2 6 _ 1 に新たな値として ' 3 ' が設定されずに値 ' 4 ' の状態のままでは、書込要求信号は、引算器 2 4 の出力結果が値 ' 3 ' から値 ' 4 ' になった時点で出力される。このように閾値レジスタ

10

20

30

40

50

26__1に値‘4’を設定していたままの場合と比較し、CPUに対する割込間隔が短くなったのがわかる。

【0052】

図6は、図2に示すFIFOバッファの、書込ポインタと読出ポインタによる動作例2を模擬した図である。

【0053】

この動作例2では、CPUへの割込信号発生間隔を維持するための制御が行なわれる。ここでは、閾値レジスタ26__1の値が‘3’、書込ポインタ23の値が‘2’、読出ポインタ22の値が‘6’である。この状態で書込要求信号に基づく割込みにより、最初の送信データのFIFOバッファ21への書込動作がCPUで行なわれる。引算器24の結果は、「読出ポインタ22の値(‘6’) - 書込ポインタ23の値(‘2’) = ‘4’」である。基準値レジスタ26__2の値は‘4’であるので、基準値レジスタ26__2の値 = 引算結果となり、切替器26__43は閾値レジスタ26__1の値‘3’をそのまま選択する信号を出力し、これにより閾値レジスタ26__1は値‘3’を保持する。その後、CPUからFIFOバッファ21に送信データが書き込まれて、そのFIFOバッファ21がフル状態になりフルフラグが出力され、これにより書込みが終了する。次いで、送信が行なわれてFIFOバッファ21に空き状態が生じ始め、引算器24の出力結果が値‘2’から値‘3’になった時点で書込要求信号としてのパルス信号が出力される。

【0054】

図7は、図2に示すFIFOバッファの、書込ポインタと読出ポインタによる動作例3を模擬した図である。

【0055】

この動作例3では、CPUへの割込信号発生間隔を長くするための制御が行なわれる。ここでは、閾値レジスタ26__1の値が‘3’、書込ポインタ23の値が‘0’、読出ポインタ22の値が‘3’である。この状態で書込要求信号に基づく割込みにより、最初の送信データのFIFOバッファ21への書込動作がCPUで行なわれる。引算器24の結果は、「読出ポインタ22の値(‘3’) - 書込ポインタ23の値(‘0’) = ‘3’」である。この動作例3は、割込みの発生からCPUによる最初の書込みまでに有した時間がFIFOバッファ21における送信処理(1段分の送信処理)よりも速い場合に相当する。基準値レジスタ26__2の値は‘4’であるので、基準値レジスタ26__2の値 > 引算結果となり、切替器26__43はインクリメント26__41を選択する信号を出力し、閾値レジスタ26__1には新たな値として‘4’が設定される。これにより、CPUに対して行なわれる割込間隔が前回よりも長くなったことになる。その後、CPUからFIFOバッファ21に送信データが書き込まれて、そのFIFOバッファ21がフル状態になりフルフラグとして論理‘1’が出力され、これにより書込みが終了する。次いで、送信が行なわれてFIFOバッファ21に空き状態が生じ始める。

【0056】

図8は、図7に示す動作例3において、CPUからFIFOバッファに送信データが書き込まれてフル状態になり、その後の送信によりFIFOバッファに空き状態が生じ始めるまでの様子を示すタイミングチャートである。

【0057】

尚、このタイミングチャートでは、書込終了後から送信処理がすぐに開始されている。引算器24の出力結果が値‘3’から値‘4’になった時点で新たに書込要求信号としてのパルス信号が出力される。ここで、点線で示すように、閾値レジスタ26__1に新たな値として‘4’が設定されずに値‘3’の状態のままでは、書込要求信号は、引算器24の出力結果が値‘2’から値‘3’になった時点で出力される。このように閾値レジスタ26__1に値‘3’を設定していたままの場合と比較し、CPUに対する割込間隔が長くなったのがわかる。

【0058】

次に、本発明の一実施形態のデータ受信装置について説明する。

10

20

30

40

50

【 0 0 5 9 】

図 9 は、図 1 に示す受信データバッファ部の構成を示す図である。

【 0 0 6 0 】

図 9 に示す受信データバッファ部 5 0 には、F I F O バッファ 5 1 (本発明のデータ受信装置における受信データバッファの一例)と、読出ポインタ 5 2 と、書込ポインタ 5 3 と、引算器 5 4 と、ポインタ制御回路 5 5 と、読出要求信号生成回路 5 6 とが備えられている。ここで、読出ポインタ 5 2 , 書込ポインタ 5 3 , 引算器 5 4 が、本発明のデータ受信装置における空き状態監視部の役割を担うものである。また、読出要求信号生成回路 5 6 が、本発明のデータ受信装置における読出要求部の一例に相当する。

【 0 0 6 1 】

図 9 に示す F I F O バッファ 5 1 は、先入れ先出し (F I F O : F i r s t I n F i r s t O u t) 方式の受信データバッファであり、この F I F O バッファ 5 1 は、循環式で利用される 8 段のバッファ部から構成されている。各バッファ部には、データ受信部 4 0 からの受信データが 1 バイト単位で記憶される。記憶された受信データは、図示しない C P U からの読み出しによりその値がデータバスに出力される。

【 0 0 6 2 】

書込ポインタ 5 3 は、データ受信部 4 0 から受け取った、次の受信処理タイミングの際に保存される受信データの位置 (F I F O バッファ 5 1 を構成するバッファ部の位置) を指し示すレジスタであり、1 回の受信処理が完了する毎に 1 だけカウントアップされる。

【 0 0 6 3 】

読出ポインタ 5 2 は、次に C P U から読み出される受信データの位置 (F I F O バッファ 5 1 を構成するバッファ部の位置) を指し示すレジスタであり、読み出しが行なわれる毎に 1 だけカウントアップされる。これら書込ポインタ 5 3 と読出ポインタ 5 2 が指し示す位置の差異によって F I F O バッファ 5 1 の占有状態を知ることができる。ここで、後述する「エンプティフラグ」が論理 ' 1 ' で、且つ読出ポインタ 5 2 と書込ポインタ 5 3 の値が一致している場合は、F I F O バッファ 5 1 は完全に空の状態であり、従って読み出すべきデータは無いこととなる。また、読出ポインタ 5 2 と書込ポインタ 5 3 双方の値が一致していない場合は、その差分が、F I F O バッファ 5 1 の、占有されているバッファ段数となる。この差分は、引算器 5 4 で計算される。具体的には、引算器 5 4 は、「書込ポインタ 5 3 の値 - 読出ポインタ 5 2 の値」を計算する。但し、引き算結果が負になる場合は、詳細は後述するが、F I F O バッファ 5 1 の総段数「 8 」と負の引き算結果を足した値が最終結果となる。

【 0 0 6 4 】

ポインタ制御回路 5 5 は、書込ポインタ 5 3 と読出ポインタ 5 2 双方の制御を行なう。このポインタ制御回路 5 5 では、書込ポインタ 5 3 と読出ポインタ 5 2 の値が、書込動作により一致した場合に「エンプティフラグ」を論理 ' 1 ' とし、C P U に対して更なる受信データの読み出しを禁止する。この「エンプティフラグ」は一度論理 ' 1 ' にセットされた場合、次に両者の値に差が生じた場合に論理 ' 0 ' にクリアされる。このような動作は、一般的な F I F O バッファ装置の動作と同じである。

【 0 0 6 5 】

読出要求信号生成回路 5 6 は、C P U に向けて出力する割込信号に反映させるために、割込信号発生部 1 1 に送出する読出要求信号を生成する回路である。以下、図 1 0 を参照して説明する。

【 0 0 6 6 】

図 1 0 は、読出要求信号生成回路の回路図である。

【 0 0 6 7 】

図 1 0 に示す読出要求信号生成回路 5 6 には、F I F O バッファ 5 1 の占有領域の大きさを表わす、次の読出要求を行なうか否かの判定基準として用いられる閾値を更新自在に格納しておく閾値レジスタ 5 6 _ 1 が備えられている。

10

20

30

40

50

【 0 0 6 8 】

また、読出要求信号生成回路 5 6 には、閾値レジスタ 5 6 __ 1 に格納された閾値の増減の基準となる基準値を格納しておく基準値レジスタ 5 6 __ 2 が備えられている。

【 0 0 6 9 】

さらに、読出要求信号生成回路 5 6 には、引算器 5 4 により計算された F I F O バッファ 5 1 の占有領域の大きさと閾値レジスタ 5 6 __ 1 に格納された閾値とを比較し、占有領域の大きさが閾値に達したタイミングで F I F O バッファ 5 1 に格納された受信データの次の読出しを要求する比較器 5 6 __ 3 1 , フリップフロップ 5 6 __ 3 2 , 5 6 __ 3 3 , アンドゲート 5 6 __ 3 4 からなる読出要求タイミング生成部 5 6 __ 3 が備えられている。

【 0 0 7 0 】

また、読出要求信号生成回路 5 6 には、読出要求タイミング生成部 5 6 __ 3 からの読出しの要求である読出要求信号に応じて F I F O バッファ 5 1 の受信データを読み出すタイミングで、引算器 5 4 で計算された F I F O バッファ 5 1 の占有領域の大きさと基準値レジスタ 5 6 __ 2 に格納された基準値とを比較し、占有領域の大きさが基準値を越えるか、基準値と等しいか、あるいは基準値未満であるかに応じて、それぞれ、閾値レジスタ 5 6 __ 1 に格納された閾値を減少させ、同一に保持し、あるいは増加させるインクリメント 5 6 __ 4 1 , デクリメント 5 6 __ 4 2 , 切替器 5 6 __ 4 3 , 切替信号生成回路 5 6 __ 4 4 からなる閾値書替部 5 6 __ 4 が備えられている。

【 0 0 7 1 】

さらに、読出要求信号生成回路 5 6 には、後述する基準値レジスタ書込信号に応じて、データバスと基準値レジスタ 5 6 __ 2 に格納された基準値とを切り替える切替器 5 6 __ 5 と、引算器 5 4 の値と基準値レジスタ 5 6 __ 2 に格納された基準値とを比較して比較結果を切替信号生成回路 5 6 __ 4 4 に出力する比較器 5 6 __ 6 が備えられている。さらに詳細に説明する。

【 0 0 7 2 】

基準値レジスタ 5 6 __ 2 は 3 ビット < 2 : 0 > 構成のレジスタであり、この基準値レジスタ 5 6 __ 2 には、CPU に対する受信データ読出要求の割込信号である読出要求信号を発行する間隔を調整する基準となる基準値が設定される。この基準値と、引算器 5 4 の値 (F I F O バッファ 5 1 の空き段数) とが、比較器 5 6 __ 6 により比較され、CPU が受信データを読み出した時に次の割込信号発生間隔を決定する閾値レジスタ 5 6 __ 1 に設定する閾値を選択するために用いられる。CPU からデータバス経由で基準値レジスタ 5 6 __ 2 に対して書き込みが行なわれる際に、基準値レジスタ書込信号が有効となり、切替器 5 6 __ 5 を介して基準値が設定される。この基準値は保持し続ける。換言すれば、基準値レジスタ 5 6 __ 2 は、割込信号発生間隔を長くしたり短くしたりする調節を行なう際の判断基準となる、F I F O バッファ 5 1 に残っていてもよい受信データ数を設定するものである。例えば、基準値レジスタ 5 6 __ 2 の設定値が ' 2 ' の場合、CPU からの受信データの F I F O バッファ 5 1 からの読出を要求した時点での F I F O バッファ 5 1 内の受信データの残りが ' 2 ' であれば、割込信号発生間隔を変更せず、受信データの残りが ' 2 ' よりも大きい (空き領域が小さい) 場合は割込信号発生間隔を短くするように制御される。また、受信データの残りが ' 2 ' よりも小さい (空き領域が大きい) 場合は割込信号発生間隔を長くするように制御される。尚、通常は基準レジスタ 5 6 __ 2 の値は、CPU によりシステム起動時に 1 度だけ設定すればよい。

【 0 0 7 3 】

閾値レジスタ 5 6 __ 1 は 3 ビット < 2 : 0 > 構成のレジスタであり、この閾値レジスタ 5 6 __ 1 には、F I F O バッファ 5 1 が何段埋まったら読出要求信号を生成するのかわす閾値が設定される。この閾値と引算器 2 4 の値とが比較器 5 6 __ 3 1 により比較され、比較結果の値が「閾値レジスタ 5 6 __ 1 の値 引算器 5 4 の値」の場合は、比較器 5 6 __ 3 1 から論理 ' 1 ' の信号がフリップフロップ 5 6 __ 3 2 に向けて出力される。

【 0 0 7 4 】

切替器 5 6 __ 4 3 は、データバスの値、閾値レジスタ 5 6 __ 1 の値、その値をインクリ

10

20

30

40

50

メンタ56__41で+1した値、およびその値をデクリメンタ56__42で-1した値を切り替えて、閾値レジスタ56__1に入力する。

【0075】

切替信号生成回路56__44は、切替器56__43を切り替えるための信号を生成する。この切替信号生成回路56__44は、基準値レジスタ書込信号が有効な場合にはデータバスの値が閾値レジスタ56__1に入力されるように選択する。また、読出要求信号発生後最初のFIFOバッファ51からの読出時に、比較器56__6からの比較結果が、「基準値レジスタ56__2の値>引算器54の値」の場合は、インクリメンタ56__41の値が閾値レジスタ56__1に入力されるように選択する(但し、閾値レジスタ56__1の値が最大値‘7’の場合は、閾値レジスタ56__1の値がその閾値レジスタ56__1に入力されるように選択する)。さらに、読出要求信号発生後最初のFIFOバッファ51からの読出時に比較器56__6からの比較結果が、「基準値レジスタ56__2の値=引算器54の値」の場合は、閾値レジスタ56__1の値がその閾値レジスタ56__1に入力されるように選択する。また、読出要求信号発生後最初のFIFOバッファ51からの読出時に比較器56__6の比較結果が、「基準値レジスタ56__2の値<引算器54の値」の場合は、デクリメンタ56__42の値が閾値レジスタ56__1に入力されるように選択する(但し、閾値レジスタ56__1の値が最小値‘0’の場合は、閾値レジスタ56__1の値がその閾値レジスタ56__1に入力されるように選択する)。尚、上述した以外の定常状態の場合は、閾値レジスタ56__1の値がその閾値レジスタ56__1に入力されるように選択することにより、その値を保持する。

【0076】

図10に示す、読出要求タイミング生成部56__3を構成するフリップフロップ56__32, 56__33, アンドゲート56__34からなる回路は、一般的なエッジ検出回路であり、後述する図12に示すように、比較器56__31の比較結果が、「閾値レジスタ56__1の値>引算器54の値」から「閾値レジスタ56__1の値<引算器54の値」になった場合に、1システムクロック幅のパルスが発生し、このパルスを割込信号発生部11(図1参照)に与え、これが最終的にはCPUへの割込信号となる。次に、図11~図15を参照して本実施形態のデータ受信装置における動作について説明する。

【0077】

図11は、図9に示すFIFOバッファの、読出ポインタと書込ポインタによる動作例1を模擬した図である。

【0078】

この動作例1では、CPUへの割込信号発生間隔を短くするための制御が行なわれる。図9に示すFIFOバッファ51は、0~7とナンバリングされた8段のバッファ部で構成されている。尚、斜線で示すバッファ部0, 1, 4~7には受信データが格納されている。読出ポインタ52の現在の値は‘4’であり、書込ポインタ53の現在の値は‘2’である。また、FIFOバッファ51の左右には、これらの値‘4’‘2’を指し示す矢印が付されている。ここでは、基準値レジスタ56__2には基準値‘4’が設定されているものとする。

【0079】

最初の時点では、閾値レジスタ56__1の値が‘4’、読出ポインタ52の値が‘4’、書込ポインタ53の値が‘2’である。この状態で先の読出要求信号に基づく割込みにより、最初の受信データのFIFOバッファ51からの読出動作がCPUで行なわれる。すると、引算器54の結果は、「書込ポインタ53の値(‘2’) - 読出ポインタ52の値(‘4’) = ‘-2’」なので、 $8 - 2 = 6$ となる。この動作例1は、割込みの発生からCPUによる最初の読出しまでに有した時間がFIFOバッファ51における受信処理(2段分の受信処理)よりも長い場合に相当する。基準値レジスタ56__2の値は‘4’であるから、比較器56__6の比較結果は、「基準値レジスタ56__2の値<引算器54の値」となり、従って切替器56__43はデクリメンタ56__42を選択する信号を出力し、閾値レジスタ56__1には新たな値として‘3’が設定される。これにより、CPU

に対して行なわれる割込間隔が前回よりも短くなったことになる。その後、CPUでFIFOバッファ51からの受信データが読み出されて、そのFIFOバッファ51が空の状態になりエンプティフラグとして論理‘1’が出力され、これにより読出が終了する。次いで、FIFOバッファ51への受信データの蓄積（書込み）が生じ始める。

【0080】

図12は、図11に示す動作例1において、CPUでFIFOバッファからの受信データが読み出されてエンプティ状態になり、その後の受信によりFIFOバッファ51に受信データの蓄積が生じ始めるまでの様子を示すタイミングチャートである。

【0081】

尚、このタイミングチャートでは、読出終了後から受信処理がすぐに開始されている。引算器54の出力結果が値‘2’から値‘3’になった時点で新たに読出要求信号としてのパルス信号が出力される。ここで、点線で示すように、閾値レジスタ56__1に新たな値として‘3’が設定されずに値‘4’の状態のままでは、読出要求信号は、引算器54の出力結果が値‘3’から値‘4’になった時点で出力される。このように閾値レジスタ56__1に値‘4’を設定していた場合と比較し、CPUに対する割込間隔が短くなったのがわかる。

【0082】

図13は、図9に示すFIFOバッファの、読出ポインタと書込ポインタによる動作例2を模擬した図である。

【0083】

この動作例2では、CPUへの割込信号発生間隔を維持するための制御が行なわれる。ここでは、閾値レジスタ56__1の値が‘3’、読出ポインタ52の値が‘2’、書込ポインタ53の値が‘6’である。この状態で読出要求信号に基づく割込みにより、最初の受信データのFIFOバッファ51からの読出動作がCPUで行なわれる。引算器54の結果は、「書込ポインタ53の値(‘6’) - 読出ポインタ52の値(‘2’) = ‘4’」である。基準値レジスタ56__2の値は‘4’であるので、基準値レジスタ56__2の値 = 引算結果となり、切替器56__43は閾値レジスタ56__1の値‘3’をそのまま選択する信号を出力し、これにより閾値レジスタ56__1は値‘3’を保持する。その後、CPUでFIFOバッファ51から受信データが読み出されて、そのFIFOバッファ51が空の状態になり、読出しが終了する。次いで、受信が行なわれてFIFOバッファ51に受信データの蓄積が生じ始め、引算器54の出力結果が値‘2’から値‘3’になった時点で読出要求信号としてのパルス信号が出力される。

【0084】

図14は、図9に示すFIFOバッファの、読出ポインタと書込ポインタによる動作例3を模擬した図である。

【0085】

この動作例3では、CPUへの割込信号発生間隔を長くするための制御が行なわれる。ここでは、閾値レジスタ56__1の値が‘3’、読出ポインタ52の値が‘0’、書込ポインタ53の値が‘3’である。この状態で読出要求信号に基づく割込みにより、最初の受信データのFIFOバッファ51からの読出動作がCPUで行なわれる。引算器54の結果は、「書込ポインタ53の値(‘3’) - 読出ポインタ52の値(‘0’) = ‘3’」である。この動作例3は、割込みの発生からCPUによる最初の書込みまでに有した時間がFIFOバッファ51における受信処理（1段分の受信処理）よりも速い場合に相当する。基準値レジスタ56__2の値は‘4’であるので、基準値レジスタ56__2の値 > 引算結果となり、切替器56__43はインクリメント56__41を選択する信号を出力し、閾値レジスタ56__1には新たな値として‘4’が設定される。これにより、CPUに対して行なわれる割込間隔が前回よりも長くなったことになる。その後、CPUでFIFOバッファ51から受信データが読み出されて、そのFIFOバッファ51が空の状態になり、読出しが終了する。次いで、受信が行なわれてFIFOバッファ51に受信データの蓄積が生じ始める。

10

20

30

40

50

【 0 0 8 6 】

図 1 5 は、図 1 4 に示す動作例 3 において、CPU で F I F O バッファから受信データが読み出されて空の状態になり、その後の受信により F I F O バッファに受信データの蓄積が生じ始めるまでの様子を示すタイミングチャートである。

【 0 0 8 7 】

尚、このタイミングチャートでは、読出終了後から受信処理がすぐに開始されている。引算器 5 4 の出力結果が値 ' 3 ' から値 ' 4 ' になった時点で新たに読出要求信号としてのパルス信号が出力される。ここで、点線で示すように、閾値レジスタ 5 6 _ 1 に新たな値として ' 4 ' が設定されずに値 ' 3 ' の状態のままでは、読出要求信号は、引算器 5 4 の出力結果が値 ' 2 ' から値 ' 3 ' になった時点で出力される。このように閾値レジスタ 5 6 _ 1 に値 ' 3 ' を設定していた場合と比較し、CPU に対する割込間隔が長くなったのがわかる。

【 図面の簡単な説明 】

【 0 0 8 8 】

【図 1】本発明の一実施形態のデータ送信装置および本発明の一実施形態のデータ受信装置の双方が組み込まれたシリアル通信システムの構成を示す図である。

【図 2】図 1 に示す送信データバッファ部の構成を示す図である。

【図 3】書込要求信号生成回路の回路図である。

【図 4】図 2 に示す F I F O バッファの、書込ポインタと読出ポインタによる動作例 1 を模擬した図である。

【図 5】図 4 に示す動作例 1 におけるタイミングチャートである。

【図 6】図 2 に示す F I F O バッファの、書込ポインタと読出ポインタによる動作例 2 を模擬した図である。

【図 7】図 2 に示す F I F O バッファの、書込ポインタと読出ポインタによる動作例 3 を模擬した図である。

【図 8】図 7 に示す動作例 3 におけるタイミングチャートである。

【図 9】図 1 に示す受信データバッファ部の構成を示す図である。

【図 1 0】読出要求信号生成回路の回路図である。

【図 1 1】図 9 に示す F I F O バッファの、読出ポインタと書込ポインタによる動作例 1 を模擬した図である。

【図 1 2】図 1 1 に示す動作例 1 におけるタイミングチャートである。

【図 1 3】図 9 に示す F I F O バッファの、読出ポインタと書込ポインタによる動作例 2 を模擬した図である。

【図 1 4】図 9 に示す F I F O バッファの、読出ポインタと書込ポインタによる動作例 3 を模擬した図である。

【図 1 5】図 1 4 に示す動作例 3 におけるタイミングチャートである。

【 符号の説明 】

【 0 0 8 9 】

- 1 シリアル通信システム
- 1 0 CPU インターフェース部
- 1 1 割込信号発生部
- 2 0 送信データバッファ部
- 2 1 , 5 1 F I F O バッファ
- 2 2 , 5 2 読出ポインタ
- 2 3 , 5 3 書込ポインタ
- 2 4 , 5 4 引算器
- 2 5 , 5 5 ポインタ制御回路
- 2 6 書込要求信号生成回路
- 2 6 _ 1 , 5 6 _ 1 閾値レジスタ
- 2 6 _ 2 , 5 6 _ 2 基準値レジスタ

10

20

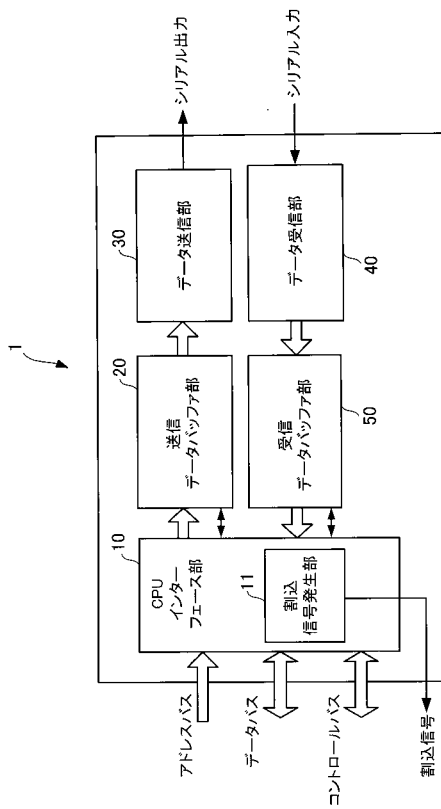
30

40

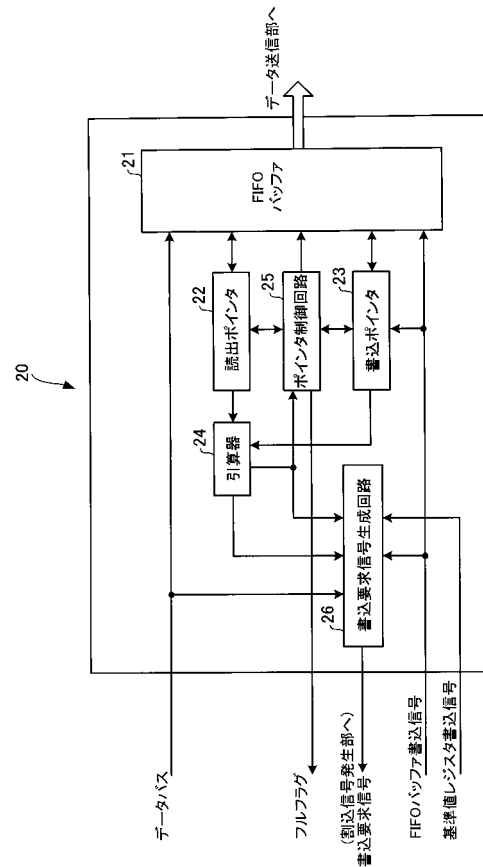
50

- 2 6 _ 3 書込要求タイミング生成部
- 2 6 _ 3 1 , 2 6 _ 6 , 5 6 _ 3 1 , 5 6 _ 6 比較器
- 2 6 _ 3 2 , 2 6 _ 3 3 , 5 6 _ 3 2 , 5 6 _ 3 3 フリップフロップ
- 2 6 _ 3 4 , 5 6 _ 3 4 アンドゲート
- 2 6 _ 4 , 5 6 _ 4 閾値書替部
- 2 6 _ 4 1 , 5 6 _ 4 1 インクリメンタ
- 2 6 _ 4 2 , 5 6 _ 4 2 デクリメンタ
- 2 6 _ 4 3 , 2 6 _ 5 , 5 6 _ 4 3 , 5 6 _ 5 切替器
- 2 6 _ 4 4 , 5 6 _ 4 4 切替信号生成回路
- 3 0 データ送信部
- 4 0 データ受信部
- 5 0 受信データバッファ部
- 5 6 読出要求信号生成回路
- 5 6 _ 3 読出要求タイミング生成部

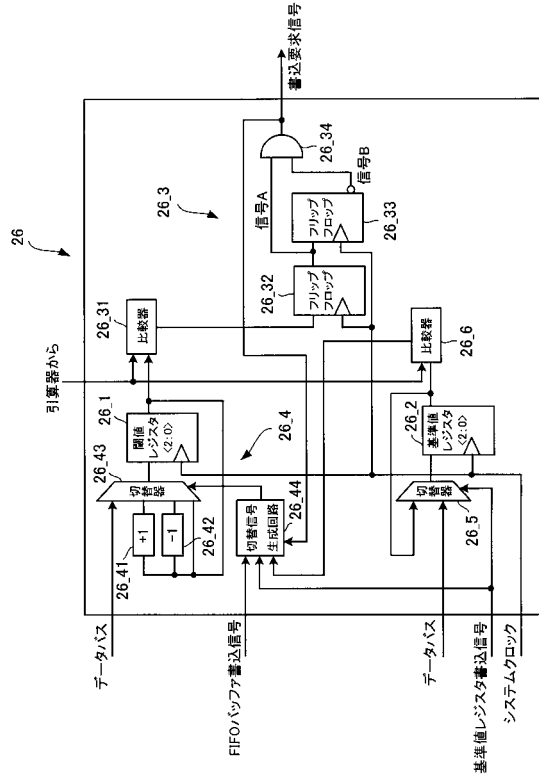
【 図 1 】



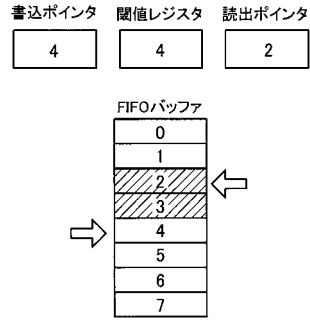
【 図 2 】



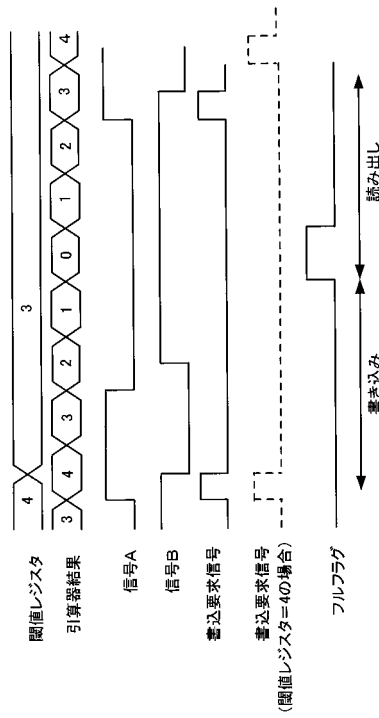
【図3】



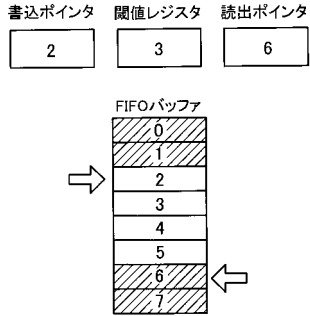
【図4】



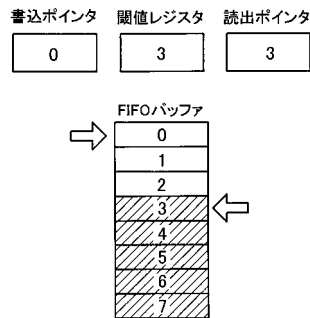
【図5】



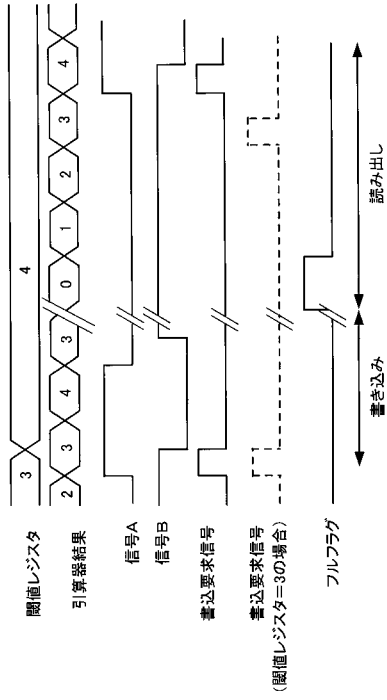
【図6】



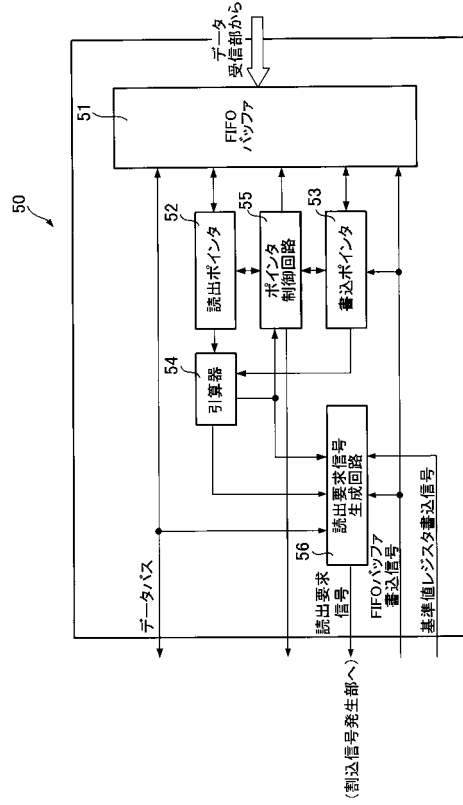
【図7】



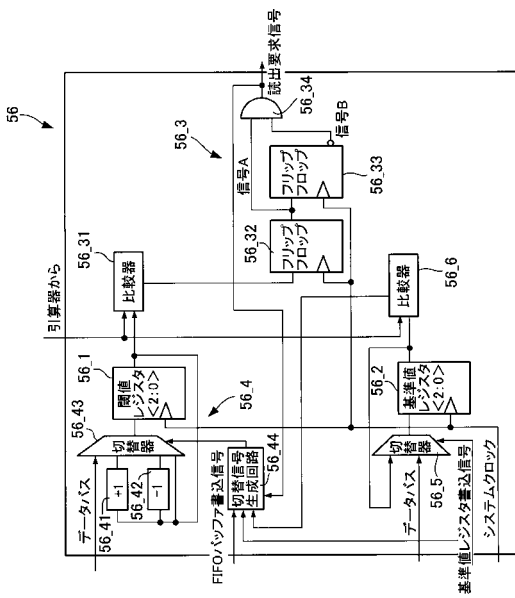
【図 8】



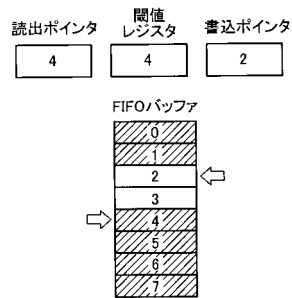
【図 9】



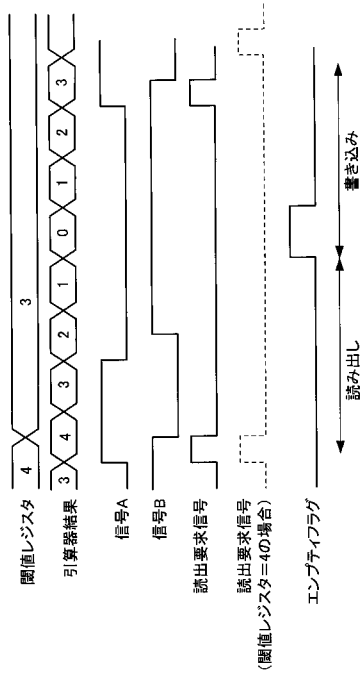
【図 10】



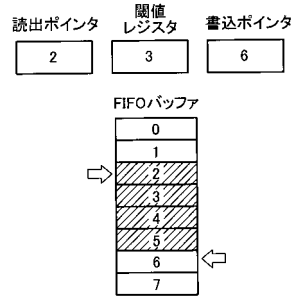
【図 11】



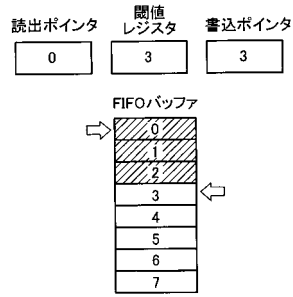
【図 1 2】



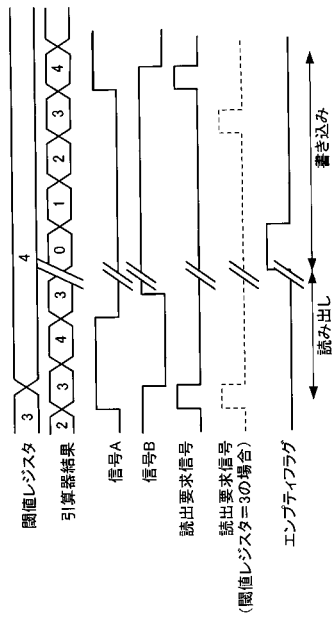
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

(56)参考文献 特開2002-024167(JP,A)
特開平06-110653(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04L 13/08
H04L 12/28