(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Publication number: **0 186 974 B1**

(12) # EUROPEAN PATENT SPECIFICATION

(45) Date of publication of patent specification: **02.06.93** (51) Int. Cl.5: **G06F 7/02**

(21) Application number: **85308673.4**

(22) Date of filing: **28.11.85**

(54) **Integrated circuit for checking boundaries.**

(30) Priority: **29.11.84 US 676362**

(43) Date of publication of application:
09.07.86 Bulletin 86/28

(45) Publication of the grant of the patent:
02.06.93 Bulletin 93/22

(84) Designated Contracting States:
AT BE CH DE FR GB IT LI LU NL SE

(56) References cited:
US-A- 3 601 804
US-A- 3 845 465
US-A- 3 970 833

INT. J. ELECTRONICS, vol. 47, no. 2, 1979, pages 187-192, Taylor & Francis LTD, London, GB; C.A. PAPACHRISTOU: "Parallel implementation of binary comparison circuits"

R.L. MORRIS et al.; "Designing with TTL integrated circuits", 1971, pages 235-240, McGRAW-HILL, New York, US

(73) Proprietor: **ADVANCED MICRO DEVICES, INC.**
901 Thompson Place P.O. Box 3453
Sunnyvale, CA 94088(US)

(72) Inventor: **Moller, Ole H.**
655 S, Fairoaks
Sunnyvale California(US)

(74) Representative: **Sanders, Peter Colin Christopher et al**
BROOKES & MARTIN High Holborn House
52/54 High Holborn
London WC1V 6SE (GB)

Note: Within nine months from the publication of the mention of the grant of the European patent, any person may give notice to the European Patent Office of opposition to the European patent granted. Notice of opposition shall be filed in a written reasoned statement. It shall not be deemed to have been filed until the opposition fee has been paid (Art. 99(1) European patent convention).

Rank Xerox (UK) Business Services
(3.10/3.6/3.3.1)

Description

This invention relates generally to digital integrated circuitry which compares 16-bit data values against lower and upper limits and, more particularly, to a single-chip circuit which can compare numbers selectively in an unsigned mode or a signed two's complement mode without loss of speed relative to a device which operates exclusively on unsigned or exclusively on signed numbers.

In many applications, digital data must be compared against programmable lower and upper numeric values. For example, a computer may utilize a virtual memory in which a selectable contiguous part of the virtual memory is mapped into random access memory (RAM) providing relatively faster read/write access times. Most of the instructions executed on the computer address locations within the fast RAM, however certain relatively-infrequent instructions such as load and store may address any location within the virtual memory. Hence apparatus is needed which can operate in real time to detect numeric values, here addresses, which fall outside a pair of numeric boundaries.

The prior art has constructed such bounds checker apparatus with discrete medium-scale integrated circuit (MSI) devices; in one instance, a 16-bit checker consisting of four 8-bit registers and four 8-bit comparators. This approach is undesirable for a variety of reasons; foremost among them are the cost of the individual components over that of a single-chip component and the large board area consumed by a number of individual components.

Other undesirable features of the prior art discrete component approach are high power consumption, fabrication costs of interconnecting the terminal pins of the individual components, the inter-component propagation delays and the inherent lower reliability of a multi-chip implementation as compared with a single-chip version.

In addition, the use of individual components made each application of a bounds checker a custom designed project with the attendant design costs and de-bugging requirements.

US-A-3,601,804 discloses a digital comparator for use in automatic test equipment for assessing whether a measured binary response from a test object lies within predetermined binary limits. The comparator has three outputs indicating whether the measured value lies above the upper limit, below the lower limit or between the two limits, respectively.

In the terms of claim 1 from US-A-3,601,804, a digital bounds checker is known, responsive to a plural-bit numeric data-word-to-be-compared is formed as a single-chip integrated circuit and comprising means for receiving and storing a lower-limit plural-bit numeric data word and an upper-limit plural-bit numeric data word; and means for generating at a first output a signal indicative of whether said data-word-to-be-compared bears a first numeric relationship to said lower-limit data word, for generating at a second output a signal indicative of whether said data-word-to-be-compared bears a second numeric relationship to said upper limit data word, and for generating at a third output a signal indicative of whether said data-word-to-be-compared bears a third numeric relationship to said lower-limit and upper-limit data words.

A digital single-chip integrated circuit bounds checker according to the present invention is claimed in claim 1.

A single-chip 16-bit bounds checker embodying the present invention can be produced at one-third the cost of the prior art discrete component approach, using one-eighth of board space of the space used in the prior art approach. The single-chip bounds checker requires only one-tenth the power of the prior art bounds checkers and affects a 20 percent improvement in cycle times. Interconnection of the more than 100 pins used in the discrete approach of the prior art is considerably reduced since the single-chip bounds checker requires only 28 pins.

The single-chip bounds checker can be operated in either an unsigned mode capable of processing data in the range 0 to 2^{16}-1 or in a signed mode capable of processing data in the range -2^{15} to $+2^{15}$-1. The mode is selected by a signal applied to a terminal pin of the bounds checker. A shared sixteen-bit wide input data bus receives the lower and upper limit values which are then loaded into lower and upper limit on-chip registers upon receipt of load lower and load upper signals. Data values to be compared against these limits are also presented on the shared input data bus.

A novel feature of the bounds checker provides the testing of either unsigned or signed two's complement numbers as described without imposing additional delay over a bounds checker which can operate only on one type of number.

The bounds checker is readily cascaded to provide a bounds checker capable of testing extended-precision values.

In the accompanying drawings, by way of example only:-

Fig. 1 illustrates a 16-bit bounds checker embodying the present invention,

Fig. 2 is a logic diagram of a comparator in the checker of Fig. 1, and

Fig. 3 illustrates two bounds checkers interconnected to form a 32-bit bounds checker.

In Fig. 1, the bounds checker 10 receives 16-bit data words at a set of sixteen data input terminals DATA__IN_{0-15}. The data input terminals are connected via a 16-bit data bus 20 to a lower bound register 22, an upper bound register 24, a lower comparator 26 and an upper comparator 28. The 16-bit data bus 20 is shared by the registers 22 and 24 and the comparators 26 and 28 so that the signals representing the 16-bit number-to-be-compared and the 16-bit numbers forming the lower and upper comparison limits can be placed onto the data input terminals of bounds checker 10 and conducted to the appropriate element therein.

The lower bound register 22 receives on signal line 30 a load lower bound register signal applied to a load lower (LOAD__LOWER) terminal of bounds checker 10. A 16-bit signal applied to the DATA__IN_{0-15} terminals of bounds checker 10 is conducted via bus 20 to an inverted input of lower bound register 22 and upon application of the load lower bound register signal, the 16-bit complemented signals are received and stored in register 22. Lower bound register 22 also receives a clock pulse applied to a clock (CLK) terminal of bounds checker 10 and conducted to register 22 via signal line 22. The 16-bit word loaded into register 22 is available at a 17-bit output of the register 22 at the arrival of the next clock pulse. The 17-bit output of register 22 will remain unchanged until the clock pulse next-following application of another load lower bound register signal.

The 17-bit output of lower bound register 22 consists of the (complemented) value of each of the lower-order fifteen bit complemented signals received and stored within register 22, plus the true and complemented value of the most-significant bit (msb) signal received and stored therein. The seventeen output signals are conducted via bus 34 to lower comparator 26.

In a manner similar to that described above, the upper bound register 24 receives on a signal line 36 a load upper bound register signal applied to a load upper (LOAD__UPPER) terminal of the bounds checker 10. A 16-bit signal applied to the DATA__IN_{0-15} terminals of checker 10 is conducted (in true values) as described above in connection with register 22. Upon reception of the next-following clock pulse applied to the CLK terminal of bounds checker 10, the 17-bit output signals of upper bound register 24, the true value of each of the lower-order bits, plus the true and complemented value of the msb is conducted via a bus 38 to upper comparator 28.

In addition to the 17-bit signals representing the lower bound, lower comparator 26 receives a 17-bit signal comprising the 16-bit true signals on the data bus 20 and the one-bit complemented signal of the msb on the data bus 20. Similarly, in addition to the 17-bit signals representing the upper bound, upper comparator 28 receives at an inverted input the 16-bit signal on the data bus 20 and the one-bit true signal of the msb on the data bus 20.

The lower comparator 26 also receives a carry-zero-low ($C_{0,L}$) signal applied to a CARRY__IN__LOWER terminal of the bounds checker 10 and conducted therefrom via a signal line 40. Upper comparator 28 receives a carry-zero-upper ($C_{0,U}$) signal applied to a CARRY__IN__UPPER terminal of the bounds checker 10 and conducted therefrom via signal line 42. Comparators 26 and 28 also receive a signed-mode signal applied to a SIGNED terminal of the bounds checker 10 and conducted therefrom via a signal line 44.

Lower comparator 26 generates on signal line 46 a complement carry-sixteen-lower ($\overline{C_{16,L}}$) signal conducted via an inverter 47 to a LOWER__OUT terminal of bounds checker 10 and conducted to a first complemented input of an AND gate 50. Upper comparator 28 generates on signal line 48 a complement carry-sixteen-upper ($\overline{C_{16,U}}$) signal conducted via an inverter 49 to an UPPER__OUT terminal of bounds checker 10 and conducted to a second input of the AND gate 50. The inverted output of AND gate 50 is connected to an OUT__OF__BOUNDS output terminal of bounds checker 10.

The signals $\overline{C_{16,L}}$ and $\overline{C_{16,U}}$ generated at the outputs of the comparators 26 and 28, respectively are related to the $C_{0,L}$ and $C_{0,U}$ signals applied to the CARRY__IN__LOWER and CARRY__IN__UPPER terminals respectively, in accordance with Table I, below.

TABLE I

Bounds Checker Operation				
Signals at Inputs		Signals at Outputs HIGH Iff.		
CARRY__IN__ LOWER	CARRY__IN__ UPPER	LOWER__OUT	UPPER__OUT	OUT__OF__BOUNDS
LOW	LOW	L<D	D<U	D≦L or U≦D
LOW	HIGH	L<D	D≦U	D≦L or U<D
HIGH	LOW	L≦D	D<U	D<L or U≦D
HIGH	HIGH	L≦D	D≦U	D<L or U<D

With reference to Table I, the entries in the column labelled LOWER__OUT refer to the conditions which must prevail between the current contents of the lower bound register 22, denoted "L" in Table I, and the current value applied to the DATA__IN_{0-15} terminals, denoted "D" in Table I, to cause a LOW $\overline{C_{16,L}}$ signal to be generated by lower comparator 26, and accordingly a HIGH $C_{16,L}$ signal to be received at the LOWER__OUT terminal of bounds checker 10. For example, in the first row, corresponding to a LOW signal at both carry-in inputs, the lower comparator 26 generates a LOW $\overline{C_{16,L}}$ signal if and only if the current contents in the lower bound register 22 is strictly less than the current value applied to the DATA__IN_{0-15} terminals.

Similarly, the column labelled UPPER__OUT of Table I indicates the conditions which must prevail between "D" and the current contents of the upper bound register 24, denoted "U" therein.

The signal at the OUT__OF__BOUNDS output of bounds checker 10 is related to the signals $C_{16,L}$ and $C_{16,U}$ according to the equation:

$$\text{OUT__OF__BOUNDS} = \overline{C_{16,L} \bullet C_{16,U}} = \overline{C_{16,L}} + \overline{C_{16,U}}$$

and therefore represents the failure of either (or both) conditions which cause a HIGH signal at the LOWER__OUT or the UPPER__OUT terminals to be received, in accordance with Table I, above, as determined by the signals at the CARRY__IN__LOWER and the CARRY__IN__UPPER terminals.

The bounds checker 10 can be selectively operated in either a signed (two's complement) mode or an unsigned mode depending on whether a HIGH, or a LOW, respectively signal is applied to the SIGNED terminal of the bounds checker. The lower and upper limit and data numbers are treated as signed 16-bit, or unsigned 16-bit integers, respectively, and the comparisons are affected in accordance with Table I, above, as determined by the signals at the CARRY__IN__LOWER and the CARRY__IN__UPPER terminals.

The bounds checker 10 implements the ability to operate on both signed and unsigned numbers in a way that extracts no additional time penalty in the cycle time of the device. During the signed mode of operation of the bounds checker 10, the value 2^{15} is added to all the numbers, lower and upper limits and data, to be used in the comparison operation under control of the signal applied to the SIGNED terminal and conducted via signal line 44 to the comparators 26 and 28. The addition is accomplished by complementing the most significant bit, i.e. bit position 15, of the signals received at the comparators 26 and 28 by the propagate and generate circuits of a carry lookahead logic circuit interior to the comparators 26 and 28 in a way that does not add to the combinatorial delay of the circuit.

To best understand this novel aspect of the bounds checker 10 reference should be had to Fig. 2, which illustrates the circuitry internal to the lower comparator 26 of the bounds checker 10, (and typical of the circuitry internal to the upper comparator 28). As described above, the signals applied to the DATA__IN_{0-15} terminal of the bounds checker 10 are conducted to comparator 26 together with the complement of the signal applied to the DATA__IN_{15} terminal. The signal applied at the DATA__IN_i, i = 14, 13, ..., 1, 0; terminal is conducted to an input of a respective one of a set of fifteen logic circuits 100a, 100b, ..., 100o; i.e., logic circuit 100a receives the signal applied at the DATA__IN_{14} terminal, ..., logic circuit 100o receives the signal applied at the DATA__IN_0 terminal. The 15 complemented signals generated by the lower bound register 22, $\overline{Q_{i,L}}$, i = 14, 13, ..., 1, 0; are conducted to a second input of the respective one of the set of fifteen logic circuits 100a, 100b, ..., 100o; i.e., logic circuit 100a receives the signal $\overline{Q_{14;L'}}$, logic circuit 100o receives the signal $\overline{Q_{0,L}}$.

Logic circuit 100a, typical of the remaining logic circuits 100b, ..., 100o, includes a NAND gate 102a and a NOR gate 104a which each receive at a first input the signal conducted from the DATA__IN_{14} terminal and at a second input the $\overline{Q_{14,L}}$ signal. Because the complement of the signal representing the contents of the lower bound register 22, is applied to the logic circuits 100a, 100b, ..., 100o along with the true signal

conducted from the DATA_IN$_{0-14}$ terminals, the logic circuits perform a subtraction of the low-order fifteen bits of the lower bound from the data-value-to-be-compared through one's complement addition. The signals at the output of the NAND gate 107a and of the NOR gate 104a of logic circuit 100a represent the complement of a generate and propagate signal, respectively, which is conducted to a four-bit lookahead carry circuit 106a, typical of lookahead carry circuits 106b, 106c and 106d. The corresponding complemented generate and propagate signals generated by the logic circuits 100b and 100c are likewise conducted to lookahead carry logic circuit 106a.

The generate and propagate signals generated by the four logic circuits 100d, ..., 100g, the four logic circuits 100h, ..., 100k, the four logic circuits 100l, ..., 100o are conducted to lookahead carry circuits 106b, 106c and 106d, respectively. Generate and propagate signals generated by the four first-level carry circuits 106a, ..., 106d are conducted to a second-level lookahead carry circuit 108 which also receives the carry-zero-low ($C_{0,L}$) signal via the signal line 40. The circuitry internal to the lookahead carry circuits 106a, ..., 106d and 108 is conventional and the circuits function in a manner well known to those skilled in the art.

The operation of the above-described elements of the comparator 26 illustrated in Fig. 2 is conventional, and as mentioned, performs a one's complement addition of the low-order fifteen bits of the data-value-to-be-compared (D_{0-14}) and the low-order fifteen bits of the contents of the lower bound register 22 (L_{0-14}). The generate and propagate signals generated within the second-level lookahead carry circuit 108 are wired-OR together to form the $\overline{C_{16,L}}$ signal generated at the output of the circuit 108 and conducted via signal line 46 and inverter 47 to the LOWER_OUT terminal of the bounds checker 10. Accordingly, the carry-out signal $\overline{C_{16,L}}$ is a HIGH if either a final generate signal or a final propagate signal (or both) was generated as a result of the one's complement addition of the low-order 15 bits D_{0-14} and L_{0-14}, as shown in Table II below. Thus the carry-out signal $\overline{C_{16,L}}$ is a LOW if neither the final generate signal, nor the final propagate signal was generated, i.e., the signal at the LOWER_OUT terminal is a HIGH if and only if the resulting subtraction produces neither a generate signal nor a propagate signal.

TABLE II

Lower Comparator Operation		
$C_{0,L}$ Carry-In Signal	Resulting Subtraction	Signal at LOWER_OUT Terminal HIGH If
LOW	D_{0-14}-L_{0-14}-1	$L_{0-14}<D_{0-14}$
HIGH	D_{0-14}-L_{0-14}	$L_{0-14}\leqq D_{0-14}$

The first row of Table II corresponds to the situation where a LOW carry-in signal is applied to the lower comparator 26. Hence the resulting carry-out signal $\overline{C_{16,L}}$ generated by the second-level lookahead carry logic circuit 108 of comparator 26 is the carry resulting from a one's complement addition (i.e., subtraction) of the subtrahend L_{0-14} and the D_{0-14} values. Due to the characteristics of one's complement arithmetic the resulting value is, as shown, D_{0-14} - L_{0-14} -1.Since the signal $\overline{C_{16,L}}$ is a LOW (and the signal at the LOWER_OUT terminal is a HIGH) if and only if either the final generate or the final propagate and $C_{0,L}$ are high signals, i.e., if and only if there is a carry-out of the subtraction D_{0-14} - L_{0-14} -1, in other words if and only if the resulting value of D_{0-14}-L_{0-14} -1 is not negative, i.e, if and only if D_{0-14} -L_{0-14} -1≧0, or as shown in the last column of Table II, $L_{0-14} < D_{0-14}$.

As shown in the second row of Table II, if a HIGH carry-in signal is applied to the lower comparator 26, the resulting subtraction is performed with a forced carry-in of a ONE bit, and thus corresponds to the subtraction D_{0-14} - L_{0-14}, and thus the resulting carry-out signal $\overline{C_{16,L}}$ is a LOW (and the signal at the LOWER_OUT terminal is a HIGH) if and only if the resulting value of D_{0-14} - L_{0-14} is not negative, or as shown in the last column of Table II, $L_{0-14} \leqq D_{0-14}$.

The comparisons reflected in the first and second rows of Table II, above, are in agreement with the corresponding first and second, and third and fourth respectively, rows of Table I, above.

The bounds checker 10 can process signed as well as unsigned lower and upper limits and data-to-be-compared values. Unsigned 16-bit values in the range 0 to 2^{16} -1 are treated as described above by the comparators 26 (and 28) in that the low-order fifteen bits of the lower limit, L_{0-14}, are subtracted from the data-value-to-be-compared, D_{0-14}, as described and the true and complemented signals corresponding to the most-significant bits L_{15} and D_{15} of the lower limit and the data-value-to-be-compared, respectively, are conducted from the lower bound register 22 and the DATA_IN$_{15}$ terminal of bounds checker 10, respectively, to a special logic circuit 110, within lower comparator 26.

Special logic circuit 110 includes a pair of OR gates 112 and 114 which each receive at a first input the signal conducted from the most-significant DATA_IN$_{15}$ terminal of the bounds checker 10 and at a second input the most-significant $\overline{Q_{15,L}}$ signal generated by the lower bound register 22. Circuit 110 also includes a pair of OR gates 116 and 118 which each receive at a first input the complemented signal conducted from the DATA_IN$_{15}$ terminal, and at a second input the most-significant $Q_{15,L}$ signal generated by the lower bound register 22.

Special logic circuit 110 also includes a pair of 2:1 multiplexers (2:1 MUX) 120 and 122 which each receive the signed-mode signal conducted on signal line 44 from the SIGNED terminal of bounds checker 10. Multiplexer 120 is connected to the outputs of the OR gates 112 and 116 and under control of the signed-mode signal conducts either the signal at the output of OR gate 112, or OR gate 116, to an output of the multiplexer 120, depending on whether the signed-mode signal is a HIGH, or a LOW, respectively. Multiplexer 122 is connected to the outputs of the OR gates 114 and 118 and under control of the signal-mode signal conducts either the signal at the output of OR gate 114, or OR gate 118, to an inverting output of the multiplexer 122, depending on whether the signed-mode signal is a LOW, or a HIGH, respectively.

The output of multiplexer 120 is connected to the most-significant inverted generate input of carry lookahead circuit 106a and the inverted output of multiplexer 122 is connected to the most-significant inverted propagate input of carry lookahead circuit 106a.

When the bounds checker 10 is being operated in its unsigned-mode a LOW is applied to the SIGNED terminal and a LOW signed-mode signal is conducted to the 2:1 MUX 120 and the 2:1 MUX 122 which causes the logical "OR" signal composed from the signals on the complemented DATA_IN$_{15}$ and the $Q_{15,L}$ input to the OR gate 116 and the logical "OR" signal composed from the signals on the DATA_IN$_{15}$ and the $\overline{Q_{15,L}}$ input to the OR gate 114 to be conducted to the most-significant generate and propagate respectively, inputs of lookahead carry circuit 106a. Thus, during the unsigned-mode of operation, the special half-adder circuit 110 generates generate and propagate signals from the most-significant bits of the lower limit L_{15} and the data-value-to-be-compared D_{15} in the same manner, and with no more gate delay than, as for the lower-order fifteen bits, as previously described; i.e.,

$$\overline{G_3} = \overline{D_{15}} + L_{15} = \overline{D_{15} \cdot \overline{L_{15}}}$$

$$\overline{P_3} = \overline{D_{15} + \overline{L_{15}}}$$

i.e., the NAND operation applied to the true signal applied to the DATA_IN$_{15}$ terminal and to complement of the $Q_{15,L}$ signal, and the NOR operation applied to the same signals.

During the signed mode of operation of bounds checker 10, a HIGH signal is applied to the SIGNED terminal and a HIGH signed-mode signal is conducted to the 2:1 MUX 120 and 122, which causes the logical "OR" signal composed from the signals on the true DATA_IN$_{15}$ and the $\overline{Q_{15,L}}$ input to the OR gate 112 and the logical "OR" signal composed from the signals on the complemented DATA_IN$_{15}$ and the $Q_{15,L}$ input to the OR gate 118 to be conducted to the most-significant inverted generate and inverted propagate inputs, respectively, of lookahead carry logic circuit 106a. In this case, the complements of the signals used to generate the most-significant inverted generate and inverted propagate signals for input to circuit 106a during the unsigned mode are used to generate these inverted generate and propagate signals, i.e.,

$$\overline{G_3} = D_{15} + \overline{L_{15}} = \overline{\overline{D_{15}} \cdot L_{15}}$$

$$\overline{P_3} = \overline{D_{15} + L_{15}} = D_{15} \cdot \overline{L_{15}}$$

Accordingly, during the signed mode the lower comparator 22 operates on values which are complemented in their most-significant bits for the lower limit value and the data-value-to-be-compared, with no additional gate delay when carrying out the comparison.

The bounds checker 10 is designed to operate on two's complement signed numbers in the range from -2^{15} to 2^{15} -1 representing the upper and lower limits and the data-value-to-be-compared and hence the above-described complementation effectively adds 2^{15} to all values to be compared during the signed

mode. This addition in no way affects the outcome of the comparisons but shifts the range of signed numbers into the range 0 to 2^{15} -1, i.e. identical with the range of unsigned numbers which can then be compared exactly as described before for unsigned numbers, in a way which imposes no combinatorial delay regardless of the mode in which the bounds checker 10 is operated.

The internal circuitry and operation of the upper comparator 28 effects the comparison by a subtraction of the data-value-to-be-compared from the contents of the upper bound register 24 in a manner entirely analogous to that just described for the lower comparator 26 and therefore no further explanation will be supplied herein.

The bounds checker 10 can be connected with other bounds checkers 10 to provide an extended precision bounds checker. Fig. 3 illustrates the interconnection of two bounds checkers 10 to form a 32-bit bounds checker. As shown, one bounds checker 10 ("low-order checker") receives the low-order sixteen bits of the lower limit, upper limit and data-value-to-be-compared at its DATA__IN_{0-15} terminals. The upper-order sixteen bits of these numbers are received at a second bounds checker 10 ("high-order checker") relabelled DATA__IN_{16-31} terminals. The LOAD__LOWER, LOAD__UPPER and CLK terminals of both bounds checkers 10 are connected in parallel. The LOWER__OUT and UPPER__OUT terminals of the low-order checker 10 are connected to the CARRY__IN__LOWER and the CARRY__IN__UPPER terminals, respectively, of the upper-order checker 10. The SIGNED terminal of the lower-order checker 10 is tied to a LOW signal, and the CARRY__IN__LOWER and CARRY__IN__UPPER terminals thereof receive the $C_{0,L}$ and $C_{0,U}$ signals, respectively, of the 32-bit checker. The SIGNED terminal of the upper-order checker 310 receives the signed-mode signal of the 32-bit checker, and the LOWER__OUT, OUT__OF__BOUNDS and, UPPER__OUT terminals thereof form the output terminals of the 32-bit checker.

The parallel connection of the clock and the LOAD__LOWER and LOAD__UPPER terminals afford simultaneous loading of the lower order and upper order 16-bit portions of the 32-bit lower and upper limit values, into the respective low-order and high-order bounds checker. Tying the SIGNED terminal of the low-order bounds checker 10 to a LOW causes the special logic circuit 110 therein to affect a normal (unsigned) comparison of the lower-order portions of the lower and upper limit values against the lower-order portion of the data-value-to-be-compared. Application of the appropriate signed-mode signal to the SIGNED terminal of the high-order bounds checker 10 causes the special logic circuit 110 therein to affect either an unsigned or signed comparison by either using the normal or the complemented values of the most-significant, i.e. 31st, bits of the lower and upper limits and the data-value-to-be-compared during the subtractions performed by the comparators 26 and 28 within the upper-order bounds checker.

The $C_{16,L}$ and $C_{16,U}$ carry-out signals generated by the low-order bounds checker 10 are applied as the $C_{0,L}$ and $C_{0,U}$, carry-in signals, respectively, to the high-order bounds checker and therefore the lower-order and high-order carry-out signals generated by the second level carry lookahead circuits of the comparators 26 and 28 within the high-order bounds checker will be correctly adjusted for any potential carries out of the low-order bounds checker 10. Accordingly, the outputs of the high-order bounds checker, LOWER__OUT, OUT__OF__BOUNDS and UPPER__OUT will reflect the correct result of the comparisons with the 32-bit upper and lower limit values against the 32-bit data-value-to-be-compared.

Claims

1. A digital single-chip integrated circuit bounds checker responsive to a plural-bit numeric data-word-to-be-compared comprising:

means (22, 24) for receiving and storing a lower-limit plural-bit numeric data word and an upper limit plural-bit numeric data word;

means (22, 26) for generating at a first output a signal indicative of whether said data-word-to-be-compared bears a first selectable numeric relationship to said lower-limit data word, for generating at a second output a signal indicative of whether said data-word-to-be-compared bears a second selectable numeric relationship to said upper-limit data word, and for generating at a third output a signal indicative of whether said data-word-to-be-compared bears a third selectable numeric relationship to said lower-limit and upper-limit data words;

the first selectable numeric relationship being selectable from the relationships greater-than and greater-than-or-equal-to, the second selectable numeric relationship being selectable from the relationships less-than and less-than-or-equal to, and the third selectable numeric relationship being selectable from the relationships: outside the open-interval, outside the open-left-closed-right-interval, outside the closed-left-open-right-interval and outside the closed-interval; the first, second and third selectable numeric relationships being selectable by application of suitable selection signals to certain terminal pins of the bounds checker.

2. A digital bounds checker according to claim 1, wherein:

the means for receiving and storing comprise first and second register means (22, 24) for receiving the lower-limit and upper-limit data words, respectively, and for temporarily storing the data words; and the means for generating comprise

(i) first and second comparator means (26, 26) connected to said first and said second register means (22, 24), respectively, and responsive to said data-word-to-be-compared, for generating at a first and a second comparator means output (46, 48) said signal indicative of said first and said second selectable relationship, respectively, said first and said second output of said comparator means forming the first and the second output of said generating means, respectively; and

(ii) gate means (50) connected to said outputs of said first and said second comparator means for generating at an output the signal indicative of said third selectable relationship, the output of said gate means forming said third output of said generating means.

3. A bounds checker according to claim 2, further including an input data bus (20) connected to said first and second register means (22, 24) and to said first and second comparator means (26, 28), wherein said first and second register means are responsive to a first and a second load register signal, respectively, whereby a plural-bit data word can be conducted via said input data bus to said first and said second comparator means, and whereby a plural-bit data word can be conducted via said input data bus to said first register means and said second register means, and stored therein upon application of a HIGH signal as said first and said second load register signal, respectively.

4. A bounds checker according to claim 2 wherein the selectable numeric relationships are selected in response to first and second carry-in signals comprising a plurality of user-selectable numeric relationship signals, whereby the outputs of said comparators (26, 28) and said gate (50) correspond to said first, second and third selectable numeric relationship, respectively, , depending on whether said first carry-in signal is a LOW or a HIGH, said second carry-in signal is a LOW or a HIGH, said first and second carry-in signals are a LOW or said first carry-in signal is a LOW and said second carry-in signal is a HIGH or said first carry-in signal is a HIGH and said second carry-in signal is a LOW, or said first and said second carry-in signals are a HIGH, respectively.

5. A bounds checker according to claim 2, wherein said first, second and third numeric data words can be in either unsigned or signed two's complement notation; and said comparator means (26, 28) are responsive to a signed-number signal such that said outputs of said comparator means (26, 28) and said gate means (50) corresponding to said selectable numeric relationships are generated selectively for unsigned and signed numeric data words depending on whether said signed-number signal is a LOW, or a HIGH, respectively, in a manner which imposes no added gate delay compared to the time required by a bounds checker capable of operating only on either said unsigned or said two's complement notation data words, exclusively.

6. A bounds checker according to claim 5, wherein said first and said second comparator means (26, 28) comprise:

a first and a second plurality of low-order logic cell means (100) receiving true and complemented signals representing predetermined low-order bit positions of said plural-bit data-word-to-be-compared, and complemented and true signals representing predetermined low-order bit position of said plural-bit data word stored in said first and said second register means, respectively, for generating low-order generate (GENi) and low-order propagate (PROPi) signals therefrom,

a first and a second high-order logic cell means receiving true and complemented signals representing the high-order bit position of said plural-bit data-word-to-be-compared and true and complemented signals representing the high-order bit position of said plural-bit data word stored in said first and said second register means, respectively, and receiving said signed-number signal for generating a high-order unsigned/signed generate (GENn) signal and a high-order unsigned/signed propagate (PROPn) signal therefrom, and

a first and a second lookahead carry logic means (106) receiving said low-order generate and propagate signals and said high-order unsigned/signed generate and propagate signals, and receiving said first and second carry-in signal, for generating therefrom said signals formed at said comparator means output,

wherein said first plurality of low-order logic cell means performs the following logical operations on the signals representing the complement of the bit position of said data word stored in said first register

means ($\overline{Li}$) and the bit position of said data-word-to-be-compared (Di):

$GENi = \overline{Li} \cdot Di$
$PROPi = Li + Di$

wherein said first high-order logic cell means performs the following logical operations on the signals representing the true and complement of the high-order bit position of said data-word-to-be-compared (Dn, $\overline{Dn}$) and the high-order true and complemented bit position of said data word stored in said first register means, (Ln, $\overline{Ln}$);

GENn-Ln$\cdot\overline{Dn}$ if signed-number signal is HIGH
$GENn = \overline{Ln} \cdot Dn$ if signed-number signal is LOW
$PROPn = Ln + \overline{Dn}$ if signed-number signal is HIGH
$PROPn = \overline{Ln} + Dn$ if signed-number signal is LOW

wherein said second plurality of low-order logic cell means performs the following logical operations on the signals representing the complement of the bit position of said data-word-to-be-compared ($\overline{Di}$) and the bit position of said data word stored in said second register means (Ui):

$GENi = Ui \cdot \overline{Di}$
$PROPi = Ui + \overline{Di}$

and wherein said second high-order logic cell means performs the following logical operations on the signals representing the high-order true and complemented bit position of said data-word-to-be-compared (Dn, $\overline{Dn}$) and the high-order true and complemented bit position of said data word stored in said second register means (Un, $\overline{Un}$);

$GENn = \overline{Un} \cdot Dn$ if signed-number signal is a HIGH
$GENn = Un \cdot \overline{Dn}$ if signed-number signal is a LOW
$PROPn = \overline{Un} + Dn$ if signed-number signal is a HIGH
$PROPn = Un + \overline{Dn}$ if signed-number signal is a LOW,

whereby said first comparator means performs a subtraction of said data word stored in said first register means from said data-word-to-be-compared using said first carry-in signal as the input to the least significant bit position to said first lookahead-carry logic means, a HIGH output signal thereof indicative of said first numeric relationship that said data word stored in said first register means is less than or is less-than-or-equal-to, said data-word-to-be-compared if said first carry-in signal is a LOW or is a HIGH, respectively, a LOW output signal thereof indicative of said first numeric relationship that said data word stored in said register means is greater-than-or-equal-to or is greater-than said data-word-to-be-compared if said first carry-in signal is a LOW or is a HIGH, respectively, and

whereby said second comparator means performs a subtraction of said data-word-to-be-compared from said data word stored in said second register means using said second carry-in signal as the input to the least-significant bit position to said second lookahead carry logic means, a HIGH output signal thereof indicative of said second numeric relationship that said data word stored in said second register means is greater-than-or-equal-to or is greater than said data-word-to-be-compared if said second carry-in signal is a HIGH or is a LOW, respectively, a LOW output signal thereof indicative of said second numeric relationship that said data word stored in said second register means is less-than or is less-than-or-equal-to, said data-word-to-be-compared if said second carry-in signal is a HIGH or is a LOW, respectively.

7. A bounds checker according to claim 1, further comprising an input data bus (20), wherein:

said means for receiving and storing comprise first and second register means (22, 24) connected to said input data bus, and responsive to a first or a second load register signal, respectively, for receiving said lower-limit and said upper-limit data words, respectively, conducted thereto via said bus and for temporarily storing said data words in response to said load register signals; and

said means for generating comprise:

(i) a first and second plurality of low-order logic cell means (100) connected to said input data bus and connected to said first and second register means, respectively, responsive to said data-word-to-be-compared conducted thereto via said bus, each said first low-order logic cell means, respectively, each said second low-order logic cells means, receiving true signals representing predetermined low-order bit positions of said plural-bit data-word-to-be-compared and signals representing predetermined low-order bit positions of said plural-bit data word stored in said first and second

register means, respectively, for generating low-order generate (GENi) and low-order propagate (PROPi) signals therefrom;

(ii) a first and second high-order logic cell means connected to said input data bus and connected to said first and second register means, respectively, responsive to said data-word-to-be-compared conducted thereto via said bus, said first high-order logic cell means and said second high-order logic cell means respectively receiving a true and a complemented signal representing the high-order bit position of said plural-bit data-word-to-be-compared and a signal representing the high-order bit position of said plural-bit data word stored in said first and second register means, respectively, and receiving said signed-number signal for generating a high-order unsigned/signed generate (GENn) signal and a high-order unsigned/signed propagate (PROPn) signal therefrom;

(iii) a first and a second lookahead carry logic means (106) receiving said low-order generate and propagate signals and said high-order unsigned/signed generate and propagate signals, for generating therefrom at said first, respectively, said second, output of said generating means, said signal indicative of said first, respectively, said second, selectable relationship; and

(iv) gate means (50) connected to said first and said second lookahead carry logic means to receive said signals indicative of said first and said second selectable relationships, for generating therefrom at said third output of said generating means said signal indicative of said third selectable relationship;

whereby said lower-limit and upper-limit plural-bit data words can be conducted via said input data bus to said first register means and said second register means, respectively, and stored therein upon application of a HIGH first and second load register signal, respectively; and

whereby said signals formed on said first, second and third outputs of said generating means corresponding to said selectable numeric relationships are generated for either unsigned or said signed numeric data words depending on whether said signed-number signal is a LOW, or a HIGH, respectively, in a manner which imposes no added time delay compared to the time required by a bounds checker capable of operating only on either said unsigned or said two's complement notation data words, exclusively.

8. A bounds checker according to claim 7, wherein said first and second lookahead carry logic means are further responsive to a first and a second carry-in signal, respectively, comprising a plurality of user-selectable relationship signals; and wherein said first plurality of low-order logic cell means perform the following logical operations on the signals representing the bit position of said data-word-to-be-compared (Di) and the complement of the bit position of said data word stored in said first register means, ($\overline{Li}$):

$$GENi = Di \cdot \overline{Li}$$
$$PROPi = Di + \overline{Li}$$

wherein said second plurality of low-order logic cell means perform the following logical operations on the signals representing the complement of the bit position of said data-word-to-be-compared ($\overline{Di}$) and the bit position of said data word stored in said second register means (Ui):

$$GENi = Ui \cdot \overline{Di}$$
$$PROPi = Ui + \overline{Di}$$

wherein said first high-order logic cell means performs the following logical operations on the signals representing the high-order true and complemented bit position of said data-word-to-be-compared (Dn, $\overline{Dn}$) and the high-order true and complemented bit position of said data word stored in said first register means (Ln, $\overline{Ln}$);

$GENn = \overline{Dn} \cdot Ln$ if signed-number signal is a HIGH
$GENn = Dn \cdot \overline{Ln}$ if signed-number signal is a LOW
$PROPn = \overline{Dn} + Ln$ if signed-number signal is a HIGH
$PROPn = Dn + \overline{Ln}$ if signed-number signal is a LOW,

wherein said second high-order logic cell means performs the following logical operations on the signals representing the high-order true and complemented bit position of said data-word-to-be-compared (Dn, $\overline{Dn}$) and the high-order true and complemented bit position of said data word stored in said second register means (Un, $\overline{Un}$);

$GENn = \overline{Un} \cdot Dn$ if signed-number signal is a HIGH

$GEN_n = U_n \cdot \overline{D_n}$ if signed-number signal is a LOW
$PROP_n = \overline{U_n} + D_n$ if signed-number signal is a HIGH
$PROP_n = U_n + \overline{D_n}$ if signed-number signal is a LOW

whereby said generating means performs a subtraction of said data word stored in said first register means from said data-word-to-be-compared using said first carry-in signal as the input to the least-significant bit position to said first lookahead carry logic means for generating therefrom a HIGH output signal at said first output of said generating means indicative of said first numeric relationship that said data word stored in said register means is less-than or is less-than-or-equal-to said data-word-to-be-compared if said first carry-in signal is a LOW or is a HIGH, respectively, and for generating therefrom a LOW output signal indicative of said first numeric relationship that said data word stored in said first register means is greater-than-or-equal-to or is greater-than said data-word-to-be-compared if said first carry-in signal is a LOW or is a HIGH, respectively; and

whereby said generating means performs a subtraction of said data-word-to-be-compared from said data word stored in said second register means using said second carry-in signal as the input to the least-significant bit position to said second lookahead carry logic means for generating therefrom a HIGH output signal at said second output of said generating means indicative of said second numeric relationship that said data word stored in said second register means is greater-than-or-equal-to or is greater-than said data-word-to-be-compared if second carry-in signal is a HIGH or is a LOW, respectively, and for generating therefrom a LOW output signal indicative of said second numeric relationship that said data word stored in said second register means is less-than or is less-than-or-equal-to said data-word-to-be-compared if said second carry-in signal is a HIGH or is a LOW, respectively, and

whereby a HIGH output signal is generated at said third output of said generating means indicative of said third numeric relationship that said data-word-to-be-compared is less-than-or-equal-to or is less-than said data word stored in said first register means if said first carry-in signal is a LOW or is a HIGH, respectively, or that said data-word-to-be-compared is greater-than or greater-than-or-equal-to said data word stored in said second register means if said second carry-in signal is a HIGH or is a LOW, respectively, and generating at said third output a LOW output signal indicative of said third numeric relationship that said data-word-to-be-compared is greater-than or is greater-than-or-equal-to said data word stored in said first register means if said first carry-in signal is a LOW or is a HIGH, respectively, and that said data word stored in said second register means is greater-than-or-equal-to or is greater-than said data-word-to-be-compared if said second carry-in signal is a HIGH or is a LOW, respectively.

Patentansprüche

1. Digital-Grenzprüfeinrichtung als Einzelchip-IC-Schaltung, die auf ein zu vergleichendes numerisches Mehrbit-Datenwort reagiert, mit:
einer Einrichtung (22,24) zum Empfangen und Speichern eines numerischen Untergrenzen-Mehrbit-Datenwortes und eines numerischen Obergrenzen-Mehrbit-Datenwortes;
einer Einrichtung (22,26), um an einem ersten Ausgang ein Signal zu erzeugen, das anzeigt, ob das zu vergleichende Datenwort in einer ersten wählbaren numerischen Beziehung zu dem Untergrenzen-Datenwort steht, und um an einem zweiten Ausgang ein Signal zu erzeugen, das anzeigt, ob das zu vergleichende Datenwort in einer zweiten wählbaren numerischen Beziehung zu dem Obergrenzen-Datenwort steht, und um an einem dritten Ausgang ein Signal zu erzeugen, das anzeigt, ob das zu vergleichende Datenwort in einer dritten wählbaren numerischen Beziehung zu den Untergrenzen- und den Obergrenzen-Datenwörtern steht;
wobei die erste wählbare numerische Beziehung wählbar ist aus der größer-als und größer-als- oder-gleich-Beziehung, die zweite wählbare numerische Beziehung wählbar ist aus der kleiner-als-und kleiner-als-oder-gleich-Beziehung, und die dritte wählbare numerische Beziehung wählbar ist aus den Beziehungen: außerhalb des Offen-Intervalls, außerhalb des Links-Offen-Rechts-Geschlossen-Intervalls,außerhalb des Links-Geschlossen-Rechts-Offen-Intervalls und außerhalb des Geschlossen-Intervalls; wobei die ersten, zweiten und dritten wählbaren numerischen Beziehungen durch Anlegen geeigneter Selektionssignale an bestimmte Anschlußstifte der Grenzprüfeinrichtung wählbar sind.

2. Digital-Grenzprüfeinrichtung nach Anspruch 1, bei der
die zum Empfangen und Speichern vorgesehene Einrichtung erste und zweite Registereinrichtungen (22,24) zum Empfangen des Untergrenzen-Datenwortes bzw. des Obergrenzen-Datenwortes, und zum Zwischenspeichern der Datenwörter aufweist; und die Erzeugungseinrichtung aufweist:

(i) erste und zweite Komparatoreinrichtungen (26,28), die mit der ersten bzw. der zweiten Registereinrichtung (22,24) verbunden sind und auf das zu vergleichende Datenwort reagieren, um an einem ersten und einem zweiten Komparatoreinrichtungs-Ausgang (46,48) das die erste bzw. zweite wählbare Beziehung anzeigende Signal zu erzeugen, wobei der erste und der zweite Ausgang der Komparatoreinrichtung den ersten bzw. den zweiten Ausgang der Erzeugungseinrichtung bilden; und
(ii) eine mit den Ausgängen der ersten und der zweiten Komparatoreinrichtung verbundene Gattereinrichtung (50), um an einem Ausgang das die dritte wählbare Beziehung anzeigende Signal zu erzeugen, wobei der Ausgang der Gattereinrichtung den dritten Ausgang der Erzeugungseinrichtung bildet.

3. Grenzprüfeinrichtung nach Anspruch 2, ferner mit einem Eingangsdatenbus (50), der mit der ersten und der zweiten Registereinrichtung (22,24) und mit der ersten und der zweiten Komparatoreinrichtung (26,28) verbunden ist, wobei die erste und die zweite Registereinrichtung auf ein erstes bzw. ein zweites Registerladesignal reagieren, wobei ein Mehrbit-Datenwort über den Eingangsdatenbus zu der ersten und der zweiten Komparatoreinrichtung geleitet werden kann, und wobei ein Mehrbit-Datenwort über den Eingangsdatenbus zu der ersten Registereinrichtung und der zweiten Registereinrichtung geleitet werden und darin bei Anlegen eines HIGH-Signals als das erste bzw. das zweite Registerladesignal gespeichert werden kann.

4. Grenzprüfeinrichtung nach Anspruch 2, bei der die wählbaren numerischen Beziehungen als Antwort auf erste und zweite Übertragsignale gewählt werden, die mehrere vom Benutzer wählbare numerische Beziehungssignale aufweisen, wobei die Ausgangssignale der Komparatoren (26,28) und des Gatters (50) den ersten, zweiten bzw. dritten wählbaren numerischen Beziehungen entsprechen, jeweils in Abhängigkeit davon, ob das erste Übertragsignal LOW oder HIGH ist, das zweite Übertragsignal LOW oder HIGH ist, das erste und das zweite Übertragsignal LOW ist oder das erste Übertragsignal LOW ist und das zweite Übertragsignal HIGH ist oder das erste Übertragsignal HIGH ist und das zweite Übertragsignal LOW ist, oder das erste und das zweite Übertragsignal HIGH ist.

5. Grenzprüfeinrichtung nach Anspruch 2, bei der die ersten, zweiten und dritten numerischen Datenwörter entweder in der vorzeichenlosen oder der vorzeichenbehafteten Zweierkomplementschreibweise vorliegen können; und die Komparatoreinrichtung (26,28) derart auf ein Signal für vorzeichenbehaftete Zahl reagiert, daß die den wählbaren numerischen Beziehungen entsprechenden Ausgangssignale der Komparatoreinrichtung (26,28) und der Gattereinrichtung (50) in Abhängigkeit davon, ob das Signal für vorzeichenbehaftete Zahl LOW bzw. HIGH ist, wahlweise für vorzeichenlose oder vorzeichenbehaftete numerische Datenwörter erzeugt werden, derart, daß im Vergleich zu der Zeit, die eine Grenzprüfeinrichtung benötigt, welche lediglich ausschließlich entweder vorzeichenlose oder in der Zweierkomplementschreibweise vorliegende Datenwörter bearbeiten kann, keine zusätzliche Gatterverzögerung hervorgerufen wird.

6. Grenzprüfeinrichtung nach Anspruch 5, bei der die erste und die zweite Komparatoreinrichtung (26,28) aufweist:
eine erste und eine zweite Anzahl von Niedrigwert-Logikzelleinrichtungen (100), die Wahr- und Komplementär-Signale, welche vorbestimmte Niedrigwert-Bitpositionen des zu vergleichenden Mehrbit-Datenwortes repräsentieren, und Komplementär- und Wahr-Signale empfangen, welche vorbestimmte Niedrigwert-Bitpositionen des in der ersten bzw. der zweiten Registereinrichtung gespeicherten Mehrbit-Datenwortes repräsentieren, um daraus Niedrigwert-Erzeugungs(GENi)- und Niedrigwert-Ausbreitungs(PROPi)-Signale zu erzeugen,
eine erste und eine zweite Hochwert-Logikzelleinrichtung, die Wahr- und Komplementär-Signale, welche die Hochwert-Bitposition des zu vergleichenden Mehrbit-Datenwortes repräsentieren, und Wahr- und Komplementär-Signale empfängt, welche die Hochwert-Bitposition des in der ersten bzw. der zweiten Registereinrichtung gespeicherten Mehrbit-Datenwortes repräsentieren, und die das Signal für vorzeichenbehaftete Zahl empfangen, um ein vorzeichenloses/vorzeichenbehaftetes Hochwert-Erzeugungs-Signal (GENn) und ein vorzeichenloses/vorzeichenbehaftetes Hochwert-Ausbreitungs-Signal (PROPn) zu erzeugen, und
eine erste und eine zweite Carry-Look-ahead-Logikeinrichtung (106), die die Niedrigwert-Erzeugungs- und Ausbreitungssignale und die vorzeichenlosen/vorzeichenbehafteten Hochwert-Erzeugungs- und Ausbreitungssignale empfängt, und die die ersten und zweiten Übertragsignale empfängt, um daraus die an dem Komparatorein-richtungs-Ausgang gebildeten Signale zu erzeugen,

wobei die erste Anzahl von Niedrigwert-Logikzelleinrichtungen die Signale, die das Komplement der Bitposition des in der ersten Registereinrichtung gespeicherten Datenwortes ($\overline{Li}$) und der Bitposition des zu vergleichenden Datenwortes ($\overline{Di}$) repräsentieren, den folgenden logischen Operationen unterzieht:

$GENi = \overline{Li} \cdot Di$
$PROPi = Li + Di$

wobei die erste Hochwert-Logikzelleinrichtung die Signale, die die Wahr- und Komplementär-Werte der Hochwert-Bitposition des zu vergleichenden Datenwortes (Dn,$\overline{Dn}$) und die Hochwert-Wahr- und Komplementär-Bitposition des in der ersten Registereinrichtung gespeicherten Datenwortes (Ln,$\overline{Ln}$) repräsentieren, den folgenden logischen Operationen unterzieht:
$GENn = Ln \cdot \overline{Dn}$,
falls das Signal für vorzeichenbehaftete Zahl HIGH ist,
$GENn = \overline{Ln} \cdot Dn$,
falls das Signal für vorzeichenbehaftete Zahl LOW ist,
$PROPn = Ln + \overline{Dn}$,
falls das Signal für vorzeichenbehaftete Zahl HIGH ist,
$PROPn = \overline{Ln} + Dn$,
falls das Signal für vorzeichenbehaftete Zahl LOW ist,
wobei die zweite Anzahl von niedrigwertigen Logikzelleinrichtungen die Signale, die das Komplement der Bitposition des zu vergleichenden Datenwortes ($\overline{Di}$) und der Bitposition des in der zweiten Registereinrichtung gespeicherten Datenwortes (Ui) repräsentieren, den folgenden logischen Operationen unterzieht:

$GENi = Ui \cdot \overline{Di}$
$PROPi = Ui + \overline{Di}$

und wobei die zweite Hochwert-Logikzelleinrichtung die Signale, welche die hochwertige Wahr- und Komplementär-Bitposition des zu vergleichenden Datenwortes (Dn,$\overline{Dn}$) und die hochwertige Wahr- und Komplementär-Bitposition des in der zweiten Registereinrichtung gespeicherten Datenwortes (Un,$\overline{Un}$) repräsentieren, den folgenden logischen Operationen unterzieht:
$GENn - \overline{Un} \cdot Dn$,
falls das Signal für vorzeichenbehaftete Zahl HIGH ist,
$GENn - Un \cdot \overline{Dn}$,
falls das Signal für vorzeichenbehaftete Zahl LOW ist,
$PROPn = \overline{Un} + Dn$,
falls das Signal für vorzeichenbehaftete Zahl HIGH ist,
$PROPn = Un + \overline{Dn}$,
falls das Signal für vorzeichenbehaftete Zahl LOW ist,
wobei die erste Komparatoreinrichtung eine Subtraktion des in der ersten Registereinrichtung gespeicherten Datenwortes von dem zu vergleichenden Datenwort durchführt, und zwar unter Verwendung des ersten Übertragsignals als Eingabe in die rangniedrigste Bitposition in die erste Carry-Look-ahead-Logikeinrichtung verwendet wird, wobei deren HIGH-Ausgangssignal hinsichtlich der ersten numerischen Beziehung angibt, daß das in der ersten Registereinrichtung gespeicherte Datenwort in bezug auf das zu vergleichende Datenwort kleiner ist oder kleiner-oder-gleich ist, falls das erste Übertragsignal LOW bzw. HIGH ist, und wobei deren LOW-Ausgangssignal hinsichtlich der ersten numerischen Beziehung angibt, daß das in der Registereinrichtung gespeicherte Datenwort in bezug auf das zu vergleichende Datenwort größer-oder-gleich oder größer ist, falls das erste Übertragsignal LOW bzw. HIGH ist, und
wobei die zweite Komparatoreinrichtung eine Subtraktion des zu vergleichenden Datenwortes von dem in der zweiten Registereinrichtung gespeicherten Datenwort durchführt, und zwar unter Verwendung des zweiten Übertragsignals als Eingabe in die rangniedrigste Bitposition in die zweite Carry-Look-ahead-Logikeinrichtung, wobei deren HIGH-Ausgangssignal hinsichtlich der zweiten numerischen Beziehung angibt, daß das in der zweiten Registereinrichtung gespeicherte Datenwort in bezug auf das zu vergleichende Datenwort größer-oder-gleich ist oder größer ist, falls das zweite Übertragsignal HIGH bzw. LOW ist, und wobei deren LOW-Ausgangssignal hinsichtlich der zweiten numerischen Beziehung angibt, daß das in der zweiten Registereinrichtung gespeicherte Datenwort in bezug auf das zu vergleichende Datenwort kleiner ist oder kleiner-oder-gleich ist, falls das zweite Übertragsignal HIGH

bzw. LOW ist.

7. Grenzprüfeinrichtung nach Anspruch 1, ferner mit einem Eingangsdatenbus (20), bei der die Empfangs- und die Speichereinrichtung erste und zweite Registereinrichtungen (22,24) aufweist, die mit dem Eingangsdatenbus verbunden sind und auf ein erstes bzw. ein zweites Registerladesignal reagieren und die die diesen über den Bus zugeführten Untergrenzen- bzw. Obergrenzen-Datenwörter empfangen, und die die Datenwörter als Reaktion auf die Registerladesignale zwischenspeichern; und die Erzeugungseinrichtung aufweist:

(i) eine erste und eine zweite Anzahl von Niedrigwert-Logikzelleinrichtungen (100), die mit dem Eingangsdatenbus verbunden sind und mit der ersten bzw. der zweiten Registereinrichtung verbunden sind, wobei als Antwort auf das diesen über den Bus zugeführte zu vergleichende Datenwort jede der ersten Niedrigwert-Logikzelleinrichtungen bzw. jede der zweiten Niedrigwert-Logikzelleinrichtungen Wahr-Signale, die vorbestimmte Niedrigwert-Bitpositionen des zu vergleichenden Mehrbit-Datenwortes repräsentieren, und Signale empfängt, die vorbestimmte Niedrigwert-Bitpositionen des in der ersten bzw. in der zweiten Registereinrichtung gespeicherten Mehrbit-Datenwortes repräsentieren, um daraus Niedrigwert-Erzeugungs(GENi)- und Niedrigwert-Ausbreitungs(PROPi)-Signale zu erzeugen;

(ii) eine erste und eine zweite Hochwert-Logikzelleinrichtung, die mit dem Eingangsdatenbus verbunden sind und die mit der ersten bzw. der zweiten Registereinrichtung verbunden sind, wobei als Antwort auf das diesen über den Bus zugeführte zu vergleichende Datenwort die erste Hochwert-Logikzelleinrichtung bzw. die zweite Hochwert-Logikzelleinrichtung ein Wahr- und ein Komplementär-Signal, die die Hochwert-Bitposition des zu vergleichenden Mehrbit-Datenwortes repräsentieren, und ein Signal empfängt, das die Hochwert-Bitposition des in der ersten bzw. in der zweiten Registereinrichtung gespeicherten Mehrbit-Datenwortes repräsentiert, und das Signal für vorzeichenbehaftete Zahl empfängt, um daraus ein vorzeichenloses/vorzeichenbehaftetes Hochwert-Erzeugungs-Signal (GENn) und ein vorzeichenloses/vorzeichenbehaftetes Hochwert-Ausbreitungs (PROPi)-Signal zu erzeugen;

(iii) eine erste und eine zweite Carry-Look-ahead-Logikeinrichtung (106), die die Niedrigwert-Erzeugungs- und Ausbreitungssignale und die vorzeichenlosen/vorzeichenbehafteten Hochwert-Erzeugungs- und Ausbreitungssignale empfängt, um aus diesen an dem ersten bzw. dem zweiten Ausgang der Erzeugungseinrichtung das die erste bzw. die zweite wählbare Beziehung anzeigende Signal zu erzeugen; und

(iv) eine zwischen die erste und die zweite Carry-Look-ahead-Logikeinrichtunggeschaltete Gattereinrichtung (50) zum Empfangen der die erste und die zweite wählbare Beziehung anzeigenden Signale, um aus diesen an dem dritten Ausgang der Erzeugungseinrichtung das die dritte wählbare Beziehung anzeigende Signal zu erzeugen;

wobei die Untergrenzen- und die Obergrenzen-Mehrbit-Datenwörter der ersten Registerein- wobei die Untergrenzen- und die Obergrenzen-Mehrbit-Datenwörter der ersten Registereinrichtung bzw. der zweiten Registereinrichtung über den Eingabedatenbus zugeführt werden und darin bei Zuführung eines HIGH-Pegel aufweisenden ersten bzw. zweiten Registerladesignals gespeichert werden können; und

wobei die den wählbaren numerischen Beziehungen entsprechenden Signale an dem ersten, dem zweiten und dem dritten Ausgang der Erzeugungseinrichtung für entweder vorzeichenlose oder vorzeichenbehaftete numerische Datenwörter in Abhängigkeit davon erzeugt werden, ob das Signal für vorzeichenbehaftete Zahl LOW bzw. HIGH ist, derart, daß im Vergleich zu der Zeit, die eine Grenzprüfeinrichtung benötigt, welche lediglich ausschließlich entweder vorzeichenlose oder in der Zweierkomplementschreibweise vorliegende Datenwörter bearbeiten kann, keine zusätzliche Zeitverzögerung hervorgerufen wird.

8. Grenzprüfeinrichtung nach Anspruch 7, bei dem die erste und die zweite Carry-Look-ahead-Logikeinrichtung ferner auf ein erstes bzw. ein zweites Übertragsignal reagieren, das mehrere benutzerwählbare Beziehungssignale aufweist; und wobei die erste Anzahl von Niedrigwert-Logikzelleinrichtungen die Signale, die die Bitposition des zu vergleichenden Datenwortes (Di) und das Komplement der Bitposition des in der ersten Registereinrichtung gespeicherten Datenwortes ($\overline{Li}$) repräsentieren, den folgenden logischen Operationen unterzieht:

$$GENi = Di \cdot \overline{Li}$$
$$PROPi = Di + \overline{Li}$$

wobei die zweite Anzahl von Niedrigwert-Logikzelleinrichtungen die Signale, die das Komplement der Bitposition des zu vergleichenden Datenwortes ($\overline{Di}$) und der Bitposition des in der zweiten Registereinrichtung gespeicherten Datenwortes (Ui) repräsentieren, den folgenden logischen Operationen unterzieht:

$GENi = Ui \cdot \overline{Di}$
$PROPi = Ui + \overline{Di}$

wobei die erste Hochwert-Logikzelleinrichtung die Signale, die die Hochwert-Wahr- und Komplementär-Bitposition des zu vergleichenden Datenwortes (Dn,$\overline{Dn}$) und die Hochwert-Wahr- und Komplementär-Bitposition des in der ersten Registereinrichtung gespeicherten Datenwortes (Ln,$\overline{Ln}$) repräsentieren, den folgenden logischen Operationen unterzieht:
$GENn = \overline{Dn} \cdot Ln$,
falls das Signal für vorzeichenbehaftete Zahl HIGH ist,
$GENn = Dn \cdot \overline{Ln}$,
falls das Signal für vorzeichenbehaftete Zahl LOW ist,
$PROPn = \overline{Dn} + Ln$,
falls das Signal für vorzeichenbehaftete Zahl HIGH ist,
$PROPn = Dn + \overline{Ln}$,
falls das Signal für vorzeichenbehaftete Zahl LOW ist,
wobei die zweite Hochwert-Logikzelleinrichtung die Signale, welche die Hochwert-Wahr- und Komplementär-Bitposition des zu vergleichenden Datenwortes (Dn,$\overline{Dn}$) und die Hochwert-Wahr- und Komplementär-Bitposition des in der zweiten Registereinrichtung gespeicherten Datenwortes (Un,$\overline{Un}$) repräsentieren, den folgenden logischen Operationen unterzieht:
$GENn - \overline{Un} \cdot Dn$,
falls das Signal für vorzeichenbehaftete Zahl HIGH ist,
$GENn - Un \cdot \overline{Dn}$,
falls das Signal für vorzeichenbehaftete Zahl LOW ist,
$PROPn = \overline{Un} + Dn$,
falls das Signal für vorzeichenbehaftete Zahl HIGH ist,
$PROPn = Un + \overline{Dn}$,
falls das Signal für vorzeichenbehaftete Zahl LOW ist,
wobei die Erzeugungseinrichtung eine Subtraktion des in der ersten Registereinrichtung gespeicherten Datenwortes von dem zu vergleichenden Datenwort durchführt, wobei das erste Übertragsignal als Eingabe in die rangniedrigste Bitposition in die erste Carry-Look-ahead-Logikeinrichtung verwendet wird, um daraus ein HIGH-Ausgangssignal an dem ersten Ausgang der Erzeugungseinrichtung zu erzeugen, das hinsichtlich der ersten numerischen Beziehung angibt, daß das in der Registereinrichtung gespeicherte Datenwort in bezug auf das zu vergleichende Datenwort kleiner ist oder kleiner-oder-gleich ist, falls das erste Übertrag-signal LOW bzw. HIGH ist, und um daraus ein LOW-Ausgangssignal zu erzeugen, das hinsichtlich der ersten numerischen Beziehung angibt, daß das in der ersten Registereinrichtung gespeicherte Datenwort in bezug auf das zu vergleichende Datenwort größer-oder-gleich oder größer ist, falls das erste Übertragsignal LOW bzw. HIGH ist, und
wobei die Erzeugungseinrichtung eine Subtraktion des zu vergleichenden Datenwortes von dem in der zweiten Registereinrichtung gespeicherten Datenwort durchführt, wobei das zweite Übertragsignal als Eingabe in die rangniedrigste Bitposition in die zweite Carry-Look-ahead-Logikeinrichtung verwendet wird, um daraus ein HIGH-Ausgangssignal an dem zweiten Ausgang der Erzeugungseinrichtung zu erzeugen, das hinsichtlich der zweiten numerischen Beziehung angibt, daß das in der zweiten Registereinrichtung gespeicherte Datenwort in bezug auf das zu vergleichende Datenwort größer-oder-gleich ist oder größer ist, falls das zweite Übertragsignal HIGH bzw. LOW ist, und um daraus ein Low-Ausgangssignal zu erzeugen, das hinsichtlich der zweiten numerischen Beziehung angibt, daß das in der zweiten Registereinrichtung gespeicherte Datenwort in bezug auf das zu vergleichende Datenwort kleiner ist oder kleiner-oder-gleich ist, falls das zweite Übertragsignal HIGH bzw. LOW ist, und
wobei an dem dritten Ausgang der Erzeugungseinrichtung ein HIGH-Ausgangssignal erzeugt wird, das hinsichtlich der dritten numerischen Beziehung angibt, daß das zu vergleichende Datenwort in bezug auf das in der ersten Registereinrichtung gespeicherte Datenwort kleiner-oder-gleich ist oder kleiner ist, falls das erste Übertragsignal LOW bzw. HIGH ist, oder daß das zu vergleichende Datenwort in bezug auf das in der zweiten Registereinrichtung gespeicherte Datenwort größer oder größer-oder-gleich ist,

falls das zweite Übertragsignal HIGH bzw. LOW ist, und wobei an dem dritten Ausgang ein Low-Ausgangssignal erzeugt wird, das hinsichtlich der dritten numerischen Beziehung angibt, daß das zu vergleichende Datenwort in bezug auf das in der ersten Registereinrichtung gespeicherte Datenwort größer oder größer-oder-gleich ist, falls das erste Übertragsignal LOW bzw. HIGH ist, und daß das in der zweiten Registereinrichtung gespeicherte Datenwort in bezug auf das zu vergleichende Datenwort größer-oder-gleich oder größer ist, falls das zweite Übertragsignal HIGH bzw. LOW ist.

Revendications

1. Un vérificateur de limites à circuit intégré numérique sur une seule puce réagissant à un mot de données numérique de plusieurs bits à comparer, comprenant:

des moyens (22, 24) pour recevoir et stocker un mot de données numérique de plusieurs bits, de limite inférieure, et un mot de données numérique de plusieurs bits, de limite supérieure;

des moyens (26, 28) pour émettre à une première sortie un signal indiquant si ledit mot de données à comparer est dans une première relation numérique sélectionnable avec ledit mot de données de limite inférieure, pour émettre à une deuxième sortie un signal indiquant si ledit mot de données à comparer est dans une deuxième relation numérique sélectionnable avec ledit mot de données de limite supérieure, et pour émettre à une troisième sortie un signal indiquant si ledit mot de données à comparer est dans une troisième relation numérique sélectionnable avec lesdits mots de données de limite inférieure et de limite supérieure;

la première relation numérique sélectionnable pouvant être sélectionnée parmi les relations "supérieur à" et "supérieur ou égal à", la deuxième relation numérique sélectionnable pouvant être sélectionnée parmi les relations "inférieur à" et "inférieur ou égal à", et la troisième relation numérique sélectionnable pouvant être sélectionnée parmi les relations suivantes: hors de l'intervalle ouvert; hors de l'intervalle ouvert à gauche, fermé à droite; hors de l'intervalle fermé à gauche, ouvert à droite; et hors de l'intervalle fermé; les première, deuxième et troisième relations sélectionnables pouvant être sélectionnées en appliquant les signaux de sélection appropriés à certaines broches terminales du vérificateur de limites.

2. Un vérificateur de limites numérique conforme à la revendication 1, dans lequel:

les moyens destinés à la réception et au stockage comportent un premier et un second moyens de registre (22, 24) pour recevoir respectivement les mots de données de limite inférieure et de limite supérieure, et pour stocker temporairement les mots de données; et les moyens destinés à l'émission comportent

(i) des premier et second moyens comparateurs (26, 28) reliés respectivement audit premier et audit second moyens de registre (22, 24) et réagissant audit mot de données à comparer, pour émettre à une première et à une deuxième sorties de moyens comparateurs (46, 48) ledit signal indiquant respectivement ladite première et ladite deuxième relation sélectionnable, ladite première et ladite deuxième sortie desdits moyens comparateurs formant respectivement la première et la deuxième sortie desdits moyens d'émission; et

(ii) un moyen de porte (50) relié auxdites sorties dudit premier et dudit second moyens comparateurs pour émettre à une sortie le signal indiquant ladite troisième relation sélectionnable, la sortie dudit moyen de porte formant la troisième sortie desdits moyens d'émission.

3. Un vérificateur de limites conforme à la revendication 2, comprenant en outre un bus de données d'entrée (20) relié auxdits premier et second moyens de registre (22, 24) et auxdits premier et second moyens comparateurs (26, 28), dans lequel lesdits premier et second moyens de registre réagissent respectivement à un premier et à un second signal de chargement de registre, ce par quoi un mot de données de plusieurs bits peut être transmis, via ledit bus de données d'entrée, audit premier et audit second moyens comparateurs, et ce par quoi un mot de données de plusieurs bits peut être transmis, via ledit bus de données d'entrée, audit premier moyen de registre et audit second moyen de registre, et y être stocké à l'application d'un signal HAUT, respectivement comme dit premier signal et dit second signal de chargement de registre.

4. Un vérificateur de limites conforme à la revendication 2, dans lequel les relations numériques sélectionnables sont sélectionnées en réponse aux premier et second signaux de report comprenant une pluralité de signaux de relations numériques sélectionnables par l'utilisateur, par lesquels les sorties desdits comparateurs (26, 28) et de ladite porte (50) correspondent respectivement auxdites

première, deuxième et troisième relations numériques sélectionnables, selon que ledit premier signal de report est un BAS ou un HAUT, que ledit second signal de report est un BAS ou un HAUT, que lesdits premier et second signaux de report sont un BAS, ou que ledit premier signal de report est un BAS et ledit second signal de report est un HAUT, ou que ledit premier signal de report est un HAUT et ledit second signal de report est un BAS, ou que lesdits premier et second signaux de report sont un HAUT, respectivement.

5. Un vérificateur de limites conforme à la revendication 2, dans lequel lesdits premier, deuxième et troisième mots de données peuvent être en notation "complément à deux" signée ou non signée; et lesdits moyens comparateurs (26, 28) réagissent à un signal de nombre signé de sorte que lesdites sorties desdits moyens comparateurs (26, 28) et dudit moyen de porte (50) correspondant auxdites relations numériques sélectionnables soient émises de manière sélective pour les mots de données numériques non signés et signés selon que ledit signal de nombre signé est un BAS, ou un HAUT, respectivement, d'une façon qui n'impose aucun retard de porte supplémentaire comparé au temps nécessaire à un vérificateur de limites capable de fonctionner seulement soit sur lesdits mots de données non signés, soit sur lesdits mots de données en notation complément à deux, exclusivement.

6. Un vérificateur de limites conforme à la revendication 5, dans lequel ledit premier et ledit second moyens comparateurs (26, 28) comportent:

une première et une seconde pluralité de moyens de cellules logiques de poids faible (100) recevant les signaux vrai et complémenté représentant la position binaire de poids faible prédéterminées dudit mots de données de plusieurs bits à comparer, et les signaux complémenté et vrai représentant la position binaire de poids faible prédéterminée dudit mot de données de plusieurs bits, stockés respectivement dans ledit premier et ledit second moyens de registre, pour émettre, de là, des signaux d'émission de poids faible (GENi) et de propagation de poids faible (PROPi),

un premier et un second moyens de cellules logiques de poids fort recevant les signaux vrai et complémenté représentant la position binaire de poids fort dudit mot de données de plusieurs bits à comparer et les signaux vrai et complémenté représentant la position binaire de poids fort dudit mot de données de plusieurs bits, stockés respectivement dans ledit premier et ledit second moyens de registre , et recevant ledit signal de nombre signé pour émettre de là un signal d'émission non-signé/signé, de poids fort (GENn) et un signal de propagation non signé/signé de poids fort (PROPn), et

un premier et un second moyens logiques de report avec regard en avant (106) recevant lesdits signaux d'émission et de propagation de poids faible et lesdits signaux d'émission et de propagation non signés/signés, de poids fort, et recevant lesdits premier et second signaux de report, pour émettre, de là, lesdits signaux formés à la sortie desdits moyens comparateurs,

dans lequel ladite première pluralité de moyens de cellules logiques de poids faible effectue les opérations logiques suivantes sur les signaux représentant le complément de la position binaire dudit mot de données stocké dans ledit premier moyen de registre (Li) et la position binaire dudit mot de données à comparer (Di):

$$GENi = \overline{Li}.Di$$
$$PROPi = Li + Di$$

dans lequel ledit premier moyen de cellule logique de poids fort effectue les opérations logiques suivantes sur les signaux représentant le vrai et le complément de la position binaire de poids fort dudit mot de données à comparer (Dn, Dn) et la position binaire vraie et complémentée de poids fort dudit mot de données stocké dans ledit premier moyen de registre, (Ln, Ln);

$GENn = Ln.\overline{Dn}$ si le signal de nombre signé est HAUT

$GENn = \overline{Ln}.Dn$ si le signal de nombre signé est BAS

$PROPn = Ln + \overline{Dn}$ si le signal de nombre signé est HAUT

$PROPn = \overline{Ln} + Dn$ si le signal de nombre signé est BAS

dans lequel ladite seconde pluralité de moyens de cellules logiques de poids faible effectue les opérations logiques suivantes sur les signaux représentant le complément de la position binaire dudit mot de données à comparer (Di) et la position binaire dudit mot de données stocké dans ledit second moyen de registre (Ui):

$$GENi = Ui.\overline{Di}$$
$$PROPi = Ui + \overline{Di}$$

et dans lequel ledit second moyen de cellule logique de poids fort effectue les opérations logiques suivantes sur les signaux représentant la position binaire vraie et complémentée de poids fort dudit mot de données à comparer (Dn, $\overline{Dn}$) et la position binaire vraie et complémentée de poids fort dudit mot de données stocké dans ledit second moyen de registre (Un, $\overline{Un}$);

$GENn = \overline{Un}.Dn$ si le signal de nombre signé est un HAUT

$GENn = Un.\overline{Dn}$ si le signal de nombre signé est un BAS

$PROPn = \overline{Un} + Dn$ si le signal de nombre signé est un HAUT

$PROPn = Un + \overline{Dn}$ si le signal de nombre signé est un BAS,

ce par quoi ledit premier moyen comparateur soustrait ledit mot de données stocké dans ledit premier moyen de registre dudit mot de données à comparer en utilisant ledit premier signal de report corne entrée à la position binaire de poids faible vers ledit premier moyen logique de report avec regard en avant, un signal de sortie HAUT de celui-ci indiquant ladite première relation numérique selon laquelle ledit mot de données stocké dans ledit premier moyen de registre est inférieur, ou est inférieur ou égal, audit mot de données à comparer si ledit premier signal de report est respectivement un BAS ou un HAUT, un signal de sortie BAS de celui-ci indiquant ladite première relation numérique selon laquelle ledit mot de données stocké dans ledit moyen de registre est supérieur ou égal, ou est supérieur, audit mot de données à comparer si ledit premier signal de report est respectivement un BAS ou un HAUT, et

par quoi ledit second moyen comparateur soustrait ledit mot de données à comparer dudit mot de données stocké dans ledit second moyen de registre en utilisant ledit second signal de report comme entrée à la position binaire de poids faible vers ledit second moyen logique de report avec regard en avant, un signal de sortie HAUT de celui-ci indiquant ladite deuxième relation numérique selon laquelle ledit mot de données stocké dans ledit second moyen de registre est supérieur ou égal, ou est supérieur, audit mot de données à comparer, si ledit second signal de report est respectivement un HAUT ou un BAS, un signal de sortie BAS de celui-ci indiquant ladite deuxième relation numérique selon laquelle ledit mot de données stocké dans ledit second moyen de registre est inférieur, ou inférieur ou égal, audit mot de données à comparer, si ledit second signal de report est respectivement un HAUT ou un BAS.

7. Un vérificateur de limites conforme à la revendication 1, comprenant en outre un bus de données d'entrée (20), dans lequel:

lesdits moyens de réception et de stockage comprennent des premier et second moyens de registre (22, 24) reliés audit bus de données d'entrée, et réagissant respectivement à un premier ou à un second signal de chargement de registre, pour recevoir respectivement lesdits mots de données de limite inférieure et de limite supérieure, transmis via ledit bus et pour stocker temporairement lesdits mots de données en réponse auxdits signaux de chargement de registre; et

lesdits moyens de réception comprennent :

(i) une première et une seconde pluralités de moyens de cellules logiques de poids faible (100) reliées audit bus de données d'entrée et reliées respectivement auxdits premier et second moyens de registre, réagissant audit mot de données à comparer transmis via ledit bus, chaque dit premier moyen de cellule logique de poids faible, respectivement, chaque dit second moyen de cellule logique de poids faible, recevant les signaux vrais représentant les positions binaires de poids faible prédéterminées dudit mot de données à comparer et les signaux représentant les positions binaires de poids faible dudit mot de données de plusieurs bits stocké respectivement dans lesdits premier et second moyens de registre, pour émettre, de là, des signaux d'émission de poids faible (GENi) et de propagation de poids faible (PROPi);

(ii) un premier et un second moyens de cellules logiques de poids fort reliés audit bus de données d'entrée et reliés respectivement auxdits premier et second moyens de registre, réagissant audit mot de données à comparer transmis via ledit bus, ledit premier moyen de cellule logique de poids fort et ledit second moyen de cellule logique de poids fort recevant respectivement un signal vrai et un signal complémenté représentant la position binaire de poids fort dudit mot de données de plusieurs bits à comparer, et un signal représentant la position binaire de poids fort dudit mot de données de plusieurs bits stocké respectivement dans lesdits premier et second moyens de registre, et recevant ledit signal de nombre signé pour émettre de là un signal d'émission non signé/signé de poids fort (GENn) et un signal de propagation non signé/signé de poids fort (PROPn);

(iii) un premier et un second moyens logiques de report avec regard en avant (106) recevant lesdits signaux d'émission et de propagation de poids faible et lesdits signaux de propagation et d'émission

non signés/signés de poids fort, pour émettre de là, respectivement à ladite première, à ladite deuxième, sortie dudit moyen d'émission, ledit signal indiquant respectivement ladite première, ladite deuxième, relation sélectionnable; et

(iv) un moyen de porte (50) relié audit premier et audit second moyens logiques de report avec regard en avant pour recevoir lesdits signaux indiquant ladite première et ladite deuxième relation sélectionnable, pour émettre, de là, à ladite troisième sortie dudit moyen d'émission ledit signal indiquant ladite troisième relation sélectionnable;

par quoi lesdits mots de données de plusieurs bits de limite inférieure et de limite supérieure peuvent être transmis, via ledit bus de données d'entrée, respectivement audit premier moyen de registre et audit second moyen de registre, et y être stockés sur application respectivement d'un premier et d'un second signal de chargement de registre HAUT; et

par quoi lesdits signaux formés sur lesdites première, deuxième et troisième sorties dudit moyen d'émission correspondant auxdites relations numériques sélectionnables sont émis pour lesdits mots de données numériques soit non signés, soit signés, selon que ledit signal de nombre signé est un BAS, ou un HAUT, respectivement, d'une façon qui n'impose aucun délai supplémentaire par rapport au temps nécessaire à un vérificateur de limites capable de fonctionner seulement sur des mots de données soit dits non signés, soit dits à numération de complément à deux, exclusivement.

8. Un vérificateur de limites conforme à la revendication 7, dans lequel lesdits premier et second moyens logiques de report avec regard en avant réagissent en outre respectivement à un premier et à un second signal de report, comportant une pluralité de signaux de relations sélectionnables par l'utilisateur; et dans lequel ladite première pluralité de moyens de cellules logiques de poids faible effectue les opérations logiques suivantes sur les signaux représentant la position binaire dudit mot de données à comparer (Di) et le complément de la position binaire dudit mot de données stocké dans ledit premier moyen de registre, ($\overline{Li}$):

$GENi = Di.\overline{Li}$
$PROPi = Di + \overline{Li}$

dans lequel ladite seconde pluralité de moyens de cellules logiques de poids faible effectue les opérations logiques suivantes sur les signaux représentant le complément de la position binaire dudit mot de données à comparer ($\overline{Di}$) et la position binaire dudit mot de données stocké dans ledit second moyen de registre (Ui);

$GENi = Ui.\overline{Di}$
$PROPi = Ui + \overline{Di}$

dans lequel ledit premier moyen de cellule logique de poids fort effectue les opérations logiques suivantes sur les signaux représentant la position binaire vraie et complémentée de poids fort dudit mot de données à comparer (Dn, $\overline{Dn}$) et la position binaire vraie et complémentée de poids fort dudit mot de données stocké dans ledit premier moyen de registre (Ln, Ln);

$GENn = \overline{Dn}.Ln$ si le signal de nombre signé est un HAUT
$GENn = Dn.\overline{Ln}$ si le signal de nombre signé est un BAS
$PROPn = \overline{Dn} + Ln$ si le signal de nombre signé est un HAUT
$PROPn = Dn + \overline{Ln}$ si le signal de nombre signé est un BAS

dans lequel ledit second moyen de cellule logique de poids fort effectue les opérations logiques suivantes sur les signaux représentant la position binaire vraie et complémentée de poids fort dudit mot de données à comparer (Dn, $\overline{Dn}$) et la position binaire vraie et complémentée de poids fort dudit mot de données stocké dans ledit second moyen de registre (Un, $\overline{Un}$);

$GENn = \overline{Un}.Dn$ si le signal de nombre signé est un HAUT
$GENn = Un.\overline{Dn}$ si le signal de nombre signé est un BAS
$PROPn = \overline{Un} + Dn$ si le signal de nombre signé est un HAUT
$PROPn = Un + \overline{Dn}$ si le signal de nombre signé est un BAS

ce par quoi ledit moyen d'émission soustrait ledit mot de données stocké dans ledit premier de registre dudit mot de données à comparer, en utilisant ledit premier signal de report comme entrée à la position binaire de poids faible vers ledit premier moyen logique de report avec regard en avant pour émettre, de là, un signal de sortie HAUT à ladite première sortie dudit moyen d'émission indiquant ladite première relation numérique selon laquelle ledit mot de données stocké dans ledit moyen de

registre est inférieur, ou est inférieur ou égal, audit mot de données à comparer si ledit premier signal de report est, respectivement, un BAS ou un HAUT, et pour émettre de là un signal de sortie BAS indiquant ladite première relation numérique selon laquelle ledit mot de données stocké dans ledit premier moyen de registre est supérieur ou égal, ou est supérieur, audit mot de données à comparer si ledit premier signal de report est, respectivement, un BAS ou un HAUT; et

par quoi ledit moyen d'émission soustrait ledit mot de données à comparer dudit mot de données stocké dans ledit second moyen de registre, en utilisant ledit second signal de report comme entrée à la position binaire de poids faible vers ledit second moyen logique de report avec regard en avant pour émettre de là un signal de sortie HAUT à ladite deuxième sortie dudit moyen d'émission, indiquant ladite deuxième relation numérique selon laquelle ledit mot de données stocké dans ledit second moyen de registre est supérieur ou égal, ou est supérieur, audit mot de données à comparer si le second signal de report est, respectivement, un HAUT ou un BAS, et pour émettre de là un signal de sortie BAS indiquant ladite deuxième relation numérique selon laquelle ledit mot de données stocké dans ledit second moyen de registre est inférieur, ou est inférieur ou égal, audit mot de données à comparer, si ledit second signal de report est, respectivement, un HAUT ou un BAS, et

par quoi un signal de sortie HAUT est émis à ladite troisième sortie dudit moyen d'émission, indiquant ladite troisième relation numérique selon laquelle ledit mot de données à comparer est inférieur ou égal, ou est inférieur, audit mot de données stocké dans ledit premier moyen de registre si ledit premier signal de report est, respectivement, un BAS ou un HAUT, ou selon laquelle ledit mot de données à comparer est supérieur, ou est supérieur ou égal, audit mot de données stocké dans ledit second moyen de registre si ledit second signal de report est, respectivement, un HAUT ou un BAS, et émettant a ladite troisième sortie un signal de sortie BAS indiquant ladite troisième relation numérique selon laquelle ledit mot de données à comparer est supérieur, ou est supérieur ou égal, audit mot de données stocké dans ledit premier moyen de registre si ledit premier signal de report est, respectivement, un BAS ou un HAUT, et selon laquelle ledit mot de données stocké dans ledit second moyen de registre est supérieur ou égal, ou est supérieur, audit mot de données à comparer, si ledit second signal de report est, respectivement, un HAUT ou un BAS.

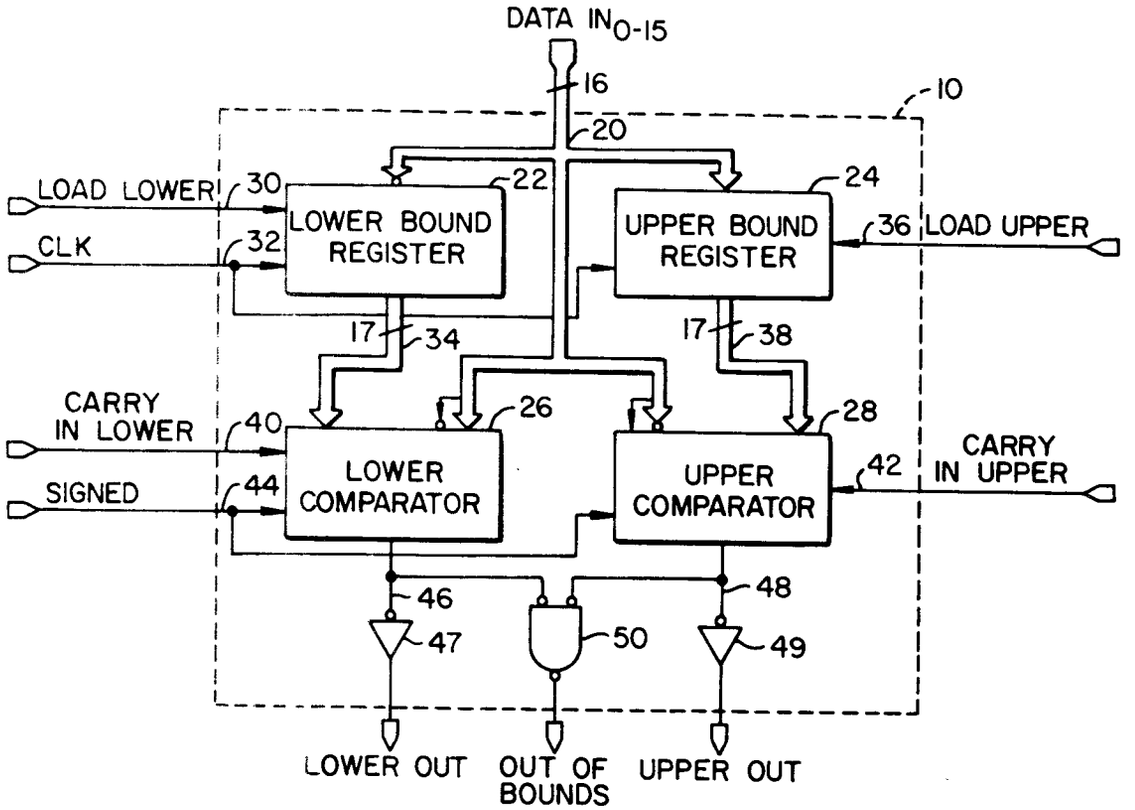

DATA IN 0-15
16
10
20
LOAD LOWER
30
22
LOWER BOUND REGISTER
24
UPPER BOUND REGISTER
36
LOAD UPPER
CLK
32
17
34
17
38
CARRY IN LOWER
40
26
28
LOWER COMPARATOR
UPPER COMPARATOR
42
CARRY IN UPPER
SIGNED
44
46
48
47
50
49
LOWER OUT
OUT OF BOUNDS
UPPER OUT

FIG._1.

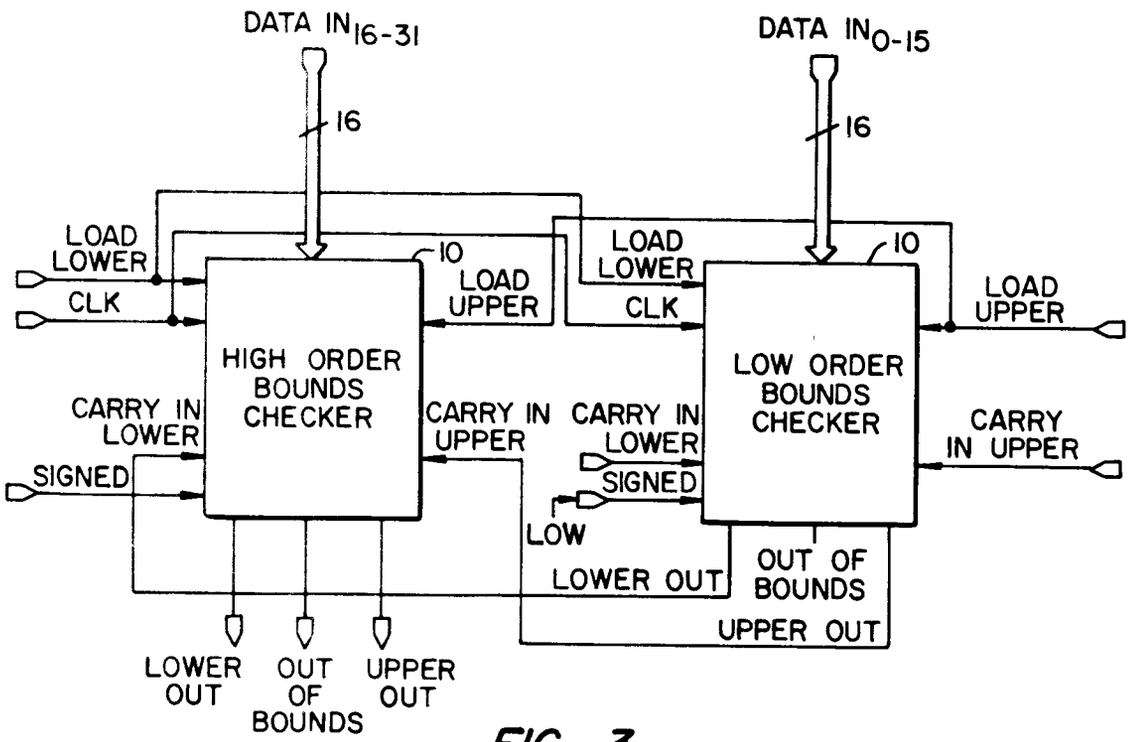

DATA IN 16-31
DATA IN 0-15
16
16
LOAD LOWER
CLK
10
LOAD UPPER
LOAD LOWER
CLK
10
LOAD UPPER
HIGH ORDER BOUNDS CHECKER
LOW ORDER BOUNDS CHECKER
CARRY IN LOWER
SIGNED
CARRY IN UPPER
CARRY IN LOWER
SIGNED
CARRY IN UPPER
LOW
LOWER OUT
OUT OF BOUNDS
UPPER OUT
LOWER OUT
OUT OF BOUNDS
UPPER OUT

FIG._3.

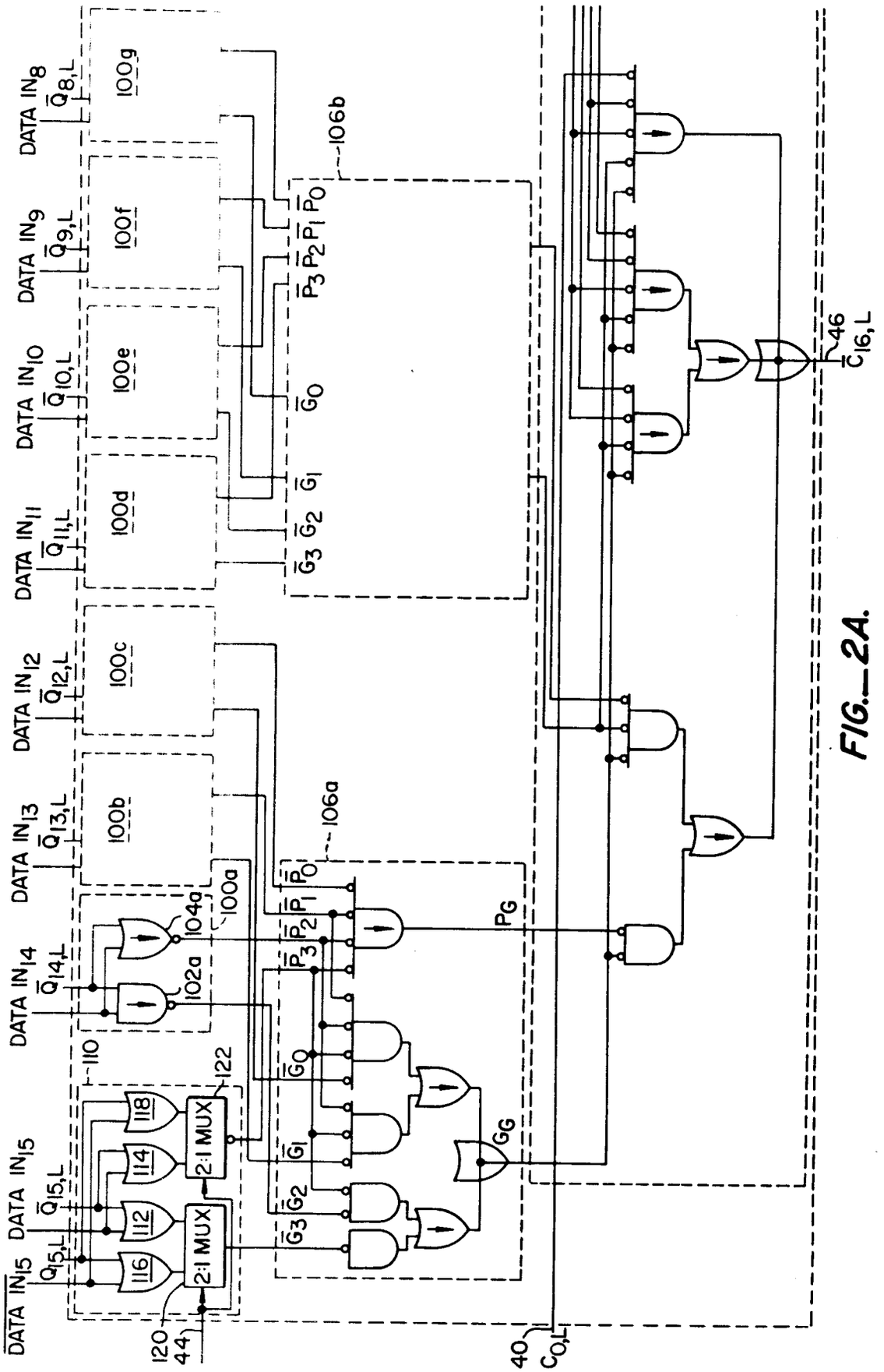

DATA IN15
DATA IN14
DATA IN13
DATA IN12
DATA IN11
DATA IN10
DATA IN9
DATA IN8
100a
100b
100c
100d
100e
100f
100g
106a
106b
2:1 MUX
2:1 MUX
110
120
122
44
40
46
PG
GG

FIG. 2A.

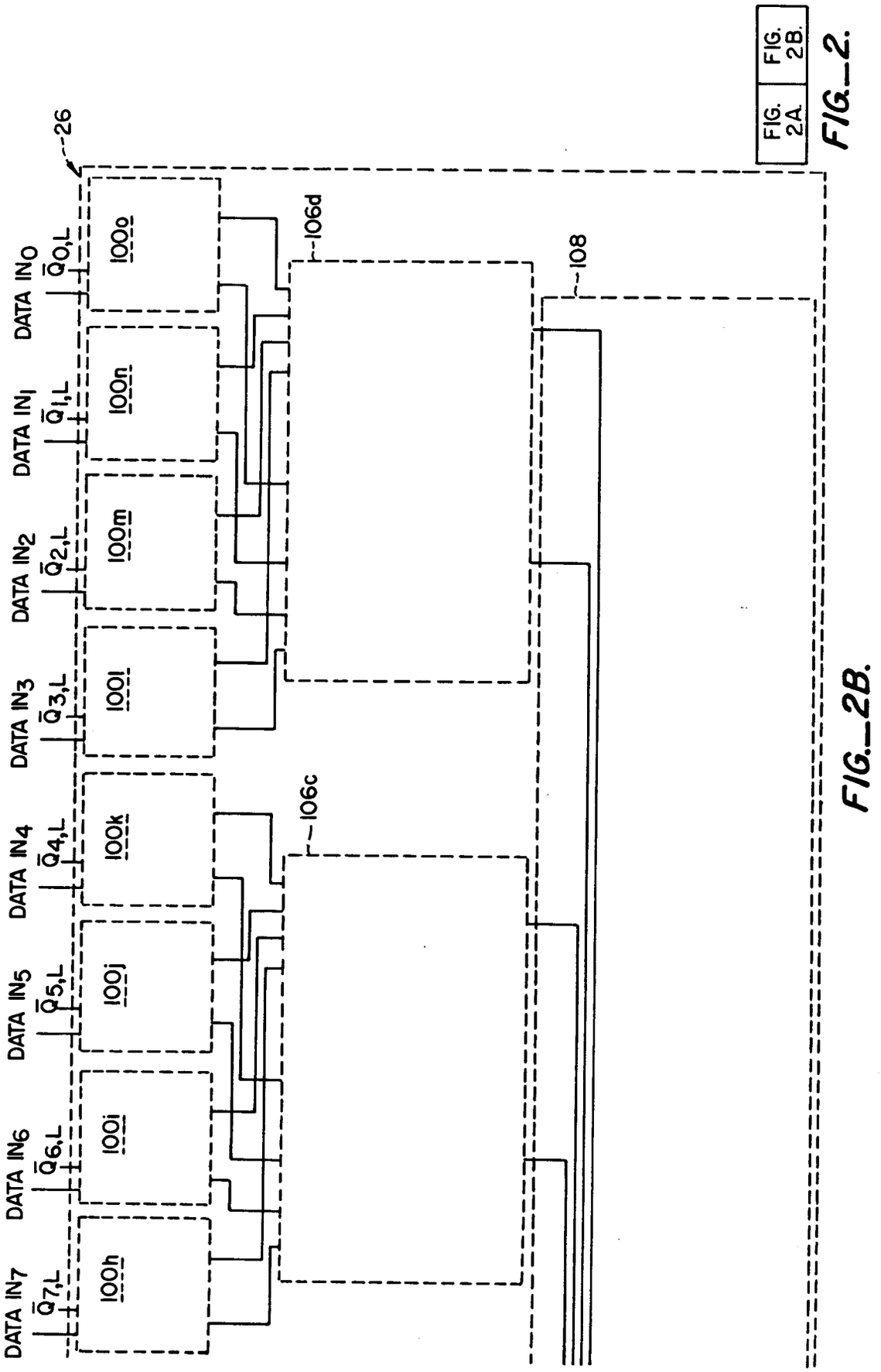

26
DATA IN0
DATA IN1
DATA IN2
DATA IN3
DATA IN4
DATA IN5
DATA IN6
DATA IN7
100o
100n
100m
100l
100k
100j
100i
100h
106d
106c
108
FIG. 2A.
FIG. 2B.

FIG._2.

FIG._2B.