



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0036593
(43) 공개일자 2025년03월14일

(51) 국제특허분류(Int. Cl.)
H01G 4/232 (2006.01) H01G 4/012 (2006.01)
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
(52) CPC특허분류
H01G 4/2325 (2013.01)
H01G 4/012 (2013.01)
(21) 출원번호 10-2023-0119251
(22) 출원일자 2023년09월07일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
김혜원
경기도 수원시 영통구 매영로 150 (매탄동)
강성형
경기도 수원시 영통구 매영로 150 (매탄동)
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스(유)

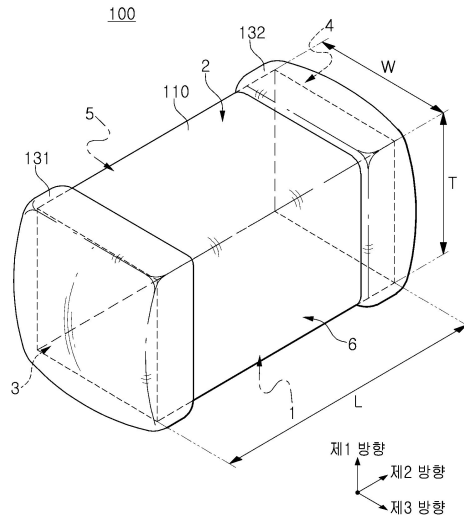
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 적층형 전자 부품

(57) 요약

본 발명의 일 실시형태에 따른 적층형 전자 부품은 유전체층 및 내부 전극을 포함하는 바디; 및 상기 바디 상에 배치되어 상기 내부 전극과 연결되는 외부 전극; 을 포함하고, 상기 바디 중 외부 전극에 의해 커버되는 면적을 Sa, 상기 바디의 전체 표면적을 Sb라 할 때, Sa/Sb는 0.2 이상 0.8 이하일 수 있다.

대표도 - 도2



(52) CPC특허분류

H01G 4/1209 (2013.01)

H01G 4/30 (2013.01)

Y02E 60/13 (2020.08)

(72) 발명자

조성현

경기도 수원시 영통구 매영로 150 (매탄동)

장진우

경기도 수원시 영통구 매영로 150 (매탄동)

박준영

경기도 수원시 영통구 매영로 150 (매탄동)

김채림

경기도 수원시 영통구 매영로 150 (매탄동)

윤한솔

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

유전체층 및 내부 전극을 포함하는 바디; 및

상기 바디 상에 배치되어 상기 내부 전극과 연결되는 외부 전극; 을 포함하고,

상기 바디 중 외부 전극에 의해 커버되는 면적을 S_a , 상기 바디의 전체 표면적을 S_b 라 할 때, S_a/S_b 는 0.2 이상 0.8 이하인

적층형 전자 부품.

청구항 2

제1항에 있어서,

상기 유전체층 및 내부 전극은 제1 방향으로 번갈아 배치되며,

상기 바디는 상기 제1 방향으로 마주보는 제1 및 제2 면, 상기 제1 및 제2 면과 연결되며 제2 방향으로 마주보는 제3 및 제4 면, 상기 제1 내지 제4 면과 연결되며 제3 방향으로 마주보는 제5 및 제6 면을 포함하는

적층형 전자 부품.

청구항 3

제2항에 있어서,

상기 외부 전극은 상기 제3 면에 배치되어 상기 제1 및 제2 면의 일부로 연장되어 배치되는 제1 외부 전극 및 상기 제4 면에 배치되어 상기 제1 및 제2 면의 일부로 연장되어 배치되는 제2 외부 전극을 포함하는

적층형 전자 부품.

청구항 4

제3항에 있어서,

상기 바디의 제2 방향 크기를 L , 상기 제1 및 제2 면에 배치된 제1 외부 전극의 끝단에서 제2 외부 전극의 끝단까지의 제2 방향 최소 크기를 G 라 할 때, G/L 이 0.43 이상 0.75 이하인

적층형 전자 부품.

청구항 5

제2항에 있어서,

상기 외부 전극은 상기 제3 면에 배치되는 제1 외부 전극, 상기 제4 면에 배치되는 제2 외부 전극 및 상기 제1, 제2, 제5 및 제6 면 중 적어도 하나에 배치되는 제3 외부 전극을 포함하는

적층형 전자 부품.

청구항 6

제2항에 있어서,
상기 적층형 전자 부품의 제2 방향 평균 크기는 3.2mm 이상이며 제3 방향 평균 크기는 1.6mm 이상인
적층형 전자 부품.

청구항 7

제1항에 있어서,
상기 적층형 전자 부품의 정격 전압은 630V 이상인
적층형 전자 부품.

청구항 8

제1항에 있어서,
상기 외부 전극은,
상기 내부 전극과 접촉하며 Cu를 포함하는 전극층을 포함하는
적층형 전자 부품.

청구항 9

제1항에 있어서,
상기 외부 전극은,
상기 내부 전극과 접촉하며 Cu 및 글라스를 포함하는 전극층 및 상기 전극층 상에 배치되는 도금층을 포함하는
적층형 전자 부품.

청구항 10

제1항에 있어서,
상기 외부 전극은,
상기 내부 전극과 접촉하며 Cu 및 글라스를 포함하는 전극층 및 상기 전극층 상에 배치되며 도전성 금속 및 수
지를 포함하는 도전성 수지층을 포함하는
적층형 전자 부품.

발명의 설명

기술 분야

[0001] 본 발명은 적층형 전자 부품에 관한 것이다.

배경 기술

[0003] 적층형 전자 부품의 하나인 적층 세라믹 커패시터(MLCC: Multi-Layered Ceramic Capacitor)는 액정 표시 장치(LCD: Liquid Crystal Display) 및 플라즈마 표시 장치 패널(PDP: Plasma Display Panel) 등의 영상 기기, 컴퓨터, 스마트폰 및 휴대폰 등 여러 전자 제품의 인쇄회로기판에 장착되어 전기를 충전시키거나 또는 방전시키는 역할을 하는 칩 형태의 콘덴서이다.

[0004] 적층 세라믹 커패시터는 소형이면서 고용량이 보장되고 실장이 용이하다는 장점을 인하여 다양한 전자 장치의 부품으로 사용될 수 있다. 또한, 자동차용 전자 부품에는 고압용 MLCC가 사용되는데 전기차 내 OBC(On board Charger), DC-DC Converter 등에 탑재되어 사용된다. 자동차용 전장 부품에 사용되는 고압용 MLCC는 점차 고성능화, 고집적화, 소형화되면서 실 사용온도는 점차 높아지고 있으며, 이러한 환경 하에서 발생하는 열을 방출하기 위하여 방열 특성에 대한 요구가 커지고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 여러 목적 중 하나는 방열 특성이 우수한 적층형 전자 부품을 제공하기 위함이다.

[0008] 다만, 본 발명의 목적은 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시 형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

과제의 해결 수단

[0010] 본 발명의 일 실시형태에 따른 적층형 전자 부품은 유전체층 및 내부 전극을 포함하는 바디; 및 상기 바디 상에 배치되어 상기 내부 전극과 연결되는 외부 전극; 을 포함하고, 상기 바디 중 외부 전극에 의해 커버되는 면적을 S_a , 상기 바디의 전체 표면적을 S_b 라 할 때, S_a/S_b 는 0.2 이상 0.8 이하일 수 있다.

발명의 효과

[0012] 본 발명의 여러 효과 중 일 효과로서, 바디의 전체 표면적 대비 바디 중 외부 전극에 의해 커버되는 면적의 비를 제어함으로써, 적층형 전자 부품의 방열 특성을 향상시킬 수 있다.

[0014] 다만, 본 발명의 다양하면서도 유의한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시 형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시형태에 따른 적층형 전자 부품의 사시도를 개략적으로 도시한 것이다.

도 2는 도 1에서 외부 전극이 커버한 바디 부분을 표시한 도면이다.

도 3은 도 1의 I-I' 단면도를 개략적으로 도시한 것이다.

도 4는 도 1의 II-II' 단면도를 개략적으로 도시한 것이다.

도 5는 바디를 분해하여 개략적으로 도시한 것이다.

도 6은 3D 조도 측정기로 적층형 전자 부품의 제2 면을 분석한 사진이다.

도 7은 벤딩 테스트(Bending test) 방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다. 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 통상의 기술자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0019] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 또한, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다. 나아가, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0020] 도면에서, 제1 방향은 적층 방향 또는 두께(T) 방향, 제2 방향은 길이(L) 방향, 제3 방향은 폭(W) 방향으로 정의될 수 있다.

[0022] **적층형 전자 부품**

[0024] 도 1은 본 발명의 일 실시형태에 따른 적층형 전자 부품의 사시도를 개략적으로 도시한 것이다.

[0025] 도 2는 도 1에서 외부 전극이 커버한 바디 부분을 표시한 도면이다.

[0026] 도 3은 도 1의 I-I' 단면도를 개략적으로 도시한 것이다.

[0027] 도 4는 도 1의 II-II' 단면도를 개략적으로 도시한 것이다.

[0028] 도 5는 바디를 분해하여 개략적으로 도시한 것이다.

[0030] 이하, 도 1 내지 도 5를 참조하여 본 발명의 일 실시형태에 따른 적층형 전자 부품(100)에 대하여 상세히 설명한다. 또한, 적층형 전자 부품의 일례로서 적층 세라믹 커패시터(Multi-layered Ceramic Capacitor, 이하 'MLCC'라 함)에 대하여 설명하나, 본 발명이 이에 한정되는 것은 아니며 세라믹 재료를 사용하는 다양한 적층형 전자 부품, 예를 들어, 인덕터, 압전체 소자, 바리스터, 또는 서미스터 등에도 적용될 수 있을 것이다.

[0032] 본 발명의 일 실시형태에 따른 적층형 전자 부품(100)은, 유전체층(111) 및 내부 전극(121, 122)을 포함하는 바디(110); 및 상기 바디 상에 배치되어 상기 내부 전극과 연결되는 외부 전극(131, 132); 을 포함하고, 상기 바디 중 외부 전극에 의해 커버되는 면적을 Sa, 상기 바디의 전체 표면적을 Sb라 할 때, Sa/Sb는 0.2 이상 0.8 이하일 수 있다.

[0034] 적층 세라믹 커패시터의 방열 특성을 향상시키기 위하여 내부 전극 패턴 변경, 설계 층수 변경, Lay down 증가를 통한 전극 분율 향상 등을 통한 연구가 주로 진행되어 왔다. 그러나, 바디 내부 관점에서의 변경은 내부 크랙, 딜라미네이션 등이 증가하는 문제점이 발생할 수 있다. 내부 크랙, 딜라미네이션 등의 불량은 특히 자동차용 전자부품에 있어서 치명적인 불량에 속하며, 한정된 크기의 바디에서 내부 전극 양을 무한정 향상하기도 어렵다.

[0035] 이에, 본 발명에서는 바디 외부 관점, 즉 외부 전극과 바디와의 상관관계를 고려하여 우수한 방열 특성을 확보하고자 하였다. 본 발명의 일 실시예에 따르면 바디의 전체 표면적 대비 바디 중 외부 전극에 의해 커버되는 면적의 비를 제어함으로써, 적층형 전자 부품의 방열 특성을 향상시킬 수 있다.

- [0037] 이하, 본 발명의 일 실시형태에 따른 적층형 전자 부품(100)에 포함되는 각각의 구성에 대하여 설명한다.
- [0039] 바디(110)는 유전체층(111) 및 내부 전극(121, 122)이 교대로 적층되어 있을 수 있다.
- [0040] 바디(110)의 구체적인 형상에 특별히 제한은 없지만, 도시된 바와 같이 바디(110)는 육면체 형상이나 이와 유사한 형상으로 이루어질 수 있다. 소성 과정에서 바디(110)에 포함된 세라믹 분말의 수축으로 인하여, 바디(110)는 완전한 직선을 가진 육면체 형상은 아니지만 실질적으로 육면체 형상을 가질 수 있다.
- [0041] 바디(110)는 제1 방향으로 마주보는 제1 및 제2 면(1, 2), 상기 제1 및 제2 면(1, 2)과 연결되고 제2 방향으로 마주보는 제3 및 제4 면(3, 4), 제1 및 제2 면(1, 2)과 연결되고 제3 및 제4 면(3, 4)과 연결되며 제3 방향으로 마주보는 제5 및 제6 면(5, 6)을 가질 수 있다.
- [0042] 유전체층(111) 상에 내부 전극(121, 122)이 배치되지 않은 마진 영역이 중첩됨에 따라 내부 전극(121, 122) 두께에 의한 단차가 발생하여 제1 면과 제3 내지 제5 면을 연결하는 코너 및/또는 제2 면과 제3 내지 제5 면을 연결하는 코너는 제1 면 또는 제2 면을 기준으로 볼 때 바디(110)의 제1 방향 중앙 쪽으로 수축된 형태를 가질 수 있다. 또는, 바디의 소결 과정에서의 수축 거동에 의해 제1 면(1)과 제3 내지 제6 면(3, 4, 5, 6)을 연결하는 코너 및/또는 제2 면(2)과 제3 내지 제6 면(3, 4, 5, 6)을 연결하는 코너는 제1 면 또는 제2 면을 기준으로 볼 때 바디(110)의 제1 방향 중앙 쪽으로 수축된 형태를 가질 수 있다. 또는, 칩핑 불량 등을 방지하기 위하여 바디(110)의 각 면을 연결하는 모서리를 별도의 공정을 수행하여 라운드 처리함에 따라 제1 면과 제3 내지 제6 면을 연결하는 코너 및/또는 제2 면과 제3 내지 제6 면을 연결하는 코너는 라운드 형태를 가질 수 있다.
- [0043] 한편, 내부 전극(121, 122)에 의한 단차를 억제하기 위하여, 적층 후 내부 전극이 바디의 제5 및 제6 면(5, 6)으로 노출되도록 절단한 후, 단일 유전체층 또는 2 개 이상의 유전체층을 용량 형성부(Ac)의 양측면에 제3 방향(폭 방향)으로 적층하여 마진부(114, 115)를 형성하는 경우에는 제1 면과 제5 및 제6 면을 연결하는 부분 및 제2 면과 제5 및 제6 면을 연결하는 부분이 수축된 형태를 가지지 않을 수 있다.
- [0045] 바디(110)를 형성하는 복수의 유전체층(111)은 소성된 상태로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다. 유전체층의 적층 수는 특별히 제한할 필요는 없으며, 적층형 전자 부품의 사이즈를 고려하여 결정할 수 있다. 예를 들어, 유전체층을 400층 이상 적층하여 바디를 형성할 수 있다.
- [0046] 유전체층(111)은 세라믹 분말, 유기 용제 및 바인더를 포함하는 세라믹 슬러리를 제조하고, 상기 슬러리를 캐리어 필름(carrier film) 상에 도포 및 건조하여 세라믹 그린시트를 마련한 후, 상기 세라믹 그린시트의 소성함으로써 형성할 수 있다. 세라믹 분말은 충분한 정전 용량을 얻을 수 있는 한 특별히 제한되지 않으나, 예를 들어, 세라믹 분말로 티탄산바륨계($BaTiO_3$)계 분말을 사용할 수 있다. 보다 구체적인 예를 들면, 세라믹 분말은 $BaTiO_3$, $(Ba_{1-x}Ca_x)TiO_3$ ($0 < x < 1$), $Ba(Ti_{1-y}Ca_y)O_3$ ($0 < y < 1$), $(Ba_{1-x}Ca_x)(Ti_{1-y}Zr_y)O_3$ ($0 < x < 1$, $0 < y < 1$) 및 $Ba(Ti_{1-y}Zr_y)O_3$ ($0 < y < 1$) 중 하나 이상일 수 있다.
- [0048] 유전체층(111)의 평균 두께(td)는 특별히 한정할 필요는 없으나, 예를 들어 8~12 μm 일 수 있다. 또한, 유전체층(111)의 평균 두께(td)는 원하는 특성이나 용도에 따라 임의로 설정할 수 있다.
- [0049] 여기서 유전체층(111)의 평균 두께(td)는 내부 전극(121, 122) 사이에 배치되는 유전체층(111)의 제1 방향 크기를 의미한다. 유전체층(111)의 평균 두께는 바디(110)의 제1 방향 및 제2 방향 단면을 1만 배율의 주사전자현미경(SEM)으로 스캔하여 측정할 수 있다. 보다 구체적으로, 하나의 유전체층(111)의 다수의 지점, 예를 들면 제2 방향으로 등간격인 30개의 지점에서 그 두께를 측정하여 평균값을 측정할 수 있다. 상기 등간격인 30개의 지점은 후술할 용량 형성부(Ac)에서 지정될 수 있다. 또한, 이러한 평균값 측정을 10개의 유전체층(111)으로 확장하여 평균값을 측정하면, 유전체층(111)의 평균 두께를 더욱 일반화할 수 있다.
- [0051] 바디(110)는 바디(110)의 내부에 배치되며, 유전체층(111)을 사이에 두고 서로 대향하도록 배치되는 제1 내부 전극(121) 및 제2 내부 전극(122)을 포함하여 용량이 형성되는 용량 형성부(Ac)와 상기 용량 형성부(Ac)의 제1

방향 상부 및 하부에 형성된 커버부(112, 113)를 포함할 수 있다.

- [0052] 또한, 상기 용량 형성부(Ac)는 커패시터의 용량 형성에 기여하는 부분으로서, 유전체층(111)을 사이에 두고 복수의 제1 및 제2 내부 전극(121, 122)을 반복적으로 적층하여 형성될 수 있다.
- [0054] 커버부(112, 113)는 상기 용량 형성부(Ac)의 제1 방향 상부에 배치되는 상부 커버부(112) 및 상기 용량 형성부(Ac)의 제1 방향 하부에 배치되는 하부 커버부(113)를 포함할 수 있다.
- [0055] 상기 상부 커버부(112) 및 하부 커버부(113)는 단일 유전체층 또는 2 개 이상의 유전체층을 용량 형성부(Ac)의 상하면에 각각 두께 방향으로 적층하여 형성할 수 있으며, 기본적으로 물리적 또는 화학적 스트레스에 의한 내부 전극의 손상을 방지하는 역할을 수행할 수 있다.
- [0056] 상기 상부 커버부(112) 및 하부 커버부(113)는 내부 전극을 포함하지 않으며, 유전체층(111)과 동일한 재료를 포함할 수 있다.
- [0057] 즉, 상기 상부 커버부(112) 및 하부 커버부(113)는 세라믹 재료를 포함할 수 있으며, 예를 들어 티탄산바륨($BaTiO_3$)계 세라믹 재료를 포함할 수 있다.
- [0058] 한편, 커버부(112, 113)의 두께는 특별히 한정할 필요는 없다. 다만, 적층형 전자 부품의 소형화 및 고용량화를 보다 용이하게 달성하기 위하여 커버부(112, 113)의 두께(tc)는 200~450 μm 일 수 있다.
- [0059] 커버부(112, 113)의 평균 두께(tc)는 제1 방향 크기를 의미할 수 있으며, 용량 형성부(Ac)의 상부 또는 하부에서 등간격의 5개 지점에서 측정된 커버부(112, 113)의 제1 방향 크기를 평균한 값일 수 있다.
- [0061] 또한, 상기 용량 형성부(Ac)의 측면에는 마진부(114, 115)가 배치될 수 있다.
- [0062] 마진부(114, 115)는 바디(110)의 제5 면(5)에 배치된 제1 마진부(114)와 제6 면(6)에 배치된 제2 마진부(115)를 포함할 수 있다. 즉, 마진부(114, 115)는 상기 세라믹 바디(110)의 폭 방향 양 단면(end surfaces)에 배치될 수 있다.
- [0063] 마진부(114, 115)는 도 3에 도시된 바와 같이, 상기 바디(110)를 폭-두께(W-T) 방향으로 자른 단면(cross-section)에서 제1 및 제2 내부 전극(121, 122)의 양 끝단과 바디(110)의 경계면 사이의 영역을 의미할 수 있다.
- [0064] 마진부(114, 115)는 기본적으로 물리적 또는 화학적 스트레스에 의한 내부 전극의 손상을 방지하는 역할을 수행할 수 있다.
- [0065] 마진부(114, 115)는 세라믹 그린시트 상에 마진부가 형성될 곳을 제외하고 도전성 페이스트를 도포하여 내부 전극을 형성함으로써 형성된 것일 수 있다.
- [0066] 또한, 내부 전극(121, 122)에 의한 단차를 억제하기 위하여, 적층 후 내부 전극이 바디의 제5 및 제6 면(5, 6)으로 노출되도록 절단한 후, 단일 유전체층 또는 2 개 이상의 유전체층을 용량 형성부(Ac)의 양측면에 제3 방향(폭 방향)으로 적층하여 마진부(114, 115)를 형성할 수도 있다.
- [0067] 한편, 마진부(114, 115)의 폭은 특별히 한정할 필요는 없다. 다만, 적층형 전자 부품의 소형화 및 고용량화를 보다 용이하게 달성하기 위하여 마진부(114, 115)의 평균 폭은 180~350 μm 일 수 있다.
- [0068] 마진부(114, 115)의 평균 폭은 내부 전극이 제5 면과 이격된 영역의 제3 방향 평균 크기(MW1) 및 내부 전극이 제6 면과 이격된 영역의 제3 방향 평균 크기(MW2)를 의미할 수 있으며, 용량 형성부(Ac)의 측면에서 등간격의 5개 지점에서 측정된 마진부(114, 115)의 제3 방향 크기를 평균한 값일 수 있다.
- [0069] 따라서, 일 실시예에서, 내부 전극(121, 122)이 제5 및 제6 면과 이격된 영역의 제3 방향 평균 크기(MW1, MW2)는 각각 180~350 μm 일 수 있다.
- [0071] 내부 전극(121, 122)은 제1 및 제2 내부 전극(121, 122)을 포함할 수 있다. 제1 및 제2 내부 전극(121, 122)은 바디(110)를 구성하는 유전체층(111)을 사이에 두고 서로 대향하도록 번갈아 배치되며, 바디(110)의 제3 및 제4 면(3, 4)으로 각각 노출될 수 있다.

- [0072] 제1 내부 전극(121)은 제4 면(4)과 이격되며 제3 면(3)을 통해 노출되고, 제2 내부 전극(122)은 제3 면(3)과 이격되며 제4 면(4)을 통해 노출될 수 있다. 바디의 제3 면(3)에는 제1 외부 전극(131)이 배치되어 제1 내부 전극(121)과 연결되고, 바디의 제4 면(4)에는 제2 외부 전극(132)이 배치되어 제2 내부 전극(122)과 연결될 수 있다.
- [0073] 즉, 제1 내부 전극(121)은 제2 외부 전극(132)과는 연결되지 않고 제1 외부 전극(131)과 연결되며, 제2 내부 전극(122)은 제1 외부 전극(131)과는 연결되지 않고 제2 외부 전극(132)과 연결된다. 따라서, 제1 내부 전극(121)은 제4 면(4)에서 일정거리 이격되어 형성되고, 제2 내부 전극(122)은 제3 면(3)에서 일정거리 이격되어 형성될 수 있다. 또한, 제1 및 제2 내부 전극(121, 122)은 바디(110)의 제5 및 제6 면과 이격되어 배치될 수 있다.
- [0074] 내부 전극(121, 122)에 포함되는 도전성 금속은 Ni, Cu, Pd, Ag, Au, Pt, In, Sn, Al, Ti 및 이들의 합금 중 하나 이상일 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0076] 내부 전극(121, 122)을 형성하는 방법은 특별히 제한하지 않는다. 예를 들어, 내부 전극(121, 122)은 세라믹 그린시트 상에 도전성 금속을 포함하는 내부전극용 도전성 페이스트를 도포하고 소성함으로써 형성될 수 있다. 내부전극용 도전성 페이스트의 도포 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0077] 다른 예로, 내부 전극(121, 122)은 스퍼터링 공법, 진공 증착법 및/또는 화학 기상 증착법을 이용하여 형성할 수도 있다.
- [0079] 내부 전극의 평균 두께(te)는 특별히 한정할 필요는 없다. 이때, 내부 전극(121, 122)의 두께는 내부 전극(121, 122)의 제1 방향 크기를 의미할 수 있다. 예를 들어, 내부 전극(121, 122)의 평균 두께(te)는 0.8~1.2 μ m일 수 있다.
- [0080] 여기서 내부 전극의 평균 두께(te)는 바디(110)의 제1 방향 및 제2 방향 단면을 1만 배율의 주사전자현미경(SEM)으로 스캔하여 측정할 수 있다. 보다 구체적으로, 하나의 내부 전극(121, 122)의 다수의 지점, 예를 들면 제2 방향으로 등간격인 30개의 지점에서 그 두께를 측정하여 평균값을 측정할 수 있다. 상기 등간격인 30개의 지점은 용량 형성부(Ac)에서 지정될 수 있다. 또한, 이러한 평균값 측정을 10개의 내부 전극(121, 122)으로 확장하여 평균값을 측정하면, 내부 전극(121, 122)의 평균 두께를 더욱 일반화할 수 있다.
- [0082] 바디(100) 중 외부 전극(131, 132)에 의해 커버되는 면적을 Sa, 상기 바디(100)의 전체 표면적을 Sb라 할 때, Sa/Sb는 0.2 이상 0.8 이하일 수 있다.
- [0083] Sa/Sb가 0.2 미만인 경우에는 바디 내부에서 발생하는 열을 외부로 빠르게 배출하기 어려워 고전압 환경에서 사용시 발열(self heating)이 심해져 열 폭주 현상으로 단락(short)이 발생할 우려가 있다. 반면에, Sa/Sb가 0.8 초과인 경우에는 고전압 환경에서 사용시 외부 전극 간에 아크 방전에 의한 단락(short)이 발생할 우려가 있다.
- [0085] 일 실시예에서, 외부 전극(131, 132)은 바디(110)의 제3 및 제4 면(3, 4)에 각각 배치되어, 제1 및 제2 내부 전극(121, 122)과 각각 연결된 제1 및 제2 외부 전극(131, 132)을 포함할 수 있다. 또한, 제1 및 제2 외부 전극은 제1 및 제2 면의 일부로 연장되어 배치될 수 있다.
- [0086] 또한, 외부 전극(131, 132)은 사이드 마진부(114, 115)의 제2 방향 양 단면을 덮도록 배치될 수 있다.
- [0088] 일 실시예에서, 바디(100)의 제2 방향 크기를 L, 상기 제1 및 제2 면에 배치된 제1 외부 전극의 끝단에서 제2 외부 전극의 끝단까지의 제2 방향 최소 크기를 G라 할 때, G/L 은 0.43 이상 0.75 이하일 수 있다.
- [0089] G/L이 0.43 미만인 경우에는 외부 전극의 밴드부 길이(B1, B2)가 과도하게 짧아져 도금 공정 시 도금액이 바디 내부로 침투하거나 고착강도가 저하될 우려가 있다.
- [0090] 반면에, G/L이 0.75 초과인 경우에는 고전압이 걸릴 경우 외부 전극 간 surface arc 방전이 발생할 우려가

있다.

- [0092] 한편, 본 실시 형태에서는 적층형 전자 부품(100)이 2개의 외부 전극(131, 132)을 갖는 구조를 설명하고 있지만, 외부 전극(131, 132)의 개수나 형상 등은 내부 전극(121, 122)의 형태나 기타 다른 목적에 따라 바뀔 수 있다.
- [0093] 예를 들어, 외부 전극은 상기 제3 면에 배치되는 제1 외부 전극, 상기 제4 면에 배치되는 제2 외부 전극 및 상기 제1, 제2, 제5 및 제6 면 중 적어도 하나에 배치되는 제3 외부 전극을 포함할 수 있다.
- [0094] 즉, 적층형 전자 부품의 방열 특성을 향상시키기 위해서는 외부 전극의 개수나 형상보다는 본 발명에서 제시하는 Sa/Sb는 0.2 이상 0.8 이하를 만족하는 것이 중요하다.
- [0096] 한편, 외부 전극(131, 132)은 금속 등과 같이 전기 전도성을 갖는 것이라면 어떠한 물질을 사용하여 형성될 수 있고, 전기적 특성, 구조적 안정성 등을 고려하여 구체적인 물질이 결정될 수 있으며, 나아가 다층 구조를 가질 수 있다.
- [0097] 예를 들어, 외부 전극(131, 132)은 바디(110)에 배치되는 전극층(131a, 132a) 및 전극층(131a, 132a) 상에 형성된 도금층(131b, 132b)을 포함할 수 있다.
- [0098] 전극층(131a, 132a)에 대한 보다 구체적인 예를 들면, 전극층(131a, 132a)은 도전성 금속 및 글라스를 포함한 소성(firing) 전극이거나, 도전성 금속 및 수지를 포함한 수지계 전극일 수 있다.
- [0100] 또한, 전극층(131a, 132a)은 바디 상에 소성 전극 및 수지계 전극이 순차적으로 형성된 형태일 수 있다. 또한, 전극층(131a, 132a)은 바디 상에 도전성 금속을 포함한 시트를 전사하는 방식으로 형성되거나, 소성 전극 상에 도전성 금속을 포함한 시트를 전사하는 방식으로 형성된 것일 수 있다.
- [0102] 전극층(131a, 132a)에 포함되는 도전성 금속으로 전기 전도성이 우수한 재료를 사용할 수 있으며 특별히 한정하지 않는다. 예를 들어, 도전성 금속은 니켈(Ni), 구리(Cu) 및 그들의 합금 중 하나 이상일 수 있다.
- [0103] 일 실시예에서, 외부 전극(131, 132)은 내부 전극(121, 122)과 접촉하며 Cu를 포함하는 전극층(131a, 132a)을 포함할 수 있다. Cu는 전기 전도성이 우수할 뿐만 아니라 열 전도성도 우수하여 방열 특성이 우수하다. 따라서, 전극층(131a, 132a)에 포함되는 도전성 금속은 Cu인 것이 보다 바람직할 수 있다.
- [0105] 한편, 외부 전극(131, 132)은 다층 구조를 가질 수 있다.
- [0106] 예를 들어, 외부 전극(131, 132)은 바디(110)에 배치되는 전극층(131a, 132a) 및 전극층(131a, 132a) 상에 형성된 도금층(131b, 132b)을 포함할 수 있다.
- [0107] 전극층(131a, 132a)에 대한 보다 구체적인 예를 들면, 전극층(131a, 132a)은 도전성 금속 및 글라스를 포함한 소성(firing) 전극이거나, 도전성 금속 및 수지를 포함한 수지계 전극일 수 있다.
- [0108] 일 실시예에서, 외부 전극(131, 132)은 내부 전극(121, 122)과 접촉하며 Cu 및 글라스를 포함하는 전극층(131a, 132a) 및 상기 전극층 상에 배치되는 도금층(131b, 132b)을 포함할 수 있다.
- [0109] 또한, 전극층(131a, 132a)은 바디 상에 소성 전극 및 수지계 전극이 순차적으로 형성된 형태일 수 있다. 일 실시예에서, 전극층(131a, 132a)은 내부 전극(121, 122)과 접촉하며 Cu 및 글라스를 포함하는 기초 전극층 및 상기 기초 전극층 상에 배치되며 도전성 금속 및 수지를 포함하는 도전성 수지층을 포함할 수 있다.
- [0110] 또한, 전극층(131a, 132a)은 바디 상에 도전성 금속을 포함한 시트를 전사하는 방식으로 형성되거나, 소성 전극 상에 도전성 금속을 포함한 시트를 전사하는 방식으로 형성된 것일 수 있다.
- [0112] 도금층(131b, 132b)은 실장 특성을 향상시키는 역할을 수행한다. 도금층(131b, 132b)의 종류는 특별히 한정하지

않으며, Ni, Sn, Pd 및 이들의 합금 중 하나 이상을 포함하는 도금층일 수 있고, 복수의 층으로 형성될 수 있다.

[0113] 도금층(131b, 132b)에 대한 보다 구체적인 예를 들면, 도금층(131b, 132b)은 Ni 도금층 또는 Sn 도금층일 수 있으며, 전극층(131a, 132a) 상에 Ni 도금층 및 Sn 도금층이 순차적으로 형성된 형태일 수 있고, Sn 도금층, Ni 도금층 및 Sn 도금층이 순차적으로 형성된 형태일 수 있다. 또한, 도금층(131b, 132b)은 복수의 Ni 도금층 및/또는 복수의 Sn 도금층을 포함할 수도 있다.

[0115] 적층형 전자 부품(100)의 사이즈는 특별히 한정할 필요는 없다.

[0116] 다만, 중고압 사용 환경에서 방열 특성이 보다 중요해지기 때문에, 3216 (길이×폭, 3.2mm×1.6mm) 이상의 사이즈를 가지는 적층형 전자 부품(100)에서 본 발명에 따른 방열 특성 향상 효과가 보다 현저해질 수 있다.

[0117] 따라서, 적층형 전자 부품(100)의 제2 방향 평균 크기는 3.2mm 이상이며 제3 방향 평균 크기는 1.6mm 이상일 수 있다.

[0119] 또한, 적층형 전자 부품의 정격 전압이 630V 이상인 경우에 본 발명에 따른 방열 특성 향상 효과가 보다 현저해질 수 있다.

[0121] (실시예)

[0122] 바디(100) 중 외부 전극(131, 132)에 의해 커버되는 면적을 Sa, 상기 바디(100)의 전체 표면적을 Sb라 할 때, Sa/Sb 값이 상이한 샘플 칩들을 준비하였다. 샘플 칩들의 정격전압은 630V급이고, 사이즈는 3225 (길이×폭, 3.2mm×2.5mm)로 제작하였다.

[0123] 바디 중 외부 전극에 의해 커버되는 면적(Sa)의 경우 3D 조도 측정기를 이용하여 도 6과 같은 화상 이미지를 촬영하여 표면 거칠기 곡선을 얻어 외부 전극이 커버되지 않은 바디의 표면 면적을 구하고, 바디의 전체 표면적(Sb)에서 외부 전극이 커버되지 않은 바디의 표면 면적을 빼서 Sa를 구하였다.

[0124] 방열 특성의 경우 열화상 카메라, I-V analyzer, Amplifier 등으로 구성된 방열 시험 설비를 이용하여 측정하였다. 샘플 칩 바디의 초기 온도는 105℃로 하였고 측정 전압은 630V이었다. 이후, Amplifier로 주파수를 변경해 가며 I-V analyzer를 이용하여 각각의 샘플 칩의 Irms를 측정하였고, 전류에 의한 샘플 칩의 방열을 열화상 카메라로 측정하여 샘플 칩 바디의 초기 온도 대비 온도 변화를 하기 표 1에 기재하였다.

표 1

구분	Sa/Sb	주파수(kHz)	80 kHz	100 kHz	200 kHz	300 kHz
샘플 1	0.1	Irms (A)	3.23	3.45	4.04	short
		ΔT (℃)	19.7	19.8	20	50 ↑
샘플 2	0.22	Irms (A)	3.39	3.63	3.87	4.05
		ΔT (℃)	19.8	19.9	20	20
샘플 3	0.54	Irms (A)	3.38	4.01	4.54	4.95
		ΔT (℃)	19.7	19.9	20	20
샘플 4	0.78	Irms (A)	3.95	4.33	4.73	5.1
		ΔT (℃)	19.6	19.8	20	20

[0128] 샘플 1의 경우, Sa/Sb가 0.1로 인가 주파수 200~300kHz 사이 방열(self heating)이 심해져 열 폭주 현상으로 ΔT가 50℃ 이상 올라가면서 단락(short)이 발생하였다.

[0129] 반면에 샘플 2 내지 4의 경우, Sa/Sb가 0.2 이상 0.8 이하를 만족하여 주파수가 올라가도 온도 변화가 크지 않아 방열 특성이 우수한 것을 확인할 수 있다.

- [0131] 샘플 칩의 바디(100)의 제2 방향 크기(L) 대비 바디의 제1 및 제2 면에 배치된 제1 외부 전극의 끝단에서 제2 외부 전극의 끝단까지의 제2 방향 최소 크기(G)의 비(G/L)를 측정하였고, 아크 방전 발생에 의한 단락 여부, 내습 신뢰성, 휨강도 및 고착강도를 평가하여 하기 표 2에 기재하였다.
- [0132] 아크 방전 발생에 의한 단락 여부는 각 샘플 번호당 20개의 샘플 칩에 대하여 측정하여 단락이 발생한 샘플 칩의 개수를 기재하였다.
- [0133] 내습 신뢰성 평가는 각 샘플 번호당 300개의 샘플 칩에 대하여 온도 85℃, 상대 습도 85%에서, 630V의 전압을 12시간 동안 인가하여 절연 저항치가 초기 수치 대비하며 1/10 이하로 낮아진 샘플 칩의 개수를 기재하였다.
- [0134] 도 7을 참조하면, 휨강도는 각 샘플 번호당 30개의 샘플 칩에 대하여 기판(PCB) 상에 샘플 칩(MLCC)을 실장하고, 샘플 칩 (MLCC) 실장 면의 반대면을 최대 6mm까지 눌러가며, 외부 전극이 바디와 분리되거나 바디에 크랙이 발생한 샘플의 개수를 기재하였다.
- [0135] 고착강도는 각 샘플 번호당 30개의 샘플 칩에 대하여 18N 이상의 힘을 60±5초간 유지 후 외관상 이상이 있거나, 정전용량의 초기값에 대한 변화량이 ±2.5% 이내 기준을 불만족하는 샘플의 개수를 기재하였다.

표 2

구분	Sa/Sb	G/L	아크 방전	내습 신뢰성	휨강도	고착강도
샘플 1	0.1	0.9	0/20 (0%)	40/320 (12.5%)	3/30 (10%)	8/30 (26.7%)
샘플 2	0.22	0.75	0/20 (0%)	0/320 (0%)	0/30 (0%)	0/30 (0%)
샘플 3	0.54	0.5	0/20 (0%)	0/320 (0%)	0/30 (0%)	0/30 (0%)
샘플 4	0.78	0.43	0/20 (0%)	0/320 (0%)	0/30 (0%)	0/30 (0%)
샘플 5	0.9	0.3	15/20 (75%)	0/320 (0%)	6/30 (20%)	0/30 (0%)

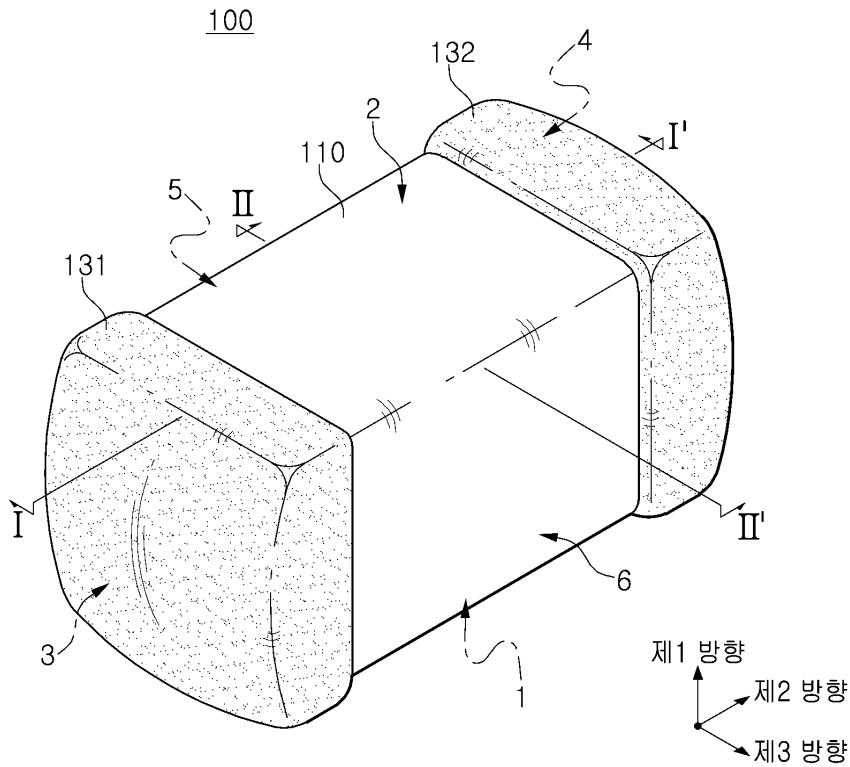
- [0139] Sa/Sb가 0.1인 샘플 1은 내습 신뢰성, 휨강도 및 고착강도가 열위하였으며, Sa/Sb가 0.9인 샘플 5는 아크 방전이 발생하고 휨강도도 열위한 것을 확인할 수 있다.
- [0140] 반면에 샘플 2 내지 4의 경우, Sa/Sb가 0.2 이상 0.8 이하를 만족하여 아크 방전도 발생하지 않고, 내습 신뢰성, 휨강도 및 고착강도도 우수한 것을 확인할 수 있다.
- [0142] 이상에서 본 발명의 실시 형태에 대하여 상세하게 설명하였지만 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.
- [0144] 또한, 본 개시에서 사용된 '일 실시예'라는 표현은 서로 동일한 실시예를 의미하지 않으며, 각각 서로 다른 고유한 특징을 강조하여 설명하기 위해서 제공된 것이다. 그러나, 상기 제시된 일 실시예들은 다른 일 실시예의 특징과 결합되어 구현되는 것을 배제하지 않는다. 예를 들어, 특정한 일 실시예에서 설명된 사항이 다른 일 실시예에서 설명되어 있지 않더라도, 다른 일 실시예에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 일 실시예에 관련된 설명으로 이해될 수 있다.
- [0145] 본 개시에서 사용된 용어는 단지 일 실시예를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 이때, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

부호의 설명

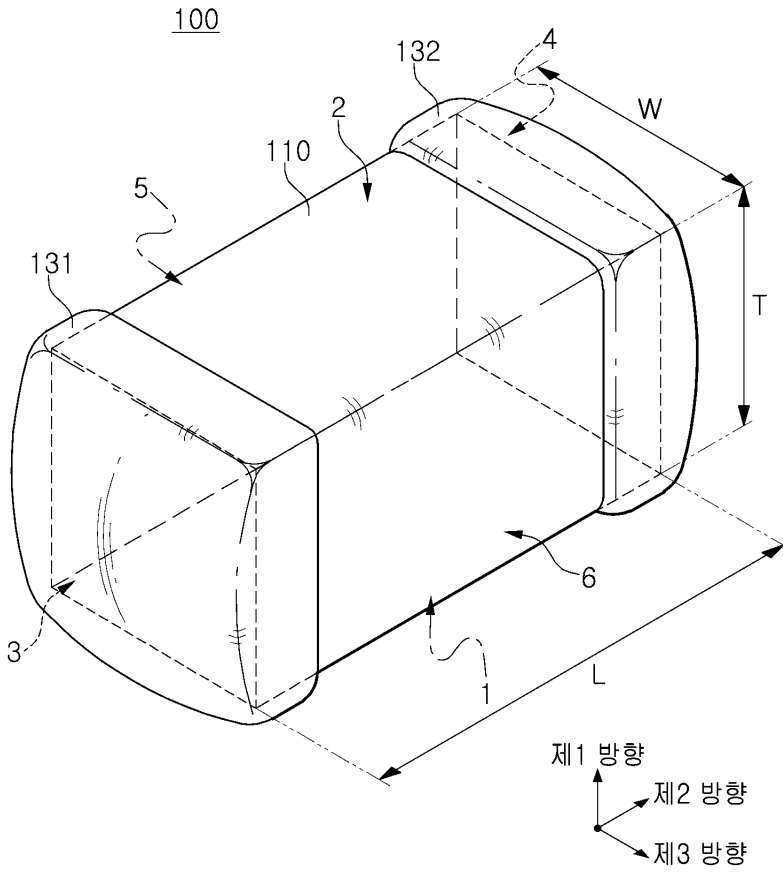
- [0147] 100: 적층형 전자 부품
- 110: 바디
- 111: 유전체층
- 112, 113: 커버부
- 114, 115: 마진부
- 121, 122: 내부 전극
- 131, 132: 외부 전극
- 131a, 132a: 전극층
- 131b, 132b: 도금층

도면

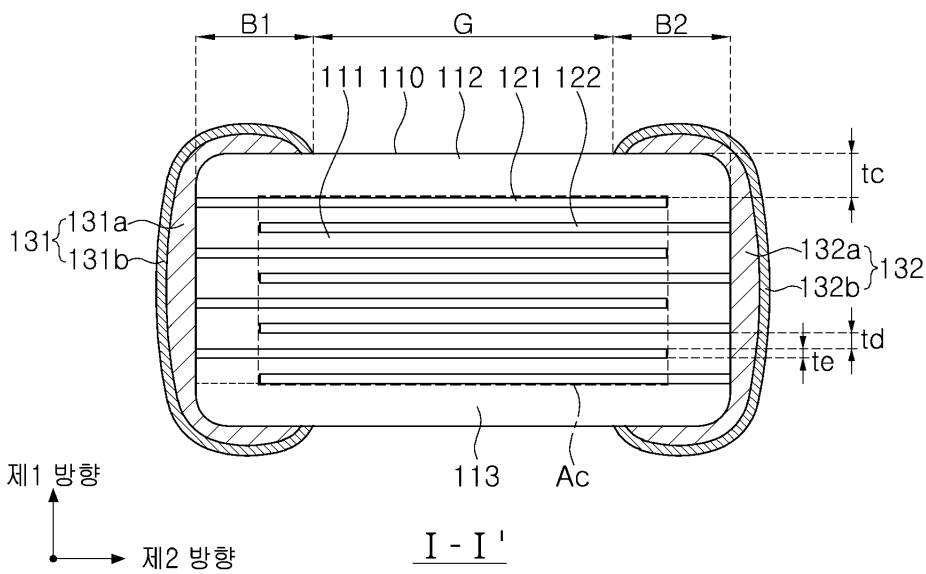
도면1



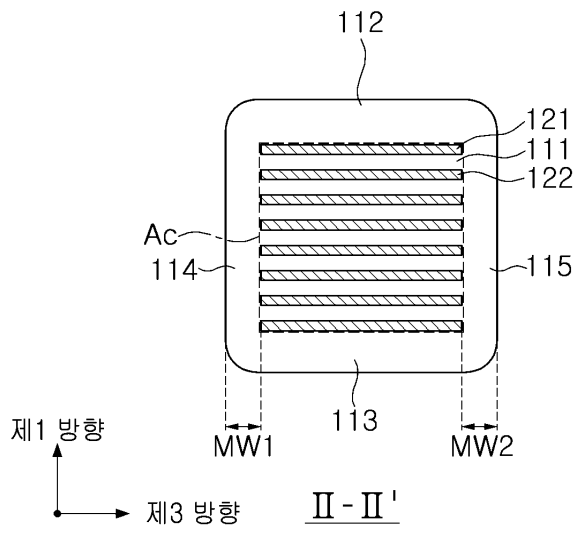
도면2



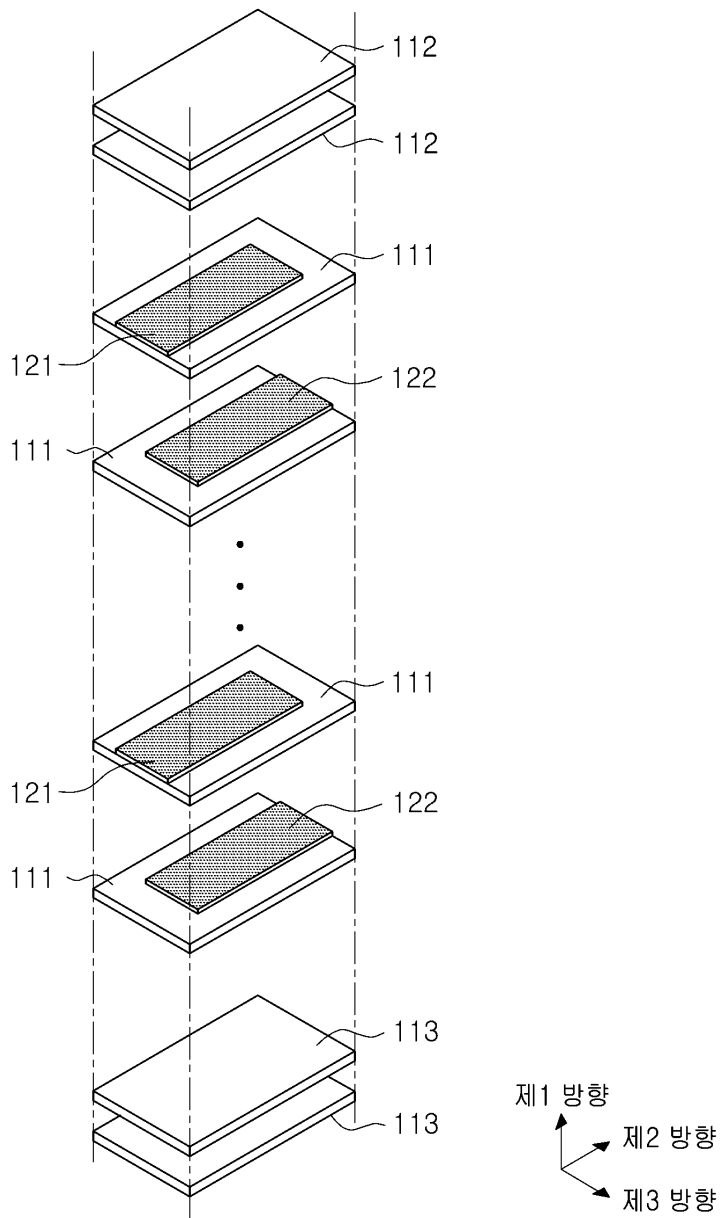
도면3



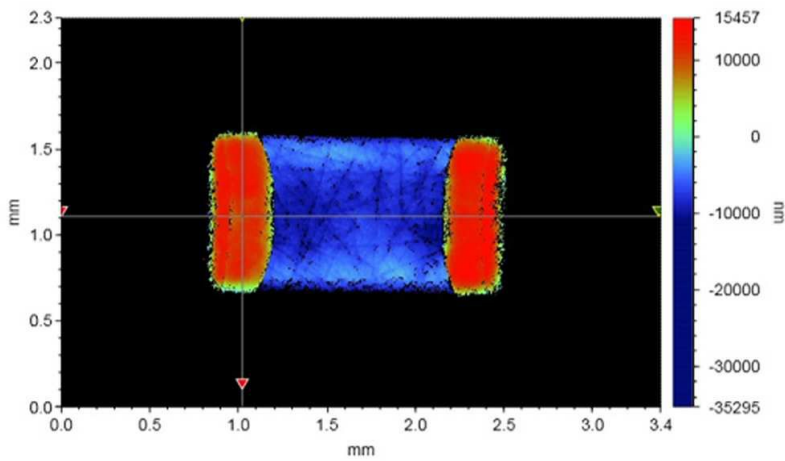
도면4



도면5



도면6



도면7

