

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4141028号
(P4141028)

(45) 発行日 平成20年8月27日(2008.8.27)

(24) 登録日 平成20年6月20日(2008.6.20)

(51) Int.Cl. F I
HO3M 5/12 (2006.01) HO3M 5/12
HO4B 10/00 (2006.01) HO4B 9/00 B

請求項の数 16 (全 20 頁)

(21) 出願番号	特願平10-334278	(73) 特許権者	000005223
(22) 出願日	平成10年11月25日(1998.11.25)		富士通株式会社
(65) 公開番号	特開2000-165246(P2000-165246A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成12年6月16日(2000.6.16)	(74) 代理人	100099759
審査請求日	平成17年9月27日(2005.9.27)		弁理士 青木 篤
前置審査		(74) 代理人	100119987
			弁理士 伊坪 公一
		(74) 代理人	100081330
			弁理士 樋口 外治
		(74) 代理人	100141254
			弁理士 榎原 正巳
		(74) 代理人	100113826
			弁理士 倉地 保幸

最終頁に続く

(54) 【発明の名称】 光デュオバイナリ伝送用の符号変換回路およびこれを用いた光送信装置および光受信装置

(57) 【特許請求の範囲】

【請求項1】

高速入力信号を受けてこれを、N(Nは2以上の整数)系統の低速信号に分配するビット分配部と、

分配された前記N系統の低速信号の各々に対応して設けられ、各々が対応する該低速信号に対して符号変換を行うN個の符号変換器と、

N個の前記符号変換器からそれぞれ出力されたN個の符号変換後の低速信号を入力として、これら低速信号相互を排他的論理和演算しながら合成し、符号変換後の高速出力信号を生成するビット合成部と、を備え、

各前記符号変換器は、対応する前記低速信号と遅延された1ビット前の帰還低速信号とのEXOR出力を生成するEXOR回路を備え、前記帰還低速信号は前記EXOR回路の出力に基づいて生成されることを特徴とする符号変換回路。

10

【請求項2】

各前記符号変換器は、前記EXOR回路の出力側に接続され、前記遅延された1ビット前の帰還低速信号を生成するD-FF回路をさらに有する請求項1に記載の符号変換回路。

【請求項3】

前記D-FF回路は、前記高速入力信号に同期した高速クロックを1/N分周して得られた分周クロックであって、かつ、N個の分周クロックのうちの対応する1つにて動作する請求項2に記載の符号変換回路。

20

【請求項 4】

前記 N 個の分周クロックを順次生成するための、直列接続された (N - 1) 段の遅延素子を有する請求項 3 に記載の符号変換回路。

【請求項 5】

前記ビット分配部は、直並列変換器により構成する請求項 1 に記載の符号変換回路。

【請求項 6】

前記直並列変換器は、前記高速入力信号と該高速入力信号に同期した高速クロックとを
入力として、直並列変換された前記 N 系統の低速信号と該高速クロックを 1 / N 分周して
得られた低速クロックであって、かつ、N 個の分周クロックを出力し、各該低速クロック
は対応する前記符号変換器のクロック入力とする請求項 5 に記載の符号変換回路。

10

【請求項 7】

前記ビット合成部は、分配された前記 N 系統の低速信号を入力として、前記高速出力信号を出力する E X O R 回路から構成する請求項 1 に記載の符号変換回路。

【請求項 8】

前記 N は、2, 4, 6 または 8 のいずれかである請求項 1 に記載の符号変換回路。

【請求項 9】

高速入力信号を直列に受けてこれを、N (N は 2 以上の整数) 系統の低速信号に並列に
分配する 1 : N 直並列変換部と、

並列に分配された前記 N 系統の低速信号の各々に対応して設けられ、各々が対応する該
低速信号に対して符号変換を行う N 個の符号変換器と、

20

前記 N 個の符号変換器の各々について設けられ、各該符号変換器からの符号変換出力を
順次遅延させるための直列接続された (N - 1) 段の遅延部と、

前記 N 個の符号変換器の各々に対応して設けられ、各該符号変換器からの出力と該符号
変換器に続く前記 (N - 1) 段の遅延部の各々からの各出力とを排他的論理和演算する N
入力 E X O R 部と、

前記 N 個の符号変換器にそれぞれ対応する N 個の前記 N 入力 E X O R 部からの出力を合
成して高速出力信号を生成する N : 1 並直列変換部とを備えることを特徴とする光デュオ
バイナリ伝送用の符号変換回路。

【請求項 10】

前記高速入力信号に同期した高速クロックを 1 / N 分周して得られた低速クロックを受
けて、N 個の低速クロックを順次生成するための、直列接続された (N - 1) 段の遅延素
子を有し、前記 N 個の符号変換器は、対応する 1 つの該遅延素子からの該低速クロックに
より駆動される請求項 9 に記載の符号変換回路。

30

【請求項 11】

前記 (N - 1) 段の遅延部の各々は、D - F F よりなり、前記高速入力信号に同期した
高速クロックにより駆動される請求項 10 に記載の符号変換回路。

【請求項 12】

前記 (N - 1) 段の遅延部の各々は、遅延器よりなる請求項 9 に記載の符号変換回路。

【請求項 13】

前記 N : 1 並直列変換部は、

前記 N 個の符号変換器と、前記 (N - 1) 段の遅延部と、前記 N 入力 E X O R 部とをブ
リコードとする光送信装置内に既存の並直列変換部と共用される請求項 9 に記載の符号変
換回路。

40

【請求項 14】

前記 1 : N 直並列変換部は、

前記 N 個の符号変換器と、前記 (N - 1) 段の遅延部と、前記 N 入力 E X O R 部とをデ
コードとする光受信装置内に既存の直並列変換部と共用される請求項 9 に記載の符号変換
回路。

【請求項 15】

ブリコードを含む光送信装置であって、該ブリコードは高速入力信号を受けてこれを、

50

N (N は 2 以上の整数) 系統の低速信号に分配するビット分配部と、

分配された前記 N 系統の低速信号の各々に対応して設けられ、各々が対応する該低速信号に対して符号変換を行う N 個の符号変換器と、

N 個の前記符号変換器からそれぞれ出力された N 個の符号変換後の低速信号を入力として、これら低速信号相互を排他的論理和演算しながら合成し、符号変換後の高速出力信号を生成するビット合成部と、を備え、

各前記符号変換器は、対応する前記低速信号と遅延された 1 ビット前の帰還低速信号との E X O R 出力を生成する E X O R 回路を備え、前記帰還低速信号は前記 E X O R 回路の出力に基づいて生成されることを特徴とする光送信装置。

【請求項 16】

デコーダを含む光受信装置であって、該デコーダは

高速入力信号を受けてこれを、N (N は 2 以上の整数) 系統の低速信号に分配するビット分配部と、

分配された前記 N 系統の低速信号の各々に対応して設けられ、各々が対応する該低速信号に対して符号変換を行う N 個の符号変換器と、

N 個の前記符号変換器からそれぞれ出力された N 個の符号変換後の低速信号を入力として、これら低速信号相互を排他的論理和演算しながら合成し、符号変換後の高速出力信号を生成するビット合成部と、を備え、

各前記符号変換器は、対応する前記低速信号と遅延された 1 ビット前の帰還低速信号との E X O R 出力を生成する E X O R 回路を備え、前記帰還低速信号は前記 E X O R 回路の出力に基づいて生成されることを特徴とする光受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は光デュオバイナリ伝送用の符号変換回路、およびこれを用いた光送信装置および光受信装置に関する。

光伝送システムは一般に、送信すべき電気信号を直接光変調器に入力してこれを電気/光変換し、その変換された光信号を光ファイバに入射して受信側に伝送する、という構成がとられている。

【0002】

ところで近年は、伝送容量の増大に伴い光ファイバに対する特性上の要求は益々厳しくなっている。第 1 は長距離光ファイバ伝送の実現という要求であり、これにより光の無中継伝送を可能とする。第 2 は超高速信号の伝送、例えば 10 G b / s を超えるような超高速光ファイバ伝送の実現という要求である。

このような超高速かつ長距離の光ファイバ伝送においては、光ファイバに固有の波長分散特性に起因して、伝送信号の品質が劣化してしまい、伝送が困難になる。そこでいわゆる分散耐力の高い伝送方式として、光デュオバイナリ伝送が既に提案されその実用化に向けて検討が行われている。

【0003】

本発明はかかる光デュオバイナリ伝送のための主として符号変換回路について述べるものである。

【0004】

【従来の技術】

図 16 は光デュオバイナリ伝送用の従来の光送信装置を示す図である。

本図において、光デュオバイナリ伝送用の従来の光送信装置 10 は、符号変換回路 11 と、ローパスフィルタ (L P F) 12 と、マツハツェンダ型の光変調器 (M O D) 13 とからなる。

【0005】

送信すべき超高速の電気入力信号 E i n は、インバータ (I N V) 14 を介して、符号変換回路 (プリコーダ) 11 内のイクスクルーシブ O R (E X O R) 回路 15 の一方に入力

10

20

30

40

50

される。このE X O R回路15の他方の入力には、遅延要素(D L Y)を介して1ビット遅延された直前のE X O R出力が帰還され、今該一方の入力に印加された信号E i nと共にE X O Rがとられ、そのE X O R出力がローパスフィルタ12に入力される。

【0006】

図17は図16中にa~eで示す各部分の信号波形を表すタイムチャートである。

本図において、図16中のa~eで示す各部分での信号波形を、(a)~(e)の各欄にそれぞれ表す。また本図の最上欄には、デジタル電気入力信号E i nをなす連続ビットを、ビット番号01234...として表す。これらのビットの各ビット幅は1タイムスロットT Sに相当する。すなわち、信号E i nのビットレートをBとすると、1T Sは1/Bである。

10

【0007】

図16および図17を参照すると、まずデジタル電気入力信号E i nが、例えば(a)欄に示すようなビットパターンをもって前段の信号処理部(図示せず)から印加されたものとする。

(a)欄の信号E i nは、インバータ14によりビット反転されて(b)欄に示す信号となり、プリコーダ(符号変換回路11)に入力される。

【0008】

このプリコーダにおいて、(b)欄に示す1ビットの信号と、直前に入力された1ビットの信号を遅延要素16にて遅延時間T dだけ遅延させた1ビットの信号とがE X O R回路15に入力され、そのE X O R出力が(c)欄に示すビットパターンをもって現れる。

20

(c)欄に示す2値信号は、ローパスフィルタ12に入力されて、(d)欄に示す3値信号(0, 0.5, 1)に変換される。

【0009】

(d)欄に示す3値信号は、マッハツェンダ型の光変調器13に入力され、2値光信号に変換されて、光ファイバFに入射される。この2値光信号が、分散耐力の高い光デュオバイナリ伝送を実現する。さらに詳しく説明すると次のとおりである。

(b)欄におけるn番目のビットの信号をB nとし、(c)欄におけるn番目のビットの信号をC nとし、このC nより1ビット直前の信号をC(n-1)とすると、下記(1)式が成立する。

【0010】

$$C_n = B_n + C(n-1) \text{ mod } 2 \quad (1)$$

30

上記の信号C nをローパスフィルタ12に通すと(d)欄に示す信号となり、この(d)欄におけるn番目のビットの信号をD nとすると、このD nは下記(2)式のように表すことができる。

$$D_n = (C_n + C(n-1)) / 2 \quad (2)$$

ここでローパスフィルタ12の帯域は、入力信号E i nの上記ビットレートBの1/4、すなわち0.25Bに設定される。

【0011】

ビットレートBの1/4という狭帯域のローパスフィルタ12に信号を入力すると、この信号波形はなまって、(d)欄の実線で示す3値の信号(0, 0.5, 1)になる。

40

上記の3値信号(0, 0.5, 1)をマッハツェンダ型の光変調器13に入力すると、再び2値光信号に変換される((e)欄の光信号)。3値信号の0.5において2値光信号は0となり、一方、3値信号の0において2値光信号は1となり、かつ、3値信号の1においても2値光信号は1となるからである。この場合、3値信号の0における2値光信号の光パワーは最大“1”となり、3値信号の1における2値光信号の光パワーも最大“1”となる。ただし、前者の最大光パワーのときの光信号と後者の最大光パワーのときの光信号とは相互に位相が180°ずれている。なお、3値信号の0.5における2値光信号の光パワーはほぼ零となる。

【0012】

かかる2値光信号、すなわち図16の光出力信号O o u tは、フィルタ12からの上記2

50

値信号の帯域がそのビットレートBの1/4に狭められていることから、スペクトル幅が狭くなる。こうしてスペクトル幅を狭めた光出力信号O o u tを光ファイバFに入射して伝送することにより、分散耐力の高い光伝送が可能となる。これが光デュオバイナリ伝送である。

【0013】

【表1】

C (n - 1)	C n	A n	D n
0	0	1	0
0	1	0	0.5
1	0	0	0.5
1	1	1	1

10

上記表は、ローパスフィルタ12による2値/3値変換の様子を表し、C (n - 1) , C nおよびD nは上述したとおりであり、A nは(a)欄に示す電気入力信号E i nのビット値である。

20

【0014】

上記表のD nとしてフィルタ12より出力された3値信号は光変調器13において2値光信号となり、発光または非発光として、該光変調器13の出力に現れる。具体的には、D n = 0またはD n = 1のとき発光、D n = 0.5のとき非発光である。結局、A n = 1で発光、A n = 0で非発光となり、(a)欄のビットパターンと全く同じビットパターンが、(e)欄に示すとおり得られる。

【0015】

(a)欄のビットパターン(a)を入力して(e)欄のビットパターン(e)を得るまでの間に、フィルタ12による2値/3値変換を介在させても、ビットパターン(a)とビットパターン(e)とを一致させなければならない。このために設けられたのが上記のプリコーダ(符号変換回路11)である。つまり、プリコーダを設けないと、光送信装置10の入力ビットパターンと出力ビットパターンとが不一致になる。ただし、符号変換回路11は光送信装置10に設けず、後述する光受信装置に、デコーダとして、設けてもよい。後者の場合は、上記ビットパターン(a)と全く同一のパターンが光受信側の該デコーダを経たときに再生されることになる。本発明は上記プリコーダおよびデコーダに関するものであるが、説明は主としてプリコーダについて行う。

30

【0016】

図18は従来の符号変換回路(プリコーダ)の第1例を示す図である。ただしこの符号変換回路11は、図16に例示したものと全く同じである。

40

図19は従来の符号変換回路(プリコーダ)の第2例を示す図である。この第2例のプリコーダは、図18に示す第1例のプリコーダが有する後述の欠点を解消できるものであり、D - F F回路を設けたことを特徴としている。

【0017】

【発明が解決しようとする課題】

図20は図18に示すプリコーダ(第1例)の動作を示すタイムチャート(その1)であり、図21は同タイムチャート(その2)である。

図20を参照すると、このタイムチャートは、図18のプリコーダ(符号変換回路11)が10Gb/sの入力信号を受信するときに、遅延要素16の遅延時間T dを、その丁度1タイムスロット(T S)に合わせたとき、すなわちT d = 100psの場合の動作を示す

50

。なお、図20の(a)~(c)の各欄は、対応する図18におけるa~cの各部分にそれぞれ現れる信号の波形を示す(以下同様)。

【0018】

図18および図20を参照すると、10Gb/sの入力信号として、例えば(a)欄に示す0111...のビットパターンの信号を受信したものとす。

(a)欄の入力信号が、1TS前の(c)欄の入力信号と、EXOR回路15にてEXORがとられ、(b)欄の出力信号が得られる。

ところが上記の1TS前の入力信号は常に正確に100psの遅れをもってEXOR回路16に帰還されるとは限らない。なぜなら、遅延要素16は、EXOR回路15自身が有する伝搬遅延等も含むものであり、また温度変動の影響等もあるからである。

10

【0019】

図21のタイムチャートは、遅延要素16による遅延時間Tdが1タイムスロット(TS=100ps)からずれたとき、この例ではTdが80psと、TSより短くなった場合における動作を示す。

このため本図の(c)欄に示すように、EXOR回路15に帰還されるべき1TS前の入力信号は、1TS時間(=100ps)よりも20(=100-80)ps早い時点で帰還されてしまう。その結果、以後現れる(b)欄の出力信号は、図20の(b)欄に示す出力信号と全く異なるビットパターンとなる。これが従来の第1例のプリコードにおける欠点である。

【0020】

20

この欠点を解消できるのが、従来の第2例のプリコード(図19)である。

図22は図19に示すプリコード(第2例)の動作を示すタイムチャート(その1)であり、図23は同タイムチャート(その2)である。

まず図22を参照すると、遅延時間Tdが1TS(=100ps)より短かく、例えば80psである場合、(e)欄の信号は、(d)欄の信号より80ps経過した時点でビット変化する。このビット変化を受けて(c)欄の信号も早い時点でビット変化してしまう。ここまでは図21の場合と同じである。

【0021】

ところがこのプリコード(第2例)はD-FF回路17を、EXOR回路15と遅延要素16との間に有している。

30

このD-FF回路17により、図22の(c)欄に示すように20(=100-80)psだけ早い時点で信号のビット変化が発生するにも拘らず、(d)欄に示すように、次に来るクロック((b)欄)を待って、信号のビット変化が生ずるので、1TS(100ps)に対するTd(80ps)のずれには何ら影響されない。

【0022】

ところがこのプリコード(第2例)には問題がある。この問題は、上記のTdが例えば120psと、1TS(100ps)よりも長くなった場合に発生する。

図23を参照すると、TS(100ps)より長いTd(120ps)により、(e)欄の信号のビット変化(0 1)は遅くなり、これに伴い(c)欄の信号のビット変化(1 0)も遅れてしまう。そうすると、クロック入力(b)によるD-FF回路17の打ち抜きタイミングにおいて、(c)欄の信号は、本来図22の(c)欄のように、1 0にビット変化していなければならないのに、1を保持したままになる。このため、当該クロック入力により1になったままの(c)欄の信号が打ち抜かれ、結局、(d)欄のようにビット変化する信号がプリコードより出力されてしまう。この(d)欄の信号のビットパターンは、正常な場合のビットパターン(図22の(d)欄)とは全く異なったものになる。これが問題である。

40

【0023】

結局、プリコード(第2例)も、遅延要素16での遅延時間Tdが1タイムスロットTSより短い場合は正常に動作するものの、1タイムスロットTSより長くなると、正常に動作しなくなる。上述の説明では10Gb/sの場合を例にとって行ったが、超高速の光

50

伝送では、今後それ以上の 20Gb/s や 40Gb/s が実用化される。そうすると、1タイムスロット T_S は 50ps や 25ps と一層短くなる。ICプロセス技術の向上により、最高動作速度を上げ、回路遅延を小さくすることができたとしても、配線等に起因する遅延時間は変わらない。したがって、 T_S が短くなるにつれて全遅延時間 T_d に占める配線遅延時間の比率が大きくなり、 T_d を T_S より短くすることが困難になる。そうすると、図23で説明したように、プリコーダの正常な動作を保証できなくなる。

【0024】

したがって本発明は上記問題点に鑑み、超高速の伝送を行う光送信装置あるいは光受信装置において、遅延時間が入力信号の1タイムスロットの時間を超えるような遅延要素を含んでも、正常な動作を確保することのできる符号変換回路を提供することを目的とするものである。

10

【0025】

【課題を解決するための手段】

図1は本発明に係る符号変換回路の基本構成図である。

本図において、本発明に係る光デュオバイナリ伝送用の符号変換回路20は、ビット分配部21と、符号変換器22と、ビット合成部23とからなる。符号変換器22は、複数の符号変換器22-1, 22-2...22-Nからなる。Nは2以上の整数である。

【0026】

ビット分配部21は、高速入力信号 I_N を受けてこれを、相互にビット位相のずれたN系統の低速信号 i_n に分配する。

20

N個の符号変換器22-1, 22-2...22-Nは、分配されたN系統の低速信号 i_n の各々に対応して設けられ、各々が対応する該低速信号に対して符号変換を行う。

【0027】

ビット合成部23は、N個の符号変換器22-1~22-Nからそれぞれ出力されたN個の符号変換後の低速信号 $o_u t$ を入力として、これら低速信号 $o_u t$ 相互を論理的に演算しながら合成し、符号変換後の高速出力信号 $O_U T$ を生成する。

本発明のポイントは、N個に分割して並列に設けられる符号変換器22-1~22-Nにある。これら符号変換器は同一の構成を有し、具体的には図18(従来の第1例)あるいは図19(従来の第2例)の構成と同一の構成とすることができる。以下の説明は、従来の第1例を改良した従来の第2例(図19)の構成を用いた場合を例にとり行う。

30

【0028】

従来の第2例による符号変換回路11においては、前述したように、1タイムスロット T_S (10Gb/s において 100ps)に対し遅延時間 T_d が長くなると(例えば $T_d = 120\text{ps}$)、正常に動作できなくなる。つまり、従来の符号変換回路では、上記の数値例を用いると、 T_d を 100ps 以下に厳しく制限しなければならない。しかし、前述のとおり、このような制限を常に保持することは困難であり、その制限を緩和することが強く望まれる。

【0029】

再び図1を参照すると、本発明に係る符号変換回路20によれば、図19に示す、EXOR回路15、遅延要素16(実際の素子としては存在しない場合が多い)およびD-FF回路17からなるプリコーダ(またはデコーダ)がN個並列に設けられる。簡単に $N = 2$ とし、上記の例に即して考察すると、遅延時間 T_d を常に 100ps 以下にするという厳しい制限は、これを 200ps 以下でもよいという制限に大幅に緩和される。もし、 $N = 4$ ならば 400ps 以下でもよいという制限に緩和される。

40

【0030】

このように制限が緩和されるのは、符号変換器22-1および22-2($N = 2$ の場合)がそれぞれ $5(= 10/2)\text{Gb/s}$ という低速信号 i_n を入力して動作すればよいことになったからである。 5Gb/s の入力信号の1タイムスロット T_S は 200ps であることから、結局、いずれの符号変換器(22-1, 22-2)も、各遅延時間 T_d として 200ps まで許容されることになる。

50

【 0 0 3 1 】

ただし、入力側において高速入力信号 $I N$ を、 N 系統の低速信号 $i n$ に落とすための上記ビット分配部 2 1 が必要となり、他方、出力側において、元の高速出力信号 $O U T$ に戻すためのビット合成部 2 3 が必要となる。 N 系統に分割された低速信号 $i n$ は、相互に全く関係し合うことなく独自に符号変換されるから、ビット合成部 2 3 としては、 N 系統の符号変換された低速信号 $i n$ を相互に論理的に演算し、その結果をもって目的とする高速出力信号 $O U T$ としなければならない。その論理的な演算とは、具体例として $E X O R$ である。図 1 8 や図 1 9 を参照すると、今入力された信号と 1 ビット前に入力された信号との $E X O R$ 操作が行われるが、この 1 ビット前の帰還入力信号との $E X O R$ 操作については、図 1 に示す N 個の符号変換器 2 2 - 1 ~ 2 2 - N のいずれも考慮していない。そこで、1 ビット前の帰還入力信号との $E X O R$ 操作を最終段のビット合成部 2 3 でまとめて行いながら、目的とする高速出力信号 $O U T$ にまとめるようにする。これがビット合成部 2 3 の基本的機能である。

10

【 0 0 3 2 】

【 発明の実施の形態 】

図 2 は本発明の第 1 の態様に基づく符号変換回路の具体例を示す図である。なお全図を通じて同様の構成要素には同一の参照番号または記号を付して示す。また本第 1 の態様は $N = 2$ の場合について示す。

前述のビット分配部 2 1 は、直並列変換器 3 1 によって構成され、高速入力信号 $I N$ と、該高速入力信号 $I N$ に同期した高速クロック $C L$ とを受けて、2 つの低速信号 $i n 1$ および $i n 2$ と、 $C L$ を $1 / 2$ 分周した低速クロック $c l$ とを出力する。

20

【 0 0 3 3 】

第 1 の低速信号 $i n 1$ は、プリコーダ 1 として表される第 1 の符号変換器 2 2 - 1 に入力され、該変換器 2 2 - 1 は低速クロック $c l$ にて動作する。

また、第 2 の低速信号 $i n 2$ は、プリコーダ 2 として表される第 2 の符号変換器 2 2 - 2 に入力され、該変換器 2 2 - 2 はインバータ $I N V$ により位相反転した低速クロック $c l$ にて動作する。

【 0 0 3 4 】

第 1 および第 2 の符号変換器 2 2 - 1 および 2 2 - 2 によりそれぞれ出力された符号変換後の低速信号 $o u t 1$ および $o u t 2$ は、前述のビット合成部 2 3 に入力される。このビット合成部 2 3 は $E X O R$ 回路 3 3 により構成され、高速出力信号 $O U T$ を生成して、既述のローパスフィルタ 1 2 に送出する。

30

各符号変換器 (2 2 - 1 , 2 2 - 2) は、対応する低速信号 ($i n 1$, $i n 2$) と遅延された 1 ビット前の帰還低速信号との $E X O R$ 出力を生成する $E X O R$ 回路 1 5 を含む。

【 0 0 3 5 】

また各符号変換器 (2 2 - 1 , 2 2 - 2) は、各 $E X O R$ 回路 1 5 の出力側に接続され、遅延された 1 ビット前の帰還低速信号を生成する $D - F F$ 回路 1 7 をさらに有する。

各 $D - F F$ 回路 1 7 は、高速入力信号 $I N$ に同期した高速クロック $C L$ を $1 / N$ ($N = 2$) 分周して得られた低速クロック $c l$ であって、かつ、相互に位相のずれた N ($N = 2$) 個の低速クロックのうちの対応する 1 つにて動作する。

40

【 0 0 3 6 】

図 3 は図 2 の回路における各部分 (a ~ l) に現れる信号パターンを表すタイムチャート (その 1) であり、

図 4 は同タイムチャート (その 2) である。

図 3 および図 4 のタイムチャートは、高速入力信号 $I N$ として、前述した $1 0 G b / s$ よりもさらに高速の $2 0 G b / s$ の入力信号 $I N$ を例にとって示す。したがって 1 タイムスロットは $5 0 p s$ (図 3 の左上に示す) である。このような $2 0 G b / s$ の信号 $I N$ を符号変換するときの、遅延時間 $T d$ の制限は、従来において $5 0 p s$ 以下となるが、本発明 (図 2) によればこの制限を、 $1 0 0$ ($= 5 0 \times 2$) $p s$ 以下まで緩和できる。これは図 3 および図 4 のタイムチャートより明らかである。

50

【 0 0 3 7 】

20Gb/sの高速入力信号INは、(a)欄に示すように、ビットb0, b1, b2, b3...として直並列変換器31に与えられる。

この高速入力信号INに同期したクロックCLは、(b)欄に示される。

直並列変換器31では、高速入力信号INをなすビット列b0, b1, b2, b3...を、例えば交互に振り分け、b0, b2, b4...の第1の低速信号in1と、ビットb1, b3, b5...の第2の低速信号in2とに直並列変換する。これを(c)および(d)欄に示す。ここで注目すべきことは、(c)および(d)欄に示す低速信号in1およびin2のタイムスロットが2倍(100ps)に拡大されたことである。これにより、各符号変換器(22-1, 22-2)において、遅延時間Tdに対する既述の制限が半分に緩和される。

10

【 0 0 3 8 】

直並列変換器31ではまた、高速クロックCLを、その1/2の周波数の低速クロックc1に変換する。これを(e)欄に示す。

第1の低速信号in1は符号変換器22-1に入力されると、(e)欄の低速クロックc1に従って処理され、その内部のf, gおよびhの各部分に、(f), (g)および(h)の各欄に示すような信号が現れる。(f), (g)および(h)欄において、“b0 + b2”は、第1の低速信号in1に関し、今入力されたビットb2と1ビット前のビットb0とのEXORをとった結果を表す。同様に“b0 + b2 + b4”は、今入力されたビットb4と1ビット前の上記の結果“b0 + b2”とのEXORをとった結果を表す。

20

【 0 0 3 9 】

同様に、第2の低速信号in2は符号変換器22-2に入力されると、(e)欄の低速クロックc1をインバータINVにより180°位相反転したクロックに従って処理され、その内部のi, jおよびkの各部分に、(i), (j)および(k)の各欄に示すような信号が現れる。(i), (j)および(k)欄において、“b1 + b3”は、第2の低速信号in2に関し、今入力されたビットb3と1ビット前のビットb1とのEXORをとった結果を表す。同様に“b1 + b3 + b5”は、今入力されたビットb5と1ビット前の上記の結果“b1 + b3”とのEXORをとった結果を表す。

【 0 0 4 0 】

かくして符号変換された第1および第2の低速信号out1およびout2は、EXOR回路33にて論理的に加算して合成され、(l)欄に示すごとく、c0, c1, c2...のビット列からなる符号変換後の高速出力信号OUTを得ることができる。ビットc1は上記ビット(b0 + b1)に相当し(+はEXORを表す、以下同じ)、ビットc2は上記ビット(b0 + b1 + b2)に相当する。以下、ビットc3, c4...についても同様に一連のビット(b)が累積的にEXOR処理される。図2の説明では、インバータINVによりクロック位相をずらした後EXOR回路33にて演算しているが、プリコーダ1および2は独立して動作しているので特別に位相差を与える必要性はなく、同じクロックを与えEXOR回路33に入る時点で図中のg又はjに位相差を与えても良い。

30

【 0 0 4 1 】

この図2の例では、遅延時間Tdについての50ps以下という制限が、100psという制限に緩和されることを述べたが、図3および図4のタイムチャートでは、実際の遅延時間Tdが80psである例を示している((g)および(j)欄の80ps参照)。

40

ここで再び上記(1)式を参照すると、この(1)式は、図2の回路20を用いた符号変換のもとでは、下記(3)および(4)式のように変更される。(1)式は既に表した式と同じである。

【 0 0 4 2 】

【 数 1 】

$$C_n = B_n + C(n-1) \bmod 2 \quad (1)$$

$$= B_n + (B(n-1) + C(n-2)) \bmod 2 \quad (3)$$

$$= \sum_{i=0}^n B_i + C \bmod 2 \quad (4)$$

(ただしCは、プリコーダの出力の初期値)

10

上記(4)式は、図3および図4における(1)欄の結果(c0, c1, c2...)と一致する。

【0043】

この(4)式について、初期値Cについて見ると、これは図2における信号out1およびout2の初期値であり、図3および図4の(g)欄および(j)欄の各先頭ビットの値であり、同図では、それぞれ“0”および“0”となっている。このように初期値が(0, 0)となるか、(0, 1)になるか、等は、プリコーダ(22-1, 22-2)に対する電源投入のタイミングにより変化するD-FF回路17の状態で決まり、一意には定まらない。そこで、本発明の回路20においては、初期値を必ず(0, 0)にセットするリセット手段を設けても良い。

20

【0044】

初期値が(0, 0)以外の値となる場合、例えば(0, 1), (1, 0)等についてシミュレーションを行った。

図5は図3および図4の場合と異なる初期値が与えられたときのタイムチャート(その1)であり、

図6は同タイムチャート(その2)である。なお、タイムチャートの見方は、図3および図4の場合と全く同じである。

【0045】

まず図5の(j)欄の初期値を見ると、図3(j)欄の“0”に変えて、“1”となっている。つまり上述の初期値(0, 0)に変えて初期値(0, 1)が与えられた場合を考察する。この例はプリコーダ2の初期値が“1”に変わった場合に相当する。この“1”に変わったことによる変化は、(i)欄および(j)欄において、“+1”、例えば“b1+1”, “b1+b3+1”...として現れる。そして最終的には、(1)欄に示す“+1”として現れる。結局、図3および図4の(1)欄に示すビット列c0, c1, c2...は、図5および図6の(1)欄に示すビットc0+1, c1+1, c2+1...となる。

30

【0046】

ところが、既に述べた表1からも分かるように、マツハツェンダ型の光変調器13に(1)欄の電気信号が入力されると、変調後の光信号としては、ビット列c0, c1, c2...のときも、ビット列c0+1, c1+1, c2+1...のときも、光の領域では位相が相互に180°異なるだけで、光の“1”“0”としては両者全く同じである。

40

【0047】

上記の例は初期値(0, 1)としたが、上述した理由から、初期値(1, 0)のときも初期値(1, 1)のときも、既述の初期値(0, 0)のときと同じように目的とする光出力信号Outputが得られる。このため回路20の初期値をリセットさせてから動作させる必要は無いことが分かった。

図7は本発明の第2の態様に基づく符号変換回路の具体例を示す図である。本図は、図2に示す第1の態様と同様に、N=2の場合について示す。

【0048】

一般に光送信装置の構成としてその光出力側について見ると、E/O変換器をなす光変調器13とローパスフィルタ12と並直列変換部とが一体に1つのボード上に形成されるこ

50

とが多い。すなわち、その並直列変換部に並列に入力される例えば各 20Gb/s の 2 系統の信号を、この並直列変換部で 40Gb/s の信号とし、この 40Gb/s の信号を、ローパスフィルタ 12 を介し、光変調器 13 に入力する。そして、このようなボードの入力側に、図 7 に示す符号変換回路 20 が接続する。

【0049】

そうすると、上記ボードの入力側にある既存の上記並直列変換部を図 2 の並直列変換部 42 として共用すれば、第 1 の態様 (図 2) の場合のように、EXOR 回路 33 で最終段のビットレート (上記の例で 40Gb/s) まで一気に持ち上げる必要がなくなる。したがって本発明の第 2 の態様では、既存の回路 (並直列変換部) を共用可能とした並直列変換部 42 を構成要素とすることが特徴である。

10

【0050】

上述した考え方は、符号変換回路 20 の入力側にも適用できる。符号変換回路の入力側に接続する前段 (図示せず) では、高いビットレートの信号を低いビットレートの信号に変換する既存の回路 (直並列変換部) が存在する。そこでこの既存の直並列変換部を共用可能とした直並列変換部 41 を符号変換回路 20 の一構成要素としたのがこの第 2 の態様である。

【0051】

上述した考え方は、光送信装置にプリコードを含まない光伝送システムにおける光受信装置にも適用できる。この場合、該光受信装置は、上記プリコードに相当する機能を果すデコードを設けることになる。そしてこのデコードとして図 7 の符号変換回路 20 が採用される。

20

一般に光受信装置の構成としてその光入力側について見ると、O/E 変換器と直並列変換部とが一体に 1 つのポート上に形成されることが多い。この既存の直並列変換部を共用可能とした直並列変換部 41 を符号変換回路 20 の一構成要素とすれば上述の考え方が実現される。ただし、この光受信装置の場合、並直列変換部 42 はダミーとなる。

【0052】

すなわち、N を 2 よりも大きい一般的な構成で示した図 11 および図 12 を参照すると、N : 1 並直列変換部 65 は、N 個の符号変換器 (22) と、(N - 1) 段の遅延部 63 と、N 入力 EXOR 部 64 とをプリコードとする光送信装置内に既存の並直列変換部と共用される。

30

また、1 : N 直並列変換部 61 は、N 個の符号変換器 (22) と、(N - 1) 段の遅延部 63 と、N 入力 EXOR 部 64 とをデコードとする光受信装置内に既存の直並列変換部と共用される。

【0053】

図 7 において、上述の並直列変換部 42 とインタフェースすべく、図 2 には示されない新たな構成要素が付加される。図示する D - FF 回路 43 および 44 と、EXOR 回路 45 および 46 である。

第 2 の態様では既存の並直列変換部 42 を利用しているので、この並直列変換部との動作上の整合をとる必要がある。この並直列変換部 42 は、図 2 の直並列変換器 31 の動作を単純に逆にしただけであり、入力される 2 系統のビット列を交互に取り出して高いビットレートで順番に並べているだけである。そうすると、相互に関係し合うことなく並直列変換部 42 に至るこれら 2 系統のビット列相互の隣接ビット間で、予め EXOR をとっておかなければならない。これを行うのが EXOR 45 および EXOR 46 である。このとき、EXOR 45 および EXOR 46 に入力されるビットに所要の位相ずれを持たせるのが D - FF 回路 43 および D - FF 回路 44 である。具体的な動作はタイムチャートによって表す。

40

【0054】

図 8 は図 7 の回路における各部分 (a ~ p) に現れる信号パターンを表すタイムチャート (その 1) であり、

図 9 は同タイムチャート (その 2) である。

50

図 8 および図 9 のタイムチャートの見方は、図 3 および図 4 の場合と同じである。

【 0 0 5 5 】

図 1 0 は本発明の第 1 の態様に基づき、 N を 2 より大きく設定した場合の符号変換回路の構成を示す図である。なお本発明の符号変換回路 2 0 における分割数 N は、2 以上の任意の整数、 $N = 2, 4, 6$ または 8 等とすることができる。信号速度と回路そのものにより発生する遅延等を考慮すると N は 2 が最も良い。

図 2 の構成と異なるのは、図 2 の変換器 3 1 が 1 : N 直並列変換器 5 1 となり、図 2 の EXOR 回路 3 3 が N 入力 EXOR 回路 5 3 となると共に、相互に位相のずれた N 個の低速クロック ($cl_1 \sim cl_N$) を順次生成するための、直列接続された ($N - 1$) 段の遅延素子 5 2 を有することである。

10

【 0 0 5 6 】

ここに直並列変換器 5 1 は、高速入力信号 IN と該高速入力信号 IN に同期した高速クロック CL とを入力として、直並列変換されて相互にビット位相のずれた N 系統の低速信号 $in_1 \sim in_N$ と該高速クロックを $1/N$ 分周して得られた低速クロックであって、かつ、相互に位相のずれた N 個の低速クロック ($cl_1 \sim cl_N$) を出力し、また各低速クロックは、対応する符号変換器 2 2 - 1 ~ 2 2 - N のクロック入力とするようにしている。

【 0 0 5 7 】

図 1 1 は本発明の第 2 の態様に基づき、 N を 2 より大きく設定した場合の符号変換回路の構成を示す図 (その 1) であり、

図 1 2 は同図 (その 2) である。

20

図 1 1 および図 1 2 において、1 : N 直並列変換部 6 1 と、 N 個の符号変換器 2 2 - 1 ~ 2 2 - 4 と、($N - 1$) 段の遅延部 6 3 と、 N 入力 EXOR 部 6 4 と、 $N : 1$ 並直列変換部 6 5 が示されている。ただし、図では $N = 4$ として例示している。

【 0 0 5 8 】

1 : N 直並列変換部 6 1 は、高速入力信号 IN を直列に受けてこれを、 N (N は 4 で示す) 系統の低速信号 $in_1 \sim in_4$ に並列に分配する。

N 個の符号変換器 2 2 - 1 ~ 2 2 - N は、並列に分配された N 系統の低速信号の各々に対応して設けられ、各々が対応する該低速信号に対して符号変換を行う。

【 0 0 5 9 】

($N - 1$) 段の遅延部 6 3 は、 N 個の符号変換器 (2 2) の各々について設けられ、各符号変換器からの符号変換出力を順次遅延させるために直列接続される。

30

N 入力 EXOR 部 6 4 は、 N 個の符号変換器 (2 2) の各々に対応して設けられ、各該符号変換器からの出力と該符号変換器に続く ($N - 1$) 段の遅延部 6 3 の各々からの各出力とを論理的に加算する。

【 0 0 6 0 】

$N : 1$ 並直列変換部 6 5 は、 N 個の符号変換器 (2 2) にそれぞれ対応する N 個の N 入力 EXOR 部 6 4 からの出力を合成して高速出力信号 OUT を生成する。

また前記の ($N - 1$) 段の遅延素子 6 2 は、高速入力信号 IN に同期した高速クロックを $1/N$ 分周して得られた低速クロックを受けて、相互に位相のずれた N 個の低速クロック $cl_1 \sim cl_N$ を順次生成するために直列接続される。そして N 個の符号変換器 (2 2) は、対応する 1 つの該遅延素子からの該低速クロック (cl) により駆動される。

40

【 0 0 6 1 】

さらに ($N - 1$) 段の遅延部 6 3 の各々は、図示するとおり D - FF よりなり、高速入力信号 IN に同期した高速クロック CL により駆動される。

図 1 3 は図 1 2 に示す構成の変形例を示す図である。図 1 2 との違いは、($N - 1$) 段の遅延部 6 3 の各々が、図示するように遅延器 DL よりなることである。

【 0 0 6 2 】

図 1 4 は本発明を適用した光送信装置を示す図である。この光送信装置 7 0 は、本発明に係る符号変換回路 2 0 を、プリコーダ 7 1 として用いる。図中の E_{in} , O_{out} , F 等は図 1 6 に示したものと同一である。

50

図15は本発明を適用した光受信装置を示す図である。この光受信装置80は、本発明に係る符号変換回路20を、デコーダ81として用いる。図中のOinは光入力信号、Eoutは電気出力信号である。82は、既述したO/E変換器であり、光信号を電気信号に変換する。

【0063】

【発明の効果】

以上説明したように本発明によれば、遅延要素16による遅延時間の1タイムスロット時間に対する厳しい時間的制約を大幅に緩和した光デュオバイナリ伝送が実現可能となる。その緩和効果は、伝送すべき信号のビットレートが、10Gb/s, 20Gb/s, 40Gb/s...と高くなる程顕著になる。

10

【図面の簡単な説明】

【図1】本発明に係る符号変換回路の基本構成図である。

【図2】本発明の第1の態様に基づく符号変換回路の具体例を示す図である。

【図3】図2の回路における各部分(a~l)に現れる信号パターンを表すタイムチャート(その1)である。

【図4】図2の回路における各部分(a~l)に現れる信号パターンを表すタイムチャート(その2)である。

【図5】図3および図4の場合と異なる初期値が与えられたときのタイムチャート(その1)である。

【図6】図3および図4の場合と異なる初期値が与えられたときのタイムチャート(その2)である。

20

【図7】本発明の第2の態様に基づく符号変換回路の具体例を示す図である。

【図8】図7の回路における各部分(a~p)に現れる信号パターンを表すタイムチャート(その1)である。

【図9】図7の回路における各部分(a~p)に現れる信号パターンを表すタイムチャート(その2)である。

【図10】本発明の第1の態様に基づき、Nを2より大きく設定した場合の符号変換回路の構成を示す図である。

【図11】本発明の第2の態様に基づき、Nを2より大きく設定した場合の符号変換回路の構成を示す図(その1)である。

30

【図12】本発明の第2の態様に基づき、Nを2より大きく設定した場合の符号変換回路の構成を示す図(その2)である。

【図13】図12に示す構成の変形例を示す図である。

【図14】本発明を適用した光送信装置を示す図である。

【図15】本発明を適用した光受信装置を示す図である。

【図16】光デュオバイナリ伝送用の従来の光送信装置を示す図である。

【図17】図16中にa~eで示す各部分の信号波形を表すタイムチャートである。

【図18】従来の符号変換回路(プリコーダ)の第1例を示す図である。

【図19】従来の符号変換回路(プリコーダ)の第2例を示す図である。

【図20】図18に示すプリコーダ(第1例)の動作を示すタイムチャートである。

40

【図21】図18に示すプリコーダ(第1例)において、遅延時間が1タイムスロットからずれたときの動作を示すタイムチャートである。

【図22】図19に示すプリコーダ(第2例)の動作を示すタイムチャートである。

【図23】図19に示すプリコーダ(第2例)において、遅延時間が1タイムスロットからずれたときの動作を示すタイムチャートである。

【符号の説明】

10...光送信装置

11...符号変換回路

12...ローパスフィルタ

13...マツハツェンダ型の光変調器

50

- 1 4 ... インバータ
- 1 5 ... E X O R 回路
- 1 6 ... 遅延要素
- 1 7 ... D - F F 回路
- 2 0 ... 符号変換回路
- 2 1 ... ビット分配部
- 2 1 - 1 , 2 1 - 2 ... 2 1 - N ... 符号変換器
- 2 3 ... ビット合成部
- 3 1 ... 直並列変換器
- 3 3 ... E X O R 回路
- 4 1 ... 直並列変換部
- 4 2 ... 並直列変換部
- 4 3 ... D - F F 回路
- 4 4 ... D - F F 回路
- 4 5 ... E X O R
- 4 6 ... E X O R
- 5 1 ... 1 : N 直並列変換部
- 5 2 ... 遅延素子
- 5 3 ... N 入力 E X O R 回路
- 6 1 ... 1 : N 直並列変換部
- 6 2 ... 遅延素子
- 6 3 ... 遅延部
- 6 4 ... N 入力 E X O R 部
- 6 5 ... N : 1 並直列変換部

10

20

【 図 1 】

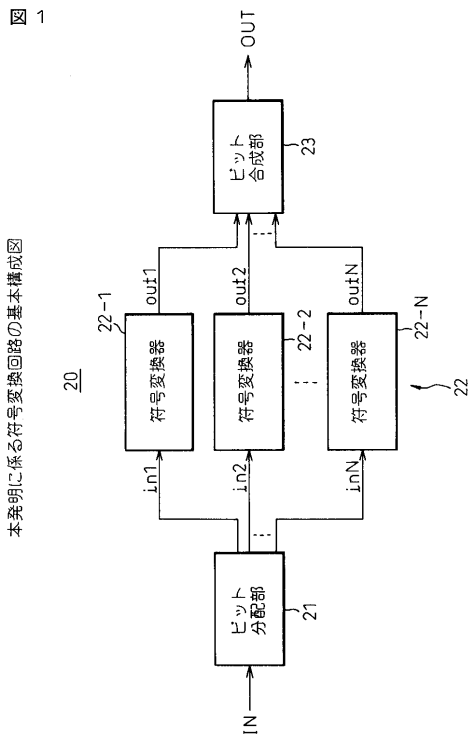


図 1
本発明に係る符号変換回路の基本構成図

【 図 2 】

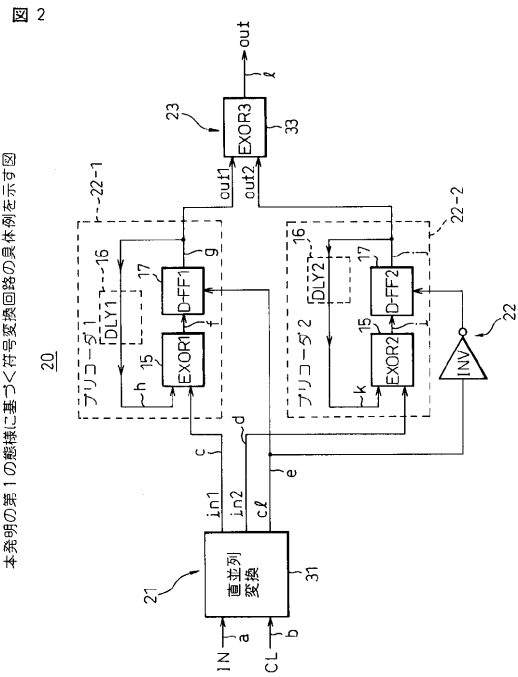
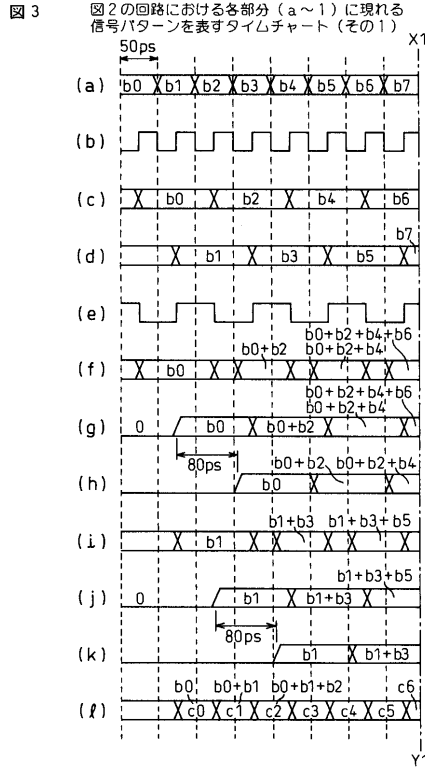
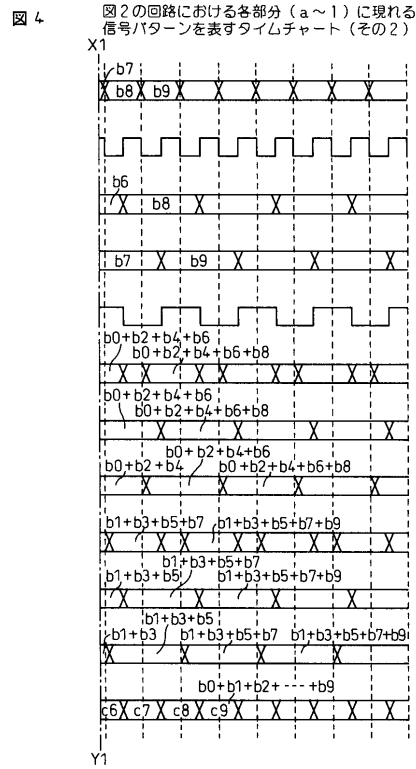


図 2
本発明の第 1 の態様に基づく符号変換回路の具体例を示す図

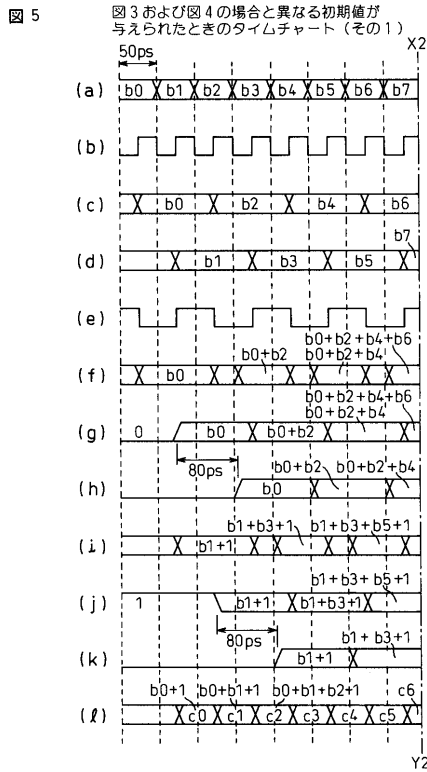
【 図 3 】



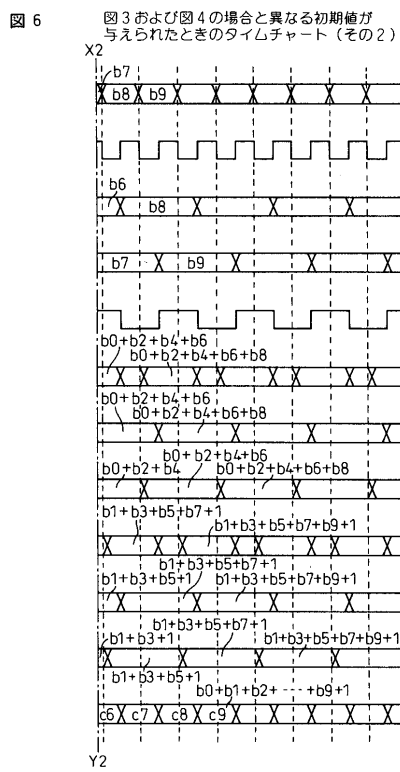
【 図 4 】



【 図 5 】



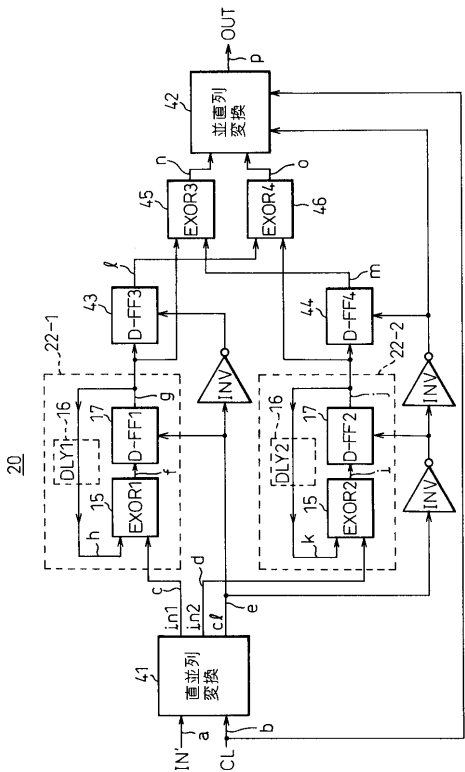
【 図 6 】



【 図 7 】

図 7

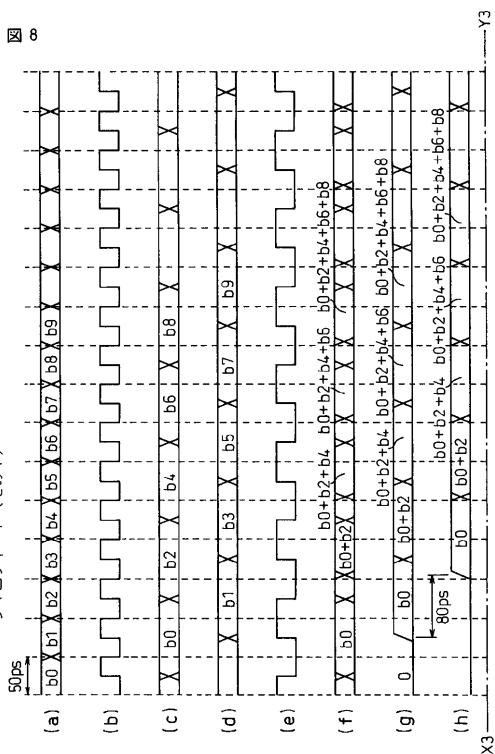
本発明の第 2 の態様に基づく符号変換回路の具体例を示す図



【 図 8 】

図 8

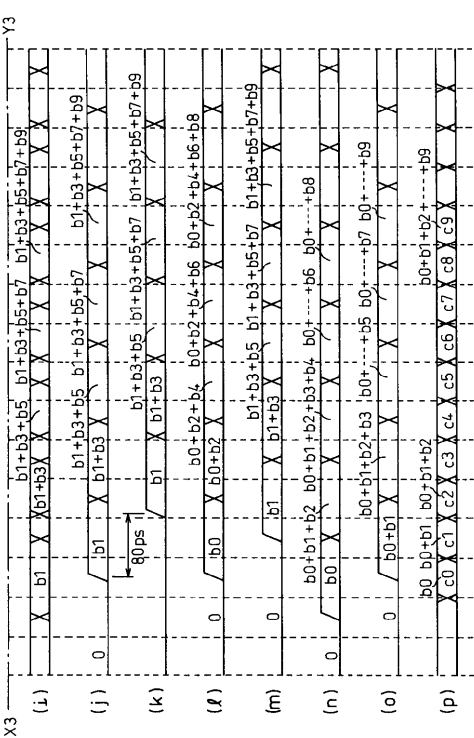
図 7 の回路における各部分 (a ~ p) に現れる信号パターンを表すタイムチャート (その 1)



【 図 9 】

図 9

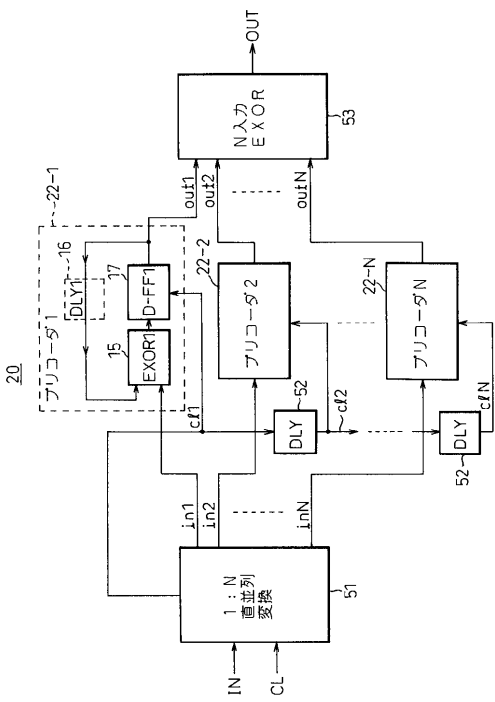
図 7 の回路における各部分 (a ~ p) に現れる信号パターンを表すタイムチャート (その 2)



【 図 10 】

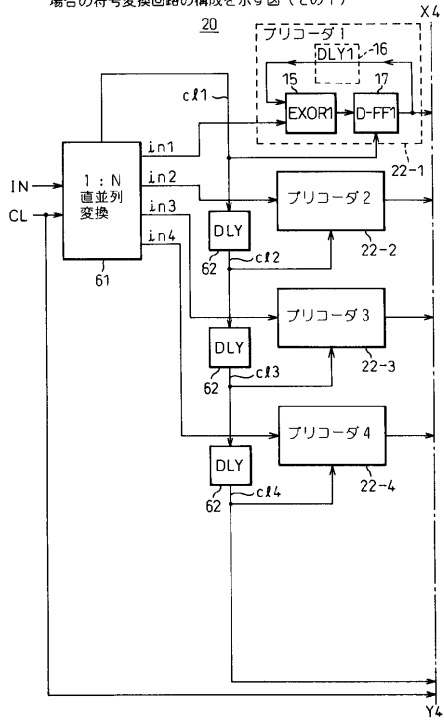
図 10

本発明の第 1 の態様に基づき、N を 2 より大きく設定した場合の符号変換回路の構成を示す図



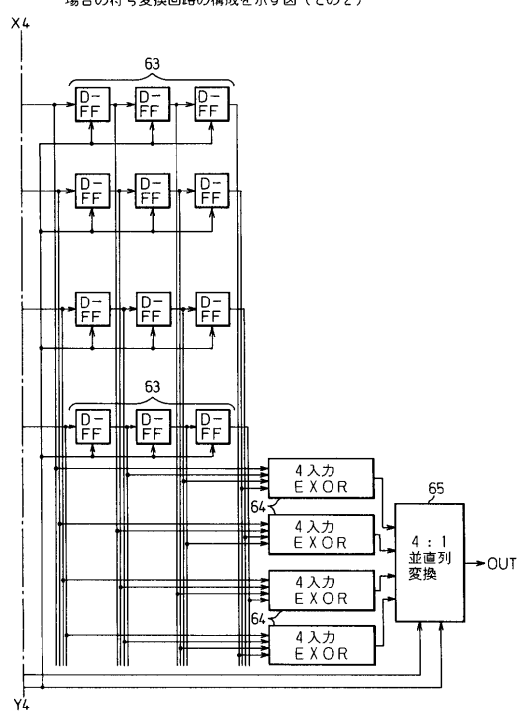
【図11】

図11 本発明の第2の態様に基づき、Nを2より大きく設定した場合の符号変換回路の構成を示す図(その1)



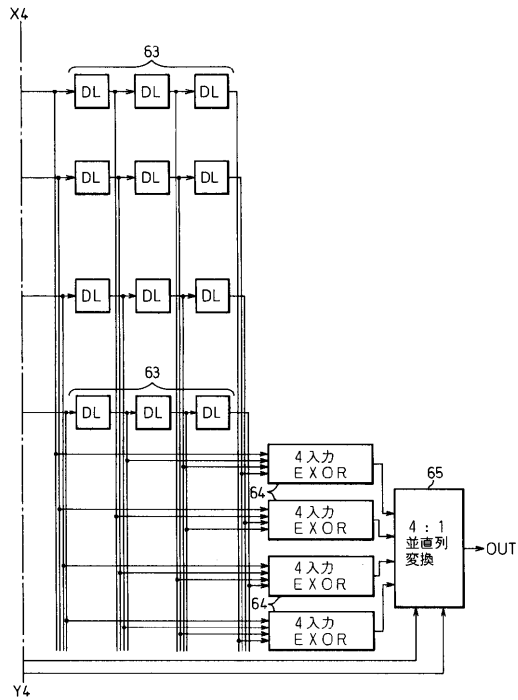
【図12】

図12 本発明の第2の態様に基づき、Nを2より大きく設定した場合の符号変換回路の構成を示す図(その2)



【図13】

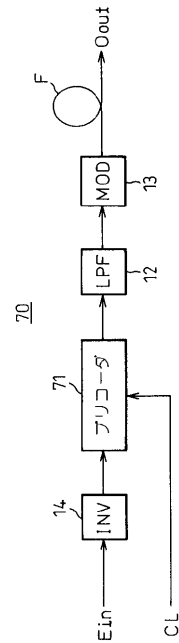
図13 図12に示す構成の変形例を示す図



【図14】

図14

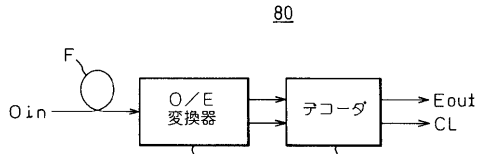
本発明を適用した光送信装置を示す図



【図15】

図15

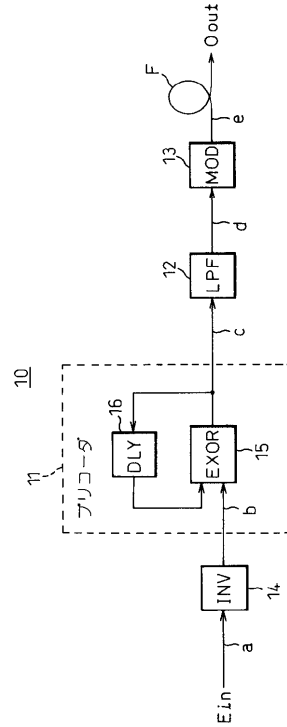
本発明を適用した光受信装置を示す図



【図16】

図16

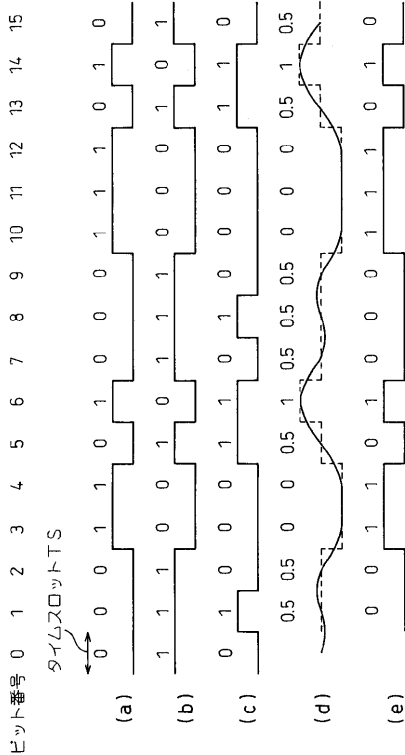
光テラビット用従来の光送信装置を示す図



【図17】

図17

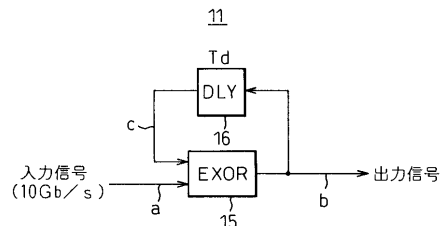
図16中にa~eで示す各部分の信号波形を表すタイムチャート



【図18】

図18

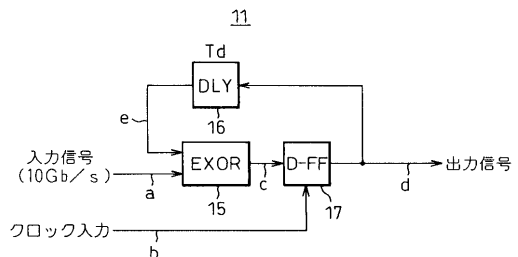
従来の符号変換回路(プリコーダ)の第1例を示す図



【図19】

図19

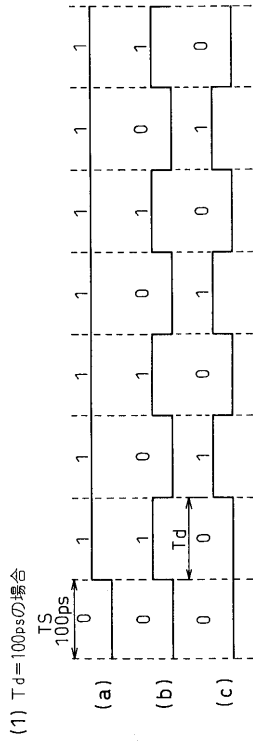
従来の符号変換回路(プリコーダ)の第2例を示す図



【 図 2 0 】

図 20

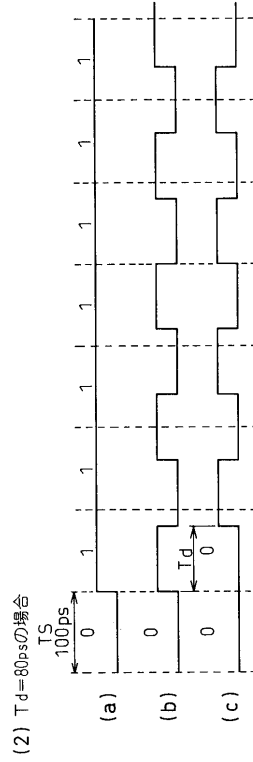
図18に示すプリコダ (第1例) の動作を示すタイムチャート



【 図 2 1 】

図 21

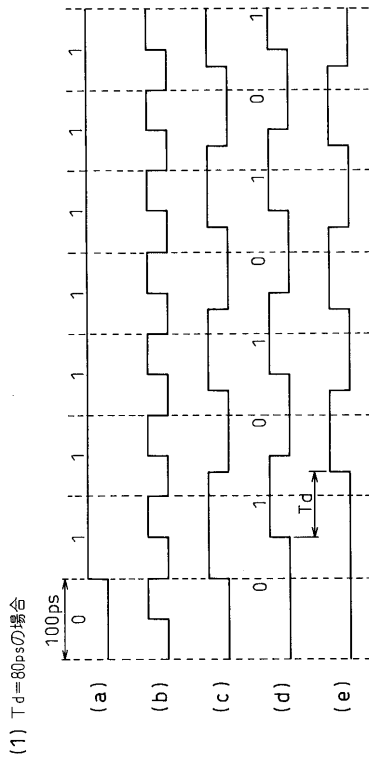
図18に示すプリコダ (第1例) において、遅延時間が1タイムスロットからずれたときの動作を示すタイムチャート



【 図 2 2 】

図 22

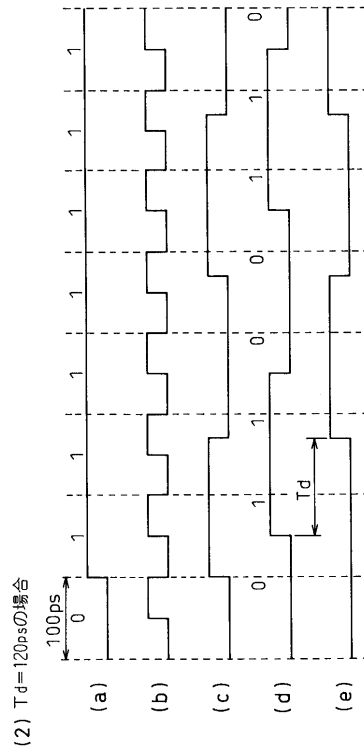
図19に示すプリコダ (第2例) の動作を示すタイムチャート



【 図 2 3 】

図 23

図19に示すプリコダ (第2例) において、遅延時間が1タイムスロットからずれたときの動作を示すタイムチャート



フロントページの続き

(74)代理人 100114177

弁理士 小林 龍

(72)発明者 桑田 直樹

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 矢頭 尚之

(56)参考文献 特開平11-122205(JP,A)

国際公開第98/044635(WO,A1)

特開平10-224231(JP,A)

特開平10-112688(JP,A)

特開平09-236781(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M 5/12

H04B 10/00