



(12) 发明专利

(10) 授权公告号 CN 103026627 B

(45) 授权公告日 2015. 11. 25

(21) 申请号 201180036257. 7

(22) 申请日 2011. 08. 09

(30) 优先权数据

12/852, 520 2010. 08. 09 US

(85) PCT国际申请进入国家阶段日

2013. 01. 24

(86) PCT国际申请的申请数据

PCT/US2011/047076 2011. 08. 09

(87) PCT国际申请的公布数据

W02012/021511 EN 2012. 02. 16

(73) 专利权人 德州仪器公司

地址 美国德克萨斯州

(72) 发明人 卡西克·苏布拉杰 丹亚·K

(74) 专利代理机构 北京律盟知识产权代理有限公司

责任公司 11287

代理人 王璐

(51) Int. Cl.

H03K 23/64(2006. 01)

H03L 7/18(2006. 01)

(56) 对比文件

CN 101764606 A, 2010. 06. 30,

CN 102132493 A, 2011. 07. 20,

US 2004017233 A1, 2004. 01. 29,

US 2005058236 A1, 2005. 03. 17,

审查员 刘洁

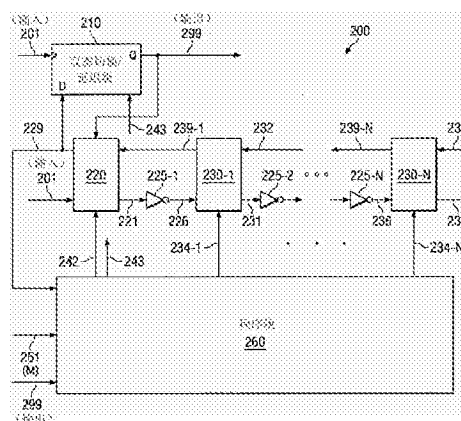
权利要求书6页 说明书13页 附图13页

(54) 发明名称

高速分频器及其分频方法

(57) 摘要

一种分频器(200)包括最低有效LS级(220)、多个经级联除法器级(230-1到230-N)及输出级(210)。所述LS级(220)接收输入信号(201)、程序位及第一模式信号,且产生第一经分频信号及输出模式信号。所述多个除法器级(230-1到230-N)中的每一者将紧邻的前一级的输出的频率除以由对应程序位及对应模式信号指定的值。所述多个除法器级中的第一除法器级(230-1)经耦合以接收所述第一经分频信号且产生所述第一模式信号。所述输出级(210)接收所述输出模式信号及控制信号,且在所述控制信号处于1逻辑电平的情况下通过将所述输出模式信号的频率除以2来产生输出信号(299)。否则,所述输出级在不分频的情况下转发所述输出模式信号。



1. 一种分频器,其包含:

最低有效级,其经耦合以接收第一输入信号、第一程序位及第一输入模式信号,且产生第一经分频信号及第一输出模式信号,其中所述第一输入模式信号及所述第一程序位指定将由所述最低有效级使用的分频模式;

多个较高有效性除法器级,其以级联方式耦合,其中所述多个较高有效性除法器级中的每一者将紧邻的前一级的输出的频率除以由对应程序位及对应输入模式信号指定的值,其中所述多个较高有效性除法器级包括第一除法器级,其中所述第一除法器级经耦合以接收所述第一经分频信号且产生所述第一输入模式信号;及

输出级,其用以接收所述第一输出模式信号及模式位,且产生第一输出信号,其中在所述模式位处于第一逻辑电平的情况下,所述输出级通过将所述第一输出模式信号的频率除以 2 来产生所述第一输出信号,否则所述输出级转发所述输出模式信号作为所述第一输出信号。

2. 根据权利要求 1 所述的分频器,其进一步包含程序块,所述程序块用以接收分频因数 M 且计算所述第一程序位、所述对应程序位中的每一者及所述模式位的值;

其中所述第一输出信号的频率为所述第一输入信号的频率的 $1/M$,所述程序块用以计算值 P ,其中在所述分频因数 M 等于 2 的情况下, P 等于 0,其中在 M 大于 2 的情况下, P 在 M 为偶数的情况下等于 $M/2$,但在 M 为奇数的情况下等于 $(M-1)/2$;

其中所述最低有效级另外接收第三位,其中在 M 大于 4 的情况下,所述第三位具有与 M 的二进制表示的最低有效位相同的值,否则所述第三位为 0,其中将由所述最低有效级使用的所述分频模式为除 2 模式、除 3 模式及除 4 模式中之一者;且

其中所述最低有效级操作以基于 M 的所述最低有效位、所述第一输入模式信号的逻辑电平及所述第一程序位的值而将所述输入信号的所述频率除以等于 2、3 或 4 的因数。

3. 根据权利要求 2 所述的分频器,其中所述多个较高有效性除法器级中的每一级操作以基于所述对应输入模式信号的逻辑电平及所述对应程序位的值而将对应紧邻的前一级的输出的频率除以等于 2 或 3 的因数。

4. 根据权利要求 3 所述的分频器,其中所述程序块仅在对准时间实例处将所述第一程序位转发到所述最低有效级,将所述对应程序位中的每一者转发到所述多个级中的对应级,且将所述模式位转发到所述输出级,即使所述第一程序位、所述对应程序位中的每一者及所述模式位是早于所述对准时间实例计算的;且

其中所述对准时间实例为:当所述第一输出信号处于逻辑 0 时所述输出模式信号的上升缘发生时的时间实例,或所述输出模式信号的上升缘发生时且在所述模式位的紧邻的前一值指定所述输出级将在延迟模式中操作的情况下的时间实例。

5. 根据权利要求 4 所述的分频器,其进一步包含多个反相器,所述多个反相器包括第一反相器;

其中在将所述第一经分频信号作为输入提供到所述第一除法器级之前,由所述第一反相器将其逻辑电平反相;且

其中在将所述多个所述较高有效性除法器级中的对应级的输出作为输入提供到下一级之前,由所述多个反相器中的对应反相器将其逻辑电平反相。

6. 根据权利要求 5 所述的分频器,其中所述多个较高有效性除法器级中的每一级包

含：

第一触发器，其中所述第一触发器的时钟端子经耦合以接收所述第一输入信号作为时钟信号；

第一“或”门，其用以接收对应输入模式信号及级启用信号的逆作为输入，且产生第一“或”输出；

第一“与”门，其用以接收所述第一“或”输出及所述第一触发器的输出作为输入，且产生第一“与”输出作为对应输出模式信号；

第二触发器，其中所述第二触发器的时钟端子经耦合以接收所述第一输入信号作为时钟信号，其中所述第二触发器的输入端子经耦合以接收所述第一“与”输出；

第二“与”门，其用以接收所述第二触发器的输出及对应程序位作为输入，且产生第二“与”输出；及

第一“或非”门，其用以接收所述第二“与”输出及所述第一触发器的输出作为输入，且产生第一“或非”输出，其中所述第一“或非”输出耦合到所述第一触发器的输入端子；

其中所述第一触发器的所述输出表示对应的经分频信号。

7. 根据权利要求 5 所述的分频器，其中所述最低有效级包含：

第三触发器，其中所述第三触发器的时钟端子经耦合以接收所述第一输入信号作为时钟信号；

第二“或”门，其用以接收所述第一输入模式信号及第一级启用信号的逆作为输入，且产生第二“或”输出；

第三“与”门，其用以接收所述第二“或”输出及所述第三触发器的输出作为输入，且产生第三“与”输出作为所述第一输出模式信号；

第三“或”门，其用以接收所述第三“与”输出及第三“或”输入作为输入，且产生第三“或”输出；

第四触发器，其中所述第四触发器的时钟端子经耦合以接收所述第一输入信号作为时钟信号，其中所述第四触发器的输入端子经耦合以接收所述第三“或”输出；

第四“与”门，其用以接收所述第四触发器的输出及所述第一程序位作为输入，且产生第四“与”输出；

第五“与”门，其用以接收所述第一输出模式信号、第三位及所述第一输出信号作为输入，且产生第五“与”输出；

第五触发器，其中所述第五触发器的时钟端子经耦合以接收所述第一输入信号作为时钟信号，其中所述第五触发器的输入端子经耦合以接收所述第五“与”输出，其中所述第五触发器的输出为所述第三“或”输入；

第四“或”门，其用以接收所述第四触发器的所述输出及所述第五触发器的所述输出，且产生第四“或”输出；及

第二“或非”门，其用以接收所述第四“与”输出及所述第四“或”输出，且产生第二“或非”输出，其中所述第二“或非”输出耦合到所述第三触发器的输入端子；

其中所述第三触发器的所述输出为所述第一经分频信号。

8. 根据权利要求 5 所述的分频器，其中所述输出级包含：

第一多路复用器，其用以接收所述第一输出模式信号作为第一选择信号且提供第一多

路复用器输出；

第二多路复用器，其用以接收所述第一多路复用器输出及所述第一输出模式信号作为输入，且基于所述模式位的值而提供所述第一多路复用器输出及所述第一输出模式信号中的一者作为第二多路复用器输出；及

第六触发器，其中所述第六触发器的时钟端子经耦合以接收所述第一输入信号作为时钟信号，其中所述第六触发器的输入端子经耦合以接收所述第二多路复用器输出，

其中所述第六触发器的输出及所述第六触发器的所述输出的逆作为输入提供到所述第一多路复用器，其中所述第一多路复用器基于所述第一选择信号的值得提供所述第六触发器的所述输出及所述第六触发器的所述输出的所述逆作为第一多路复用器输出；且

其中所述第六触发器的所述输出为所述第一输出信号。

9. 根据权利要求 5 所述的分频器，其中所述程序块包含：

解码逻辑块，其用以接收所述分频因数 M 且产生所述第一程序位、所述对应程序位中的每一者、所述模式位及所述第三位的值作为经解码输出；

控制设定寄存器，其用以在对准信号的上升缘处存储所述经解码输出，所述控制设定寄存器用以提供所存储的经解码输出作为第一程序位、所述对应程序位中的每一者、所述模式位及所述第三位中的对应者；

第五“或”门，其用以接收所述第一输出信号的逻辑逆及所述模式位的逻辑逆，且产生第五“或”输出；及

第六“与”门，其用以接收所述第五“或”输出及所述第一输出模式信号作为输入，且产生所述对准信号作为输出。

10. 一种分频器，其包含：

多个级，其以级联方式耦合，所述多个级包括最低有效级及最高有效性级；及输出级；

其中所述最低有效级的输入端子经耦合以接收输入时钟，所述最低有效级用以对所述输入时钟的频率进行分频以在第一输出端子上产生第一输出时钟；

其中所述最高有效性级的输入端子耦合到所述第一输出端子，所述最高有效性级用以产生第二输出时钟，其中所述第二输出时钟的频率为所述输入时钟的频率的 $1/P$ ，最高有效性端子用以在第二输出端子上产生最高输出模式信号；

其中所述最低有效级的另一输入端子耦合到所述第二输出端子，所述最低有效级用以产生第一输出模式信号，其中所述第一输出模式信号的频率等于所述第二输出时钟的频率；且

其中所述输出级经耦合以接收所述第一输出模式信号且产生输出时钟，所述输出时钟的频率为所述第一输出模式信号的所述频率的一半，或等于所述输出模式信号的所述频率。

11. 一种分频方法，其包含：

提供最低有效级，以接收第一输入信号、第一程序位及第一输入模式信号，且产生第一经分频信号及第一输出模式信号，其中所述第一输入模式信号及所述第一程序位指定将由所述最低有效级使用的分频模式；

以级联方式提供多个较高有效性除法器级，其中所述多个较高有效性除法器级中的每

一者将紧邻的前一级的输出的频率除以由对应程序位及对应输入模式信号指定的值,其中所述多个较高有效性除法器级包括第一除法器级,其中所述第一除法器级经耦合以接收所述第一经分频信号且产生所述第一输入模式信号;及

在输出级接收所述第一输出模式信号及模式位,且产生第一输出信号,其中在所述模式位处于第一逻辑电平的情况下,所述输出级通过将所述第一输出模式信号的频率除以2来产生所述第一输出信号,否则所述输出级转发所述输出模式信号作为所述第一输出信号。

12. 根据权利要求11所述的分频方法,其进一步包含在程序块接收分频因数M且计算所述第一程序位、所述对应程序位中的每一者及所述模式位的值;

其中所述第一输出信号的频率为所述第一输入信号的频率的 $1/M$,所述程序块用以计算值P,其中在所述分频因数M等于2的情况下,P等于0,其中在M大于2的情况下,P在M为偶数的情况下等于 $M/2$,但在M为奇数的情况下等于 $(M-1)/2$;

其中所述最低有效级另外接收第三位,其中在M大于4的情况下,所述第三位具有与M的二进制表示的最低有效位相同的值,否则所述第三位为0,其中将由所述最低有效级使用的所述分频模式为除2模式、除3模式及除4模式中的一者;且

其中所述最低有效级操作以基于M的所述最低有效位、所述第一输入模式信号的逻辑电平及所述第一程序位的值而将所述输入信号的所述频率除以等于2、3或4的因数。

13. 根据权利要求12所述的分频方法,其中每一级操作包括所述多个较高有效性除法器级以基于所述对应输入模式信号的逻辑电平及所述对应程序位的值而将对应紧邻的前一级的输出的频率除以等于2或3的因数。

14. 根据权利要求13所述的分频方法,其中所述程序块仅在对准时间实例处将所述第一程序位转发到所述最低有效级,将所述对应程序位中的每一者转发到所述多个级中的对应级,且将所述模式位转发到所述输出级,即使所述第一程序位、所述对应程序位中的每一者及所述模式位是早于所述对准时间实例计算的;且

其中所述对准时间实例为:当所述第一输出信号处于逻辑0时所述输出模式信号的上升缘发生时的时间实例,或所述输出模式信号的上升缘发生时且在所述模式位的紧邻的前一值指定所述输出级将在延迟模式中操作的情况下的时间实例。

15. 根据权利要求14所述的分频方法,其进一步包含多个反相器,所述多个反相器包括第一反相器;

其中在将所述第一经分频信号作为输入提供到所述第一除法器级之前,由所述第一反相器将其逻辑电平反相;且

其中在将所述多个所述较高有效性除法器级中的对应级的输出作为输入提供到下一级之前,由所述多个反相器中的对应反相器将其逻辑电平反相。

16. 根据权利要求15所述的分频方法,其进一步包括:

提供第一触发器的时钟端子以接收所述第一输入信号作为时钟信号;

在第一“或”门以接收对应输入模式信号及级启用信号的逆作为输入,且产生第一“或”输出;

在第一“与”门以接收所述第一“或”输出及所述第一触发器的输出作为输入,且产生第一“与”输出作为对应输出模式信号;

提供第二触发器的时钟端子以接收所述第一输入信号作为时钟信号；

提供所述第二触发器的输入端子以接收所述第一“与”输出；

提供第二“与”门以接收所述第二触发器的输出及对应程序位作为输入，且产生第二“与”输出；及

提供第一“或非”门以接收所述第二“与”输出及所述第一触发器的输出作为输入，且产生第一“或非”输出，其中所述第一“或非”输出耦合到所述第一触发器的输入端子；

其中所述第一触发器的所述输出表示对应的经分频信号。

17. 根据权利要求 15 所述的分频方法，其进一步包括：

提供第三触发器的时钟端子以接收所述第一输入信号作为时钟信号；

提供第二“或”门以接收所述第一输入模式信号及第一级启用信号的逆作为输入，且产生第二“或”输出；

提供第三“与”门以接收所述第二“或”输出及所述第三触发器的输出作为输入，且产生第三“与”输出作为所述第一输出模式信号；

提供第三“或”门以接收所述第三“与”输出及第三“或”输入作为输入，且产生第三“或”输出；

提供第四触发器，其中所述第四触发器的时钟端子经耦合以接收所述第一输入信号作为时钟信号，其中所述第四触发器的输入端子经耦合以接收所述第三“或”输出；

提供第四“与”门以接收所述第四触发器的输出及所述第一程序位作为输入，且产生第四“与”输出；

提供第五“与”门以接收所述第一输出模式信号、第三位及所述第一输出信号作为输入，且产生第五“与”输出；

提供第五触发器，其中所述第五触发器的时钟端子经耦合以接收所述第一输入信号作为时钟信号，其中所述第五触发器的输入端子经耦合以接收所述第五“与”输出，其中所述第五触发器的输出为所述第三“或”输入；

提供第四“或”门，其用以接收所述第四触发器的所述输出及所述第五触发器的所述输出，且产生第四“或”输出；及

提供第二“或非”门以接收所述第四“与”输出及所述第四“或”输出，且产生第二“或非”输出，其中所述第二“或非”输出耦合到所述第三触发器的输入端子；

其中所述第三触发器的所述输出为所述第一经分频信号。

18. 根据权利要求 15 所述的分频方法，其进一步包含：

提供第一多路复用器以接收所述第一输出模式信号作为第一选择信号且提供第一多路复用器输出；

提供第二多路复用器以接收所述第一多路复用器输出及所述第一输出模式信号作为输入，且基于所述模式位的值而提供所述第一多路复用器输出及所述第一输出模式信号中的一者作为第二多路复用器输出；及

提供第六触发器，其中所述第六触发器的时钟端子经耦合以接收所述第一输入信号作为时钟信号，其中所述第六触发器的输入端子经耦合以接收所述第二多路复用器输出，

其中所述第六触发器的输出及所述第六触发器的所述输出的逆作为输入提供到所述第一多路复用器，其中所述第一多路复用器基于所述第一选择信号的值得提供所述第六触

发器的所述输出及所述第六触发器的所述输出的所述逆作为第一多路复用器输出 ; 且
其中所述第六触发器的所述输出为所述第一输出信号。

19. 根据权利要求 15 所述的分频方法, 其进一步包括 :

提供解码逻辑块以接收所述分频因数 M 且产生所述第一程序位、所述对应程序位中的每一者、所述模式位及所述第三位的值作为经解码输出 ;

提供控制设定寄存器以在对准信号的上升缘处存储所述经解码输出, 所述控制设定寄存器用以提供所存储的经解码输出作为第一程序位、所述对应程序位中的每一者、所述模式位及所述第三位中的对应者 ;

提供第五“或”门以接收所述第一输出信号的逻辑逆及所述模式位的逻辑逆, 且产生第五“或”输出 ; 及

提供第六“与”门以接收所述第五“或”输出及所述第一输出模式信号作为输入, 且产生所述对准信号作为输出。

高速分频器及其分频方法

技术领域

[0001] 本发明一般来说涉及电子电路,且更特定来说涉及一种高速分频器及一种使用所述高速分频器的锁相环路。

背景技术

[0002] 分频器是对输入信号的频率进行分频的电路,且提供具有低于所述输入信号的频率的输出信号。分频器借以对输入信号的频率进行分频的分频因数可为固定的,或可经由对应程序信号(静态地或动态地)编程。分频器的输入及输出信号的频率范围通常决定所述分频器的操作‘速度’。一般来说,分频器的输入及/或输出信号的最大频率越高,所述分频器的‘速度’越高。因此,举例来说,能够以在千兆赫兹范围中的输入及/或输出信号操作的分频器可被视为高速分频器。

[0003] 通常使用锁相环路(PLL)电路来产生与输入参考信号同步的输出信号。输出信号通常经设计以具有等于输入参考信号的所要倍数的频率。另外,输出信号理想地与输入参考信号锁相。可将由PLL产生之信号(例如,时钟信号)提供到各种外部电路(例如,处理器),如所属领域的技术人员所众所周知。

[0004] 本发明的数个实施例针对高速分频器及使用此些高速分频器的锁相环路。

发明内容

[0005] 一种分频器包括最低有效(LS)级、多个经级联除法器级及输出级。所述LS级经耦合以接收输入信号、第一程序位及第一模式信号,且产生第一经分频信号及输出模式信号。所述第一模式信号与所述第一程序位组合指定将由所述LS级使用的分频模式。所述多个除法器级中的每一者将紧邻的前一级的输出的频率除以由对应程序位及对应模式信号指定的值。所述多个除法器级中的第一除法器级经耦合以接收所述第一经分频信号且产生所述第一模式信号。所述输出级经耦合以接收所述输出模式信号及控制信号,且在所述控制信号处于一个逻辑电平的情况下通过将所述输出模式信号的频率除以2来产生输出信号。否则,所述输出除法器级在不分频的情况下转发所述输出模式信号。

附图说明

[0006] 下文出于说明性目的参照附图描述实例性实施例,附图中:

[0007] 图1是其中可实施数个实施例的实例性环境的框图;

[0008] 图2是分频器的框图;

[0009] 图3是图解说明分频器中使用的除2/3级的实施方案细节的框图;

[0010] 图4A到4C是图解说明一实施例中的分频器中使用的除2/3级的一些节点处的实例性波形的图示;

[0011] 图5是图解说明分频器中使用的除2/3/4级的实施方案细节的图示;

[0012] 图6A到6B是图解说明分频器中使用的除2/3/4级的节点处的实例性波形的图

示；

[0013] 图 7 是图解说明分频器中使用的输出级的实施方案细节的图示；

[0014] 图 8 是图解说明分频器中使用的输出级的一些节点处的实例性波形的图示；

[0015] 图 9 是图解说明当将使用的分频因数动态地改变时将控制输入提供到分频器的对应级的方式的图示；及

[0016] 图 10 是分频器中使用的程序块的图示。

具体实施方式

[0017] 1. 实例性环境

[0018] 图 1 是图解说明其中可实施数个实施例的实例性环境的框图；展示图 1 的锁相环路 (PLL) 100 含有分频器 110、160 及 170、相位 - 频率鉴别器 (PFD) 120、环路滤波器 140、电压控制的振荡器 150 以及控制块 180。仅以说明的方式展示图 1 的组件及块。其它锁相环路实施方案可含有更多或更少的组件 / 块。此外,本发明的实施例也可用于其它环境中或用作其它系统或组件的部分。锁相环路 PLL 100 在路径 101 上接收频率 F1 的输入信号,且在路径 199 上产生频率 F2 的输出信号。比率 $F2/F1$ 可被指定为到 PLL 100 的输入 (例如,经由路径 181)。

[0019] 控制块 180 接收指定分别为信号 199 及 101 的频率 F2 及 F1 的比率 $F2/F1$ 的值 (在路径 181 上)。路径 181 上的值可 (举例来说) 由处理器 (未展示) 产生。作为响应,控制块 180 计算分频因数 N、M 及 Q 的值,且在相应路径 111、161 及 171 上提供分频因数。或者,控制块 180 可经由路径 181 接收单独的值 (A、B 及 C),且基于相应值 A、B 及 C 计算因数 N、M 及 Q 的值。当 PLL 100 在操作中时,控制块 180 可动态地改变因数 N、M 及 Q 中的一者或一者以上的值。

[0020] 除法器 110 接收输入信号 101,且将信号 101 的频率除以因数 N,且在路径 112 上提供经分频信号。PFD 120 比较除法器 160 的信号 112 与输出 162 之间的相位差,且在路径 124 上产生与所述相位差成比例的误差信号。环路滤波器 140 提供对误差信号 124 的低通滤波,且在路径 145 上产生经滤波信号。电压控制振荡器 (VCO) 150 在路径 157 上产生周期性信号 (例如,正弦波或方波),所述周期性信号的频率由信号 145 的强度决定。除法器 170 将信号 157 的频率除以因数 Q,且在路径 199 上提供经分频信号作为 PLL100 的输出。

[0021] 除法器 160 将信号 157 的频率除以因数 M,且在路径 162 上将经分频信号提供到 PFD 120。除法器 160 在路径 161 上接收指定将用于对信号 157 的频率进行分频以产生信号 162 的分频因数 (M) 的值的编程输入。

[0022] PLL 100 可实施为全数字 PLL,其中组件 110、120、140、150、160 及 170 中的每一者实施为数字组件。在此种实施方案中,VCO 150 可实施为数字控制的振荡器 (DCO)。在其它实施方案中,图 1 的组件中的一者或一者以上可实施为模拟或混合信号组件 / 块。除法器 110、160 及 170 的分频因数 N、M 及 Q 可分别经由对应输入来编程,如上所述。在一实施例中,PLL 100 经实施以在宽广范围内 (即,从非常低的频率到非常高的频率 (例如,大约 2 千兆赫兹)) 提供 (输出信号 199 的) 频率。可对应地需要实施除法器 110、160 及 170 中的一者或一者以上以适应此些高频率。此外,所述除法器可需要支持其它需求,例如低抖动,从一个分频比率到另一分频比率的无缝转变 (动态改变) 以提供无闪信号 (glitch free)

输出等。

[0023] 2. 分频器

[0024] 图 2 是一实施例中的分频器的框图。展示分频器 200 含有 T/D 级 210、分频器级（级）220 及 230-1 到 230-N、反相器 225-1 到 225-N 以及程序块 260。图 1 的分频器 110、160 及 170 中的任一者可实施为分频器 200。

[0025] 当分频器 160 实施为分频器 200 时，路径 157 及 162 上的信号分别对应于图 2 的信号 201 (INPUT) 及 299 (OUTPUT)。信号 201 (INPUT) 及 299 (OUTPUT) 在本文中也分别称作第一输入信号及第一输出信号。在路径 251 (M)（其对应于图 1 的路径 161）上接收需要分频器 200 借以对 201 (INPUT) 的频率进行分频以产生 299 (OUTPUT) 的分频因数 M。在一实施例中，M 可为大于或等于 2 的任何整数。级 220 及 230-1 到 230-N 经设计以将 201 (INPUT) 的频率除以因数 P。如果 M 为偶数，那么 P 等于 M/2，且如果 M 为奇数，那么等于 (M-1)/2。M[0] 是指 M 的二进制表示的最低有效位 (LSB)，其中 M[1]、M[2] 等 是指 M 的较高阶位。类似地，P[0] 是指 P 的二进制表示的 LSB，其中 P[1]、P[2] 等是指 P 的较高阶位。级 210 执行（由级 220 及 230-1 到 230-N 提供的输出的）最终的除 2 运算或不执行分频以产生 299 (OUTPUT)。

[0026] 级 220（最低有效级）将在路径 201 上接收的输入信号的频率除以为 2、3 及 4 中的一者的分频因数（即，除 2、除 3 及除 4），且在路径 221 上提供经分频输出（第一经分频信号）。除 2、除 3 及除 4 运算可被视为对应分频模式。可在除法器 200 的操作的整个持续时间应用所述分频因数中的一者。或者，所述因数中的一者可用于一些时间间隔，而其它因数用于一些其它间隔中，如关于图 5 更详细地描述。输出 221 的逻辑电平由反相器 225-1 反相，且作为输入提供到下一（较高）级 230-1。级 220 将输入信号 201 除以其以产生信号 221 的特定因数取决于程序位（第一程序位）的值及信号 EN-MOD-EXTEND（经由路径 242 提供）、信号 299 (OUTPUT)，且取决于在路径 239-1 上接收的“模式”信号（第一输入模式信号）的值。

[0027] 级 220 在路径 229 上产生模式信号（输出模式信号 /Modout[0]）。级 220 还接收输出 299 作为输入。此种耦合（级 220 的输出作为输入中的一者提供到级 210，且反之亦然）使得能够最小化任一对触发器 FF3、FF4 及 FF5（或在级 220 外部的触发器以及触发器 FF3、FF4 及 FF5 中之任一者）之间的逻辑元件的数目，且从而产生高速操作以及分频器 200 的电力消耗及实施面积的减小。

[0028] 输出 221 的逻辑电平由反相器 225-1 反相，且作为输入提供到下一（较高）级 230-1。6。以类似方式在其它级 230-1 到 230-N-1（图 2 中未展示 230-N-1）之间采用反相器 225-2 到 225-N（图 2 中仅展示 225-2 及 225-N）。反相器 225-1 到 225-N 的使用确保输入模式信号 239-1 到 239-N 在级 220 的 FF3（展示于图 5 中）的下降缘上双态切换。因此，防止“与”门 540（其产生 Modout[0]）导致 Modout[0] 上的闪信号。

[0029] 级 230-1 将作为输入接收的信号 226 的频率除以为因数 2 及 3 中的一者的分频因数，且在路径 231 上提供经分频输出。将输入信号 226 的频率除以其的特定因数（2 或 3）取决于在路径 234-1 上提供的输入的值以及在路径 232 上作为另一输入接收的模式信号的值。级 230-1 在路径 239-1 上产生模式信号 (MODOUT[1])。

[0030] 级 230-2（图 2 中未展示级 230-2）到 230-N 中的每一者以类似方式接收对应输入，将对应输入的频率除以因数 2 或 3，且产生对应的经分频输出信号。级 230-2 到 230-N 中

的每一者从紧邻的下一（较高）级接收模式信号（分别 MODIN[1] 到 MODIN[N]）。级 230-2 到 230-N 中的每一者产生作为输入提供到紧邻的前一（较低）级的对应模式信号（分别 MODOUT[1] 到 MODOUT[N]）。级 230-N 经由反相器 225-N 接收输入信号 236 且在路径 238 上接收对应模式信号（MODIN[N]）。级 230-1 到 230-N 在本文中称作较高级，且以顺序 / 级联方式连接。级 230-1 到 230-N 在本文中也可称作‘除 2/3’级。基于要求或设计分频器 200 提供的除以的最大值（也称作分频因数 M）而确定除 2/3 级的总数目‘N’。

[0031] T/D 级 210（在本文中也可称作输出级）接收 Modout[0] (229)（第一输出模式信号）作为输入。T/D 级 210 操作以将信号 229 的频率除以因数 2，或仅将信号 229 延迟作为时钟输入接收的信号 201 (INPUT) 的一个循环，且在路径 299 (OUTPUT) 上产生输出信号（第一输出信号）。信号 201 (INPUT) 为提供到分频器 200 且将通过所要数字分频以产生除法器 200 的输出信号 299 (OUTPUT) 的输入信号。经由输入 243、242 及 234-1 到 234-N 来指定或控制将 201 (INPUT) 除以其以产生 299 (OUTPUT) 的数字或值。

[0032] 程序块 260 在路径 251 (M) 上接收除以的值 (M) 及输出信号 299 (OUTPUT)。所述除以的值表示分频器 200 需要应用于信号 201 (INPUT) 上以产生信号 299 (OUTPUT) 的分频因数 (M)。响应于接收 M，程序块 260 产生对应程序值（程序位）及选择信号。程序块 260 分别经由路径 242 及 234-1 到 234-N 将相应程序位提供到块 220 及 230-1 到 230-N 中的相应者，且经由路径 243 将选择位提供到块 210。程序块 260 以实现分频因数之间的无缝切换的方式在相应路径 242、243 及 234-1 到 234-N 上提供（或转发）值，如在以下部分中所描述。程序值经产生以使得块 210、220 及 230-1（且因此分频器 200）能够产生具有等于输入信号 210 (INPUT) 的频率的 1/M 的频率的输出信号 299 (OUTPUT)。

[0033] 将在分频器 200 中实施的级的数目取决于分频器 200 经设计以适应的分频因数 (M) 的最大值。对于最大分频因数 M-max，需要实施一个 T/D 级 (210)、一个除 2/3/4 级 (220) 及‘X’个除 2/3 级。X 的值如下所述来确定：

[0034] 对于 M-max = 7（即，对于从 1 到 7 的 M 值），X = 0；

[0035] 对于 M-max = 15，X = 1；

[0036] 对于 M-max = 31，X = 2；且

[0037] 对于 M-max = 63，X = 3。

[0038] 一般来说，对于 M = 1、2 及 3，X = 0。对于 M-max 的较高值，通过以下关系来确定 X 的值：

[0039] $2^{(q-1)} \leq M\text{-max} < 2^q$ ，X = (q-3)；

[0040] 其中 q 是任何正整数且 ^ 表示‘求幂’运算。

[0041] 响应于分频因数‘M’的值的改变（从当前值到新值），程序块 260 操作以在路径 242、243 及 234-1 到 234-N 上产生对应的新程序值。在一实施例中，程序块 260 经实施以确保以使得防止分频器 200 的内部信号中的一者或一者以上中（且因此在信号 299 (OUTPUT) 上）的闪信号及其它不期望效应发生的方式应用新程序值（其是在路径 242、243 及 234-1 到 234-N 上转发）。信号 299 中的闪信号是指信号 299 的非既定（及不期望）逻辑偏移。此些闪信号否则可在当分频器 200 从提供一个（当前）分频因数切换到新分频因数时的转变周期期间发生。程序块 260 经实施以确保在不导致闪信号的情况下在一个分频因数到另一分频因数之间切换，如以下部分中更详细地描述。

[0042] 如上所述,图 1 的除法器 110、160 及 170 中的每一者可实施为图 2 的分频器 200,其中除法器 110、160 及 170 分别接收分频因数 N 、 M 及 Q ,所述分频因数 N 、 M 及 Q 又由控制块 180 基于对应除法因数 A 、 B 及 C 而产生。组合参照图 1 及 2,在 PLL 100 的支持扩散频谱技术的实施例中, M 的值在信号 229 (Modout[0]) 的边缘处改变 (改变任何整数值)。 M 的改变关于值 B (即,大于以及小于值 B 的值) 而变化。类似地,因数 N 及 Q 也可在信号 229 的边缘处改变。 N 的改变关于值 A 而变化。

[0043] 在所述实施例中, Q 的值可在 PLL 100 的通电时从高于 C 的值缓慢地 (举例来说,逐步地) 减小到值 C 。分频因数 Q 从高于 C 的值到值 C 的此种缓慢减小确保使用 299 (OUTPUT) 作为输入时钟或输入信号的装置或组件所消耗的电流不突然从 0 增加到最终值,而是缓慢地增加,从而放松对用以给所述装置或组件供电的电源的要求。因数 N 、 M 及 Q 可各自为大于或等于 2 的正整数。接下来详细描述图 1 的块。

[0044] 3. 除 2/3 级

[0045] 图 3 是图解说明一实施例中的除 2/3 级的实施方案细节的框图。展示除 2/3 级 300 含有“或非”门 310、触发器 320 (FF1)、“与”门 330 及 360、“或”门 340、“非”门 345 以及触发器 350 (FF2)。图 2 的级 230-1 到 230- N 中的每一者实施为级 300,且级 300[k] 因此一般是指此些级中的任一者,其中级 300[1] 到 300[N] 分别是指级 230-1 (第一除法器级) 到 230- N 。对应地,还表示级 300[k] 的输入及输出包含指数 k ,其中 k 的范围为从 1 到 N 。

[0046] 级 300[k] 基于程序位 $P[k]$ (361) 及输入模式信号 MODIN[k] (341) 而将输入信号 CLKIN[k] (301) 的频率除以为 2 (除 2) 或 3 (除 3) 的因数,以产生对应的经分频输出信号 CLKOUT[k] (232)。取决于级 300[k] 将执行除 2 还是除 3,信号 CLKOUT[k] 对于输入信号 CLKIN[k] 的 1 个周期处于逻辑高,且对于 CLKIN[k] 的 1 或 2 个周期处于逻辑低。图 2 的级 230-1 可被视为由级 230-1 到 230- N 形成的多个除 2/3 级组中的第一除法器级。

[0047] 级 300[k] 产生信号 MODOUT[k] (335)。MODOUT[k] 经产生以在除法器 200 中经启用而为作用的最右级 (且也称作最高有效性级) 的输出信号 CLKOUT 的每一循环中对于输入时钟 CLKIN[k] 的一个周期处于逻辑高。为进行阐释,假设 (图 2 的) 级 230- N 为活动 的最右级 (即,经启用以操作从而对输入信号 201 的频率进行分频) 且将 (图 2 的) 级 230-1 称作级 300[1],那么 MODOUT[1] 经产生以在输出信号 CLKOUT[N] (即,信号 237) 的每一循环中对于输入信号 CLKIN[1] (即,信号 226) 的一个周期处于逻辑高。MODOUT[k] 经产生以对于在除法器 200 中经启用而为作用的最右级的输出信号 CLKOUT 的周期的剩余部分处于逻辑低。

[0048] 级 300[k] 的信号 MODOUT[k] 连接为前一级 300[$k-1$] 的 MODIN[$k-1$],且给级 300[$k-1$] 指定级 300[$k-1$] 将以其执行除 3 运算的时间间隔,只要 $P[k-1]$ 也准许此除 3 分频。类似地,级 300[k] 的 MODIN[k] 连接为下一较高级 (级 300[$k+1$]) 的 MODOUT[$k+1$],且给级 300[k] 指定级 300[k] 将以其执行除 3 运算的时间间隔,只要 $P[k]$ 也准许此除 3 分频。级 300[k] 的信号 $P[k]$ 是从 (图 3 的) 程序块 260 接收的,且具有取决于分频因数 M 的值。 $P[k]$ 的逻辑低 (或逻辑 0) 值指定级 300[k] 将总是执行除 2 运算。 $P[k]$ 的逻辑高 (或逻辑 1) 值指定级 300[k] 将在当 MODIN[k] 处于逻辑高时的持续时间 / 间隔中执行除 3 运算,且在当 MODIN[k] 处于逻辑低时的持续时间 / 间隔中执行除 2 运算。Modout[0] (图 2 的 229) 的频率等于经启用而为作用的最高有效性级的 CLKOUT 信号的频率。举例来说,假设 M 的值

使得所有级 220、230-1 到 230-N 被启用而为作用 / 操作的（用于分频），那么 Modout[0] 的频率等于信号 237（经启用而为作用的最高有效性级 230-N 的 CLKOUT）的频率。

[0049] 级 300[k] 的信号 CLKIN[k] 接收为级 300[k-1] 的 CLKOUT[k-1] 的逻辑逆。级 300[k] 的 CLKOUT[k] 的逻辑反相提供为级 300[k+1] 的 CLKIN[k+1]。如上文所描述连接的一组级 300[k]（多个除法器级）称作以级联方式连接。级 220 与级 230-1 到 230-N 的组合也可被视为以级联方式连接。

[0050] MODIN-EN[k]（启用信号）的逻辑 0 值停用所述级（级 300[k]）的 MODIN[k] 的作用，从而致使级 300[k] 仅取决于其 P 输入（P[k]）的值而通过 2 或 3 进行分频，就像 MODIN[k] 为逻辑 1 那样。因此，当 MODIN-EN[k] 为逻辑 0 时，如果 P[k] 为逻辑 0 那么级 300[k] 通过 2 进行分频，且如果 P[k] 为逻辑 1 那么通过 3 进行分频。

[0051] MODIN-EN[k] 的逻辑 1 值使得 MODIN[k] 也能够影响级 300[k] 所执行的分频。当 MODIN-EN[k] 为逻辑 1 时，级 300[k] 仅当 MODIN[k] 为逻辑 1 时通过 2 或通过 3 进行分频（取决于 P[k] 的值，如上所述）。当 MODIN[k] 为逻辑 0（其中 MODIN-EN[k] 为逻辑 1）时，级 300[k] 通过 2 进行分频。

[0052] 如果级 300[k] 的 MODIN-EN[k] 为逻辑 0，那么不需要所有较高级（级 300[k+1]、级 300[k+2] 等）在操作中且可维持其在复位状态中（即，从操作停用）。在此种情景中，此些级 300[k] 中的最低者（最低有效者）（其中 MODIN-EN[k] = 0）表示最高有效性级，且 Modout[0] 的频率等于 CLKOUT[k] 的频率。

[0053] 组合参照图 2 及图 3，从程序块 260 接收每一级 300[k] 的信号 MODIN-EN[k] 及 P[k]。因此，举例来说，将级 230-1 称作级 300[1]，经由路径 234-1 从程序块 260 接收（图 1 的）除 2/3 块 230-1 的 MODIN-EN[1] 及 P[1]。信号 226 对应于 CLKIN[1]，信号 231 对应于 CLKOUT[1]，信号 232 对应于 MODIN[1] 且信号 239-1 对应于 MODOUT[1]。类似地，将级 230-N 表示为级 300[N]，经由路径 234-N 从程序块 260 接收除 2/3 块 230-N 的 MODIN-EN[N] 及 P[N]。信号 236 对应于 CLKIN[N]，信号 237 对应于 CLKOUT[N]，信号 238 对应于 MODIN[N] 且信号 239-N 对应于 MODOUT[N]。假设所有块 220 及 230-1 到 230-N 被启用（且将操作以用于分频），230-N 表示分频器 200 的除 2/3 级的最高者（或最右者），且 MODIN-EN[1] 到 MODIN-EN[N] 中的每一者将被启用（逻辑高）。MODIN[N]（一般来说，最高经启用级的 MODIN）设定为逻辑高。

[0054] CLKIN[k] 作为时钟输入提供到正边缘触发式触发器 FF1 及 FF2 的时钟端子。“或非”门 310 对“与”门 360 的输出 369 及 FF1 的 Q 输出 323 执行逻辑“或非”运算，且在路径 312 上提供所述结果作为 FF1 的 D 输入。CLKOUT[k] 为 FF1 的 Q 输出 323。反相器 345 对信号 342 (MODIN-EN[k]) 执行逻辑“非”运算且在路径 345 上提供信号 342 的反相值。“或”门 340 在路径 343 上提供信号 341 (MODIN[k]) 及信号 345 的逻辑“或”结果。“与”门在路径 335 上提供信号 343 及 323 的逻辑“与”结果。信号 335 提供为 FF2 的 D 输入。信号 335 也提供为输出信号 MODOUT[k]。“与”门提供对信号 356 (FF2 的 Q 输出) 及信号 361 (P[k]) 的“与”运算的结果。FF1 与 FF2 之间及从在级 300[k] 内部或外部的任何其它触发器（一般来说，存储器元件）来往于 FF1 及 FF2 的信号路径中的组合元件的数目少于除 2/3 级的现有实施方案，且因此产生相对较高的操作速度以及实施级 300[k] 所需要的较少电力消耗及面积。

[0055] 图 4A 及 4B 展示图 3 的电路的一些节点处的实例性波形。图 4A 展示当提供于节点 361 上的 P[k] 的值为逻辑 0 时图 3 的级 300[k] 的节点 361、301、341、335 及 323 处的实例性波形。如上所述, P[k] 的 0 值致使级 300[k] 在除 2 模式中操作, 其中 CLKOUT[k] 交替地处于逻辑高及逻辑低, 如通过比较节点 301 (CLKIN[k]) 及 323 (CLKOUT[k]) 处的波形可观察到。当 P[k] 等于 0 时, 信号 MODIN[k] 不影响分频操作, 且级 300[k] 完全在除 2 模式中操作。

[0056] 图 4B 展示当提供于节点 361 上的 P[k] 的值为逻辑 1 时图 3 的级 300[k] 的节点 361、301、341、335 及 323 处的实例性波形。当 P[k] 处于逻辑 1 时, 级 300[k] 响应于 MODIN[k] 的逻辑 1 电平 (如箭头 410 所指示) 而在除 3 模式中操作, 且当 MODIN[k] 为逻辑 0 (如箭头 420 所指示) 时在除 2 模式中操作。因此, 取决于 MODIN[k] 的值, CLKOUT[k] 交替地对于 CLKIN[k] 的一个周期处于逻辑高及对于 CLKIN[k] 的一个或两个周期处于逻辑低。

[0057] 图 4C 展示三个经级联级 300[1]、300[2] 及 300[3] 的 P、CLKIN、MODIN、MODOUT 及 CLKOUT 节点处的波形, 所述三个经级联级如图 3 中所展示而实施。每一级的相应输入及输出如上文关于图 3 所描述而连接。CLKIN[1] 为将对其进行分频的输入时钟, 且可从外部源接收。在所述实例中假设将 CLKIN[1] 除以 13 (二进制中的 1101)。到相应级 300[1]、300[2] 及 300[3] 的 1、0 及 1 的 P 输入等于二进制数 1101 的最低三个有效位 (1、0 及 1)。注意, 需要三个级用于整个除 13 运算, 因为每一级自身可通过 3 进行分频。级 300[3] 的 MODIN[3] 设定为逻辑 1。

[0058] 从图 4C 可观察到 CLKOUT[3] 的频率为 CLKIN[1] 的频率的 1/13。还可观察到 MODOUT[1] 在 CLKOUT[3] 的每一循环中 (仅) 对于 CLKIN[1] 的一个周期处于逻辑高 (其为最右 (最高) 级 (在所述实例中为级 300[3]) 的 CLKOUT), 且否则处于逻辑 0。类似地, MODOUT[2] 在 CLKOUT[3] 的每一循环中仅对于 CLKIN[2] 的一个周期处于逻辑高。从图 4C 还可观察到, MODOUT[1] 也具有为 CLKIN[1] 的频率的 1/13 的频率。

[0059] 4. 除 2/3/4 级

[0060] 图 5 是图解说明一实施例中的除 2/3/4 级的实施方案细节的图示。展示所述图示含有: “或非”门 510; 触发器 520 (FF3)、560 (FF4) 及 590 (FF5); “或”门 530、550 及 595; 反相器 535; 及门 540、570 及 580。在 (图 2 的) 分频器 200 中, 最低有效级 (LS 级 220) 实施为图 5 的除 2/3/4 级。级 220 经设计以基于程序及其它输入信号 (如下文所描述) 的值而执行除 2、除 3 或除 4 分频。假设信号 242a、242b 及 242c 包括于路径 242 (图 2) 中。级 220 称作最低有效 LS 级, 因为级 220 接收 P 的最低有效位。

[0061] 反相器 535 提供信号 242a (Modin-en[0]) 的逻辑逆作为输出。“或”门 530 提供信号 239-1 (Modin[0] (第一模式信号)) 及信号 242a (Modin-en[0]) 的逻辑逆的逻辑“或”运算作为输出。“与”门 540 提供“或”门 530 的输出与 FF3 的 Q 输出 221 (Clkout[0] (第一经分频信号)) 的逻辑“与”作为输出 229 (Modout[0] (输出模式信号))。“或”门 550 提供“与”门 540 的输出及 FF5 的 Q 输出的逻辑“或”结果作为输出, “或”门 550 的输出提供为 FF4 的 D 输入。“与”门 570 提供信号 242b (程序位 P[0]) 及 FF4 的 Q 输出的逻辑“与”作为输出。三输入“与”门 580 提供信号 229、242c (EN-MOD-EXTEND) 及 (图 2 的) 299 (OUTPUT) 的逻辑“与”结果作为输出, 所述输出提供为 FF5 的 D 输入。“或”门 595 提供 FF3 及 FF5 的

Q 输出的逻辑“或”结果作为输出。“或非”门 510 提供“或”门 595 的输出及“与”门 570 的输出逻辑“或非”结果作为输出,所述输出提供为 FF3 的 D 输入。展示 FF3、FF4 及 FF5 中的每一者实施为正边缘触发式触发器,其通过信号 201 (INPUT) (图 1) 来计时。然而,在其它实施例中,所述触发器可以不同方式实施。如果 M 大于 4,那么信号 242c (EN-MOD-EXTEND) (在本文中也称作第三位) 等于分频因数 M 的二进制表示的最低有效位 (M[0]),且如果 M 小于或等于 4,那么等于 0。

[0062] 级 220 的图 5 实施方案含有触发器对 (由 FF3、FF4 及 FF5 形成) 之间的信号路径中的最小组合逻辑。此外,触发器对之间的逻辑元件的数目大致相等,以使得计时临界路径能够在长度上较短。因此,图 5 的实施方案可适应高操作速度,消耗较少电力且实施于较小面积中。此外,级 220 的设计确保 Modout[0] 仅对于信号 201 (INPUT) 的一个周期处于逻辑高,从而使得 Modout[0] 可用作 T/D 级 210 中的触发器的 D 输入。一个级的 CLKOUT 与另一级的 CLKIN 之间的反相器的使用 (如图 2 中所展示) 确保所有 MODIN 信号在 FF3 的下降缘上双态切换 (图 5 的 520)。因此,可无闪信号地再现信号 Modout[0]。

[0063] Modin-en[0] 的逻辑 0 值停用级 220 上的 Modin[0] 的作用,从而致使级 220 就像 Modin[0] 为逻辑 1 那样操作。

[0064] Modin-en[0] 的逻辑 1 值使得 Modin[0] 也能够影响级 220 所执行的分频。

[0065] 如果级 220 的 Modin-en[0] 为逻辑 0,那么不需要所有较高级 (级 230-1 到 230-N) 在操作中且可维持其在复位状态中 (即,从操作停用)。在此种情景中,级 220 表示最高有效性级,且 Modout[0] 的频率等于 Clkout[0] 的频率。

[0066] 通过以下逻辑来描述图 5 的除法器 220 执行信号 201 (INPUT) 的除 2、除 3 或除 4 分频的操作:当信号 Modin[0] (239-1) 等于 0 (逻辑低) 时,除法器 220 执行除 2,且信号 221 (Clkout[0]) 交替地处于逻辑高及逻辑低。当信号 Modin[0] 等于 1 (逻辑高) 时且如果 M[1] 等于 0,那么除法器 220 在信号 299 (OUTPUT) 的交替半周期中执行除 2 及除 3。当信号 Modin[0] 等于 1 时且如果 M[1] 等于 1,那么除法器 220 在信号 299 (OUTPUT) 的交替半周期中执行除 3 及除 4。

[0067] 作为一实例,如果 M 等于 13,那么 P (即, $(M-1)/2$ 等于 6 (二进制中的 110),且 M[1] (也等于 P[0]) 为偶数。因此,当信号 Modin[0] 处于逻辑高时,除法器 220 在信号 299 (OUTPUT) 的交替半周期中执行除 2 及除 3。另一方面,如果当 M 等于 15 时,P 等于 7 (二进制中的 111),且 M[1] (也等于 P[0]) 为奇数。因此,当信号 Modin[0] 处于逻辑高时,除法器 220 在信号 299 (OUTPUT) 的交替半周期中执行除 3 及除 4。需要除 4 运算以适应分频因数 M 的其中 P[0] 等于 1 的那些值 (例如, $M = 11$, $M = 15$, $M = 19$)。当 M[1] 为奇数时,信号 221 (Clkout[0]) 的交替半循环需要对于 201 (INPUT) 的 X 个循环处于逻辑高,且对于 201 (INPUT) 的接下来 X+1 个循环处于逻辑低,其中 X 等于 $(M-1)/2$ 。举例来说,对于 31 的分频因数 M (其中 T/D 级 210 提供最终的除 2),信号 221 (Clkout[0]) 的交替半循环需要对于 201 (INPUT) 的 15 个循环处于逻辑高,且对于 201 (INPUT) 的接下来 16 个循环处于逻辑低。

[0068] 除法器 220 经设计以使得条件 (Modin[0] = 1) 在信号 299 (OUTPUT) 的每个半周期中仅对于信号 201 (INPUT) 的一个周期发生。组合参照图 5 及图 2,信号 229 (Modout[0]) 作为输入提供到 (图 2 的) T/D 级 210,其将信号 229 除以 2 或在不进一步分频的情况下提

供信号 229, 但具有等于 201 (INPUT) 的一个循环的延迟。

[0069] 图 6A 及 6B 展示图 5 的电路的一些节点处的实例性波形。图 6A 展示当 $M[1] = 0$, 即, $M/2$ 比率为偶数 (P 位的值与 $M[1]$ 相同) 时 (图 5 的) 除法器 220 的节点 242b ($P[0]$)、201 (INPUT)、239-1 ($Modin[0]$)、229 ($Modout[0]$) 及 221 ($Clkout[0]$) 处的实例性波形。可观察到信号 221 ($Clkout[0]$) 具有为信号 201 (INPUT) 的一半的频率, 且在当 239-1 ($Modin[0]$) 为 0 时的间隔中交替地处于逻辑高及逻辑低。然而, 紧接在 $Modin[0]$ 的逻辑 1 到逻辑 0 转变之后, 信号 221 ($Clkout[0]$) 在 $Modin[0]$ 的每个交替循环对于 201 (INPUT) 的两个循环处于逻辑 0。为进行阐释, 221 ($Clkout[0]$) 在由箭头 610a 表示的实例中仅对于 201 (INPUT) 的一个循环处于逻辑 0, 但在由箭头 610b 指示的下一实例中对于 201 (INPUT) 的两个循环处于逻辑 0, 且此图案重复, 如当 $Modin[0]$ 处于逻辑 1 (或从逻辑 1 到逻辑 0 的转变) 时从图 6A 中的其它实例处的 $Clkout[0]$ 的值可观察到。因此, 除法器 220 针对 $Modin[0]$ 的逻辑高值交替地通过 2 及 3 进行分频 (在 $Modin[0]$ 的交替循环)。除法器 220 在所有其它时间通过 2 进行分频。

[0070] 图 6B 展示当 $M[1] = 1$, 即, $M/2$ 比率为奇数 ($P[0]$ 位的值与 $M[1]$ 相同) 时图 5 的级 220 的节点 242a ($P[0]$)、201 (INPUT)、239-1 ($Modin[0]$)、229 ($Modout[0]$) 及 221 ($Clkout[0]$) 处的实例性波形。可观察到信号 221 ($Clkout[0]$) 具有为信号 201 (INPUT) 的一半的频率, 且在当 239-1 ($Modin[0]$) 为 0 时的间隔中交替地处于逻辑高及逻辑低。然而, 紧接在 $Modin[0]$ 的逻辑 1 到逻辑 0 转变之后, 信号 221 ($Clkout[0]$) 对于 201 (INPUT) 的 2 及 3 个循环交替地处于逻辑 0 (即, $Modin[0]$ 的每个交替逻辑高到逻辑低转变)。为进行阐释, 221 ($Clkout[0]$) 在由箭头 620a 表示的实例中对于 201 (INPUT) 的三个循环处于逻辑 0, 但在由箭头 620b 指示的下一实例中对于 201 (INPUT) 的两个循环处于逻辑 0, 且此图案重复, 如当 $Modin[0]$ 处于逻辑 1 (或从逻辑 1 到逻辑 0 的转变) 时从图 6B 中的其它实例处的 $Clkout[0]$ 的值可观察到。因此, 除法器 220 对应于 $Modin[0]$ 的逻辑高值交替地通过 3 及 4 进行分频 (在 $Modin[0]$ 的交替循环)。除法器 220 在所有其它时间通过 2 进行分频。

[0071] $Clkout[0]$ 的逻辑 0 电平的额外“延伸”由信号 M0 (其为分频因数 M 的 LSB) 及 299 (OUTPUT) 的特定半循环 (如由信号 299 指示) 控制。此些延伸紧接在 $Modin[0]$ 从逻辑高到逻辑低的对应 (交替) 转变之后产生, 如可从图 6A 及 6B 观察到。

[0072] 5. 双态切换 / 延迟级

[0073] 图 7 是图解说明一实施例中的 T/D 级 210 的实施方案细节的图示。展示 T/D (双态切换 / 延迟) 级 210 (也称作输出级) 含有多路复用器 (MUX) 710 及 720、触发器 730 (FF6) 以及反相器 740。

[0074] MUX 710 接收信号 229 ($Modout[0]$) 作为选择信号, 且基于信号 229 的值而提供信号 299 (OUTPUT) 及 741 中的一者作为输出 712。在图 7 中, 假设信号 229 的逻辑高值选择 741 作为输出 712, 且信号 229 的逻辑低选择信号 299 作为输出 712。MUX 720 接收信号 243 (图 2) 作为选择信号, 且基于信号 243 的值而提供信号 712 及 229 中的一者作为输出 723。信号 723 提供为触发器 730 (FF6) 的 D 输入。FF6 的 Q 输出提供为分频器 200 的输出 299 (OUTPUT)。信号 229 作为一个输入提供到 MUX 710。在路径 741 上提供由反相器 740 产生的信号 299 的反相值。展示 FF6 实施为正边缘触发式触发器, 且接收 201 (INPUT) 作为其时钟输入。

[0075] 由于 FF6 以信号 201 (INPUT) 作为其时钟信号而操作, 因此从电力供应 (用以给分频器 200 供电, 未展示) 传送到输出 299 (OUTPUT) 的电力供应抖动的程度远比在 FF6 接收最高经启用级的 CLKOUT 作为其输入时钟信号的情况下小。此外, 输入 201 与输出 299 之间的延迟 (等待时间) 远比其中 FF6 (或一般来说 T/D 级 210) 接收最高经启用级的 CLKOUT 作为其输入时钟信号的实施方案小。

[0076] 在操作中, 对于小于 4 的分频因数 M, 选择输入 (或模式位) 243 将 T/D 级 210 设定于 ‘延迟’ 模式中, 其中信号 243 等于 0 且 MUX 720 提供信号 229 作为输出 723。在 ‘延迟’ 模式中, T/D 级 210 (特定来说, FF6) 在等于 201 (INPUT) 的一个循环 (周期) 的延迟之后转发信号 229 (Modin[0]) 作为 299 (OUTPUT)。对于大于或等于 4 的分频因数 M, 选择输入 243 将 T/D 级 210 设定于 ‘双态切换’ 模式中, 其中信号 243 等于逻辑 1, 且 MUX 720 提供信号 712 作为输出 723。在 ‘双态切换’ 模式中, 当在 Modout (0) 上感测到逻辑高时 (在图 8 中展示为在 Modout (0) 的高到低转变处感测到), FF6 的 Q 输出 (即, 信号 229 (OUTPUT)) 从其当前状态双态切换 (即, 如果当前处于逻辑低那么切换到逻辑高, 且反之亦然)。信号 229 (OUTPUT) 具有相等高及低持续时间, 除 M 的奇数值外。当 M 为奇数时, 299 (OUTPUT) 的高与低时间之间存在一个 201 (INPUT) 周期的差。举例而言, 对 72 的 M 值, 信号 299 (OUTPUT) 对于 201 (INPUT) 的 36 个循环处于逻辑高, 且对于 201 (INPUT) 的 36 个循环处于逻辑低。对 73 的 M 值, 信号 299 (OUTPUT) 对于 201 (INPUT) 的 36 个循环处于逻辑高, 且对于 201 (INPUT) 的 37 个循环处于逻辑低。信号 229 在经启用以在分频器 200 中操作的最高级的每个循环 CLKOUT 中对于信号 201 (INPUT) 的一个周期的持续时间处于逻辑高。

[0077] 图 8 是图解说明信号 201、242c、229 及 299 的实例性波形的图示。假设在图 8 的实例中分频因数 M 大于 4 且为奇数。可观察到信号 299 (OUTPUT) 具有比逻辑高的一个额外逻辑低持续时间, 因为 242c (EN-MOD-EXTEND) 为 1 (奇数)。此外, 由于假设 M 大于 4, 因此 T/D 级 210 在 ‘双态切换’ 模式中操作, 如上文所描述。

[0078] 分频器 200 经设计以无缝地从一个分频因数切换到另一分频因数, 即, 分频器 200 的输出 (299) 经启用以在不展现任何闪信号的情况下从一个频率切换到另一 (所要新) 频率。另外, 此种无缝切换 (一般来说, 无闪信号操作) 可需要确保输出 (299) 在从一个频率切换到另一频率的实例处或附近不展现错误分频 (非既定时间周期), 也不会针对任何时间长度消隐。一般来说, 无缝切换可需要完成输出 299 的当前循环及在输出 299 中无任何间隙或闪信号的情况下开始对应于所要新频率的新循环。此种能力使得分频器 200 的分频因数 M 能够在不导致上述不期望效应中的一者或一者以上的情况下动态地改变。程序块 260 经实施以支持此种无缝切换。另外, 程序块 260 还在路径 242、243 及 234-1 到 234-N 上产生程序值。接下来描述程序块 260 在一实施例中操作以产生上述输入的方式。

[0079] 6. 程序块

[0080] (图 2 的) 程序块 260 在路径 251 (M) 上接收分频因数 M 且在路径 242、243 及 234-1 到 234-N 上提供程序值。响应于分频因数 M 的接收, 程序块 260 解码 M 以产生 P 输入 (将提供到级 220 的 P[0]、将分别提供到级 230-1 到 230-N 的 P[1] 到 P[N])、级启用信号 (将提供到级 220 的 Modin-en[0]、将分别提供到级 230-1 到 230-N 的 MODIN-EN[1] 到 MODIN-EN[N])、T/D 模式 (信号 234) 及 EN-MOD-EXTEND。仅在遇到 ‘对准条件’ 时通过程序块 260 经如此产生的信号应用 (或提供) 到分频器 200 的对应元件, 如下文所描述。然而,

首先,下文描述产生以上程序输入(或程序位)的方式。在以下描述中,逻辑 0(或低)对应于 0,且逻辑 1(或高)对应于 1。

[0081] P输入的产生:

[0082] 如果分频因数 M 等于 2,那么 P 等于 0,且 T/D 模式设定为延迟模式。因此,程序块 260 产生 P[1] 到 P[N] 作为逻辑 0,且 T/D 模式位 (243) 也作为逻辑 0。

[0083] 如果 M 大于 2 且 M 为偶数,那么程序块 260 产生等于 M/2 的值 'P',其中 P[0]、P[1] 到 P[N] 表示 'P' 的二进制表示的对应位,其中 P[0] 为 'P' 的二进制表示的 LSB,其中 P[1] 到 P[N] 连续地表示更高有效的位, P[N] 为最高有效位 (MSB)。如果 M 为奇数,那么程序块 260 产生值 'P' 等于 (M-1)/2。如上所述, P[0]、P[1] 到 P[N] 表示如此获得的 'P' 的二进制值的对应位。

[0084] Modin-en输入的产生:

[0085] 对于等于 2 及 3 的 M 值, Modin-en[0] 设定为逻辑高 (1),且对于所有 k 值, MODIN-EN[k] 设定为逻辑低 (0)。

[0086] 对于较高的 M 值,如以下表达式所指定而产生 Modin-en 信号:

[0087] 对于 $M = 2^x$ 到 $2^{(x+1)}-1$, 其中 $x \geq 2$, 对于从 0 到 (x-2) 的 y 值 En(y) 设定为 1,且对于所有 $y > x-2$ 的值, En(y) 设定为 0。

[0088] 在以上表达式中, En(0) 为级 -en[0],且 En(1) 到 En(N-1) 分别等于 MODIN-EN[1] 到 MODIN-EN[N]。

[0089] 举例来说,对于 M = 4 到 7 的值 (即,对应于 $x = 2$), 级 -en[0] 设定为 1, MODIN-EN[1] 到 MODIN-EN[N] 设定为 0。对于 M = 8 到 15 的值 (即,对应于 $x = 3$), 级 -en[0] 及 MODIN-EN[1] 设定为 1, MODIN-EN[2] 到 MODIN-EN[N] 设定为 0。对于 M = 16 到 31 的值 (即,对应于 $x = 4$), 级 -en[0]、MODIN-EN[1] 及 MODIN-EN[2] 设定为 1,且 MODIN-EN[3] 到 MODIN-EN[N] 设定为 0。

[0090] T/D模式信号 /位 (在路径 243上)的产生:

[0091] 如果 M 小于 4,那么程序块 260 产生 T/D 模式信号 (路径 243) 作为逻辑 0 (延迟模式)。如果 M 大于或等于 4,那么程序块 260 产生 T/D 模式信号 (路径 243) 作为逻辑 1 (双态切换模式)。

[0092] EN-MOD-EXTEND的产生:

[0093] 如果 M 大于 4,那么程序块 260 在图 5 的路径 242c 上转发 M[0] 作为 EN-MOD-EXTEND。如果 M 小于或等于 4,那么路径 242c 上的信号 EN-MOD-EXTEND 设定为逻辑 0。

[0094] 已如此产生 (但尚未在路径 242、243 及 234-1 到 234-N 中的对应者上提供) 程序输入后,程序块 260 等待 '对准条件' 发生。当信号 229 的上升缘在满足以下额外逻辑条件时 (或与此同时) 发生时, '对准条件' 肯定在信号 229Modout[0] (也作为输入提供到程序块 260,如图 2 中所展示) 的此种上升缘处发生:

[0095] 紧邻的前一 T/D 模式设定为延迟模式或输出时钟处于逻辑 0。

[0096] '紧邻的前一 T/D 模式' 是指对应于紧邻在 M 的改变之前 (即,紧邻在 M 的新值之前) 的 M 值的 T/D 模式。当满足上述额外条件 (即,评估为 TRUE) 时,满足对准条件,且程序块 260 在信号 229 的紧邻的下一上升缘处于对应路径 242、243 及 234-1 到 234-N 上提供

所产生的程序输入。图 9 图解说明其中与上述‘对准条件’要求一致地由程序块 260 提供控制输入的实例性情景。

[0097] 在图 9 中,假设 M (路径 251) 的值在时间实例 t901 处改变。还假设 T/D 模式设定为对应于紧邻在 M 的改变 (在 t901 处) 之前的 M 值的延迟模式。。信号 910 为每当 M 的值改变时进行双态切换的信号,且展示在 t91 处从逻辑低转变到逻辑高,从而指示程序块 260 已接收 M 的新值 (或如果在通电或初始化之后第一次接收 M,那么为有效值)。作为响应,程序块 260 解码 M 的值以在 t91 处或其附近产生对应程序输入。然而,由于在 t91 处或其附近不满足上述‘对准条件’,因此程序块 260 直到在 t92 处满足对准条件才提供所产生的程序输入。在 t92 处满足对准条件,其中 299 (OUTPUT) 为逻辑 0 且 T/D 模式的紧邻的前一值 (假设) 设定为延迟模式两者。因此,程序块 260 在 t92 处与信号 229 (Modout[0]) 的上升缘同步地在路径 243 及 234-1 到 234-N 中的相应者上提供程序输入的新值。满足对准条件时的时间实例 (例如, t92) 可称作对准时间实例。

[0098] 信号 910 可由在分频器 200 外部的组件提供,与信号 229 的下降缘对准,或在内部与信号 229 的下降缘同步化及对准 (通过程序块 260)。图 9 中的信号 910 表示此种同步化且对准的信号。

[0099] 尽管各图中的任一者中未展示,但分频器 200 (图 2) 可接收在外部产生的‘全局复位’信号。可使用所述全局复位信号来通过将分频器 200 中的所有触发器维持在复位状态中而停用分频器 200 的操作。

[0100] 作为一实例,下文提供分频器 200 中的触发器的复位状态以及控制设定寄存器 1020 的对应于在从全局复位退出时立即应用等于 4 的分频因数 M 的位。复位值经设计以确保 Modout[0] (229) 在从全局复位退出时双态切换,从而使得程序块 260 能够紧接在从复位释放之后存储 M 值。控制设定寄存器的对应位的复位值如下所述:

[0101] i) 控制设定寄存器 1020 中的位:

[0102] a) $T/D = 1$ (双态切换模式)。

[0103] b) $EN-MOD-EXTEND = 0$ 。

[0104] c) 级 $en[0] = 0$; $MODIN-EN[k] = 0$, 对于所有 k。

[0105] d) $P[0] = 0, P[1] = 1, P[k] = 0$, 对于高于 1 的所有 k。

[0106] ii) FF6 (级 210) 的输出复位为 0。

[0107] iii) FF3、FF4 及 FF5 (级 220) 中的的每一者的输出复位为 0。

[0108] iv) 较高有效性级中的的每一者的 FF1 的输出设定为 1。较高有效性级中的的每一者的 FF2 的输出复位为 0。

[0109] 在一实施例中,触发器及位 (上述) 仅在全局复位作用 (例如,处于逻辑 1) 时在其相应复位状态中 (也如上所述)。然而,在另一实施例中,级 210 的触发器、级 220 及控制设定寄存器 1020 的存储位位置可仅在全局复位作用时复位,而级 230-1 到 230-N 的触发器可在全局复位信号或额外复位控制信号作用时复位。可基于是否需要对应级在操作中而针对级 230-1 到 230-N 中的的每一者产生此种额外复位控制信号。举例来说,级 300[k] 的额外复位控制信号可与 $MODIN-EN[k-1]$ 的反相值相同。对于级 230-1 到 230-N 中的的每一者,全局复位信号与前一级的 $MODIN-EN[k-1]$ (级 230-1 的 Modin-en[0]) 的反相值的逻辑“或”组合也可用作复位控制信号。

[0110] 图 10 展示一实施例中的程序块 260 的实施方案。展示图 10 的程序块 260 含有解码逻辑 1010、控制设定寄存器 1020、“或”门 1030、“与”门 1040 以及反相器 1050 及 1060。

[0111] 解码逻辑 1010 在路径 251(M) 上接收分频因数 M 且在路径 1012 上产生需要提供到级 210、220 及 230-1 到 230-N 的对应程序输入。路径 1012 上的输出不直接（或立即）提供到级 210、220 及 230-1 到 230-N。而是，输出 1012 作为输入提供到控制设定寄存器 1020。

[0112] 控制设定寄存器 1020 在当满足对准条件（上文所阐述）时的时间实例处在路径 1012 上存储输出。输出 1012 在控制设定寄存器中的存储使得输出立即可用作到级 210、220 及 230-1 到 230-N 中的相应者的输入（P 输入、级启用输入、T/D 模式信号及 EN-MOD-EXTEND）。展示指定 T/D 模式的 T/D 位存储于存储位置 1021 中。

[0113] 因此，当 M 的值将动态地改变时，控制设定寄存器 1020 继续将程序输入的‘当前’值提供到相应级。解码逻辑 1010 解码‘新’M 的值以形成控制设定寄存器 1020 的“下一”（新）设定，其由控制设定寄存器 1020（仅）在当满足对准条件时的时间实例处存储（且提供为程序输入）。

[0114] 反相器 1050 接收信号 299(OUTPUT)，且将信号 299 的逻辑逆作为输入提供到“或”门 1030。反相器 1060 接收存储于位置 1021 中的 T/D 模式位的‘前一’值，且将 T/D 模式位的逻辑逆作为另一输入提供到“或”门 1030。“或”门 1030 将反相器 1050 及 1060 的输出的逻辑“或”组合的结果作为输入 1032 提供到“与”门 1040。Modout[0] (299) 作为另一输入提供到“与”门 1040。“与”门 1040 将接收为信号 1042（对准信号）的输入的逻辑“与”组合的结果提供到控制设定寄存器 1020 的时钟端子。信号 1042 操作为到控制设定寄存器 1020 的时钟输入。当信号 1032 被感测为逻辑高时“与”门 1040 操作以在路径 1042 上产生上升缘。在信号 1042 的此种上升缘上，将控制设定寄存器 1020 的‘新’设定（对应于 M 的新值）加载到控制设定寄存器 1020 中。信号 1032 在信号 229(Modout[0]) 的上升缘上为高确保当 M 改变时在程序块 260 内部及外部的信号不展现闪信号。

[0115] 在其它实施例中，Modout[0] (229) 可仅在预期 M 的改变时提供到程序块 260。在 M 的改变（及控制设定寄存器 1020 中的对应新设定）之前及之后，可从程序块 260 门控关断信号 229，即，可停用信号 229 到程序块 260 的提供。此种选通 / 停用使得能够在 M 未正在改变时减少分频器 200 中电力消耗。可使用组合逻辑来感测 M 的位的改变，且产生信号以实现信号 229 到程序块 260 的提供。可使用控制设定寄存器 1020 的输入（1012）与输出（242、243、234-1 到 234-N）的比较来确定何时将停用信号 229 到程序块 260 的提供。

[0116] 如上文所阐述实施的分频器 200 可提供数个益处。所述益处可包括输出信号 299 上的低抖动、高速操作及较低电力消耗、分频因数 M 的无闪信号动态改变、对于 M 的偶数值输出 299 的 50% 工作循环及对于 M 的奇数值接近 50% 的工作循环以及适应宽广范围的分频因数的能力。取代除法器 110、160 及 170 中的一者或一者以上使用除法器 200 实施的（图 1 的）PLL 100 也可具有类似益处。

[0117] 在图 1、2、3、5 及 7 的说明中，尽管展示端子 / 节点具有到各种其它端子的直接连接，但应了解路径中也可存在额外组件（适合特定环境即可），且相应地可将所述连接视为电耦合到相同经连接端子。

[0118] 所属领域的技术人员将了解所请求本发明的范围内存在其它实施例及变化形式。

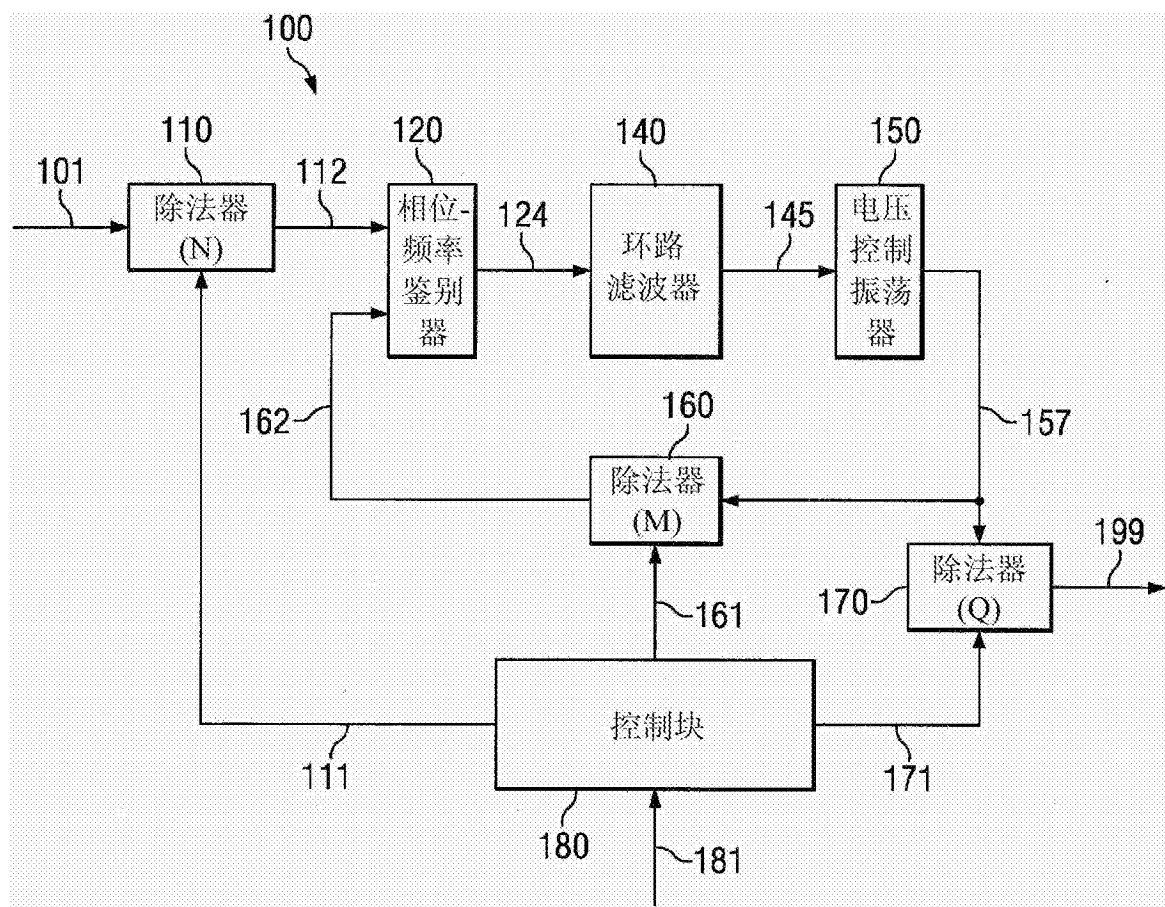


图 1

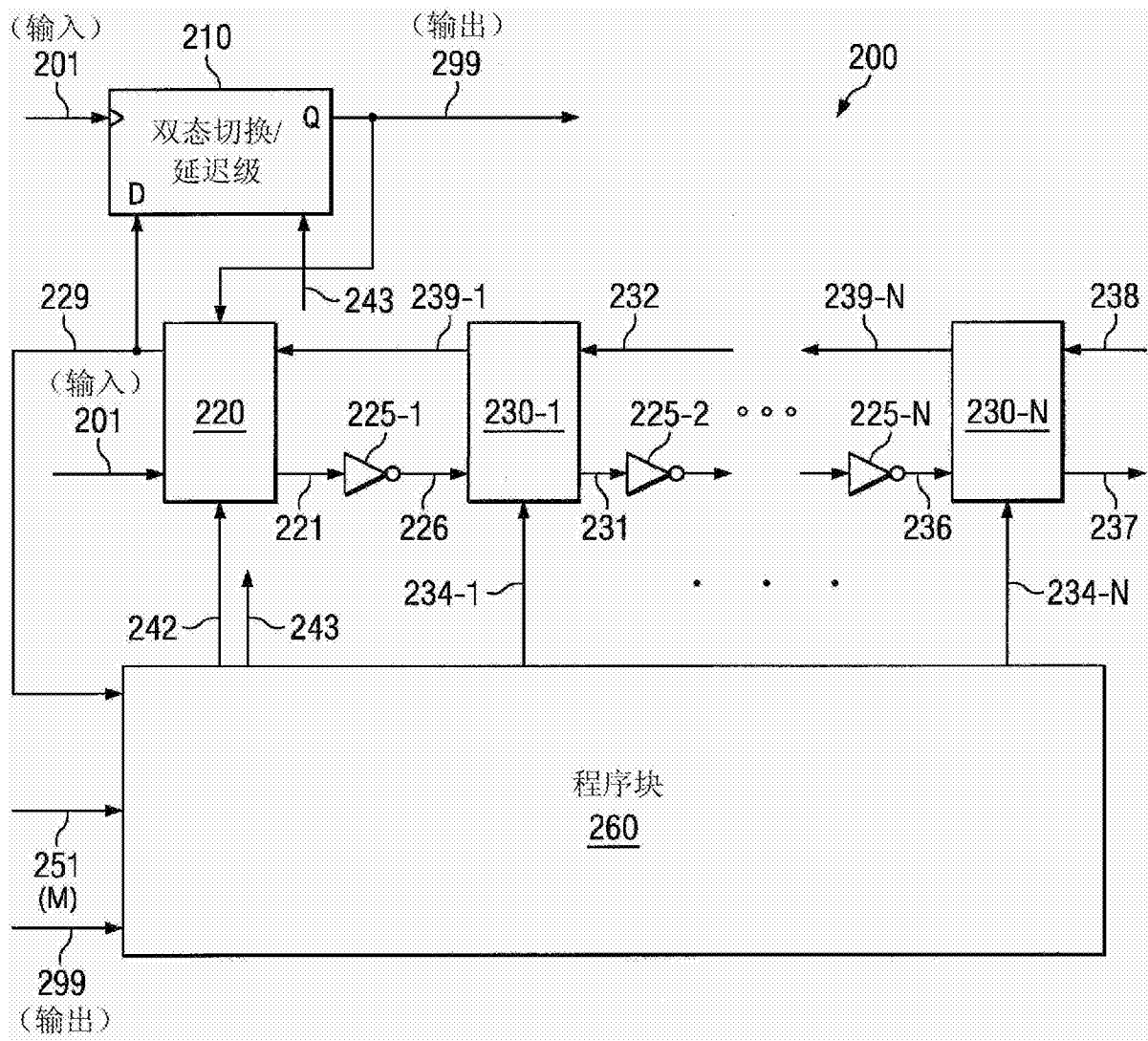


图 2

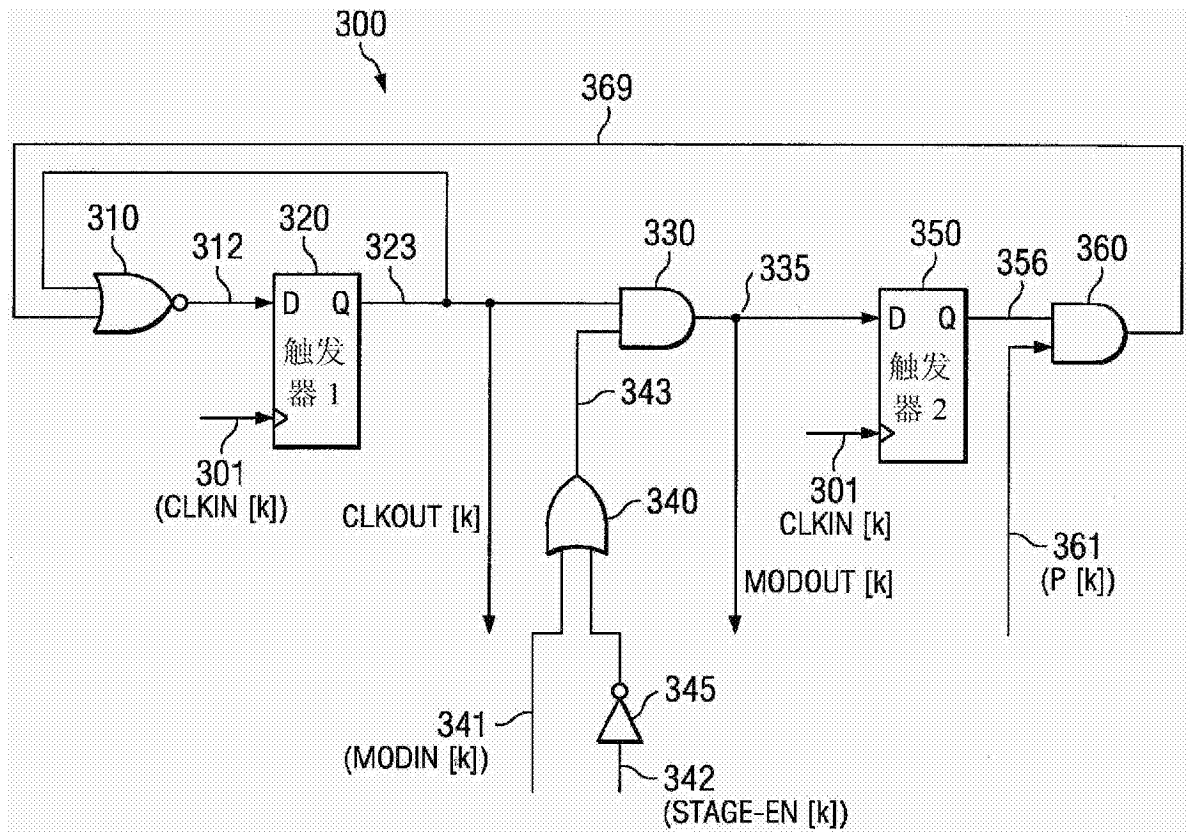


图 3

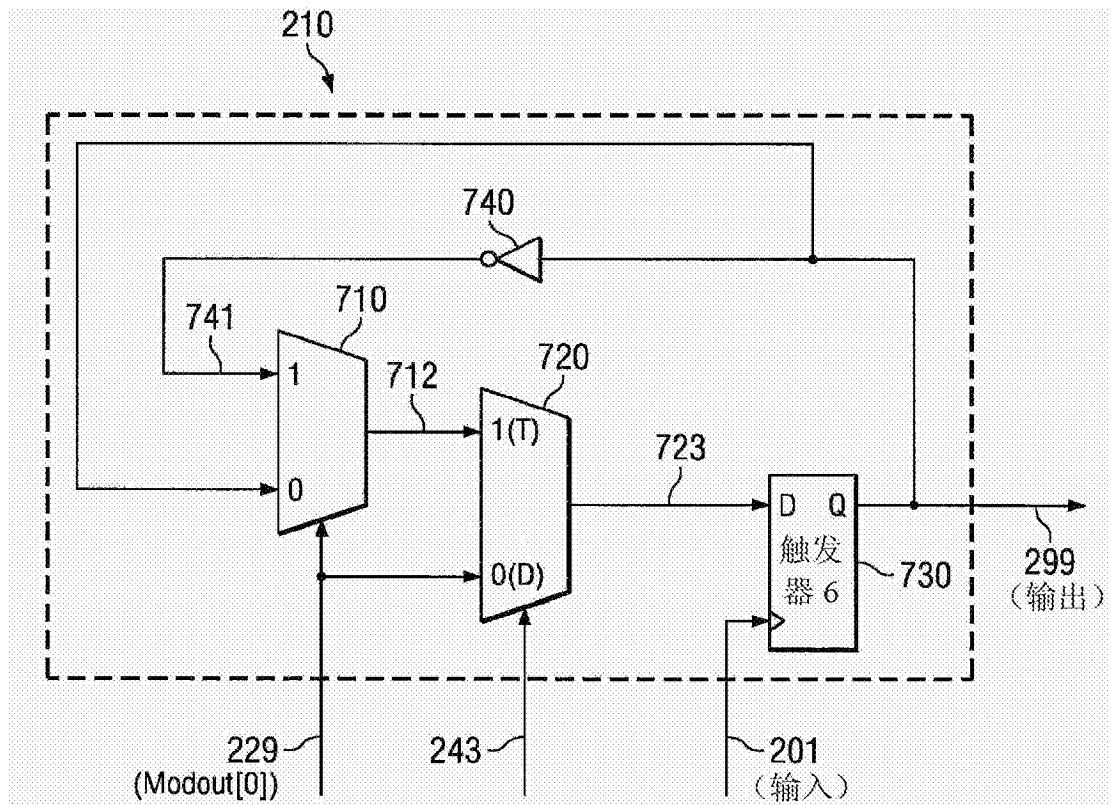


图 7

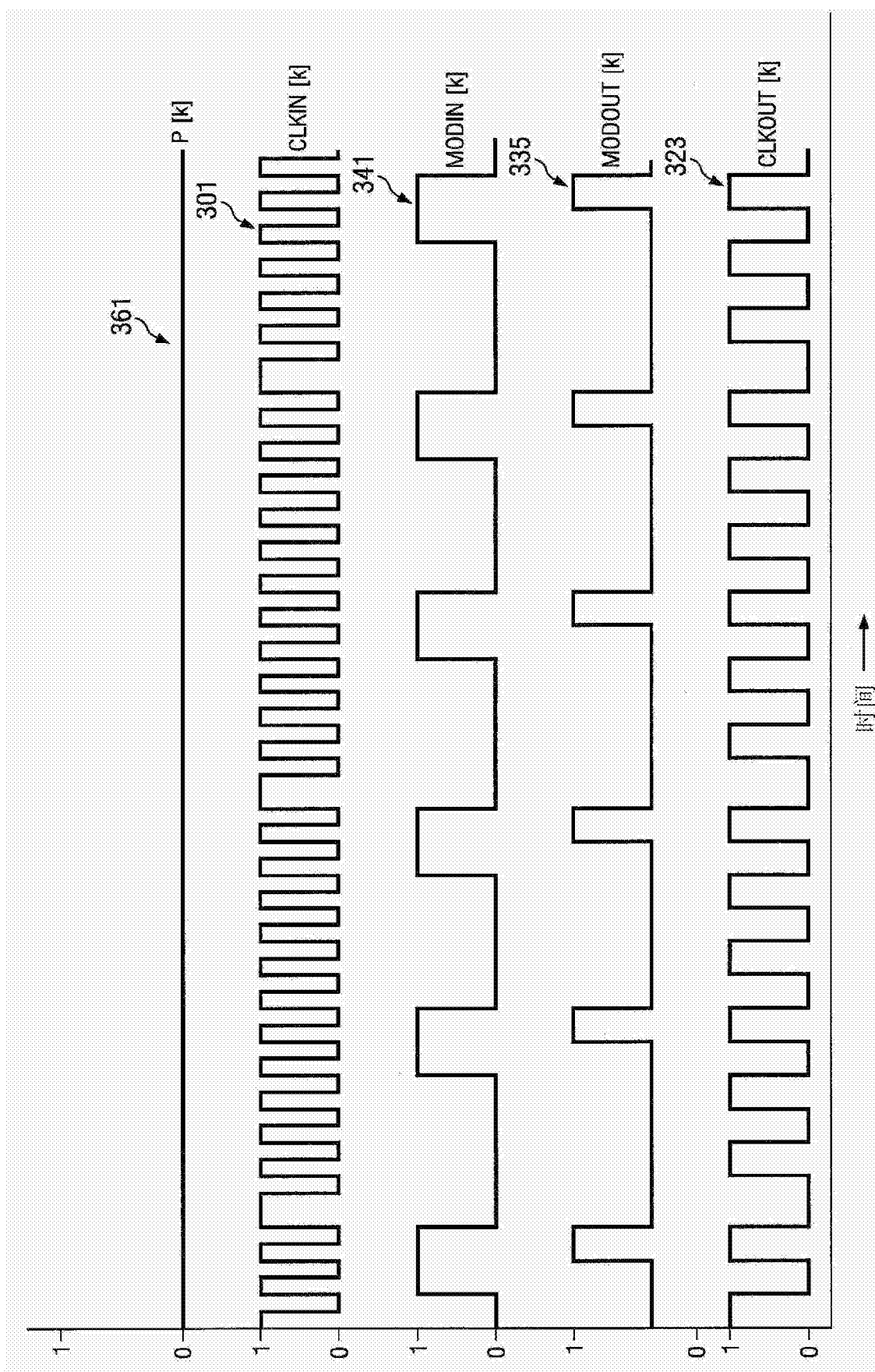


图 4A

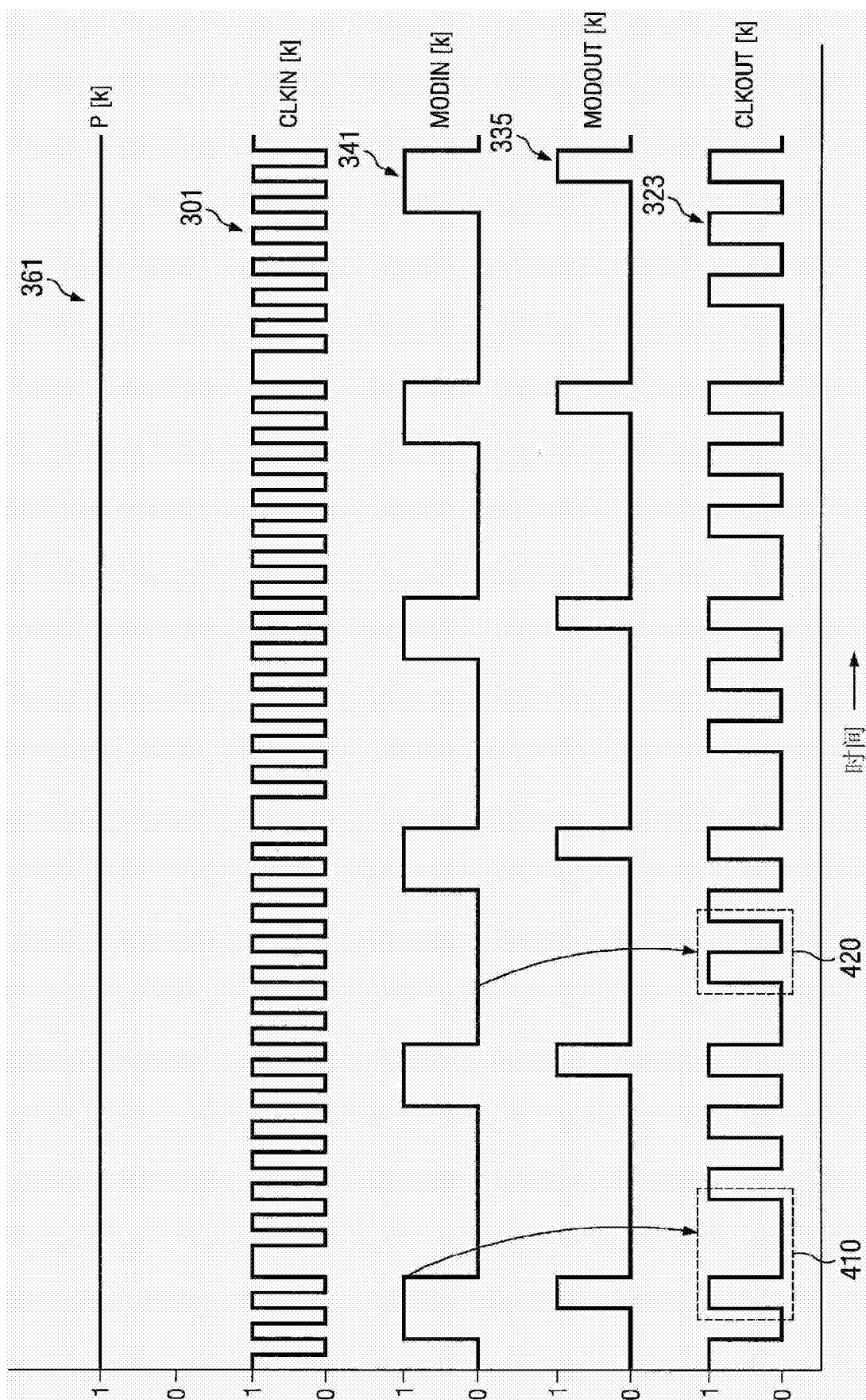


图 4B

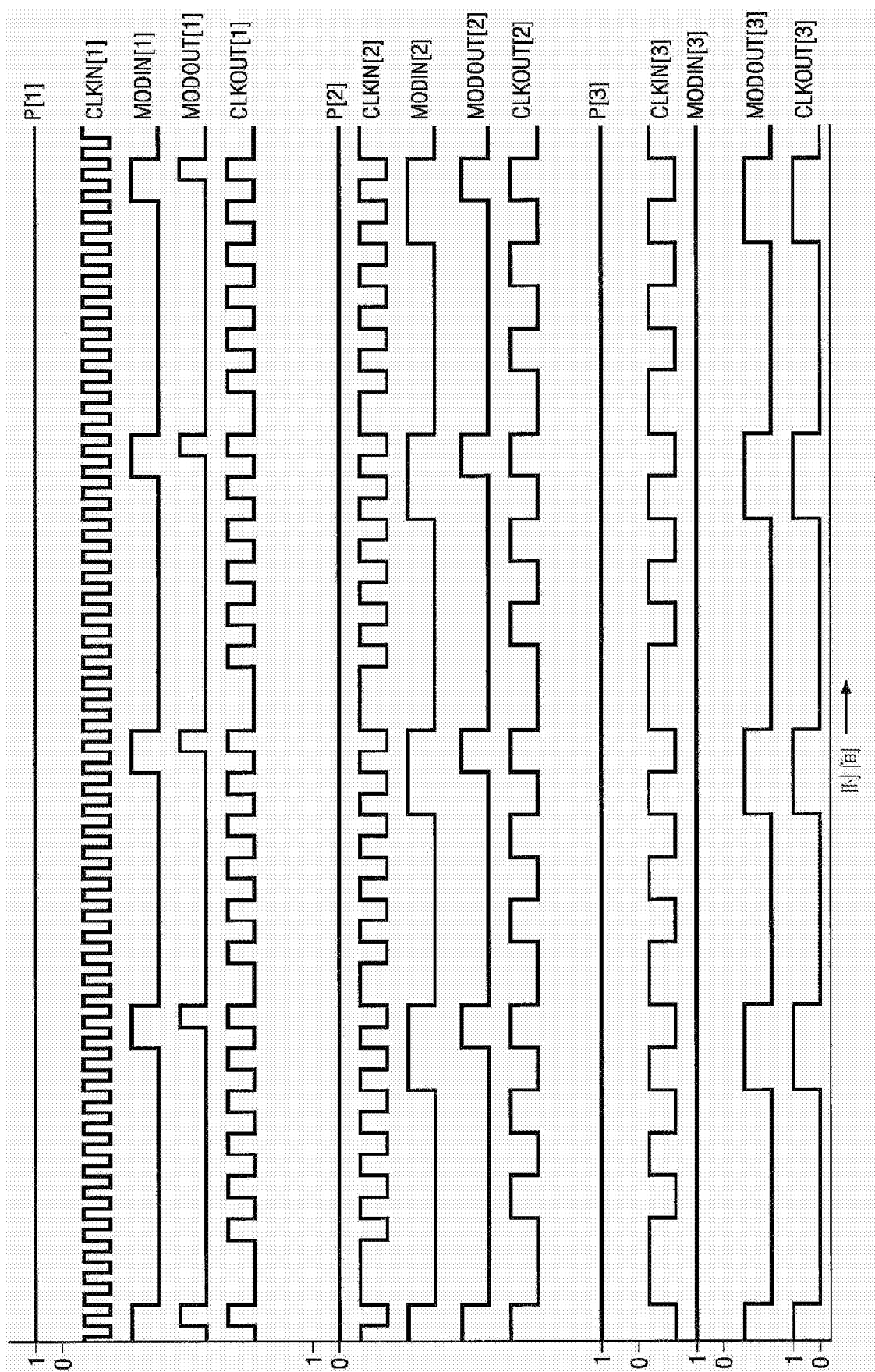


图 4C

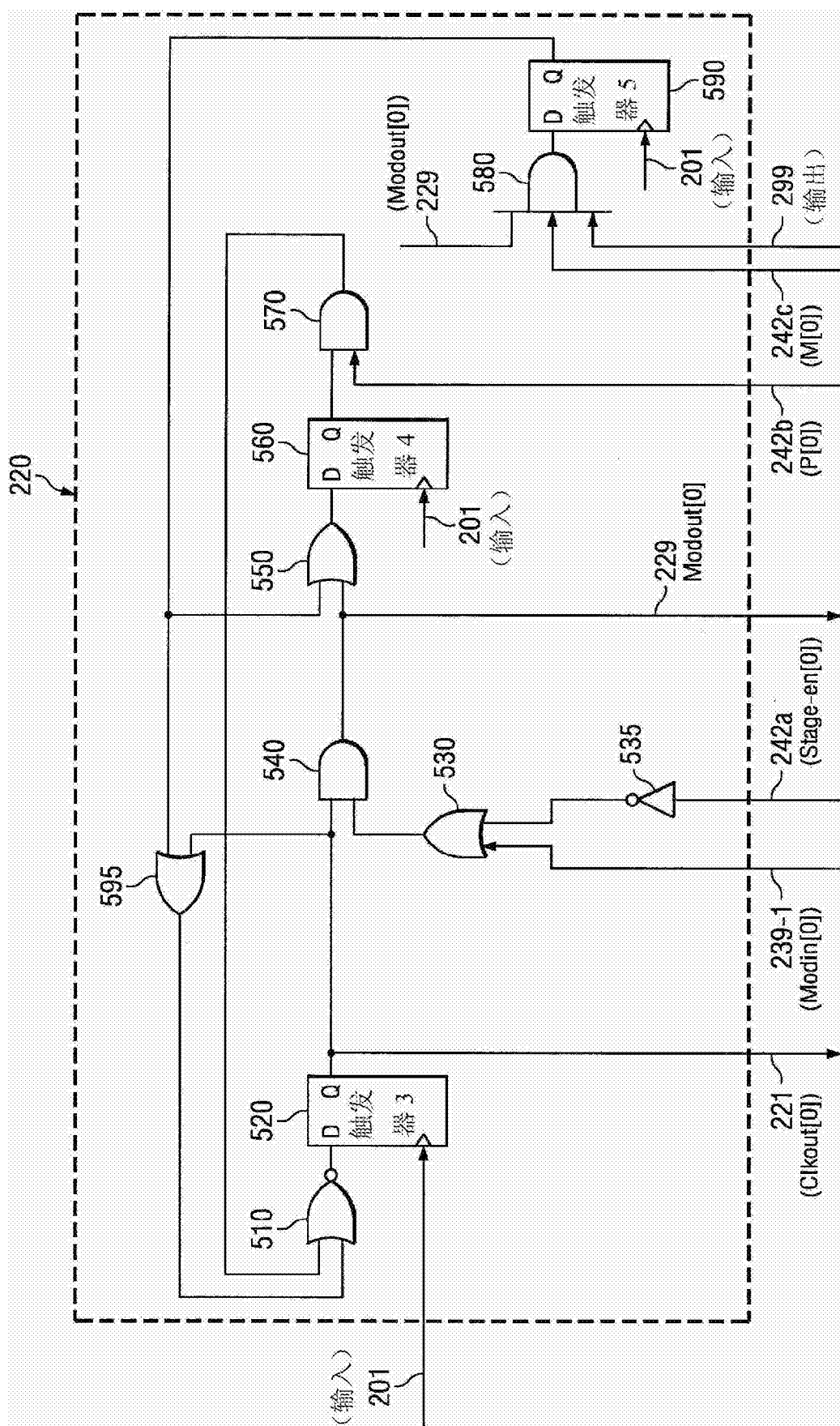


图 5

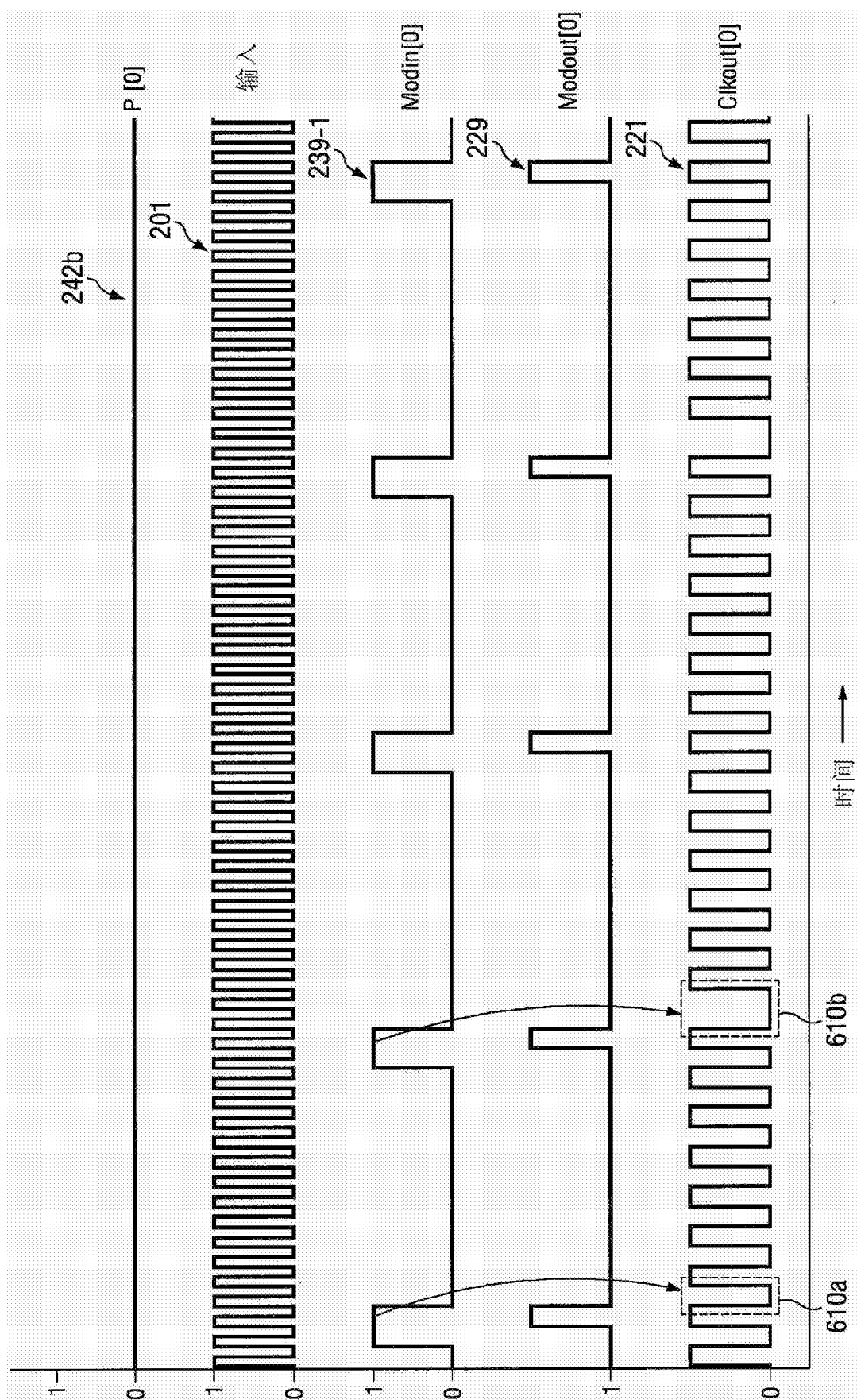


图 6A

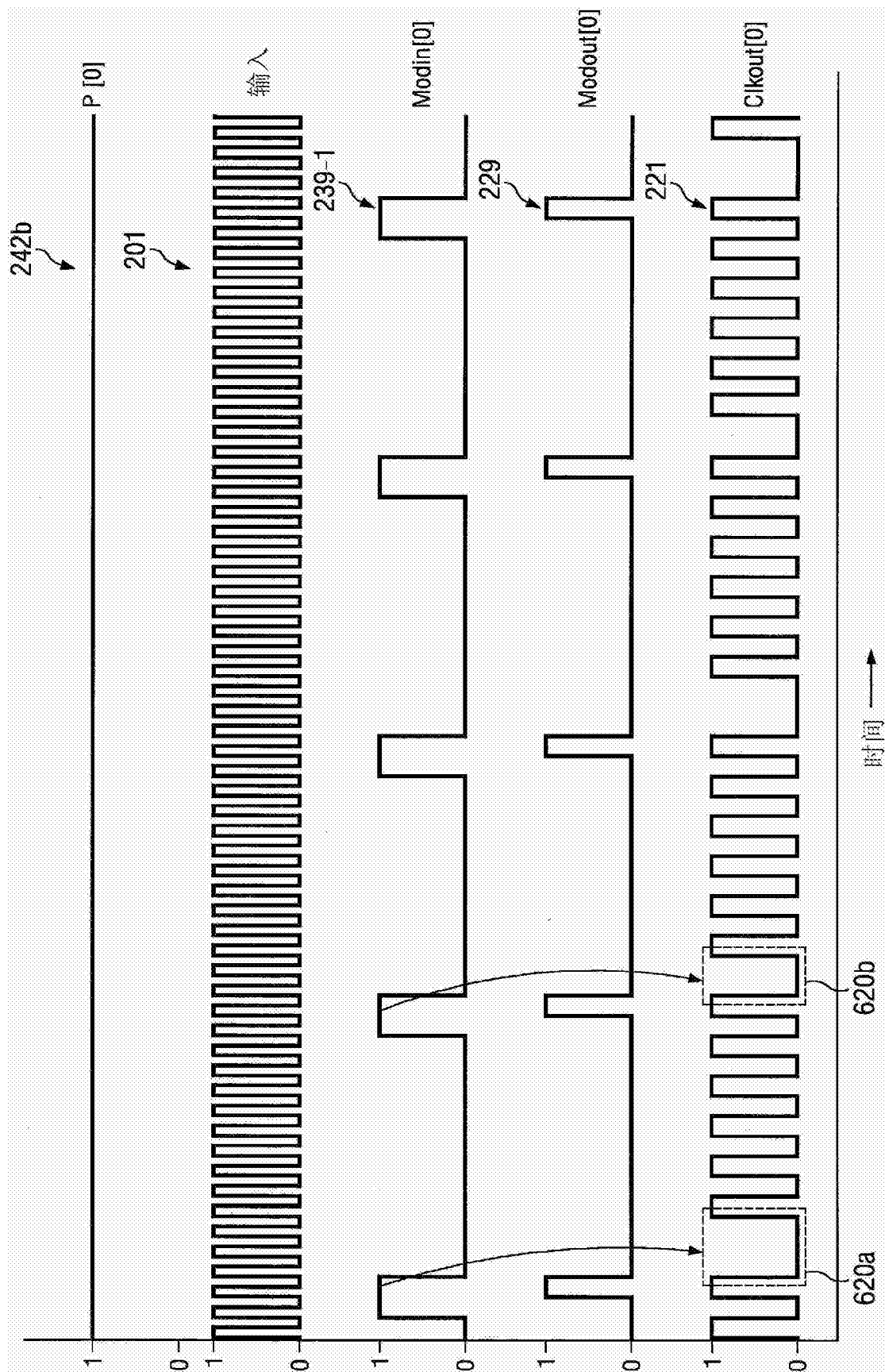


图 6B

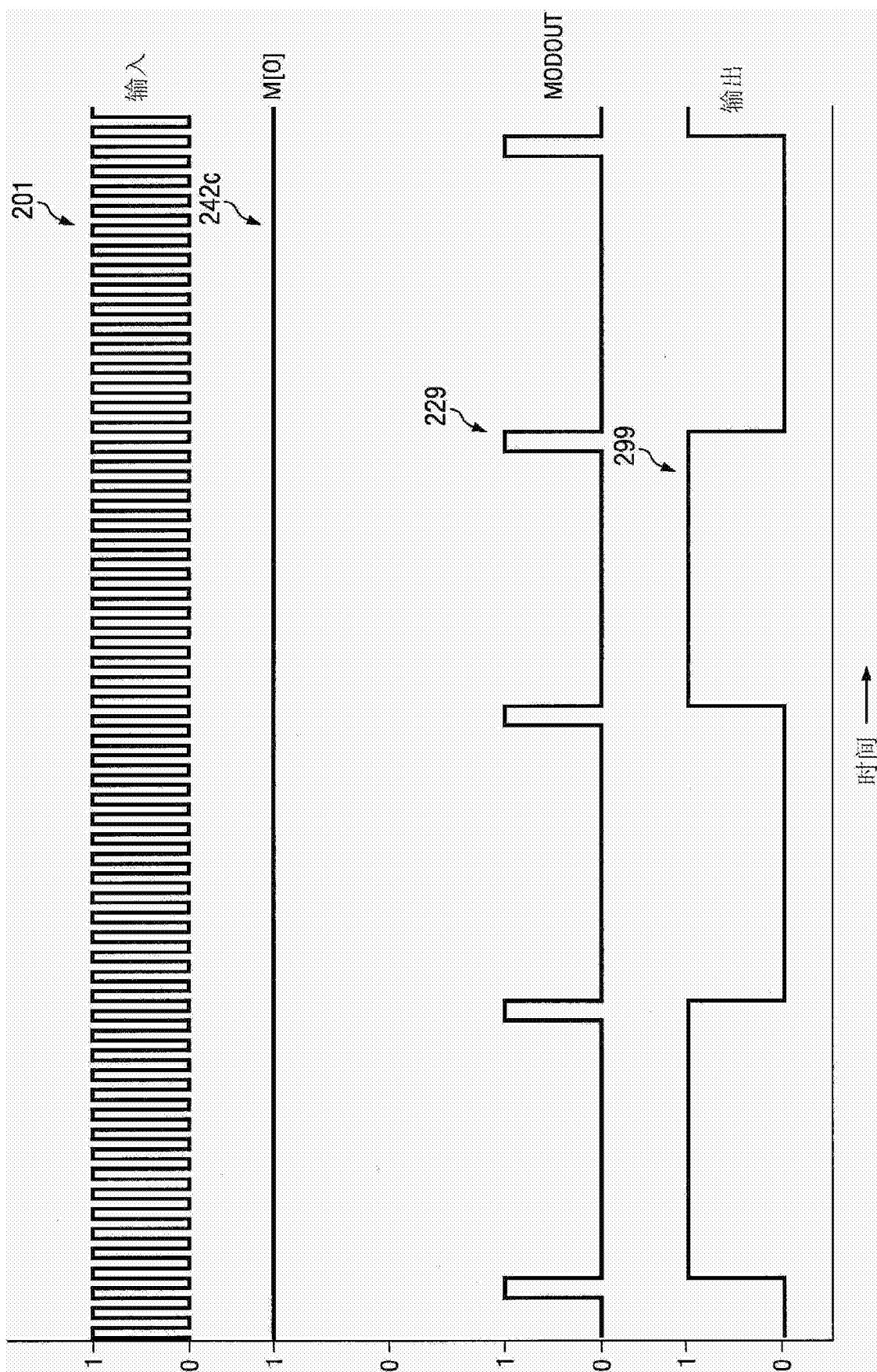


图 8

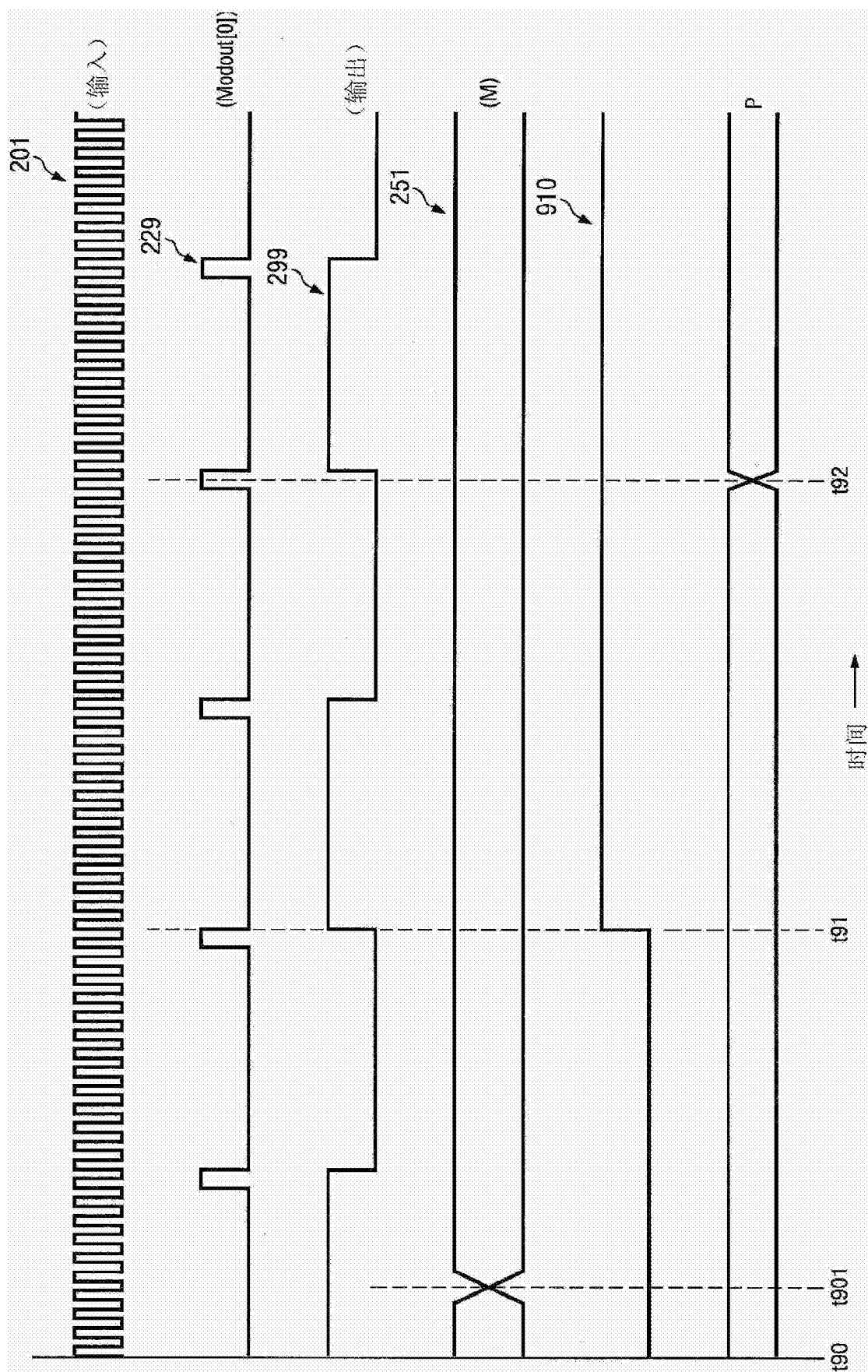


图 9

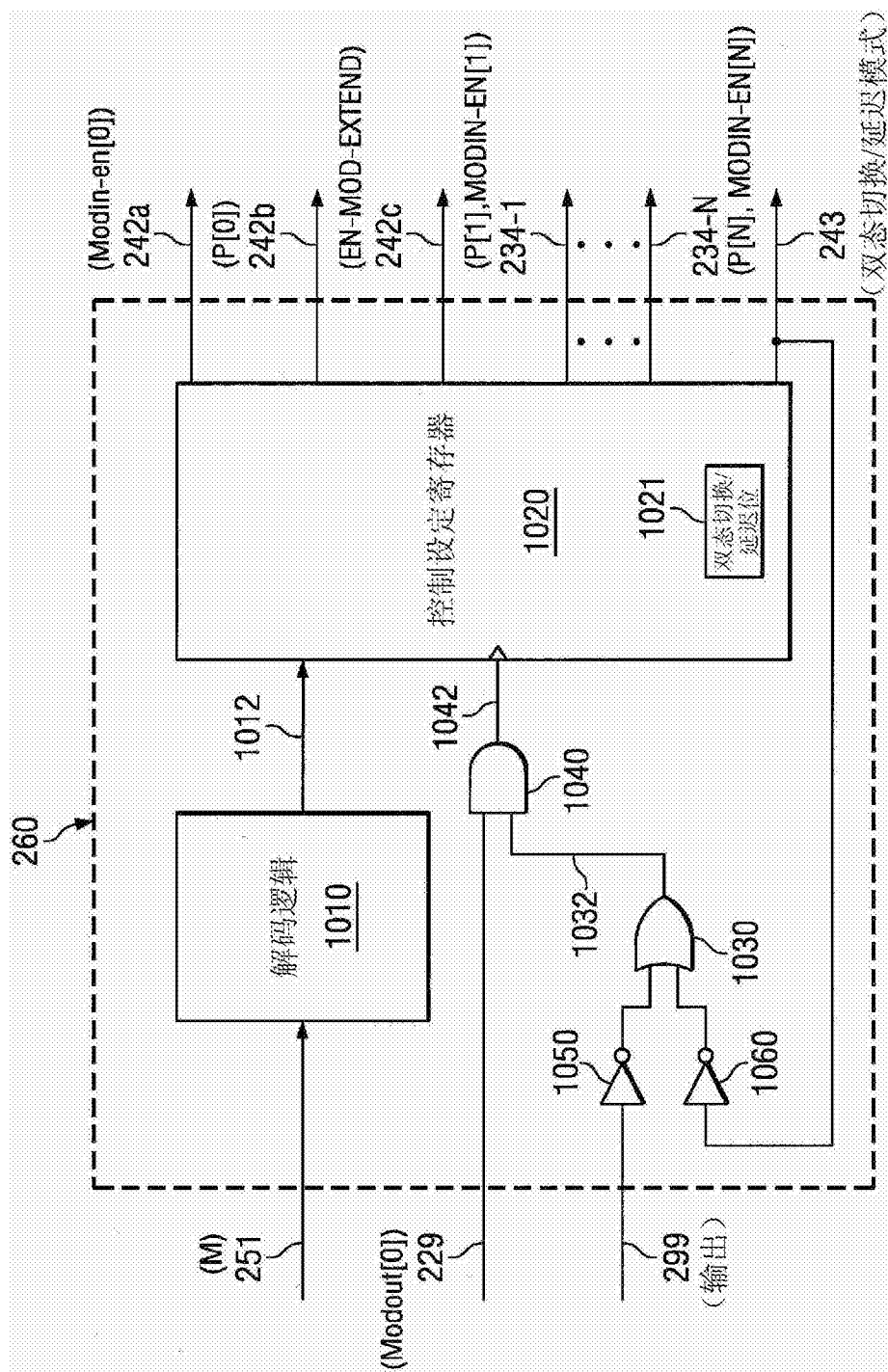


图 10