



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월14일
(11) 등록번호 10-1201330
(24) 등록일자 2012년11월08일

- (51) 국제특허분류(Int. C1.)
G02F 1/136 (2006.01) *G02F 1/1368* (2006.01)
- (21) 출원번호 10-2006-0030539
(22) 출원일자 2006년04월04일
심사청구일자 2011년03월30일
(65) 공개번호 10-2007-0065187
(43) 공개일자 2007년06월22일
(30) 우선권주장
JP-P-2005-00364933 2005년12월19일 일본(JP)
(56) 선행기술조사문현
JP2004087682 A*

*는 심사관에 의하여 인용된 문현

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
오아나 야스히사
일본국 가나가와Ken 요코하마시 코호쿠쿠 신요코
하마 3-17-5베넥스 S-2, 8층 LG필립스엘시디주식
회사 일본연구소 내

(74) 대리인
김용인, 심창섭

전체 청구항 수 : 총 17 항

심사관 : 한재균

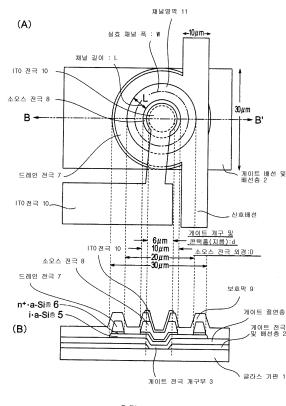
(54) 발명의 명칭 박막트랜지스터 및 그의 제조방법 및 이를 이용한액정표시장치

(57) 요약

본 발명은 박막트랜지스터(TFT) 및 그의 제조방법을 제공한다.

본 발명의 박막트랜지스터는 기판 상에 배치되는 원 형상의 게이트 전극 개구부를 갖는 게이트 전극과, 상기 게이트 전극 개구부를 포함한 상기 기판 전면에 형성된 게이트 절연막과, 상기 게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩되는 반도체층과, 상기 반도체층 상에 배치된 소오스 및 드레인 전극을 포함하고, 상기 소오스 및 드레인 전극 어느 일측이 중앙에 배치되고, 타측이 그것을 둘러싸도록 동심원 형상으로 배치되며, 상기 동심원 형상에 배치되는 소오스 및 드레인 전극 사이에 채널 영역을 갖고, 상기 게이트 전극 개구부의 외경은 상기 중앙에 배치되는 소오스 또는 드레인 전극의 외경보다 작고, 상기 게이트 전극 개구부의 외경이 상기 소오스 또는 드레인 전극의 외경 내에 들어가도록 배치되며, 상기 반도체층은 상기 게이트 전극 개구부에 대응되는 영역에 반도체층 개구부를 갖는다.

대 표 도 - 도4



B-B' 축단면도

특허청구의 범위

청구항 1

기판 상에 배치되는 원 형상의 게이트 전극 개구부를 갖는 게이트 전극과,
 상기 게이트 전극 개구부를 포함한 상기 기판 전면에 형성된 게이트 절연막과,
 상기 게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩되는 반도체층과,
 상기 반도체층 상에 배치된 소오스 및 드레인 전극을 포함하고,
 상기 소오스 및 드레인 전극 어느 일측이 중앙에 배치되고, 타측이 그것을 둘러싸도록 동심원 형상으로 배치되며,
 상기 동심원 형상에 배치되는 소오스 및 드레인 전극 사이에 채널 영역을 갖고,
 상기 게이트 전극 개구부의 외경은 상기 중앙에 배치되는 소오스 또는 드레인 전극의 외경보다 작고, 상기 게이트 전극 개구부의 외경이 상기 소오스 또는 드레인 전극의 외경 내에 들어가도록 배치되며,
 상기 반도체층은 상기 게이트 전극 개구부에 대응되는 영역에 반도체층 개구부를 갖는 것을 특징으로 하는 박막트랜지스터.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서, 상기 반도체층 개구부의 단부가 상기 게이트 전극 개구부에 자기정합한 형상을 갖는 것을 특징으로 하는 박막트랜지스터.

청구항 5

제 1 항에 있어서, 상기 게이트 전극 개구부는 상기 소오스 또는 드레인 전극에 대해서 동축 상에 배치되는 것을 특징으로 하는 박막트랜지스터.

청구항 6

제 1 항에 있어서, 상기 박막트랜지스터의 실효(Cgs) 면적(S')이 $150\pi \mu\text{m}^2$ 이하이고,
 채널 폭(W)대 채널 길이(L) 비(W/L)가 4.5이상이고,
 실효(Cgs) 면적(S')으로 충전 능력 지표(F)가 50이하인 것을 특징으로 하는 박막트랜지스터.

청구항 7

제 6 항에 있어서, 상기 실효(Cgs) 면적(S')은 $\pi \times ((\text{소오스 전극 지름}(D)+L)/2) \times ((D+L)/2) - \pi \times (\text{게이트 전극 개구부 지름}(d)/2) \times (d/2)$ 가 되는 식으로, 상기 채널 폭(W)대 채널 길이(L) 비(W/L)는 $\pi \times (D/L+1)$ 이 되는 식으로, 그리고 상기 실효(Cgs) 면적(S')으로의 충전 능력 지표(F)는 $S' \div (W/L)$ 가 되는 식으로 산출되는 것을 특징으로 하는 박막트랜지스터.

청구항 8

표시 셀이 매트릭스 형태로 배치되는 표시장치에서 상기 표시 셀이 청구항 1에 기재된 박막트랜지스터를 포함한 것을 특징으로 하는 표시장치.

청구항 9

제 8 항에 있어서, 상기 표시장치는 액정표시장치, 전계 방출 디스플레이, 일렉트로루미네센스 디스플레이 중 하나인 것을 특징으로 하는 표시장치.

청구항 10

기판 상에 게이트 전극을 형성하는 공정,

상기 게이트 전극에 원 형상의 게이트 전극 개구부를 형성하는 공정,

상기 게이트 전극 개구부를 포함한 상기 기판 전면에 게이트 절연막을 형성하는 공정,

상기 게이트 절연막 상에 반도체층을 형성하는 공정,

상기 반도체층 상에 포토레지스트를 형성하는 공정,

상기 게이트 전극을 마스크로 하여 상기 기판 저부로부터 배면 노광을 실시함과 동시에, 원 형상의 차광막을 갖는 포토 마스크를 통해 상기 포토레지스트 상부에서 정면 노광을 실시하여 상기 포토레지스트를 감광하는 공정,

상기 배면 및 정면 노광에 의해 감광된 포토레지스트를 현상 제거한 후 잔존하는 링 형상의 포토레지스트를 마스크로 하여 반도체층을 에칭하여 링 형상의 반도체층을 형성하는 공정을 포함한 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 11

제 10 항에 있어서, 상기 포토 마스크의 차광막은 상기 게이트 전극에 형성된 상기 게이트 전극 개구부에 대하여 동축 상에 배치되는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 12

제 10 항에 있어서, 상기 배면 노광은 상기 기판 저부로부터 자기정합적으로 행하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 13

제 10 항에 있어서, 상기 링 형상 반도체층의 개구부는 상기 게이트 전극 개구부에 자기정합한 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 14

제 10 항에 있어서, 상기 박막트랜지스터의 실효(Cgs) 면적(S')이 $150 \pi \mu\text{m}^2$ 이하이고,

채널 폭(W)대 채널 길이(L) 비(W/L)가 4.5이상이고,

실효(Cgs) 면적(S')으로 충전 능력 지표(F)가 50이하인 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 15

제 14 항에 있어서, 상기 실효(Cgs) 면적(S')은 $\pi \times ((\text{소오스 전극 지름}(D)+L)/2) \times ((D+L)/2) - \pi \times (\text{게이트 전극 개구부 지름}(d)/2) \times (d/2)$ 가 되는 식으로, 상기 채널 폭(W)대 채널 길이(L) 비(W/L)는 $\pi \times (D/L+1)$ 이 되는 식으로, 그리고 상기 실효(Cgs) 면적(S')으로의 충전 능력 지표(F)는 $S' \div (W/L)$ 가 되는 식으로 산출되는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 16

기판 상에 게이트 전극을 형성하는 공정,

상기 게이트 전극에 원 형상의 게이트 전극 개구부를 형성하는 공정,

상기 개구부가 형성된 게이트 전극상에 게이트 절연막을 개재하여 반도체층을 형성하는 공정,

상기 반도체층상에 포토레지스트를 형성하는 공정,

중앙부에 원형 개구를 갖는 차광막이 형성된 포토 마스크를 통해 상기 포토레지스트 상부에서 정면 노광을 행

하여 상기 포토레지스트를 감광하는 공정,

상기 정면 노광에 의해 감광된 포토레지스트를 현상 제거한 후 잔존하는 텅 형상의 포토레지스트를 마스크로 하여 반도체층을 에칭하여 텅 형상의 반도체층을 형성하는 공정을 포함한 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 17

제 16 항에 있어서, 상기 포토 마스크의 차광막은 상기 게이트 전극에 형성된 상기 게이트 전극 개구부에 대하여 동축 상에 배치되는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 18

제 16 항에 있어서, 상기 박막트랜지스터의 실효(Cgs) 면적(S')이 $150 \pi \mu\text{m}^2$ 이하이고,

채널 폭(W)대 채널 길이(L) 비(W/L)가 4.5이상이고,

실효(Cgs) 면적(S')으로 충전 능력 지표(F)가 50이하인 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 19

제 18 항에 있어서, 상기 실효(Cgs) 면적(S')은 $\pi \times ((\text{소오스 전극 지름}(D)+L)/2) \times ((D+L)/2) - \pi \times (\text{게이트 전극 개구부 지름}(d)/2) \times (d/2)$ 가 되는 식으로, 상기 채널 폭(W)대 채널 길이(L) 비(W/L)는 $\pi \times (D/L+1)$ 이 되는 식으로, 그리고 상기 실효(Cgs) 면적(S')으로의 충전 능력 지표(F)는 $S' \div (W/L)$ 가 되는 식으로 산출되는 것을 특징으로 하는 박막트랜지스터의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0032] 본 발명은 박막트랜지스터(TFT)에 관한 것으로, 특히 소오스?드레인 전극을 동심원 형태로 형성하는 것에 의해 리크 전류나 기생 TFT에 기인하는 오프(OFF) 전류의 저감을 실현함과 동시에 온(ON) 전류와 게이트?소오스 전극간 용량과 온(ON) 전류를 최적화한 박막트랜지스터에 관한 것이다.

[0033] 액정표시장치(LCD), 전계 방출 디스플레이(FED) 및 일렉트로루미네센스(EL) 디스플레이로 대표되는 평판표시장치는 CRT를 사용한 TV에 비해서 경량, 박형 저소비전력이라고 하는 특징을 갖는다. 이 특징에 의해 평면표시장치는 각종 분야에 이용되고 있다.

[0034] 액정표시장치에서는, 화소 등에 스위치 소자가 만들어지고, 그 스위치 소자의 제어에 의해 각각의 화소가 구동된다. 이 스위치 소자로서, 박막트랜지스터가 이용되고 있다.

[0035] 도 1A는, 액정표시장치에 이용되는 종래의 비정질 실리콘 반도체층을 사용한 박막트랜지스터의 구성도, 및 도 1B는 도 1A의 B-B'선에 따라 절단된 단면도를 나타낸다.

[0036] 이와 같은 종래의 박막트랜지스터는 도 1A에 도시된 바와 같이, 소오스?드레인 전극으로부터 불거져 나온 「게이트 전극상에 비정질 실리콘층 단부(도중 1)」이 반드시 존재한다.

[0037] 이와 같은 비정질 실리콘층 단부는 정밀한 형상 가공이나 청정도 제어가 어렵고, 이것에 의해 기생 TFT나 오염 물질(예를 들면, 레지스트 잔류, 드라이 에칭 잔사) 부착에 의한 리크 전류가 생긴다고 하는 문제를 가지고 있다.

[0038] 이와 같은 리크 전류는, 소자 등에 증감하고, 리크 전류가 크면, 전하의 보지성능이 나쁘게 되고, 화상에 풀리거나 잔상이 생긴다.

[0039] 더구나, 화면내에 리크 전류의 대소(大小) 뮤라(mura)가 생기면, 화상에 농담(濃淡) 뮤라가 발생한다고 하는 문제를 가지고 있다.

- [0040] 상기와 같은 리크 전류의 문제에 관해서는, 종래 박막트랜지스터의 전극구조를 제안하여 리크 전류의 저감을 이루는 각종 식이 나오고 있다.
- [0041] 예를 들면, 특개 2004-48036호 공보는, 리크 전류가 적은 박막트랜지스터를 제안하고 있다.
- [0042] 도 2A 및 도 2B는 본 공보에 개시된 박막트랜지스터의 구성도이다.
- [0043] 도 2A 및 도 2B에 도시된 바와 같이, 반도체층의 활성층(504)에는, TFT 의 전극이 동심원 형태로 배치되어 있다.
- [0044] 링 형상을 갖는 게이트 전극(502, 506)은, 전극(501, 505)을 둘러싸도록 배치되어 있다. 전극(503, 507)은, 게이트 전극(502, 506)을 둘러싸도록 형성되어 있다.
- [0045] 전극(501, 505)은 게이트 전극을 구성하는 배선금속과는 다른 층에 배치되고, 전극(501, 505)과 전극(503, 507)은 동일층에 형성되어 있다.
- [0046] 전극(501, 505)과 전극(503, 507)은 어느 일측을 소오스 전극으로 하고, 타측을 드레인 전극으로 할 수 있다.
- [0047] 이와 같은 구조에 의하면, 상기 종래 기술에서 형성된 같은 비정질 실리콘층 단부가 생기지 않는 구조를 형성할 수 있고, 그 결과 리크 전류의 저감을 이루고 있다.
- [0048] 더구나 다른 종래 기술(한국공개 10-2005-0006340호 공보)도 또한, 전극이 동심원 형태로 형성된 박막트랜지스터를 제안하고 있다.
- [0049] 도 3A는, 표시패널 내에 배치된 본 종래 예의 박막트랜지스터의 구성도를 나타낸다. 도 3B는 도 3A의 b-b'선에 따라 절단된 단면도를 나타낸다.
- [0050] 기판(110)상에 게이트 전극(124)이 배치되고, 그 위에 게이트 절연층을 개재하여 진성 비정질 실리콘(i?a-Si)층(154)이 형성된다. 그 위에 원형의 전극(175)이 배치되고, 그것을 둘러싸도록 동일 계층에 전극(176)이 배치된다.
- [0051] 전극(175)과 전극(176)은 어느 일측을 소오스 전극으로 하고, 타측을 드레인 전극으로 할 수 있다.
- [0052] 이와 같이 전극을 원형으로 동심원 형태로 형성하는 것에 의해 i?a-Si층의 단부를 구조적으로 제거할 수 있다.
- [0053] 이와 같이 종래 기술에 있어서 비정질 실리콘층 단부를 형성하지 않는 구조를 제안하고, 그것에 의해 리크 전류의 저감이 이루어졌다.
- [0054] 그러나 박막트랜지스터에는 다른 표시전극 전위의 레벨 쉬프트의 문제도 존재한다. 레벨 쉬프트는 TFT의 소오스 전극과 게이트 전극의 중첩으로 형성되는 부유용량(Cgs)이 원인이다.
- [0055] 레벨 쉬프트 량은 Cgs에 비례하는데, 플리커나 잔상을 시인할 수 없는 레벨로 하기 위해서는 Cgs가 작은 것이 바람직하고, 또한 면내의 분포가 적은 것이 반드시 필요하다.
- [0056] 상기 종래 기술에서는, 리크 전류의 저감을 이를 수 있다고는 하나, 표시전극 전위의 레벨 쉬프트의 문제에 관해서는 아무런 제안이 되지 않았다.
- [0057] 따라서 레벨 쉬프트의 문제를 리크 전류의 저감과 동시에 해결하는 기술이 바람직하다.
- [0058] 더구나 대형 액정 TV의 본격적 시장 진입을 실현하기 위해서는, 온 전류를 높이는 것이 불가결이다. 즉, 리크 전류의 저감 및 온 전류의 증대 및 부유용량 저감의 3개를 최적화하는 것이 필요하게 된다.
- [0059] 특허문헌 1 일본공개특허 특개평 2004-48036호 공보
- [0060] 특허문헌 2 한국공개 10-2005-0006340호 공보

발명이 이루고자 하는 기술적 과제

- [0061] 본 발명은 상기와 같은 리크 전류의 저감과 이를과 동시에, 표시전극전위의 레벨 쉬프트의 문제를 해결한다. 더구나 박막트랜지스터 화소회로에서 액정구동에 적절한 온 전류를 제공할 수 있는 박막트랜지스터 및 그의 제조방법 및 이를 이용한 액정표시장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

[0062]

본 발명은 기판 상에 배치되는 원 형상의 게이트 전극 개구부를 갖는 게이트 전극과, 상기 게이트 전극 상에 게이트 절연막을 개재하여 배치되는 반도체층과, 상기 반도체층상에 배치된 소오스 및 드레인 전극을 포함하고, 상기 소오스 및 드레인 전극 어느 일측이 중앙에 배치되고, 타측이 그것을 둘러싸도록 동심원 형상으로 배치되며, 상기 동심원 형상에 배치되는 소오스 및 드레인 전극 사이에 채널 영역을 갖고, 상기 게이트 전극 개구부의 외경은 상기 중앙에 배치되는 소오스 또는 드레인 전극의 외경보다 작고, 그리고 상기 게이트 전극 개구부의 외경이 상기 소오스 또는 드레인 전극의 외경 내에 들어가도록 배치되어 있는 것을 특징으로 하는 박막트랜지스터이다.

[0063]

본 발명은 실효(Cgs) 면적(S')이 약 $150\pi\mu\text{m}^2$ 이하이고, 채널 폭(W)대 채널 길이(L) 비(W/L)가 약 4.5이상이고, 실효(Cgs) 면적(S')으로 충전 능력 지표(F)가 약 50이하인 것을 특징으로 하는 박막트랜지스터이다.

[0064]

S' 은 이하의 수학식 1에 의해 산출된다.

수학식 1

[0065]

$S' = \pi \times ((D+L)/2) \times ((D+L)/2) - \pi \times (d/2) \times (d/2)$, 여기서 D는 TFT의 소오스 전극 지름, L은 TFT의 채널 길이, d는 게이트 전극 개구부 지름을 의미한다(도 4A 참조).

[0066]

본 발명에서는 $D = d+4$ 로 했다. 4의 의미는 식각 공정의 열라인 정도, 가공 정도를 감안한 숫자이고, 동심원의 외경차 $2\mu\text{m}$ 을 의미한다.

[0067]

발명자는 실효(Cgs) 면적(S')이, 약 $150\pi\mu\text{m}^2$ 를 도달하면 표시 전극 전위의 레벨 쉬프트가 생기고, 화상에 풀리거나 잔상 문제가 현재화하는 것을 보았다.

[0068]

따라서 본 발명의 박막트랜지스터에 있어서는, 실효(Cgs) 면적(S')이, 약 $150\pi\mu\text{m}^2$ 이하가 되도록 수치가 선택된다.

[0069]

온 전류를 정하는 좌표로서 W/L의 값을 이용한다. 본 발명의 박막트랜지스터에 있어서는 이 값이 약 4.5이상이 되도록 수치를 선택한다. W/L은 이하의 수학식 2에 의해 산출된다.

수학식 2

[0070]

$$W/L = \pi \times (D/L + 1)$$

[0071]

전극을 동심원 형태로 형성하는 것에 의해, 리크 전류의 절감이 달성됨과 함께, D를 크게 하는 것에 의해 온 전류도 높이는 것이 가능하게 된다.

[0072]

그러나 온 전류를 제한하여 높이는 것은 게이트 전극과 소오스 및 드레인 전극 사이의 캐패시턴스(Cgs)를 증가하는 것에 의해, 레벨 쉬프트량이 문제 레벨로 되어진다.

[0073]

본 발명에서는 게이트 전극에, 기판의 표면에 도달하는 게이트 전극 개구부를 형성하는 것에 의해 게이트 전극과 소오스 또는 드레인 전극의 중첩을 작게 함과 동시에 S' 을 작게하여 게이트 전극과 소오스 및 드레인 전극 사이의 Cgs의 저감을 이루고, 결과로서 레벨 쉬프트량의 저감을 이를 수 있다.

[0074]

더구나 본 발명에서는 게이트 전극 상측에 형성된 a-Si 반도체층에 상기 게이트 전극 개구부에 대응하는 단부를 갖는 a-Si 반도체층 개구부를 형성하는 것에 의해 동일의 효과를 달성할 수 있다.

[0075]

발명자는, S' 로의 충전 능력 좌표(F)로서 이하의 수학식 3을 정의한다.

수학식 3

[0076]

$$F = S' \div (W/L)$$

[0077]

이 값은 적은 쪽이 좋고, 약 50을 초과하면 S' 에 충전되는 전하량이 레벨 쉬프트 량에 미치는 영향이 현재화 한다. 따라서 약 50이하가 되도록 수치를 선택하는 것에 의해, 온 전류와 레벨 쉬프트량으로의 영향 문제를 해소한다.

[0078]

본 발명은 상기 수학식 1 내지 3에 구해진 수치의 모두가 상기 문제 회피에 필요한 수치범위에 포함되도록 선

택될 필요가 있다. 얻어진 결과를 표 1에 나타낸다.

표 1

$d; \mu m$	$L; \mu m$	3	4	5	6	8	10
0	W/L	1π	1π	1π	1π	1π	1π
	S'	2.25π	4π	6.25π	9π	18π	25π
3	W/L	2π	1.75π	1.5π	1.5π	1.375π	1.3π
	S'	8π	12.25π	15π	20.25π	30.25π	42.25π
$5(1+3+1)$	W/L	2.5π	2.25π	2π	1.875π	1.625π	1.5π
	S'	13.75π	18π	22.75π	28π	40π	54π
$8(2+4+2)$	W/L	3.6π	3π	2.6π	2.33π	2π	1.8π
	S'	28.25π	32π	38.25π	45π	60π	77π
$10(2+6+2)$	W/L	4.3π	3.5π	3π	2.66π	2.25π	1.7π
	S'	33.25π	40π	47.25π	55π	72π	91π
$12(2+8+2)$	W/L	5π	4π	3.4π	3π	2.5π	2.2π
	S'	40.25π	48π	56.25π	65π	84π	105π
$14(2+10+2)$	W/L	5.67π	4.5π	3.8π	3.33π	2.75π	2.4π
	S'	49.25π	60π	66.25π	75π	96π	119π
$16(2+12+2)$	W/L	6.3π	5π	4.2π	3.66π	3π	2.6π
	S'	54.25π	64π	74.25π	85π	109π	133π
$18(2+14+2)$	W/L	7π	5.5π	4.6π	4π	3.25π	2.8π
	S'	69.25π	72π	83.25π	95π	120π	147π

[0079]

여기서, $D = 0\mu m$ 는 한계 값을 나타내기 위해 삽입하고 있다.

[0080]

표 1에서는, 종(縱)란에 소오스 전극 지름(D), 횡(橫)란에 채널 길이(L)를 정의하고, W/L 및 S'를 산출했다.

[0081]

표 1에서 사선 란의 값을 나타내는 설계 길이에서는 상기 문제 내의 하나 이상을 회피할 수 없는 예를 나타낸다.

[0082]

옅은 색 란은 본 발명의 목적을 달성할 수 있는 설계 길이로부터 얻어지는 수지 범위를 나타낸다.

[0083]

또한, 옅은 색 란의 수치를 나타낸 박막트랜지스터는, 퍼스컴(personal computer)이나 모니터 등의 비교적 작은 화면 사이즈의 액정표시장치에 적당하고, 백지 란의 수치를 나타내는 박막트랜지스터는 액정 TV용의 비교적 큰 화면의 액정표시장치에 적당하다.

[0084]

본 발명은 표시 셀이 매트릭스 형태로 배치된 표시장치에서 상기 표시 셀이 상기 본 발명에 기재된 박막트랜지스터를 포함한 것을 특징으로 하는 표시장치이다.

[0085]

본 발명은 기판 상에 게이트 전극을 형성하는 공정, 상기 게이트 전극에 원 형상의 게이트 전극 개구부를 형성하는 공정, 상기 반도체층 상에 포토레지스트를 형성하는 공정, 상기 게이트 전극을 마스크로 하여 상기 기판 저부로부터 배면 노광을 행하여 원 형상의 차광막을 갖는 포토 마스크를 통해 상기 포토레지스트 상부에서 정면 노광을 행하는 것에 의해 상기 포토레지스트를 감광하는 공정, 상기 배면 및 정면 노광에 의해 감광된 포토레지스트를 현상 제거한 후 잔존하는 링 형상의 포토레지스트를 마스크로 하여 반도체층을 에칭하여 링 형상의 반도체층을 형성하는 공정을 포함한 것을 특징으로 하는 박막트랜지스터의 제조방법이다.

[0086]

본 발명은 기판 상에 게이트 전극을 형성하는 공정, 상기 게이트 전극에 원 형상의 게이트 전극 개구부를 형성하는 공정, 상기 개구부가 형성된 게이트 전극상에 게이트 절연막을 개재하여 반도체층을 형성하는 공정, 상기 반도체층상에 포토레지스트를 형성하는 공정, 중앙부에 원형 개구를 갖는 차광막이 형성된 포토 마스크를 통해 상기 포토레지스트 상부에서 정면 노광을 행하여 상기 포토레지스트를 감광하는 공정, 상기 정면 노광에 의해 감광된 포토레지스트를 현상 제거한 후 잔존하는 링 형상의 포토레지스트를 마스크로 하여 반도체층을 에칭하여 링 형상의 반도체층을 형성하는 공정을 포함한 것을 특징으로 하는 박막트랜지스터의 제조방법이다.

[0087]

본 발명의 박막트랜지스터, 특히 보텀(bottom) 게이트형 박막트랜지스터의 실시예를, 도면을 참조하면서 설명한다.

[0088]

또한, 본 발명은 하기 실시예에 한정되지 않고 본 특허청구범위에 규정된 범위에서 각각의 수정 및 변경을 가할 수 있는 것은 자명하다.

[0089]

실시예 1

- [0091] 도 4A는 본 발명의 비정질 실리콘 박막트랜지스터의 구성을 나타낸 상면도이다. 도 4B는 도 4A의 B-B'선에 따라 절단한 단면도이다.
- [0092] 도 5A,A',B',C,D,D',E,E'F,F'는 도 4B중 게이트 전극, 게이트 전극 개구부, 게이트 절연층, 반도체층(본 실시 예에서는 진성 비정질 실리콘(i?a-Si:H)층 및 n+ 비정질 실리콘(n+a-Si:H)층을 포함한 a-Si 아일랜드)의 형성을 나타낸 공정도이다.
- [0093] 도 5A에 나타낸 바와 같이, 글라스 기판(1)상에 스퍼터 성막에 의해 200nm의 MoW 게이트 전극?배선층(2)을 형성하기 위한 층을 형성한다.
- [0094] 여기서, 글라스 기판(1)은 투명한 글라스 기판이나, 플라스틱이나 세라믹스 등으로 이루어진 투명 혹은 불투명 기판도 사용할 수 있다.
- [0095] 이어, 형성된 금속층은 식각 공정을 통해 30 μ m폭의 게이트 전극?배선층(2)을 전극 형상으로 형성함과 동시에 상기 게이트 전극?배선층(2)에 6 μ m 지금의 게이트 전극 개구부(3)를 형성한다.
- [0096] 이와 같이 형성된 게이트 전극?배선층(2) 및 게이트 전극 개구부(3)를 도 5B,B' 및 도 6에 나타낸다.
- [0097] 도 6은 전극 형상으로 형성된 상기 게이트 전극?배선층(2) 및 게이트 전극 개구부(3)의 배치를 나타낸 개략 상면도이다.
- [0098] MoW의 에칭은 통상의 케미컬 드라이 에칭 기술을 이용한다.
- [0099] 또한, 글라스 기판(1)과 게이트 전극?배선층(2) 사이에는, 200nm 두께의 SiO_x층을 플라즈마 화학기상퇴적(PE-CVD)법(이하, 플라즈마 CVD법으로 칭한다.)에 의해 형성해도 좋다.
- [0100] 이어, 상기 게이트 전극?배선층(2)으로부터 원 형상 a-Si 아일랜드(17) 형성까지의 도 5를 참조하면서 설명한다.
- [0101] 상기 에칭 후, 레지스트를 제거하고, 글라스 기판(1) 상에 상기 게이트 전극?배선층(2)을 덮도록 250nm 두께의 게이트 절연층(SiO_x)(4)을 플라즈마 CVD법에 의해 형성한다.
- [0102] 이어서, 형성된 게이트 절연층(4)상에 TFT의 채널용으로 180nm 두께의 진성 비정질 실리콘(i?a-Si:H)층(5), 이어서 연속적으로 50nm 두께의 오믹 콘택t(ohmic contact)용 n⁺a-Si:H층(6)을 플라즈마 CVD법에 의해 형성한다.
- [0103] 이와 같이 형성된 각층의 구성을 도 5C에 나타낸다. 도 5C'는 도 5C의 상면도이고, 도 5C는 도 6C'의 a-a'선에 따라 절단한 단면도이다.
- [0104] 이어, 도 5D에 나타낸 바와 같이, n⁺a-Si:H층(6) 상에 포토레지스트(13)를 도포한다. 원 형상의 차광막(15)이 형성된 포토 마스크(14)를 통해 UV에 의해 정면 노광을 행한다.
- [0105] 여기서, 차광막(15)은 그 하부에 위치하는 게이트 전극 개구부(3)에 대해서, 동축 상에 배치된다.
- [0106] 상기 노광에 의해 감광된 부분을 현상 제거하고, 도 5E 및 E'에 나타낸 바와 같은 원 형상 포토레지스트(16)를 형성한다.
- [0107] 이어, 상기 원 형상 포토레지스트(16)를 마스크로 하여 노출한 i?a-Si:H층(5) 및 n⁺a-Si:H층(6)을 통상의 케미컬 드라이 에칭 기술을 이용하여 제거하여 도 5F 및 F'에 나타낸 바와 같은 직경 30 μ m의 원 형상 a-Si 아일랜드(17)를 형성한다.
- [0108] 이어서, 게이트 전극 배선의 단자부에 게이트 전극 구동용 IC와의 접속을 위해 콘택홀(19)을 식각 공정에 형성한다. 도 7은 형성된 콘택홀(19)의 배치를 나타낸 개략 상면도이다.
- [0109] 이어, 상기 a-Si 아일랜드(17)를 포함한 글라스 기판(1) 상에 30nm 두께의 Mo층, 그 위에 300nm 두께의 Al층, 이어서 20nm 두께의 Mo층을 스퍼터링에 의해 성막한다.
- [0110] 이어서, 식각 공정에 의해 소오스 및 드레인 전극 및 신호배선, 및 콘택홀(19) 상에 게이트 배선 접속단자(20)를 형성한다.
- [0111] 이때 소오스 및 드레인 전극은 도 4A에 나타낸 바와 같이, a-Si 아일랜드(17) 상에 동심원 형상으로 형성되고, D=10 μ m 지름의 소오스 전극을 중앙에 L=5 μ m 폭의 채널영역(11)을 끼워서 4 μ m폭의 드레인 전극이 동

심원 형상으로 배치된다.

[0112] 신호선은 $10\mu\text{m}$ 의 폭을 갖고, 드레인 전극은 상기 실리콘 아일랜드(17)보다도 $1\mu\text{m}$ 정도 내측에 제작함과 함께 그 외경이 게이트 전극?배선층(2)의 상 표면내에 들어가도록 배치된다.

[0113] 또한, 본 발명에 있어서는 반드시 드레인 전극의 외경이 게이트 전극?배선층(2)의 상 표면내에 들어갈 필요는 없고, 채널 영역(11)의 하부 전역에 게이트 전극이 존재하는 제한에 있어서 드레인 전극의 배치를 설정할 수 있다. 다른 실시예에 있어서도 동일하다.

[0114] 게이트 전극 개구부(3)는 그 외경이 소오스 전극의 외경보다 작고, 소오스 전극의 하측에 동축 상에 배치되어 있다. 또한, 본 발명에서는 반드시 동축 상에 게이트 전극 개구부(3) 및 소오스 전극을 배치할 필요없고, 게이트 전극 개구부(3)의 외경이 소오스 전극의 외경내에 들어가도록 배치하면 좋다. 다른 실시예에 있어서도 동일하다.

[0115] 도 8은 게이트 전극상에 제작된 소오스, 드레인 전극 및 신호배선, 콘택홀(19), 게이트 배선 접속단자(20) 및 신호선 접속단자(21)의 배치를 나타낸 개략 상면도이다. 도 9는 도 8의 a-a'선에 따라 절단한 경우의 상기 소오스 및 드레인 전극이 형성된 상태를 나타낸 단면도이다.

[0116] 이어서, 제작된 소오스 및 드레인 전극을 마스크로 하여, 채널영역(11)에 대응하는 $n^+a\text{-Si:H}^{층}(6)$ 을 드라이 에칭에 의해 제거한다. 이때 하부층의 $i?a\text{-Si:H}^{층}(5)$ 이 약 30nm 에칭에 의해 제거된다. 이와 같은 드라이 에칭에 의해 채널 영역(11)의 $n^+a\text{-Si:H}^{층}(6)$ 이 제거된 후의 구조를 도 10에 나타낸다.

[0117] 이와 같이 제작된 박막트랜지스터의 각 구성요소의 길이를, 상기 수학식 1 내지 수학식 3에 채우면, 수학식 1의 실효(Cgs) 면적(S')이 47.25π , 즉 $148\mu\text{m}^2$ 가 되고, 수학식 2의 W/L 이 9.4, 수학식 3의 F가 15.7이 된다. 또한, 총 TFT 면적은 $672\mu\text{m}^2$ 이다. 얻어진 S' 은 종래 예와 비교하여 약 66%로 삭감할 수 있다.

[0118] 본 실시예에서는 도 11에 나타낸 바와 같이, 상기에 의해 얻어진 도 10의 구조물 상에 400nm 두께의 SiNx 보호막(23)을 플라즈마 CVD법에 의해 형성한다. 더구나 평탄성을 개선하기 위해 상기 보호막(23) 상에 돌기부에서 약 $1\mu\text{m}$ 의 두께를 갖는 투명유기수지층(22)을 형성하는 것도 가능하다.

[0119] 이어서, 소오스 전극 상면의 일부에 이르는 콘택홀(24) 및 도 8에 나타낸 게이트 배선 및 신호선 접속단자(20, 21)로의 콘택홀을 상기 보호막(23) 및 투명유기수지층(22)에 형성한다.

[0120] 이어서, 상기 투명유기수지층(22)상에 50nm 두께의 ITO층을 스퍼터링에 의해 퇴적시키고, 식각 공정에 의해 ITO 표시전극(10)을 형성한다.

[0121] 도 11은 이와 같이 형성된 본 발명의 박막트랜지스터의 단면도를 나타낸다.

실시예 2

[0123] 도 12A는 본 실시예에서 본 발명의 다른 형태의 박막트랜지스터의 구성을 나타낸 상면도이다. 도 12B는 도 12A의 B-B'선에 따라 절단된 단면도이다.

[0124] 상기 실시예 1에서 도 5D에 대응하는 포토레지스트(13)로의 노광에 대신하여, 이하의 노광 공정(도 13D)을 행하는 것을 제외하고 실시예 1과 동일한 공정을 따라 링 형상의 a-Si 아일랜드(17')을 형성한다.

[0125] 도 13A,A',B',C,D,D',E',E',F,F'는 도 12B 중 글라스 기판 상에 게이트 전극, 게이트 전극 개구부, 게이트 절연층, 반도체층(본 실시예에서는 진성 비정질 실리콘($i?a\text{-Si:H}$)층 및 n^+ 비정질 실리콘($n^+a\text{-Si:H}$)층을 포함한 a-Si 아일랜드)의 형성을 나타낸 공정도이다.

[0126] 도 13A,A'B,C,C'에 나타낸 공정은 상기 실시예 1의 도 5A,A'B',C의 공정과 동일하다.

[0127] 도 13D에 나타낸 바와 같이, 게이트 전극 개구부(3)가 형성된 게이트 전극(2)을 마스크로 하여 글라스 기판(1)의 배면측에서 자외선(UV)을 자기정합적으로 노광하여 포토레지스트(13')를 감광한다.

[0128] 이어, 도 13D에 나타낸 바와 같이, 원 형상의 차광막(15')이 형성된 포토 마스크(14')를 통해 UV에 의해 정면 노광을 행한다. 여기서, 상기 차광막(15')은 상기 게이트 전극?배선층(2)의 상부 표면 내에 들어가도록 배치함과 함께, 그 하측에 위치하는 게이트 전극 개구부(3)의 관계에서 동축 상에 배치된다.

[0129] 상기 배면 및 정면 노광에 의해 감광된 부분을 현상 제거하고, 도 13E 및 E'에 나타낸 바와 같은 링 형상 포

토레지스트(16')를 형성한다.

[0130] 이어서, 상기 링 형상 포토레지스트(16')에 대응하는 부분을 잔류하고, i?a-Si:H^층(5) 및 n⁺?a-Si:H^층(6)을 통상의 케미컬 드라이 에칭 기술을 이용하여 제거하여 도 13F 및 도 13F'에 나타낸 바와 같은 직경 30μm의 링 형상 a-Si 아일랜드(17')를 형성한다.

[0131] 이와 같이 형성된 링 형상 a-Si 아일랜드(17')의 중앙에 형성된 링 형상 a-Si 아일랜드 내경 개구부(18)의 단부는 상기와 같이 게이트 전극 개구부(3)에 자기정합되고, 더구나 길이, 형상 및 위치적으로 높은 정도를 갖는다.

[0132] 이어서, 상기 실리콘 아일랜드를 포함한 글라스 기판(1) 상에 30nm 두께의 Mo^층, 그 위에 300nm 두께의 Al^층, 이어서 20nm 두께의 Mo^층을 스퍼터링에 의해 성막한다.

[0133] 이어서, 식각 공정에 의해 소오스 및 드레인 전극 및 신호배선, 및 콘택홀(19) 상에 게이트 배선접속단자(20)를 형성한다.

[0134] 이때 소오스 및 드레인 전극은 도 12A에 나타낸 바와 같이, 실리콘 아일랜드(17) 상에 동심원 형상으로 형성되고, D=10μm 지름의 소오스 전극을 중앙에 L=5μm 폭의 채널 영역(11)을 끼워서 4μm 폭의 드레인 전극이 동심원 형상으로 배치된다.

[0135] 신호선은 10μm의 폭을 갖고, 드레인 전극은 상기 a-Si 아일랜드(17)보다도 1μm정도 내측에 제작함과 함께 그 외경이 게이트 전극?배선층(2)의 상 표면내에 들어가도록 배치된다.

[0136] 게이트 전극 개구부(3)는 그 외경이 소오스 전극의 외경보다 작고, 소오스 전극의 하측에 동축 상에 배치되어 있다.

[0137] 도 8은 게이트 전극 상에 제작된 소오스, 드레인 전극 및 신호배선, 콘택홀(19), 게이트 배선 접속단자(20) 및 신호선 접속단자(21)의 배치를 나타낸 개략 상면도이다. 도 14는 도 8의 a-a' 선에 따라 절단한 경우의 상기 소오스 및 드레인 전극이 형성된 상태를 나타낸 단면도이다.

[0138] 이어서, 제작된 소오스 및 드레인 전극을 마스크로 하여, 채널영역(11)에 대응하는 n⁺?a-Si:H^층(6)을 드라이 에칭에 의해 제거한다. 이때 하부층의 i?a-Si:H^층(5)이 약 30nm 에칭에 의해 제거된다. 이와 같은 드라이 에칭에 의해 채널 영역(11)의 n⁺?a-Si:H^층(6)이 제거된 후의 구조를 도 15에 나타낸다.

[0139] 이와 같이 제작된 박막트랜지스터에 있어서도 상기 실시예 1의 공정에 의해 제조된 박막트랜지스터와 동일하게 S'가 종래 예와 비교하여 약 66%로 삭감할 수 있다는 동일한 효과를 달성한다.

[0140] 본 실시예에서는 실시예 1과 동일하게 도 16에 나타낸 바와 같이, 상기에 의해 얻어진 도 15의 구조물 상에 400nm 두께의 SiNx 보호막(23)을 플라즈마 CVD법에 의해 형성한다. 더구나 평탄성을 개선하기 위해 상기 보호막(23) 상에 돌기부에서 약 1μm의 두께를 갖는 투명유기수지층(22)을 형성하는 것도 가능하다.

[0141] 이어서, 소오스 전극 상면의 일부에 이르는 콘택홀(24) 및 도 8에 나타낸 게이트 배선 및 신호선 접속단자(20, 21)로의 콘택홀을 상기 보호막(23) 및 투명유기수지층(22)에 형성한다.

[0142] 이어서, 상기 투명유기수지층(22)상에 50nm 두께의 ITO^층을 스퍼터링에 의해 퇴적시키고, 식각 공정에 의해 ITO 표시전극(10)을 형성한다.

[0143] 도 16은 이와 같이 형성된 본 발명의 박막트랜지스터의 단면도를 나타낸다.

실시예 3

[0145] 다른 방법으로서, 실시예 2에서 글라스 기판(1)으로부터 배면 노광을 행하지 않고, 중앙부에 개구를 형성한 링 형상의 차광막(15)을 갖는 포토 마스크(14')를 이용하는 정면 노광에 의해, 포토레지스트(13')를 감광하는 방법도 채용할 수 있다.

[0146] 본 실시예에 의하면, 상기 배면 노광을 이용하는 경우에 비해서, 형성되는 링 형상 a-Si 아일랜드(17')의 중앙에 형성되는 링 형상 a-Si 아일랜드 내경 개구부(18)의 길이, 형상 및 위치적 정도는 조금 뒤떨어지지만, 배면 노광 공정을 생략할 수 있는 이점이 있다.

실시예 4

- [0148] 본 발명은 이하와 같은 다른 모양도 가능하다. 도 17A는 본 모양의 박막트랜지스터의 구성을 나타낸 상면도인데, 투명유기 수지막은 사용하지 않는다. 도 17B는 도 17A의 B-B'선에 따라 절단한 단면도이다.
- [0149] 본 모양에 있어서는 동심원 형상으로 형성된 전극 중, 중앙의 소오스 전극과, 소오스 전극의 주변에 동심원 형상으로 형성된 드레인 전극과, 이들 전극으로부터 분리하여 신호배선(16)을 배치하고, 신호배선(16)을 소오스 전극과 접속하고, ITO 표시전극을 드레인 전극에 접속하는 구성을 갖는 점을 제외하고, 실시예 1과 동일한 방법에 의해 제작된다.
- [0150] 본 실시예의 박막트랜지스터는 채널 길이(L)가 $5\mu\text{m}$, 채널 폭(W)이 $47\mu\text{m}$, W/L이 9.4, 및 실효(Cgs) 면적(S')이 $380\mu\text{m}^2$ 로하여 제작된다.
- [0151] 또한, 상기 실시예에서는 게이트 전극으로서 도 5에 나타낸 바와 같은 게이트 라인과 게이트 전극이 동일층에 형성되는 구성을 채용했는데, 화면 사이즈나 화소 수를 감안한 상태에서 게이트 배선 저항이 동일하면 동일 폭의 직선 형상으로 한정하지 않고 폭에 대소(大小)를 갖는 것도 가능하다.
- [0152] 상기 각 실시예에서는 동심원 형상으로 형성된 전극의 중앙에 소오스 전극을 배치하고, 그를 둘러싸도록 드레인 전극을 배치했는데, 본 발명에서는 중앙에 드레인 전극을 배치하고 그 주변에 소오스 전극을 배치하는 것도 가능하다.
- [0153] 본 발명에서 박막트랜지스터는 액정표시장치(LCD)뿐만 아니라, 전계 방출 디스플레이(FED), 및 일렉트로루미네센스(EL) 디스플레이 등에 대표되는 평면 표시장치에 적용하는 것도 가능하다.

발명의 효과

- [0154] 이상과 같이 본 발명의 박막트랜지스터를 이용하는 것에 의해, 게이트?소오스 전극 용량 및 리크 전류의 저감을 이룸과 동시에, 온 전류의 증대와 레벨 쉬프트 량의 저감이 합쳐져 실현할 수 있는 박막트랜지스터가 제공된다.

도면의 간단한 설명

- [0001] 도 1A는 액정표시장치에 이용되는 종래 박막트랜지스터의 구성도이고, 도 1B는 도 1A의 B-B'선에 따라 절단한 단면도이다.
- [0002] 도 2A 및 도 2B는 종래 기술에서 박막트랜지스터의 구성도이다.
- [0003] 도 3A는 표시패널 내에 배치된 종래의 박막트랜지스터의 구성도이고, 도 3B는 도 3A의 b-b'선에 따라 절단된 단면도이다.
- [0004] 도 4A는 본 발명의 박막트랜지스터의 구성을 나타낸 상면도이고, 도 4B는 도 4A의 B-B'선에 따라 절단된 단면도이다.
- [0005] 도 5A 내지 도 5F는 원 형상 a-Si 아일랜드 형성에 이르는 공정 단면도이고, 도 5B' 내지 도 5F'는 각각 5B 내지 도 5F의 상면도이다.
- [0006] 도 6은 게이트 전극?배선층 및 게이트 전극?배선층에 형성되는 게이트 전극 개구부의 배치를 나타낸 개략 상면도이다.
- [0007] 도 7은 콘택홀(19)의 배치를 나타낸 개략 상면도이다.
- [0008] 도 8은 게이트 전극 상에 형성된 소오스, 드레인 전극 및 신호배선의 배치를 나타낸 개략 상면도이다.
- [0009] 도 9는 a-Si 아일랜드 상에 형성된 소오스 및 드레인 전극을 나타낸 단면도이다.
- [0010] 도 10은 $n^+a\text{-Si:H}^+$ 층의 드라이 에칭 후의 구조를 나타낸 단면도이다.
- [0011] 도 11은 SiNx 보호층 상의 투명 유기 수지층상에 ITO 전극을 형성한 본 발명의 일 모양의 박막트랜지스터의 단면도이다.
- [0012] 도 12A는 본 발명의 다른 모양의 박막트랜지스터를 나타낸 상면도이고, 도 12B는 도 12A의 B-B'선에 따라 절단한 단면도이다.
- [0013] 도 13A 내지 도 13F는 링 형상 a-Si 아일랜드 형성에 이르는 공정 단면도이고, 도 13B' 내지 도 13F'는 각각

도 13B 내지 도 13F의 상면도이다.

[0014] 도 14는 a-Si 아일랜드 상에 형성된 소오스 및 드레인 전극을 나타낸 단면도이다.

[0015] 도 15는 $n^+a\text{-Si:H}$ 층의 드라이 에칭 후의 구조를 나타낸 단면도이다.

[0016] 도 16은 SiNx 보호층 상의 투명 유기 수지층상에 ITO 전극을 형성한 본 발명의 일 모양의 박막트랜지스터의 단면도이다.

[0017] 도 17A는 본 발명의 다른 형태의 박막트랜지스터의 구성을 나타낸 상면도이고, 도 17B는 도 17A의 B-B'선에 따라 절단된 단면도이다.

[0018] 도면의 주요 부분에 대한 부호의 설명

[0019] 1 : 글라스 기판 2 : 게이트 전극?배선층

[0020] 3 : 게이트 전극 개구부 4 : 게이트 절연층

[0021] 5 : $i^+a\text{-Si:H}$ 층 6 : $n^+a\text{-Si:H}$ 층

[0022] 7 : 드레인 전극 8 : 소오스 전극

[0023] 9 : 보호막 10 : ITO 전극

[0024] 11 : 채널영역 13, 13' : 포토레지스트

[0025] 14, 14' : 포토 마스크 15, 15' : 차광막

[0026] 16 : 원 형상 포토레지스트 16' : 링 형상 포토레지스트

[0027] 17 : 원 형상 a-Si 아일랜드 17' : 링 형상 a-Si 아일랜드

[0028] 18 : 링 형상 a-Si 아일랜드 내경 개구부

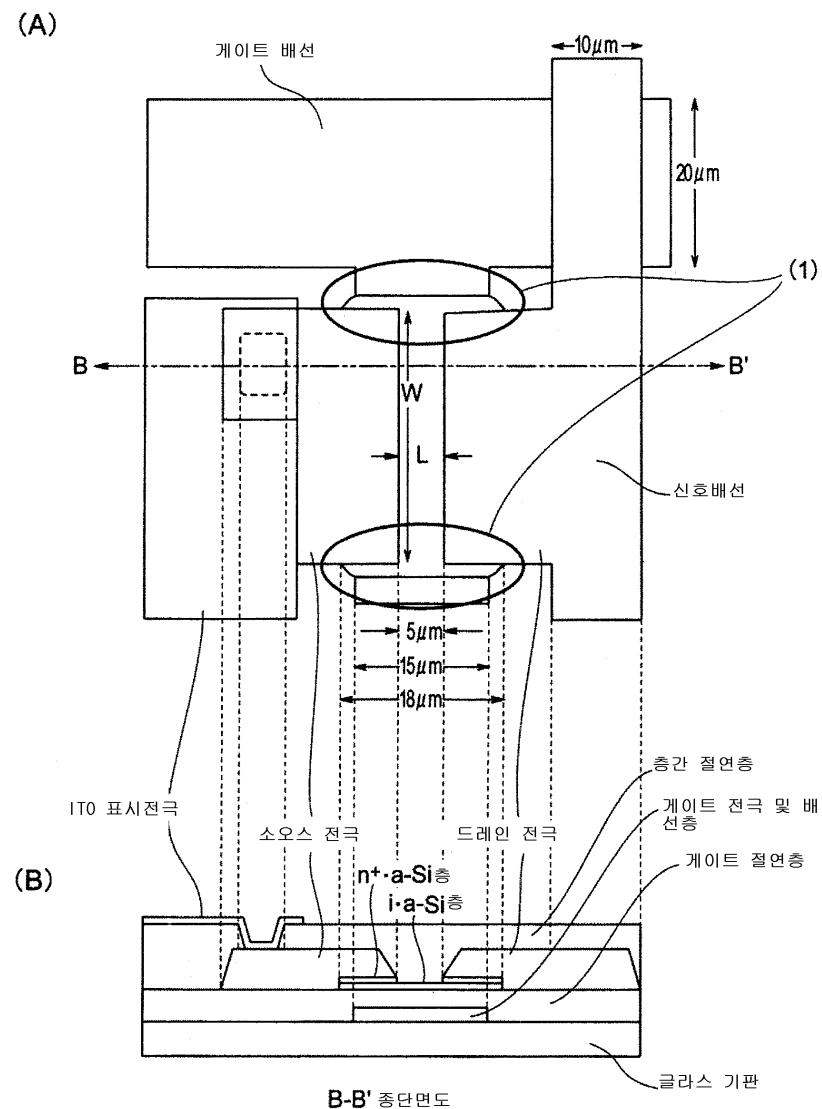
[0029] 19 : 콘택홀 20 : 게이트 배선 접속단자

[0030] 21 : 신호배선 접속단자 22 : 투명 유기 수지층

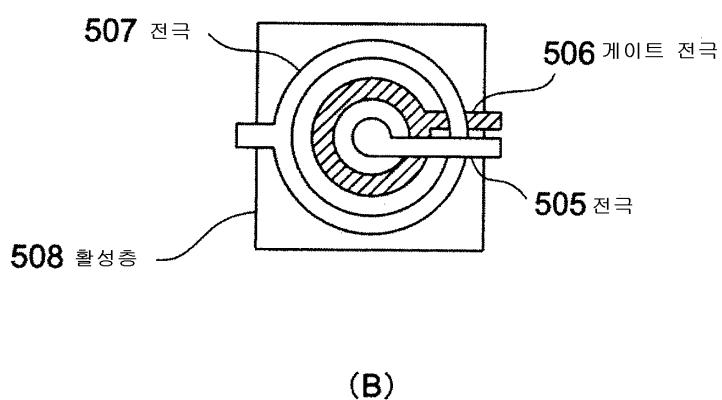
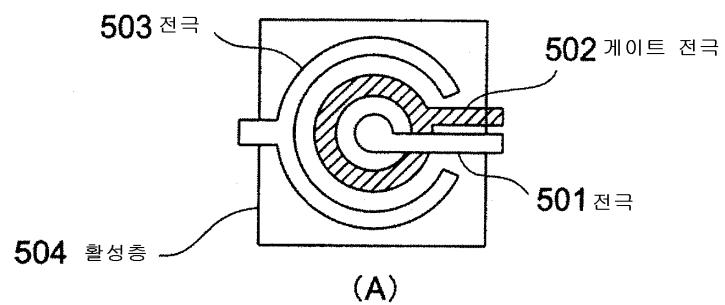
[0031] 23 : SiNx 보호막 24 : 콘택홀

도면

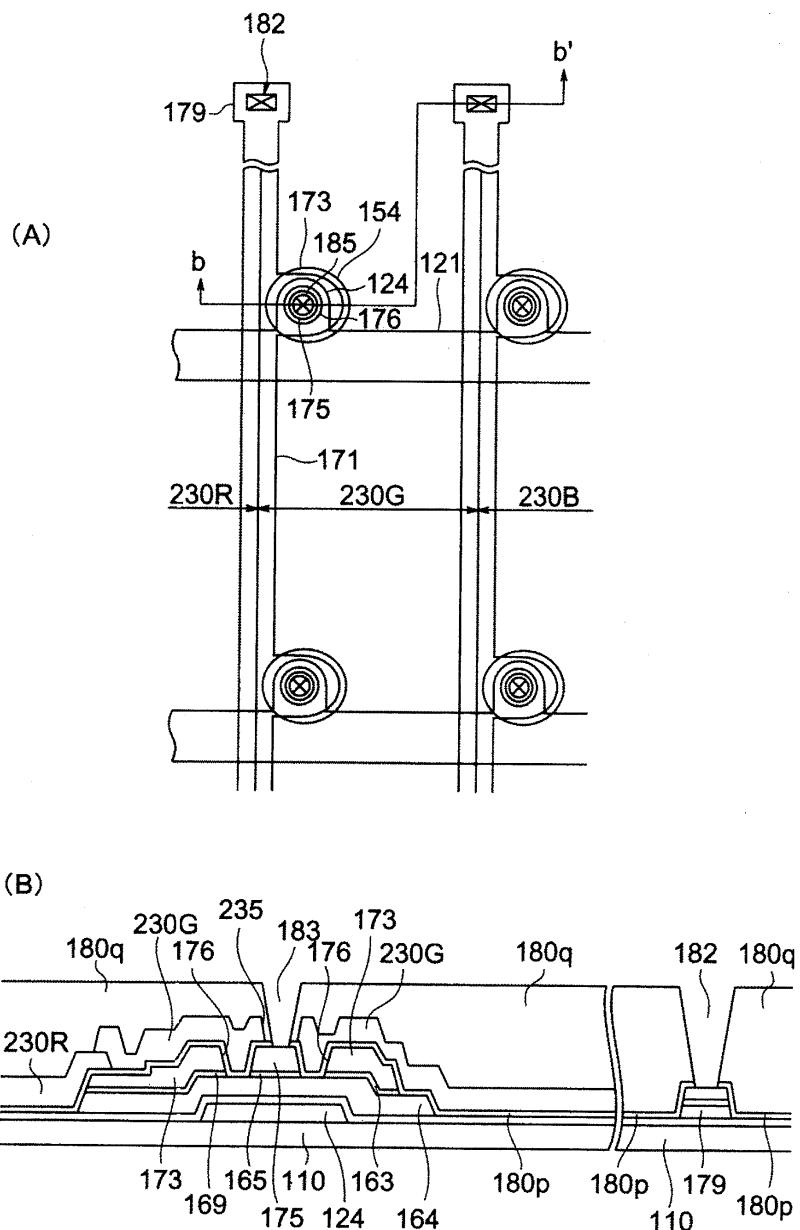
도면1



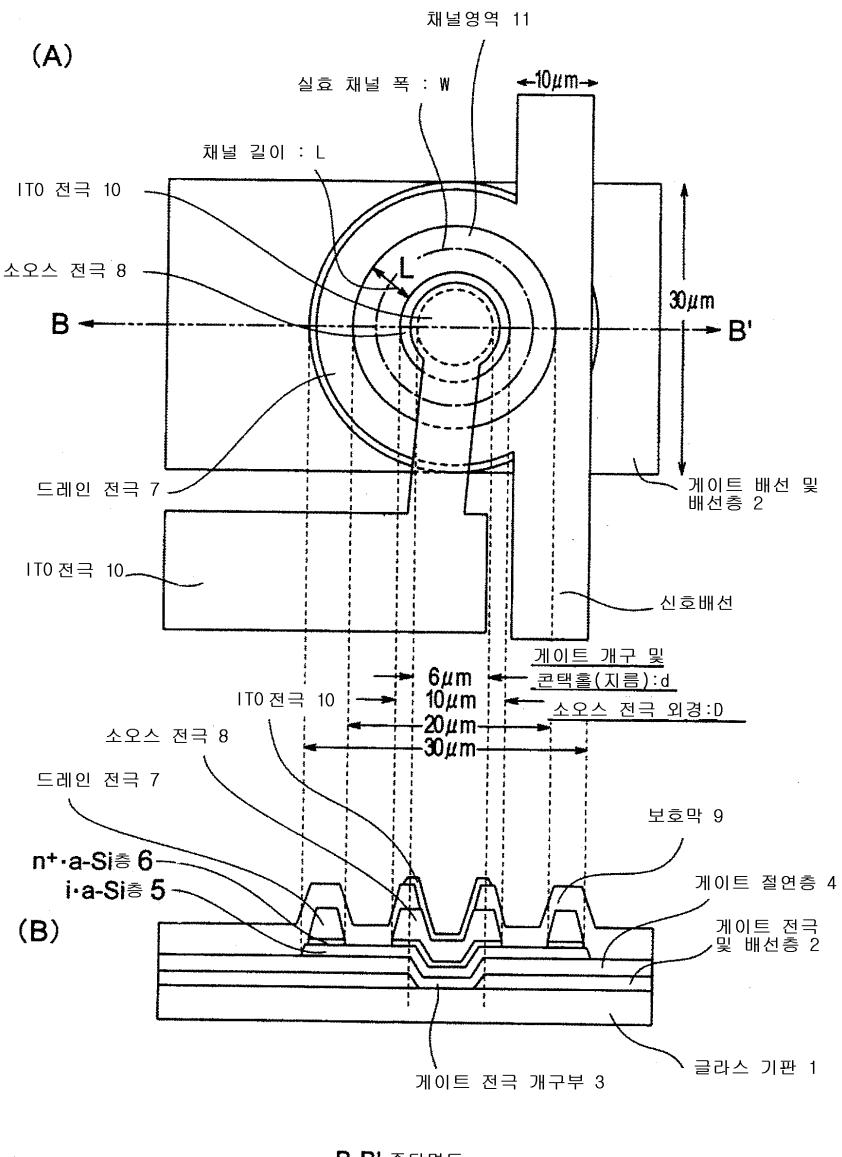
도면2



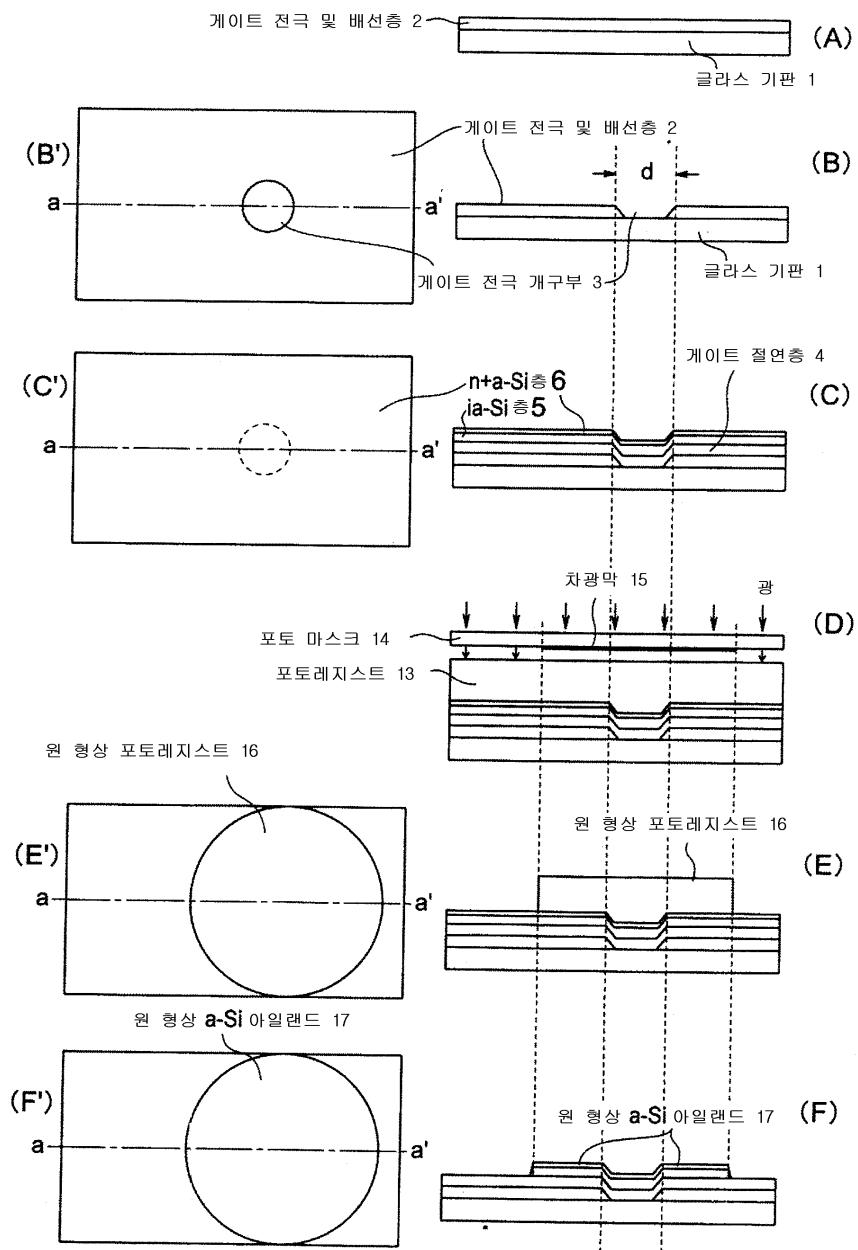
도면3



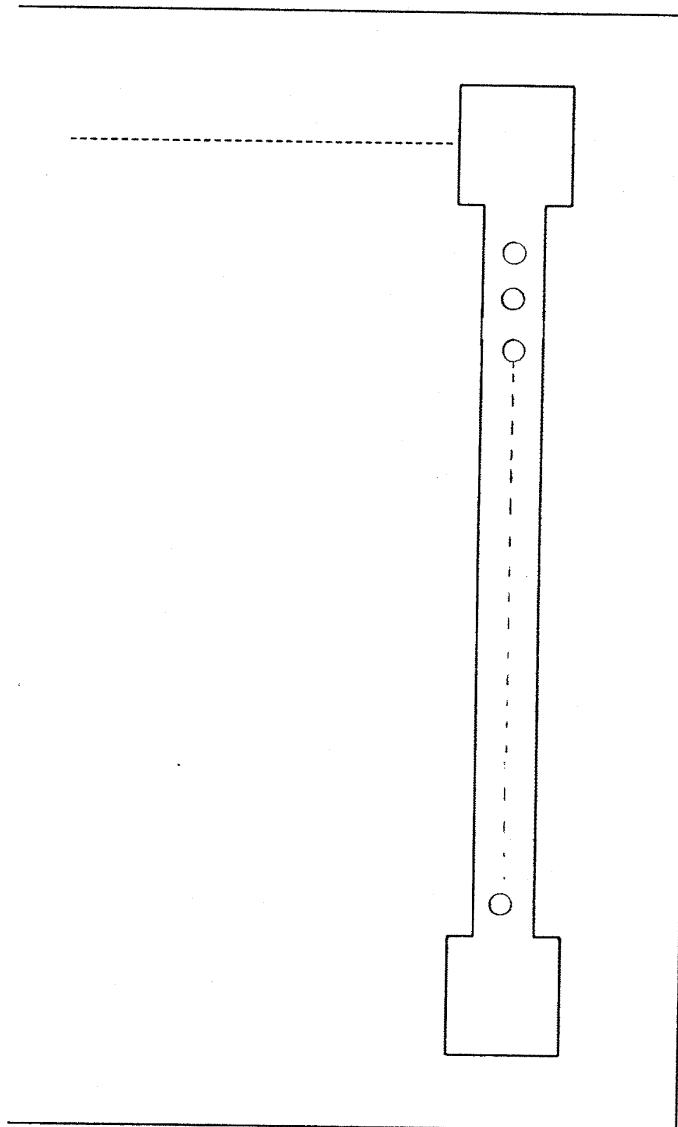
도면4



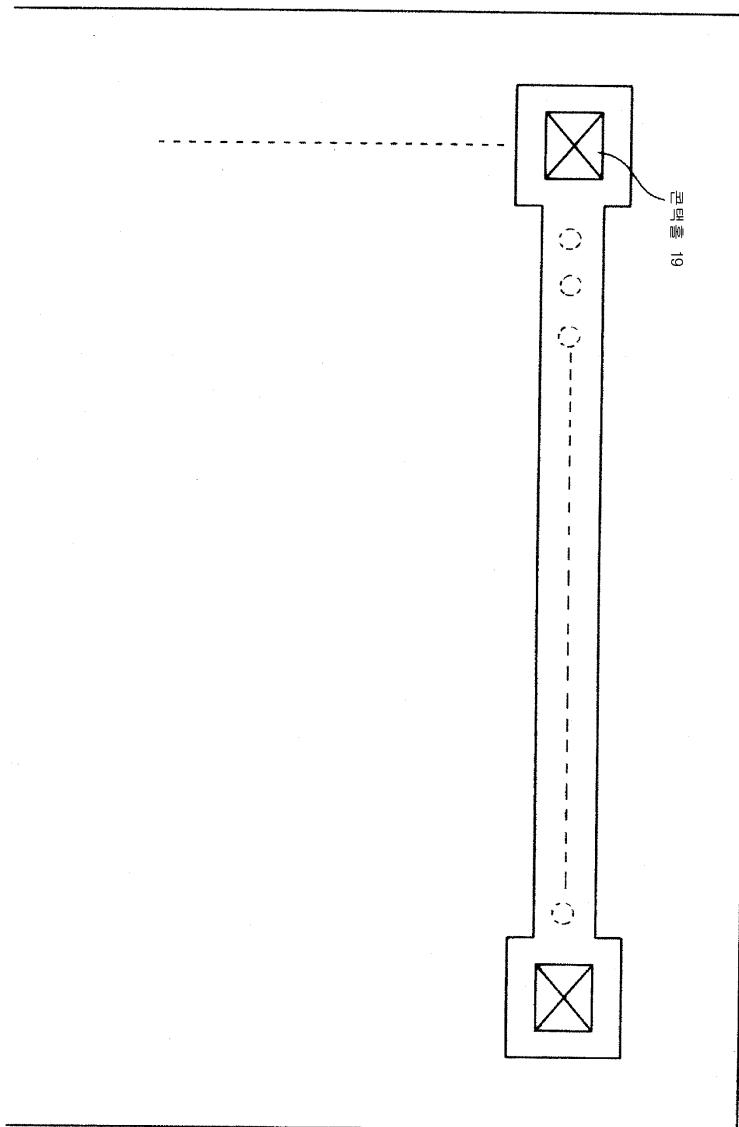
도면5



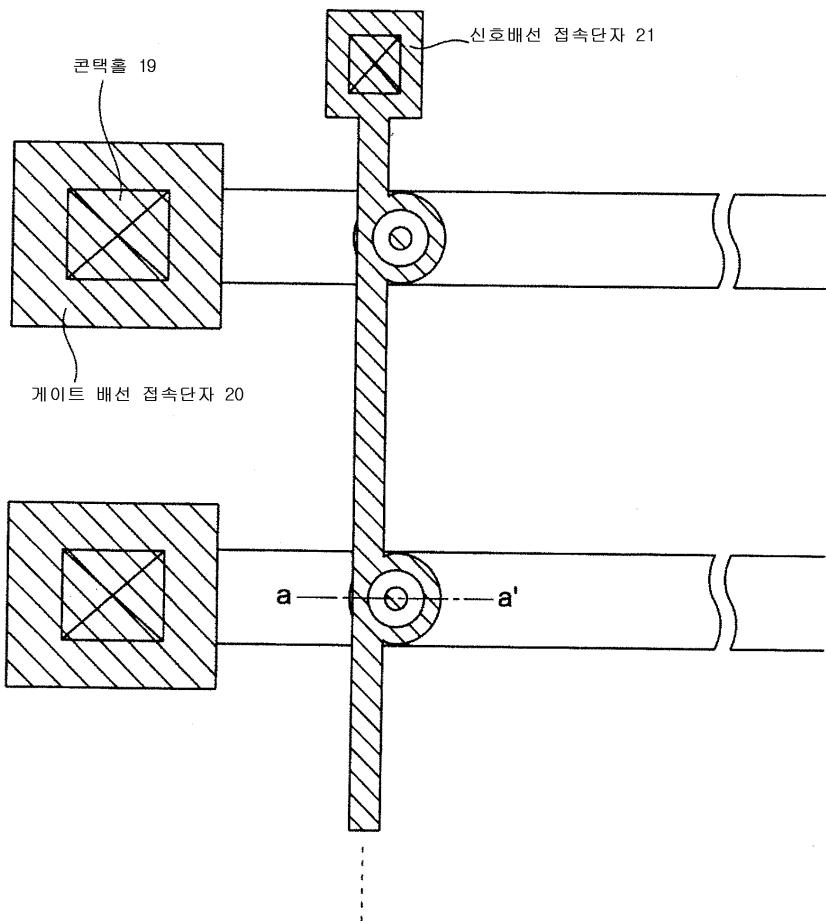
도면6



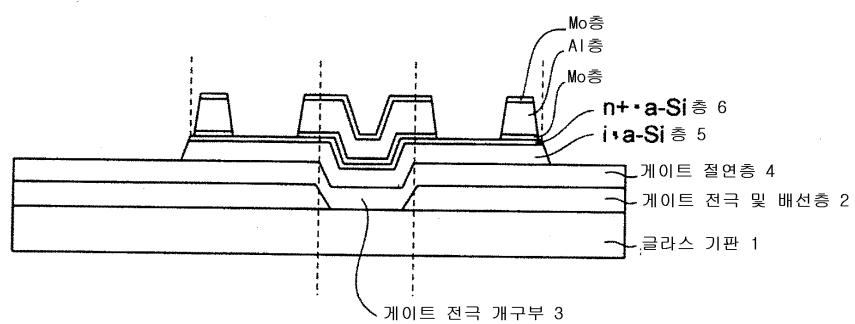
도면7



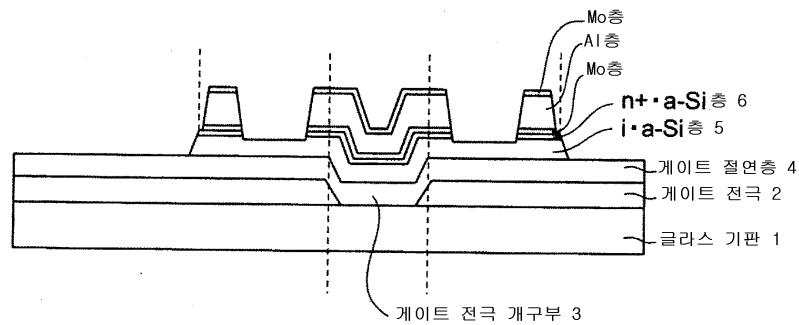
도면8



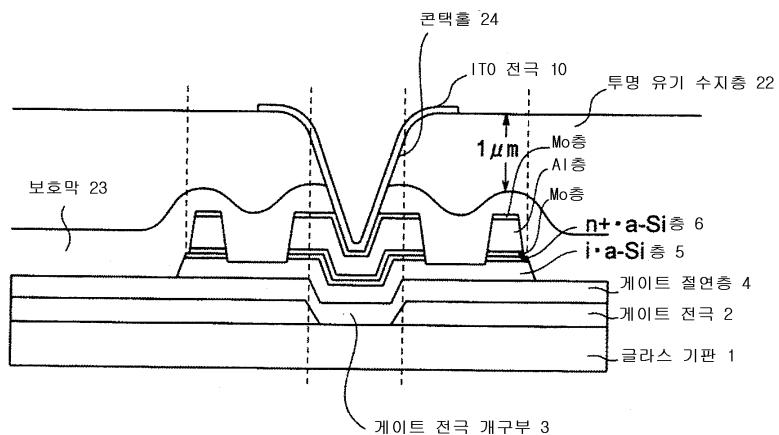
도면9



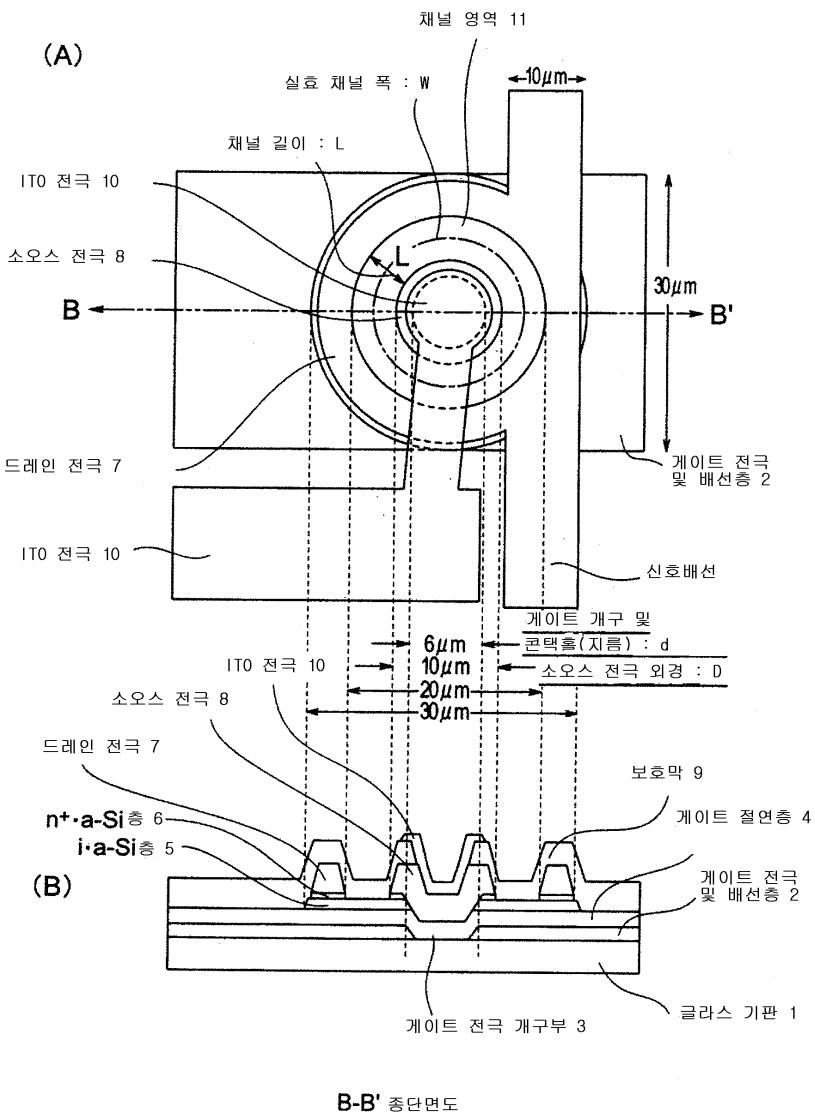
도면10



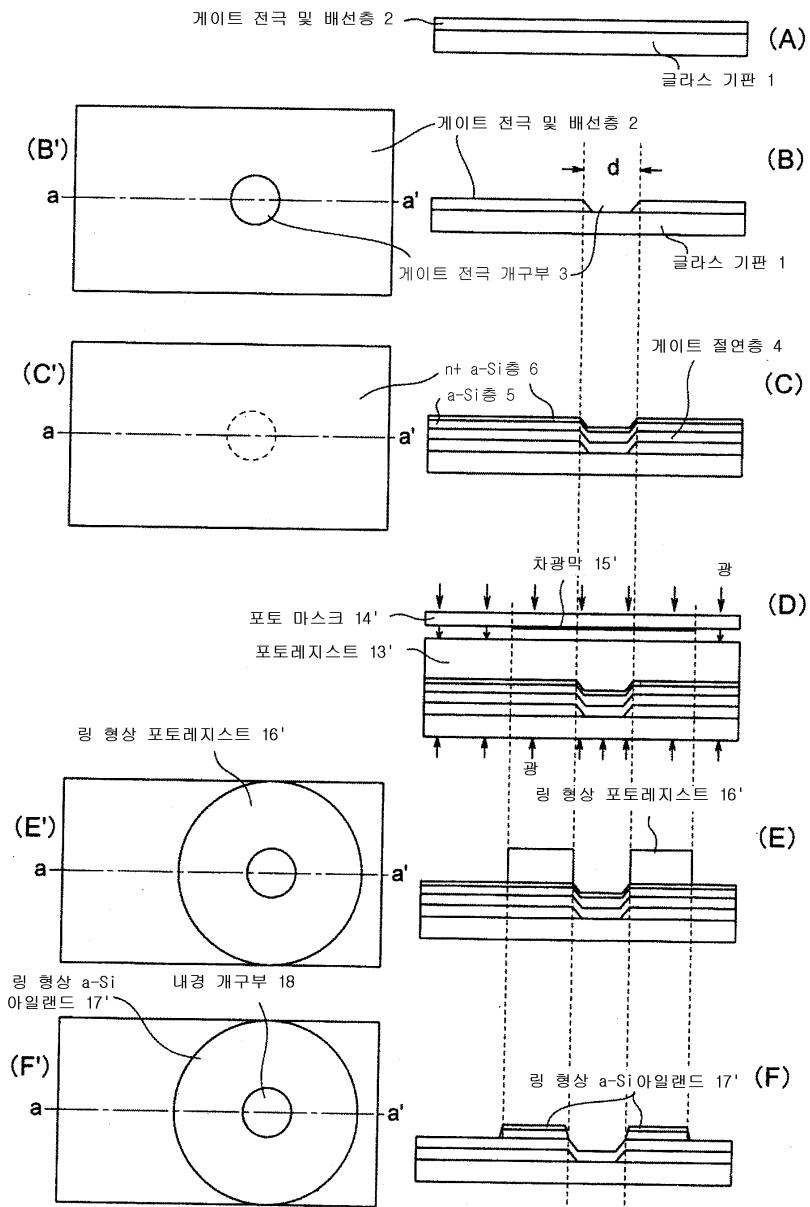
도면11



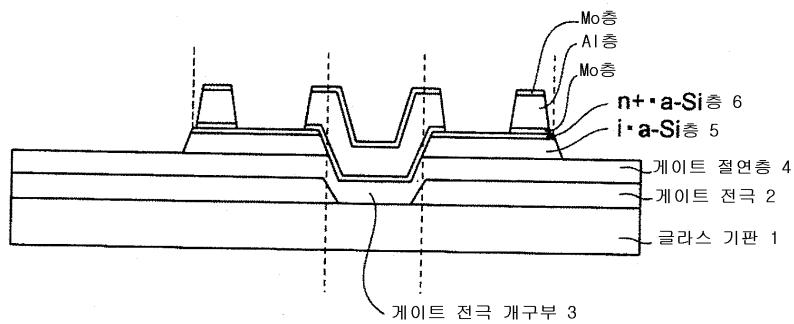
도면12



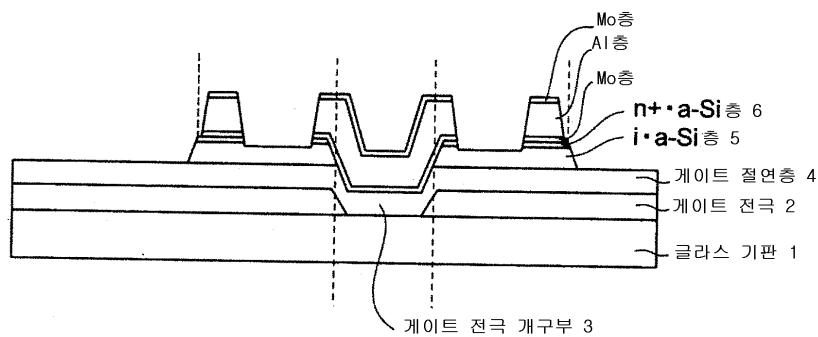
도면13



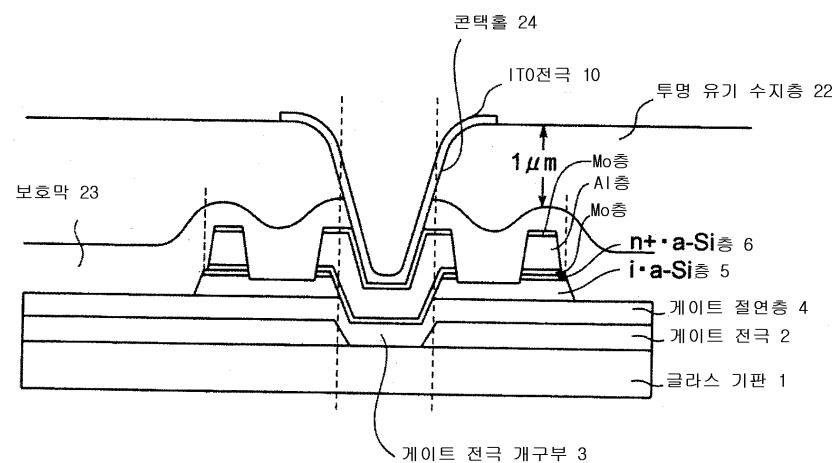
도면14



도면15



도면16



도면17

